



## (12)发明专利申请

(10)申请公布号 CN 108352328 A

(43)申请公布日 2018.07.31

(21)申请号 201680065355.6

R·A·福斯特

(22)申请日 2016.12.19

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(30)优先权数据

14/974,012 2015.12.18 US

代理人 林斯凯

(85)PCT国际申请进入国家阶段日

2018.05.09

(51)Int.Cl.

H01L 21/4763(2006.01)

(86)PCT国际申请的申请数据

PCT/US2016/067495 2016.12.19

(87)PCT国际申请的公布数据

W02017/106828 EN 2017.06.22

(71)申请人 德州仪器公司

地址 美国德克萨斯州

(72)发明人 杰弗里·A·韦斯特

K·R·乌达亚库马兰

E·H·瓦宁霍夫 A·G·梅里亚姆

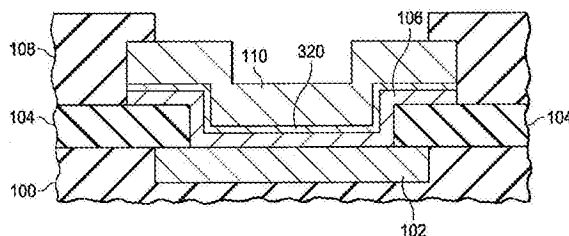
权利要求书2页 说明书5页 附图8页

(54)发明名称

用于半导体装置的抗氧化势垒金属处理工艺

(57)摘要

在所描述实例中,一种集成电路包含:底层金属几何结构(102);介电层(104),其在所述底层金属几何结构(102)上;触点开口,其贯穿所述介电层(104);上覆金属几何结构(110),其中所述上覆金属几何结构(110)的一部分填充所述触点开口的一部分;以及抗氧化势垒层(320),其安置在所述底层金属几何结构(102)与上覆金属几何结构(110)之间。所述抗氧化势垒层(320)由氮含量为至少20原子%且厚度至少5nm的TaN或TiN形成。



1. 一种集成电路,其包括:  
下伏金属几何结构;  
介电层,其在所述下伏金属几何结构上;  
触点开口,其贯穿所述介电层,其中所述触点开口止于所述下伏金属几何结构;  
上覆金属几何结构,其中所述上覆金属几何结构的一部分填充所述触点开口的一部分;以及  
抗氧化势垒层,其中所述抗氧化势垒层安置在所述下伏金属几何结构与上覆金属几何结构之间,且其中所述抗氧化势垒层由氮含量为至少20原子%且厚度至少5nm的TaN或TiN形成。
2. 根据权利要求1所述的集成电路,其中所述抗氧化势垒层在所述触点开口下延伸。
3. 根据权利要求1所述的集成电路,其中所述抗氧化势垒层沿着所述触点开口的侧边和底部延伸。
4. 根据权利要求1所述的集成电路,其进一步包括安置在所述下伏金属几何结构与所述抗氧化势垒层之间的相互扩散势垒层。
5. 根据权利要求4所述的集成电路,其中所述相互扩散势垒层是厚度介于60nm与90nm之间且氮含量介于0与12原子%之间的TaN或TiN。
6. 根据权利要求1所述的集成电路,其中所述抗氧化势垒层由厚度介于5与15nm之间且氮含量介于20与35原子%之间的TaN形成。
7. 根据权利要求1所述的集成电路,其中所述抗氧化势垒层由厚度约10nm且氮含量约28原子%的TaN形成。
8. 一种形成集成电路的方法,所述方法包括:  
在第一电介质上形成下伏金属几何结构;  
在所述下伏金属几何结构上和所述第一电介质上沉积第二介电层;  
在所述第二介电层上形成触点光致抗蚀剂图案,其中触点开口在所述下伏金属几何结构上方;  
蚀刻触点开口贯穿所述第二介电层且止于所述下伏金属几何结构;  
在所述触点开口中沉积上覆金属层;  
在所述下伏金属几何结构与所述上覆金属层之间形成抗氧化势垒层,其中所述抗氧化势垒层是氮含量为至少20原子%且厚度至少5nm的TaN或TiN;  
在所述上覆金属层上形成光致抗蚀剂图案,其中上覆金属几何结构覆盖所述触点开口;以及  
蚀刻所述上覆金属层以形成所述上覆金属几何结构。
9. 根据权利要求8所述的方法,其中形成所述抗氧化势垒层包括在所述第二介电层上以及在所述触点开口的侧边和底部上沉积抗氧化势垒层。
10. 根据权利要求9所述的方法,其中在沉积所述第二介电层之前将所述抗氧化势垒层沉积在所述下伏金属几何结构上。
11. 根据权利要求8所述的方法,其进一步包括:在沉积所述上覆金属层的步骤之前将所述抗氧化势垒层暴露于空气长达24小时的时间段。
12. 根据权利要求8所述的方法,其进一步包括:在沉积所述抗氧化势垒层的步骤之前

沉积相互扩散势垒层。

13. 根据权利要求12所述的方法, 其中所述相互扩散势垒层是厚度介于60nm与90nm之间且氮含量在0到12原子%的范围内的Ta<sub>2</sub>N或TiN层。

14. 根据权利要求8所述的方法, 其中所述抗氧化势垒层是厚度在5nm到15nm的范围内且氮含量在20到35原子%的范围内的Ta<sub>2</sub>N层。

15. 根据权利要求8所述的方法, 其中所述抗氧化势垒层是在室温下利用介于约2.5到5托之间的压力、在15到30KW的范围内的功率、在250W到500W的范围内的偏压以及在约115到125sccm的范围内的氮流率沉积的厚度在5nm到15nm的范围内的Ta<sub>2</sub>N。

16. 一种形成集成电路的方法, 所述方法包括:

在第一介电层上沉积下伏金属层;

在所述下伏金属层上沉积抗氧化势垒层, 其中所述抗氧化势垒层是氮含量为至少20原子%且厚度至少5nm的Ta<sub>2</sub>N或TiN;

在所述抗氧化势垒层上形成光致抗蚀剂图案;

蚀刻所述抗氧化势垒层且蚀刻所述下伏金属以形成下伏金属几何结构;

在所述下伏金属几何结构上和所述第一介电层上沉积第二介电层;

在所述第二介电层上形成触点光致抗蚀剂图案, 其中触点开口在所述下伏金属几何结构上方;

蚀刻触点开口贯穿所述第二介电层且止于所述下伏金属几何结构上的所述抗氧化势垒层;

沉积上覆金属层, 其中所述上覆金属层填充所述触点开口;

在所述上覆金属层上形成光致抗蚀剂图案; 以及

蚀刻所述上覆金属层以形成覆盖所述触点开口的上覆金属几何结构。

17. 根据权利要求16所述的方法, 其中所述抗氧化势垒层是在室温下利用介于约2.5到5托之间的压力、在15到30KW的范围内的功率、在250W到500W的范围内的偏压以及在约115到125sccm的范围内的氮流率沉积的厚度在5nm到15nm的范围内的Ta<sub>2</sub>N。

18. 根据权利要求16所述的方法, 其进一步包括: 在沉积所述抗氧化势垒层的步骤之前沉积相互扩散势垒层。

19. 根据权利要求18所述的方法, 其中所述相互扩散势垒层是厚度介于60nm与90nm之间且氮含量在0到12原子%的范围内的Ta<sub>2</sub>N或TiN层。

20. 根据权利要求16所述的方法, 其中所述抗氧化势垒层是厚度在5nm到15nm的范围内且氮含量在20到35原子%的范围内的Ta<sub>2</sub>N层。

## 用于半导体装置的抗氧化势垒金属处理工艺

[0001] 本文大体上涉及集成电路,且更确切地说,涉及集成电路中具有稳定电阻的触点的形成。

### 背景技术

[0002] 在集成电路的处理期间,使通常称为触点或通孔的开口贯穿覆盖金属互连件引脚的电介质以形成到所述引脚的电触点。这些触点或通孔开口中暴露的金属互连件可能在表面上形成增大电触点电阻的金属氧化物层,且还可能导致整个集成电路芯片或晶片上的这些开口中的电触点电阻显著变化。

[0003] 图1B中说明在铜互连件102顶层上形成铝接合垫110的典型实例。下伏铜互连件层102使用单或双镶嵌工艺形成于介电层100中。在覆盖铜互连件层的介电层104中形成开口以形成到上覆铝接合垫110的电连接。例如Ta或Ta<sub>N</sub>材料的相互扩散势垒层106安置在下伏铜互连件与上覆铝接合垫110之间以防止铜和铝的相互扩散。

[0004] 图2B中说明在下层铜互连件202上形成上层铝互连件210的典型实例。下伏铜互连件层202使用单或双镶嵌工艺形成于介电层200中。触点或通孔开口形成于覆盖铜互连件层202的介电层204中以形成互连件层202与210之间的电连接。例如Ta或Ta<sub>N</sub>材料的相互扩散势垒层206安置在下伏铜互连件202与上覆铝接合垫210之间以防止铜和铝的相互扩散。

[0005] 如表1中所说明,形成于Ta<sub>N</sub>相互扩散势垒层106(图1A)和层206(图2A)上的TaxO<sub>y</sub>(或TaxNyO<sub>z</sub>)导致触点电阻在暴露于空气12小时之后增大6倍,且在暴露于空气24小时之后增大10倍。另外,由TaxO<sub>y</sub>层导致的电触点电阻增大通常在触点之间有显著不同。电阻增大的幅度取决于所用的测试结构和测量技术这两者。表1根据用以最大化对界面电阻的灵敏度的4点探针测量生成,且仅在于提供用于量化由实例实施例得到的改进的基准参考。

[0006] 表1

[0007]

| 暴露于空气的通孔中的Ta <sub>N</sub> | 电阻增大 |
|---------------------------|------|
| 12小时                      | 6倍   |
| 24小时                      | 10倍  |

[0008] 可通过例如在沉积铝接合垫金属110或上部铝互连件金属210之前进行溅镀蚀刻的各种手段除去金属氧化物层,但这通常导致其它问题。举例来说,如果氩气溅镀蚀刻用于在AlCu<sub>110</sub>和210沉积之前除去Ta<sub>N</sub>势垒层106和206上形成的TaxO<sub>y</sub>层,那么溅镀蚀刻工艺会引入减小产出的粒子。另外,预溅镀蚀刻会改变沉积的AlCu<sub>110</sub>或210的形态,从而导致抗电迁移性的减小。

### 发明内容

[0009] 在所描述实例中,一种集成电路包含:下伏金属几何结构;介电层,其在所述下伏金属几何结构上;触点开口,其贯穿所述介电层;上覆金属几何结构,其中所述上覆金属几何结构的一部分填充所述触点开口的一部分;以及抗氧化势垒层,其安置在所述下伏金属

几何结构与上覆金属几何结构之间。所述抗氧化势垒层由氮含量为至少20原子%且至少厚5nm的TaN或TiN形成。

## 附图说明

[0010] 图1A和1B(现有技术)是下部铜互连件到上部铝接合垫金属触点的横截面,其中触点底部中有相互扩散势垒。

[0011] 图2A和2B(现有技术)是下部铜互连件到上部铝互连件金属触点的横截面,其中触点底部中有相互扩散势垒。

[0012] 图3A和3B是下部铜互连件到上部铝接合垫触点的横截面,其中有相互扩散势垒加上根据实施例形成的抗氧化势垒层。

[0013] 图4A和4B是下部铜互连件到上部铝互连件触点的横截面,其中有相互扩散势垒加上根据实施例形成的抗氧化势垒层。

[0014] 图5A和5B是下部金属到上部金属触点的横截面,其中有根据实施例形成的抗氧化势垒层,其中所述抗氧化势垒层覆盖触点的侧壁和底部。

[0015] 图6A和6B是下部金属到上部金属触点的横截面,其中有根据实例实施例的原理形成的抗氧化势垒层,其中所述抗氧化势垒层覆盖下部金属几何结构。

[0016] 图7是描述用以形成图2A、2B、3A、3B、4A、4B、5A和5B中所描绘的触点结构的主要制造步骤的流程图。

[0017] 图8是描述用以形成图6A和6B中所描绘的触点结构的主要制造步骤的流程图。

## 具体实施方式

[0018] 图未必按比例绘制。所说明的一些次序的动作或事件可按不同次序和/或与其它动作或事件同时发生。此外,并非需要所有说明的动作或事件来实施根据实例实施例的方法。

[0019] 图3B中说明具有相互扩散势垒层106且具有实施例抗氧化势垒层320的铝铜(AlCu)接合垫110到下伏铜互连件102结构。铜互连件几何结构102使用镶嵌工艺形成于介电层100中。具有到铜互连件几何结构102的触点开口的介电层104覆盖介电层100和铜互连件几何结构102。包含相互扩散势垒层106、实施例抗氧化势垒表面(ORBS)层320和铝或铝铜合金110的接合垫堆叠覆盖介电层104且通过介电层104中的触点开口接触下伏铜互连件几何结构102。相互扩散势垒层106可以是例如TaN或TiN的材料,其中厚度介于约60nm与90nm之间且氮含量介于约0与12原子%之间。ORBS层320可以是富氮氮化钽,其中氮含量在约20到35原子%的范围内,且厚度在约5nm到15nm的范围内。ORBS层320还可以是富氮氮化钛,其中厚度略微高于富氮氮化钽抗氧化层。

[0020] 图4B中说明具有相互扩散势垒层206且具有实施例抗氧化势垒层420的铝铜(AlCu)互连件210到下伏铜互连件202结构。铜互连件几何结构202使用镶嵌工艺形成于介电层200中。具有到铜互连件几何结构202的触点或通孔开口的介电层204覆盖介电层200和铜互连件几何结构202。包含相互扩散势垒层206、实施例抗氧化势垒表面(ORBS)层420和铝或铝铜合金210的上部铝互连件堆叠覆盖介电层204,且通过介电层204中的触点或通孔开口接触下伏铜互连件几何结构202。相互扩散势垒层206可以是例如TaN或TiN的材料,其中

厚度介于约60nm与90nm之间且氮含量介于约0与12原子%之间。ORBS层420可以是富氮氮化钽,其中氮含量在约20到35原子%的范围内,且厚度在约5nm到15nm的范围内。ORBS层420还可以是富氮氮化钛,其中厚度略微高于富氮氮化钽抗氧化层。

[0021] ORBS层320和420使IC能够在沉积接合垫金属110或上部铝互连件金属210之前暴露于空气24小时或更久,且触点电阻的增大小于2倍。另外,通过ORBS层320和420,整个集成电路(IC)芯片上和整个IC晶片上的许多触点或通孔的电阻保持紧密分布。

[0022] 铜互连件相互扩散势垒层结合实施例抗氧化势垒层的结构用于图解说明。在此结构中,需要相互扩散势垒层106或206来防止铜和铝的相互扩散。如果下伏互连件层是不与AlCu相互扩散的另一材料,例如TiW或W,可省略势垒层106或206,且ORBS层320或420可直接沉积在下伏互连件上。

[0023] 图3和4中使用上覆铝或铝铜进行图解说明。其它上覆金属,例如镍钯合金,可替代铝或铝铜而用于上覆接合垫110或上覆互连件210材料。

[0024] 当下伏金属层通过沉积、图案化和蚀刻而非通过镶嵌工艺形成时,实施例ORBS层的两个选项可供使用。对于使用镶嵌工艺所形成的下伏金属几何结构,可如上文所描述在覆盖下伏金属层的介电层中形成触点开口,且ORBS层可沉积在所述介电层上且到触点开口中。替代地,对于通过沉积、图案化和蚀刻形成的金属几何结构,ORBS层可在图案化和蚀刻以形成所述下伏金属层几何结构之前沉积在下伏金属层上(或下伏金属层上的势垒层上)。在此替代结构中,触点开口经蚀刻贯穿上覆介电层,止于ORBS层。其中ORBS层在底部的这种触点开口可长时间(长达24小时)暴露于空气,且触点电阻增大得极少(小于2倍)。

[0025] 图5B中说明一种结构,其中下伏金属层510经沉积、图案化和蚀刻且实施例抗氧化势垒层520沉积到覆盖所述下伏金属层510的电介质104中的触点开口中。举例来说,触点所触及的下伏金属层510可以是金属电阻器或电熔丝(efuse)或金属-金属电容器的顶板。

[0026] 如图5A中所展示,抗氧化势垒层520沉积到覆盖金属层510的电介质104中的开口中以形成到下伏金属层510的电触点。覆盖抗氧化势垒520的顶部金属110可用于形成接合垫或可用作互连件的上层。在此实例中,为图解说明而使用无需相互扩散势垒层的金属,因此抗氧化势垒520可直接沉积到下伏金属层510上。

[0027] ORBS层(其如上文所描述可为富氮TaN)在整个晶片上提供较低且一致的触点电阻,并且还增大晶片在抗氧化势垒层520沉积与顶部金属110沉积之间可暴露于空气的时间跨度(工艺窗口),由此提高可制造性。

[0028] 图6B中展示另一结构,其中实施例抗氧化势垒层620在图案化和蚀刻以形成下伏金属层610几何结构之前沉积在下伏金属层610上。举例来说,下部金属层610可以是电容器顶板或金属电阻器。在需要时,可在沉积ORBS层620之前将任选的相互扩散势垒层沉积在下伏金属层610上。

[0029] 在此结构中,如图6A中所展示,触点或通孔开口经蚀刻贯穿上覆介电层104且止于下伏金属层610顶部上的ORBS层620。顶部金属110直接沉积到暴露在触点或通孔开口的底部中的ORBS层620上。ORBS层620可暴露于空气长达24小时,且电阻的增大小于2倍。另外,在整个IC芯片或整个IC晶片上的跨越触点的触点或通孔电阻的分布保持紧密分布。

[0030] 图7是用于使用例如图3A、3B、4A、4B以及5A和5B中展示的那些ORBS层的实施例ORBS层形成触点的方法的工艺流程图。

[0031] 在步骤700中,在覆盖下伏金属102(图3A)或202(图4A)或510(图5A)的介电层104上形成触点图案,且开口经蚀刻贯穿介电层104(图3A、5A)或204(图4A),止于下伏金属层102/202/510。

[0032] 在步骤702中,任选相互扩散势垒层106(图3A)或206(图4B)可沉积在介电层104或204上且到触点开口中。可在相互扩散势垒层106(图3A)或206(图4A)沉积之前进行除气步骤(例如在减压下,在250℃到400℃范围内的温度下烘烤)和/或预溅镀清洁步骤(例如氩气预溅镀清洁)或反应性预清洁(例如利用氢气加氩气或氢气加氮气的高偏压预清洁)。图3A和4A说明并入有任选相互扩散势垒层106或206的方法流程。图5A示出未并入有相互扩散势垒层的方法流程。相互扩散势垒层可以是厚度介于约60nm与90nm之间且氮含量介于约0原子%与12原子%的Ta<sub>2</sub>N或TiN。

[0033] 在步骤704中,沉积实施例抗氧化势垒表面(ORBS)层320(图3A)或420(图4A)。所述ORBS层320(图3A)或420(图4A)可以是高氮含量的Ta<sub>2</sub>N层,其中厚度介于约5nm与15nm之间且氮含量约20原子%到35原子%。其中可沉积ORBS膜的一个工具是应用Endura平台上的EnCoRe1腔。在此工具中,可在室温下利用约2.5与5托之间的压力、范围在15到30KW的功率、范围在250W到500W的偏压以及范围在约115到125sccm的氮流率来沉积ORBS层。沉积时间可取决于沉积条件而变化。使用足以沉积厚度在5nm到15nm的范围内的Ta<sub>2</sub>N膜的时间。

[0034] 具有不同沉积条件的其它沉积工具可用于产生厚度在5nm到15nm的范围内且氮含量在20原子%到35原子%的范围内的等效ORBS Ta<sub>2</sub>N膜。

[0035] 在步骤706中,ORBS膜在必要时可在很长时间里暴露于空气。可能至少需要短暂暴露于空气。空气暴露可能影响随后沉积的互连件或接合垫金属的颗粒结构和抗电迁移性。ORBS膜使IC晶片能够在较长时间段(24小时)暴露于空气,且电阻的增大小于2倍。另外,在整个IC芯片和整个IC晶片上的所有触点的电阻的分布保持紧密分布。

[0036] 在步骤708中,用于互连件或接合垫的形成的上部金属沉积在抗氧化势垒表面(ORBS)层上。

[0037] 在步骤710中,对用于互连件或接合垫的形成的上部金属进行图案化。

[0038] 在步骤712中,对用于互连件或接合垫的形成的上部金属进行蚀刻,且对ORBS材料进行蚀刻。

[0039] 在步骤714中,在存在相互扩散势垒层的情况下对其进行蚀刻。

[0040] 图8是用于使用ORBS层620(图6A)形成触点的方法的过程流程图,所述ORBS层在图案化和蚀刻以形成下伏金属几何结构610之前沉积在下伏金属层610上,图6A和6B中展示。

[0041] 在步骤800中,沉积下伏金属层610。

[0042] 在步骤802中,在需要的情况下,沉积任选相互扩散势垒层以防止下伏金属层610与上覆金属层110相互扩散。如果不需要,那么可将实施例ORBS层620直接沉积在下伏金属层610上。如果下伏金属层已暴露于空气,可使用除气步骤。可在ORBS层620沉积之前进行除气步骤(例如在减压下,在250C到400C下烘烤)和/或预溅镀清洁步骤(例如氩气预溅镀清洁)或反应性预清洁(例如利用氢气加氩气或氢气加氮气的高偏压预清洁)。

[0043] 在步骤804中,ORBS层620沉积在下伏金属层610上。ORBS层620可以是高氮含量Ta<sub>2</sub>N层,其中厚度在约5nm与15nm之间,且氮含量约20原子%到35原子%。其中可沉积ORBS膜的一个工具是应用Endura平台上的EnCoRe1腔。在此工具中,可在室温下利用约2.5到5托之间

的压力、范围在15到30KW的功率、范围在250W到500W的偏压以及范围在约115到125sccm的氮流率来沉积ORBS层。沉积时间可取决于沉积条件而变化。使用足以沉积厚度在5nm到15nm的范围内的Ta<sub>2</sub>N膜的时间。

[0044] 具有不同沉积条件的其它沉积工具可用于产生厚度在5nm到15nm的范围内且氮含量在20原子%到35原子%的范围内的等效ORBS Ta<sub>2</sub>N膜。

[0045] 在步骤806中,下伏金属经图案化和蚀刻以形成下伏互连件几何结构610。首先蚀刻ORBS层620。接着,在存在任选相互扩散势垒层的情况下对其进行蚀刻。然后蚀刻下伏金属610。

[0046] 在步骤808中,例如二氧化硅或聚酰亚胺的介电层104沉积在下伏电介质100和金属层610上。

[0047] 在步骤810中,在介电层104上形成具有开口在下伏金属几何结构610上方的图案。从开口蚀刻出介电材料,止于ORBS层620。ORBS层620使IC晶片能够在较长时间段(24小时)暴露于空气,且电阻增大得极少(小于2倍)。另外,ORBS层620在整个IC芯片和整个IC晶片上提供触点电阻的紧密分布。

[0048] 在步骤812中,用于互连件或接合垫的形成的上部金属沉积在介电层104上且在触点开口底部中的抗氧化(ORBS)势垒层上。

[0049] 在步骤814中,对用于互连件或接合垫的形成的上部金属进行图案化和蚀刻以形成上部互连件金属几何结构110。

[0050] 在权利要求书的范围内,所描述实施例的修改是可能的,且其它实施例是可能的。

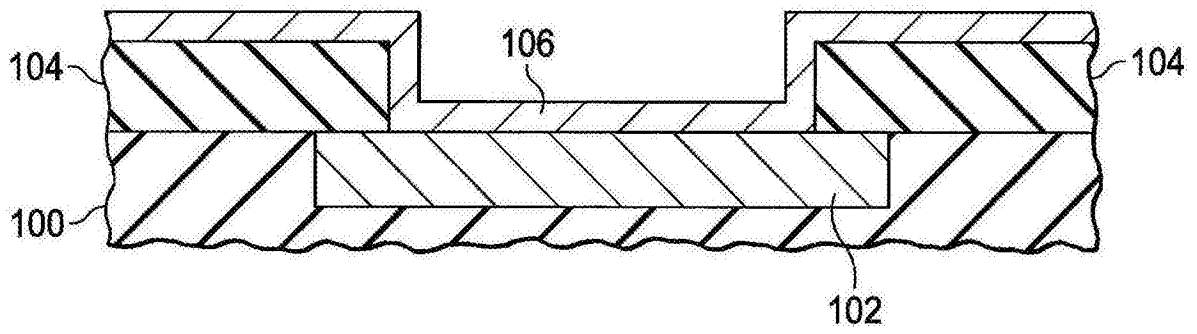


图1A (现有技术)

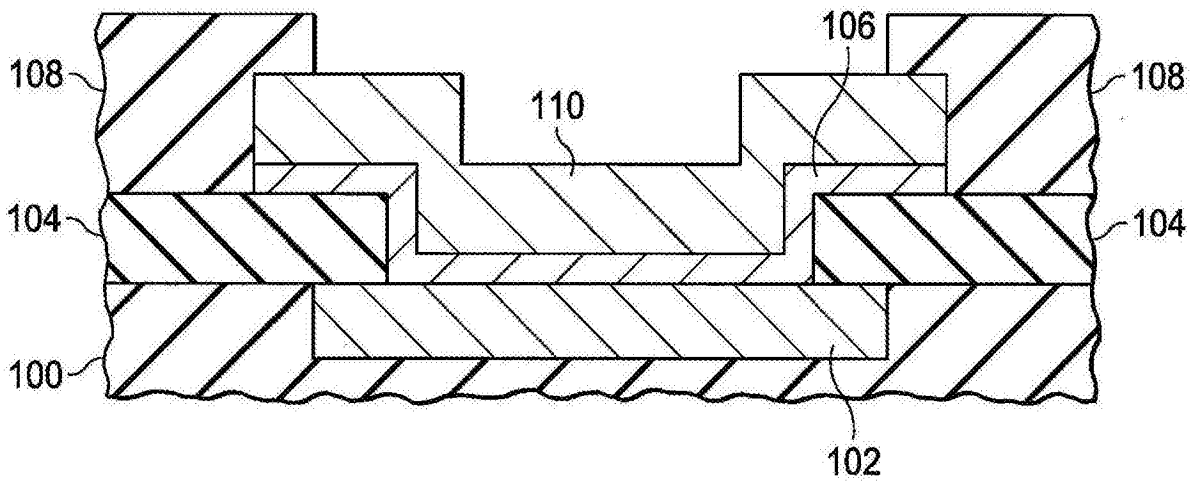


图1B (现有技术)

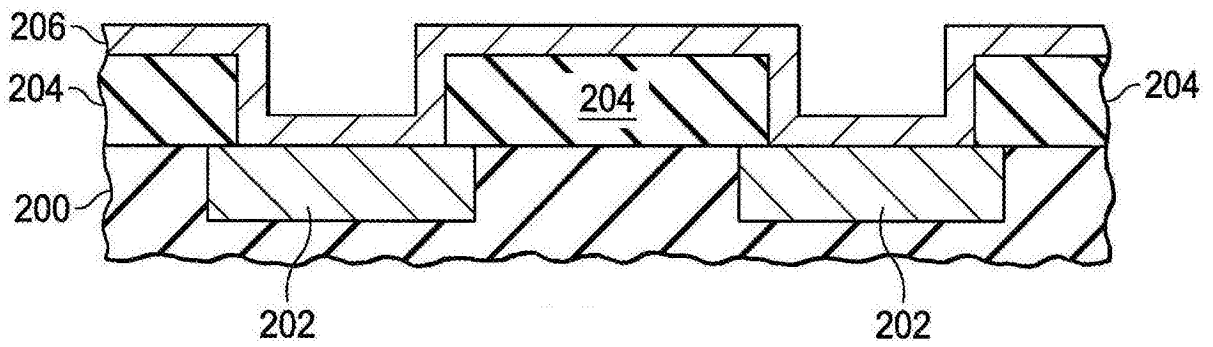


图2A (现有技术)

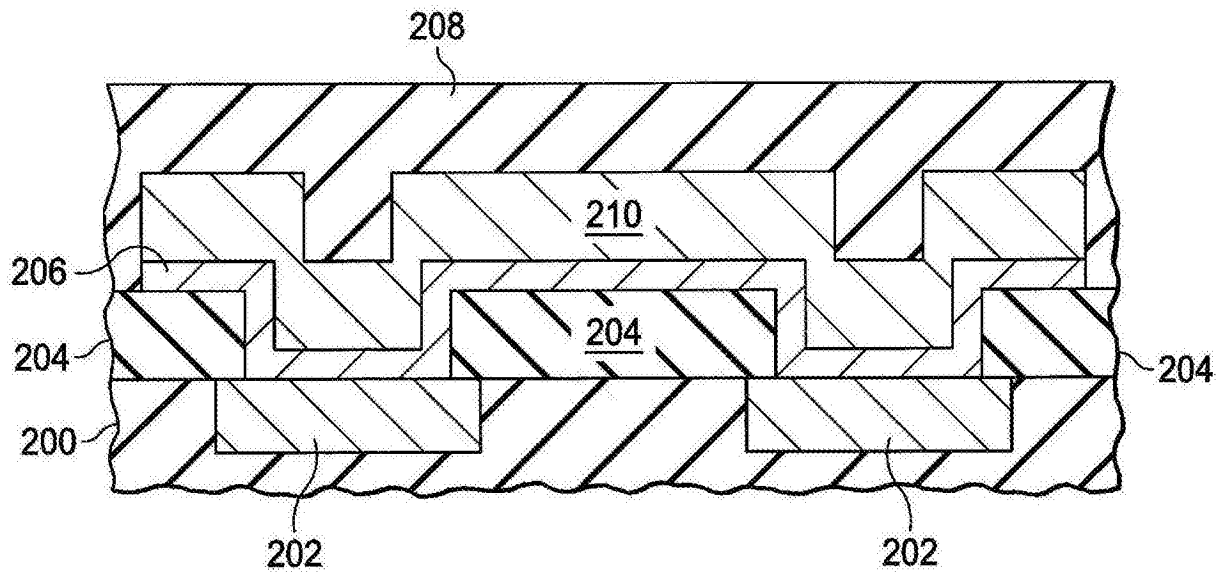


图2B(现有技术)

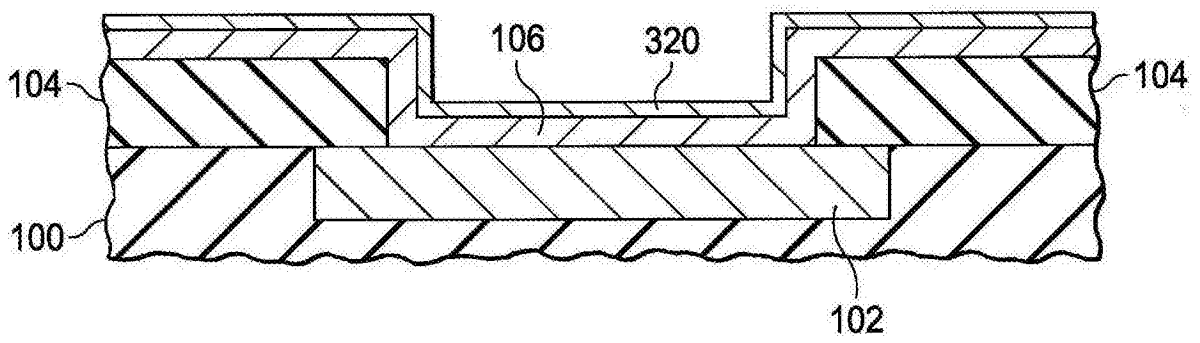


图3A

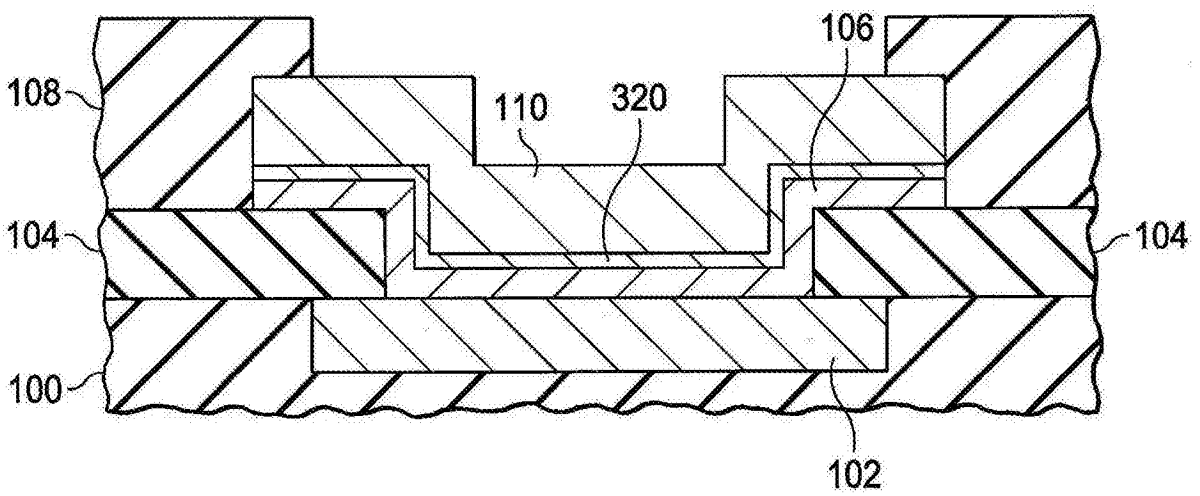


图3B

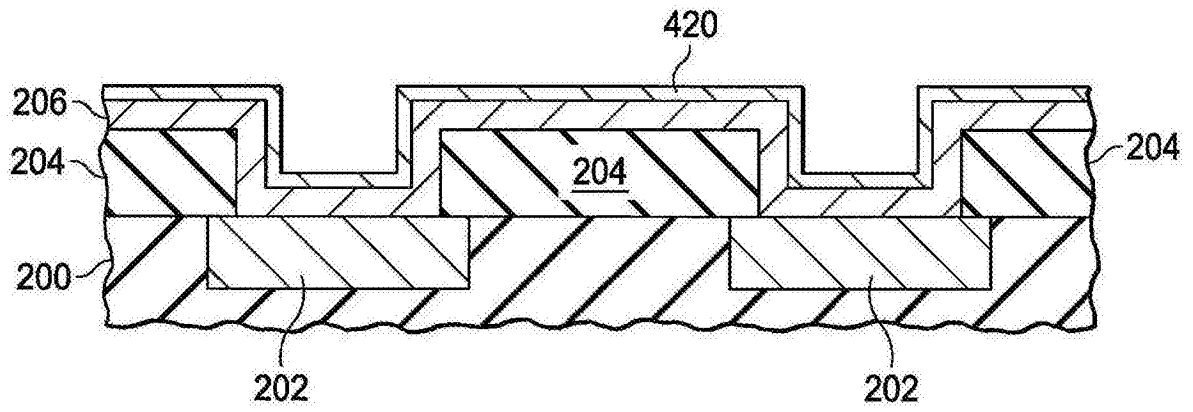


图4A

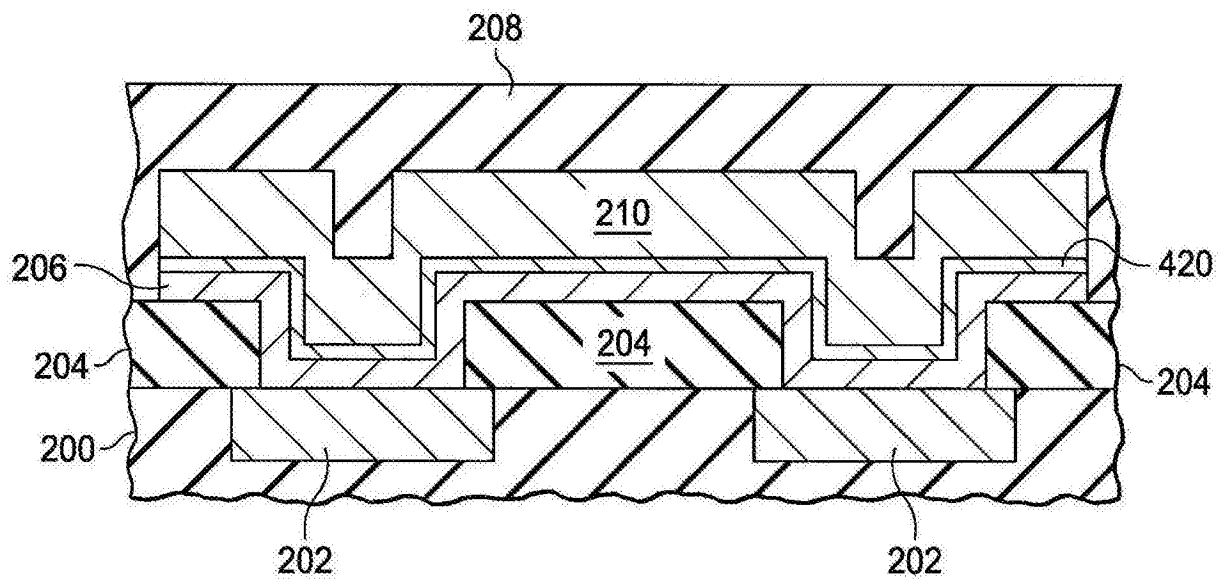


图4B

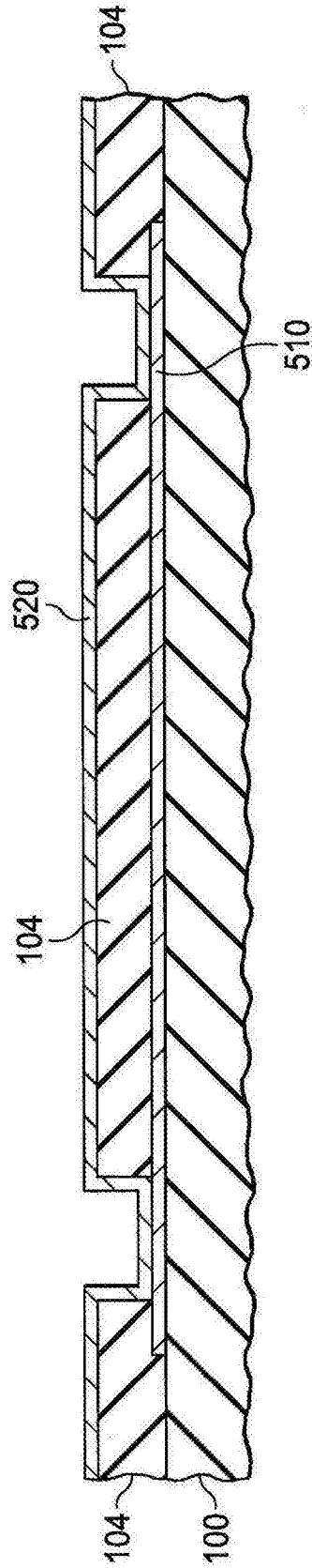


图5A

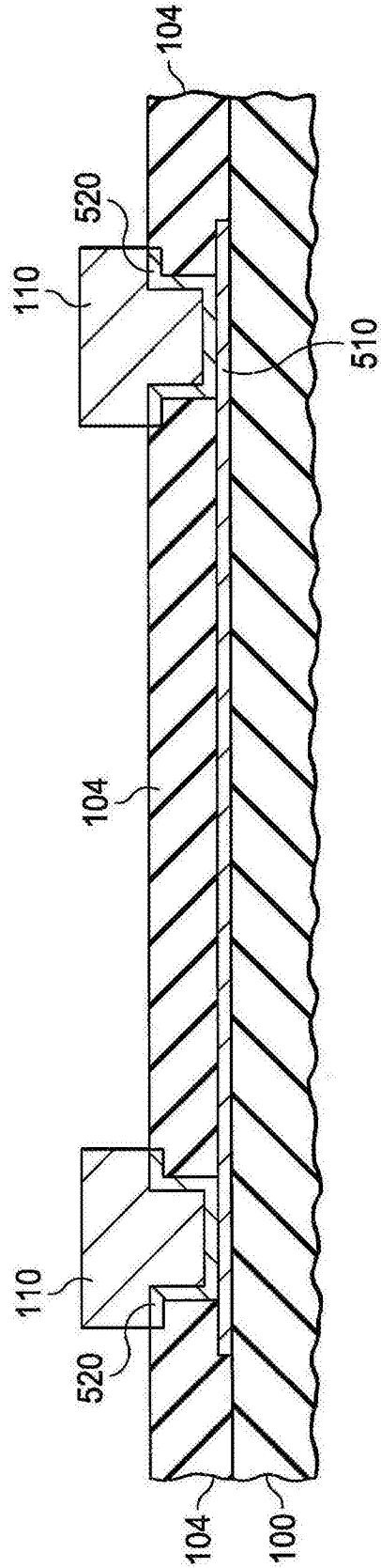


图5B

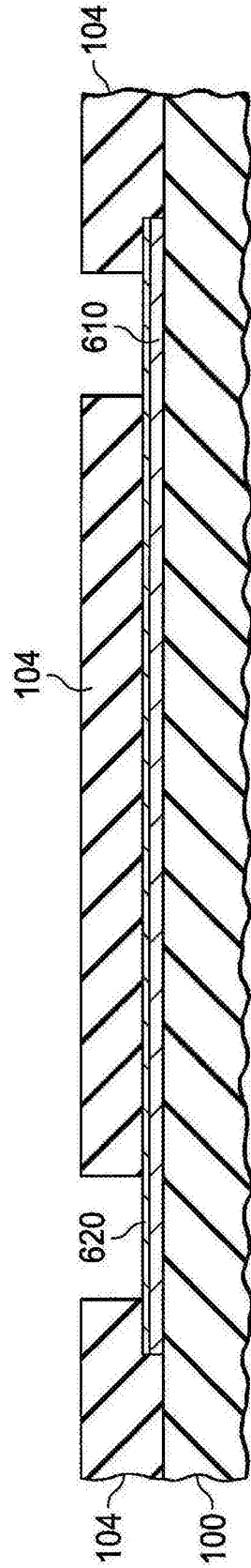


图6A

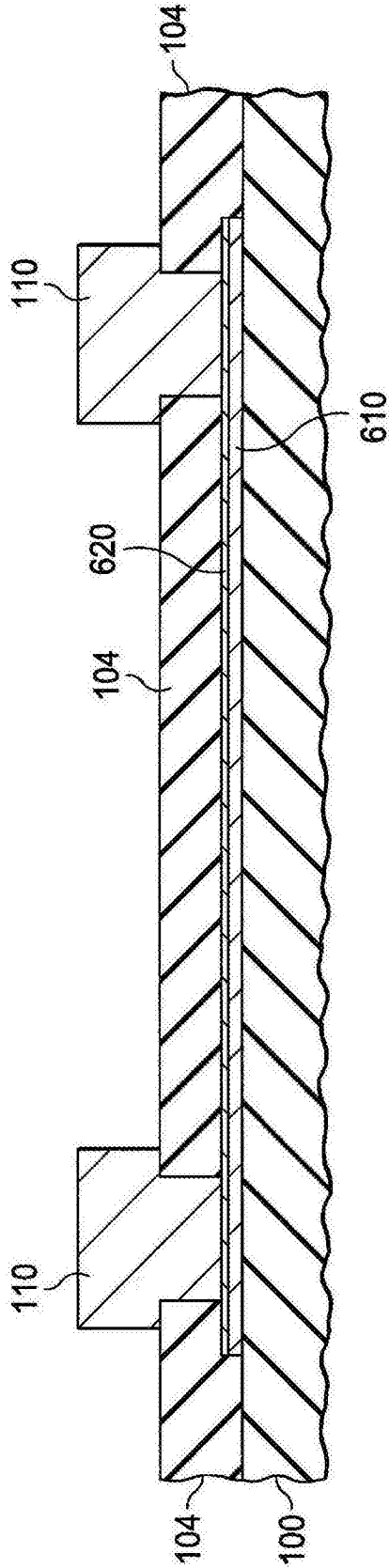


图6B

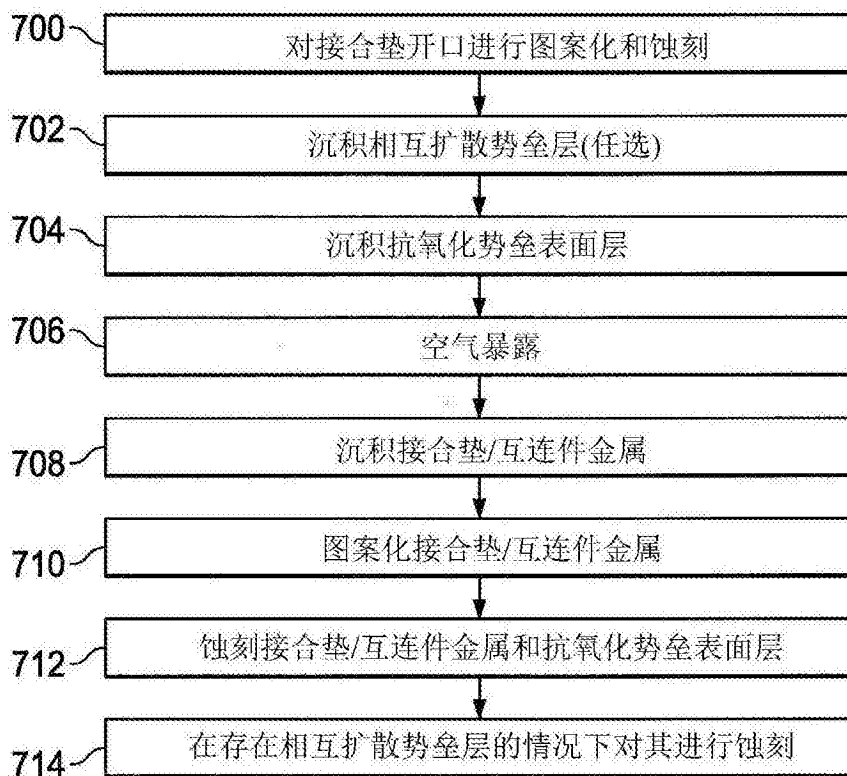


图7

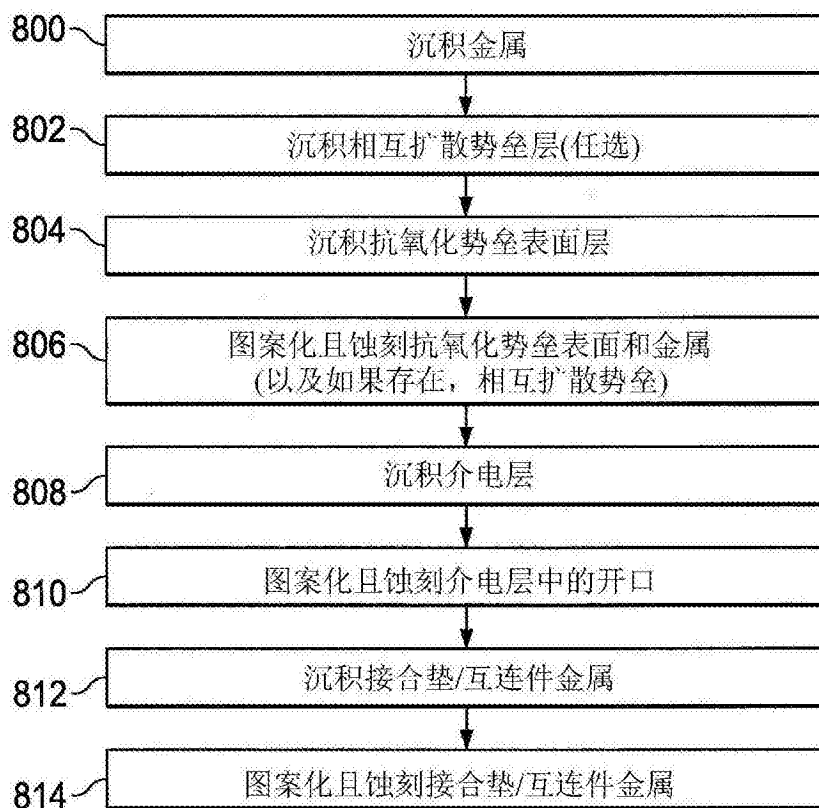


图8