

PATENTANSPRÜCHE

1. Schaltungsanordnung zur Ermittlung des Vorhandenseins einer Informationsbitfolge in einem empfangenen Datensignal, wobei die Bitfolge zu einer Subharmonischen eines Taktsignales mit vorgegebener Frequenz synchron ist, dadurch gekennzeichnet, dass eine erste Schaltung (14) vorgesehen ist, um aus dem Taktsignal schmale Fensterimpulse von der Frequenz der zu ermittelnden Bitfolge, aber mit einer Phasenverschiebung von 90° gegen diese, zu erzeugen, dass weiterhin eine zweite Schaltung (12) vorhanden ist, um aus dem Datensignal in den Zeitpunkten von Datensignalübergängen zwischen einzelnen Signalzuständen schmale Übergangsimpulse zu erzeugen, und dass eine Komparatorschaltung (16) vorgesehen ist, um bei synchronem Auftreten der Fensterimpulse und der Übergangsimpulse ein erstes Sperrsignal zu erzeugen, welches anzeigt, dass keine Bitfolge vorhanden ist.

2. Anordnung nach Patentanspruch 1, in der die Bitfolge einzelne Subharmonische der Taktfrequenz enthält und wobei die höchste Subharmonische bei der halben Taktfrequenz liegt, dadurch gekennzeichnet, dass eine Detektorschaltung (32) für eine minimale Bitbreite vorhanden ist, um das Vorhandensein eines Signals mit der halben Taktfrequenz im Datensignal innerhalb eines vorgegebenen Zeitintervalls zu ermitteln und bei Abwesenheit eines solchen Signals ein zweites Sperrsignal zu erzeugen, welches anzeigt, dass keine Bitfolge vorhanden ist.

3. Anordnung nach Patentanspruch 2, in der die kleinste der in der Bitfolge enthaltenen Subharmonischen $1/N$ der Taktfrequenz beträgt, wobei N eine ganze Zahl >1 ist, dadurch gekennzeichnet, dass eine Detektorschaltung (42) für eine maximale Bitbreite vorgesehen ist, um Datensignalbits zu ermitteln, deren Länge $N/2$ Taktperioden überschreitet, und um bei deren Ermittlung ein drittes Sperrsignal zu erzeugen, welches anzeigt, dass keine Bitfolge vorhanden ist.

Eine verhältnismässig komplexe digitale Kodierung einer Information wie der menschlichen Rede in Form von einzelnen Bits wird allgemein bei der Verschlüsselung einer Information angewandt. Bei solchen Kodiersystemen wird die Information in eine digitale Bitfolge umgewandelt. Bei einer besonders wirkungsvollen Kodierung wird die Information mit Hilfe eines Pseudozufalls-Kodes verschlüsselt. Dabei ist die Bitfolge zu einer Grundtaktfrequenz synchron. Die Kodierung verwendet Subharmonische der Grundtaktfrequenz, welche von $1/2$ bis $1/N$ der Taktfrequenz reichen, wobei N eine ganze Zahl >2 ist, die vom speziellen System abhängt. Eine weitere Kodierung kann verwendet werden, indem Bits in einem Wechselschrift (NRZ)-Verfahren aufgezeichnet werden. Das NRZ-Aufzeichnungsverfahren ist derart aufgebaut, dass dann, wenn benachbarte Bits auf demselben logischen Pegel sind, diese Bits praktisch kontinuierlich aufgezeichnet sind, im Unterschied zu einem Verfahren, bei welchem das Signal an jeder Trennstelle zwischen Bits auf Null zurückkehrt.

Eine komplizierte Kodierung einer Datenbitfolge hat zu aufwendigen Dekodiereinrichtungen geführt. Um eine Pseudozufalls-Kodierung durchzuführen, muss die Dekodiereinrichtung zunächst das Taktsignal wieder herstellen und dann dieses Taktsignal dazu verwenden, die Bitfolge zu dekodieren. Da bei dem Kodiervorgang nur von Subharmonischen der fundamentalen Taktfrequenz ausgegangen wird, ist es offensichtlich, dass irgendwelche Datenübergänge, die mit einer Phasenverschiebung gegenüber dem Taktsignal auftreten, ein Rauschen und keine Information darstellen. Im Stand der Technik ist versucht worden, einen 90° -Detektor zu verwenden, um das Vorhandensein einer empfangenen Informationsbitfolge zu ermitteln. Ein

solcher Quadraturdetektor, d. h. ein Phasendetektor, der eine Phasenverschiebung von 90° erkennt, hat nicht zu vollständig befriedigenden Ergebnissen geführt, weil bekannte Detektoren dieser Art bei geringem Rauschabstand nicht zufriedenstellend arbeiten und Synchronisationsfehlern unterliegen, weil sie unter solchen Bedingungen eine geringe Empfindlichkeit haben.

In vielen Fällen ist die Ermittlung einer Phasenverschiebung und insbesondere die Ermittlung einer Phasenverschiebung von 90° jedoch nicht ausreichend, um die erforderliche Zuverlässigkeit zu erreichen.

Der Erfindung liegt die Aufgabe zugrunde, eine Dekodiereinrichtung für eine digital kodierte Information der eingangs näher erläuterten Art zu schaffen, mit welcher bei ausserordentlich geringem gerätetechnischem Aufwand eine besonders zuverlässige Arbeitsweise erreichbar ist.

Die Erfindung geht von einer Schaltungsanordnung zur Ermittlung des Vorhandenseins einer Informationsbitfolge in einem empfangenen Datensignal aus, wobei die Bitfolge zu einer Subharmonischen eines Taktsignals mit vorgegebener Frequenz synchron ist. Sie zeichnet sich durch die im Patentanspruch 1 definierten Merkmale aus.

Da die synchrone Abtastung von schmalen Impulsen ausgeht, ist diese Arbeitsweise weitgehend von Rauschen unabhängig und von Synchronisationsfehlern frei.

Die Zuverlässigkeit des Detektors kann dadurch verbessert werden, dass die Informationsbitfolge durch einen Detektor zur Ermittlung einer minimalen Bitbreite weiterverarbeitet wird. Da die kodierte Folge Subharmonische der Taktfrequenz enthält, gibt es eine bestimmte Wahrscheinlichkeit dafür, dass Subharmonische mit der halben Taktfrequenz innerhalb eines vorgegebenen Zeitintervalls auftreten. Der Detektor für die minimale Bitbreite überwacht das Datensignal und erzeugt ein zweites Sperrsignal bei Abwesenheit einer solchen Subharmonischen während dieses Intervalls. Eine noch grössere Zuverlässigkeit des Detektors kann dadurch erreicht werden, dass weiterhin ein Detektor für eine maximale Bitbreite verwendet wird. Da die niedrigste zulässige Frequenz einer Subharmonischen $1/N$ der Taktfrequenz beträgt, ist die maximale Bitlänge für die kodierte Bitfolge gleich $N/2$ Taktperioden. Somit überwacht der Detektor für die maximale Bitbreite das Datensignal und erzeugt ein Sperrsignal bei Abtastung der Datenbits, welche dieses Maximum überschreiten.

Jedes Sperrsignal kann durch ein logisches Verknüpfungsglied hindurchgeführt werden, dessen Ausgang das Vorhandensein oder die Abwesenheit einer ermittelten Informationsbitfolge angibt.

Die Erfindung wird nachfolgend beispielsweise an Hand der Zeichnung beschrieben; in dieser zeigen:

Fig. 1 einen dreiteiligen Dekodierer, welcher den verbesserten Phasendetektor zusammen mit Detektoren für eine minimale und eine maximale Bitbreite aufweist,

Fig. 2 ein Schaltbild, welches die Schaltung für die im Blockschaltbild gemäss Fig. 1 angegebenen Anordnung veranschaulicht, und

Fig. 3 die Signalwellenformen an verschiedenen Stellen in dem Dekodierer gemäss Fig. 2.

Die Fig. 1 veranschaulicht in einem Blockdiagramm eine bevorzugte Ausführungsform des dreiteiligen Dekodierers gemäss der Erfindung, welcher mit einem Wechselschrift-Pseudozufallscode arbeitet.

Der erste Abschnitt 10 ist ein verbesserter Quadratur-Detektor, d. h. ein Phasendetektor, der vor allem eine Phasenverschiebung von 90° ermittelt. Da gemäss den obigen Ausführungen der kodierte Bitstrom zu Subharmonischen der Taktfrequenz synchron ist, darf bei einer Phasenverschiebung von 90° zur Taktfrequenz kein Datenübergang auftreten. Wenn dennoch ein Datenübergang mit einer Phasenverschiebung von

90° auftritt, so wird dieser Datenübergang als Rauschen interpretiert und nicht als Information ausgewertet. Der Detektor 10 weist einen Datenübergangs-Impulsgenerator 12, einen Quadratur-Impulsgenerator 14, einen Synchronkomparator 16 und einen Integrator 18 auf, der die negativen Signalteile integriert.

Im Betrieb wird die Information (D) von der Datenleitung 20 dem Übergangs-Impulsgenerator 12 zugeführt. Dieser Generator enthält eine Schaltung, welche das Datensignal (D) verarbeitet und daraus Eingangsimpulse (E) erzeugt, die als Übergangsimpulse geringer Breite ausgebildet sind. Diese Übergangsimpulse treten exakt zu der Zeit auf, zu welcher Datensignalübergänge zwischen den logischen Pegeln erfolgen, d. h. zwischen dem Zustand «Null» und «Eins». Der Generator 14 überwacht eine Taktleitung 22. Das Taktsignal (A) besitzt die Grundfrequenz, aus welcher die Frequenz der Subharmonischen abgeleitet wird. Bei einem Dekodierer dieser Art muss das Taktsignal aus der Informationsbitfolge wiedergewonnen werden. Während die Einrichtung zur Erzeugung dieses Taktsignals hier nicht beschrieben wird, sei darauf hingewiesen, dass solche Systeme weit verbreitet sind und hinreichend bekannt sein dürften. Da die Informationsbitfolge synchron zu einer Subharmonischen der Taktfrequenz ist, entspricht der Taktübergang, der bei 180° im Zyklus auftritt, 90° in einer Subharmonischen mit der halben Taktfrequenz. Ein Taktübergang bei 360° in einem Taktzyklus entspricht 90° in einer Subharmonischen mit 1/4 Taktfrequenz usw. Somit stehen die Taktübergänge in einer Phasenbeziehung von 90° in einer Subharmonischen, zu welchen die Kodierfrequenzen synchron sind. Der Impulsgenerator 14 verarbeitet das Taktsignal (A) und erzeugt daraus schmale Fensterimpulse (B, C) mit einer Phasenverschiebung von 90°.

Der Synchronkomparator 16 tastet die Fenster- (B, C) und die Übergangsimpulse (E) ab und erzeugt ein Sperrsignal (G) an seinem Ausgang, wenn diese Impulse synchron auftreten. Die Sperrimpulse von dem Synchronkomparator 16 werden über ein vorgegebenes Zeitintervall durch den Integrator 18 integriert. Wenn eine erforderliche Mindestzahl von Sperrimpulsen während des vorgegebenen Zeitintervalls erzeugt wurde, erzeugt der Integrator 18 das erste Sperrsignal an seinem Ausgang.

Das zweite Verarbeitungssystem 30 weist einen Detektor 32 für eine minimale Bitbreite und einen Integrator 34 auf, der die positiven Signalteile integriert. Da die kodierte Bitfolge auch eine Subharmonische enthält, die der halben Taktfrequenz entspricht, und welche in einer Pseudozufallsfolge auftritt, besteht eine Wahrscheinlichkeit, dass diese Subharmonische innerhalb eines vorgegebenen Zeitintervalls auftritt. Durch Abtasten dieser Subharmonischen wird der gesamte Dekodierer gegenüber Fehlern immun, die von Tonimpulsen herrühren, welche eine Frequenz aufweisen, die einer Subharmonischen der Taktfrequenz entspricht, was andernfalls als gültige Datenfolge angezeigt würde.

Im Betrieb tastet der Detektor für eine minimale Bitbreite sowohl die Datenleitung 20 als auch eine zweifache Taktleitung 24 ab. Die zweifache Taktleitung 24 führt zu einer Schaltung, die hier nicht beschrieben wird, jedoch an sich bekannt ist, welche ein Signal erzeugt, dessen Frequenz exakt gleich der doppelten Taktfrequenz ist. Da die halbe Taktfrequenz die höchste zulässige Informationsbitfolgefrequenz ist, haben die Bits der halben Taktfrequenz eine minimale Bitbreite. Der Detektor 32 erzeugt ein Ausgangssignal für solche Bits, welche dem erforderlichen Minimum entsprechen. Ein Integrator summiert den Ausgang des Detektors über ein genaues Zeitintervall und erzeugt ein zweites Sperrsignal-Ausgangssignal, wenn weniger als eine minimale Anzahl von Signalen vom Detektor 32 innerhalb eines vorgegebenen Zeitintervalls empfangen werden.

Die abschliessende Verarbeitungskette 40 besteht aus

einem Detektor 42 für eine maximale Bitbreite und einem Integrator 44. Da die niedrigste zulässige Subharmonische in der Informationsbitfolge eine Frequenz von 1/N besitzt, sind die längsten zulässigen Datenbits N/2 Taktperioden lang. Indem das Vorhandensein von Bits abgetastet wird, deren Länge dieses Maximum überschreitet, kann der Betrieb des Detektors bis auf ein sehr geringes Signal-Rausch-Verhältnis ausgedehnt werden, weil ein Rauschfehler bei Übergängen für Signale geringer Frequenz ausserordentlich unerwünscht ist.

Im Betrieb tastet der Detektor 44 für die maximale Bitbreite die Datenleitung 20 ab und erzeugt jedesmal dann Ausgangssignale, wenn ein Datenbit eine Länge aufweist, welche N/2 Taktperioden überschreitet. Der Integrator 44 summiert die Anzahl der Ausgangssignale des Detektors 42 über ein vorgegebenes Zeitintervall und erzeugt ein drittes Sperrsignal als Ausgangssignal, wenn die Summierung ein vorgegebenes Minimum überschreitet.

Das logische Gatter 50 überwacht jeden Ausgang des Systems 10, 30, 40, und wenn irgendeiner der Ausgänge ein Sperrsignal aufweist, aktiviert es diesen Ausgang, so dass dadurch angezeigt wird, dass keine Informationsbitfolge vorhanden ist. Somit erfüllt das Gatter 50 eine ODER-Funktion.

Die bevorzugte Ausführungsform nach dem Diagramm gemäss Fig. 1 ist in der Fig. 2 veranschaulicht. Die Fig. 3 veranschaulicht Signalwellenformen, welche an den jeweils angegebenen Punkten in dem Schaltbild der Fig. 2 auftreten.

Die Ermittlung einer Phasenverschiebung von 90° erfolgt im Netzwerk 10. Das Dateneingangssignal (D) wird über die Dateneingangsleitung 20 zugeführt und wird durch ein Paar von NAND-Gattern 100, 102, durch einen Kondensator 104 und einen Widerstand 106 einem exklusiven ODER-Gatter 108 zugeführt. Das Ausgangssignal des exklusiven ODER-Gatters ist als Wellenform (E) dargestellt, und es ist ersichtlich, dass dieses Signal aus Impulsen besteht, die bei jedem Datenübergang auftreten.

Der Impulsgenerator 14 verarbeitet das Taktsignal (A) über die Taktleitung 22 und führt es einer Reihe von NAND-Gattern 110, 112, 114 und 116 sowie einem Kondensator 118 und einem Widerstand 120 zu und erzeugt eine Ausgangswellenform (C). Die Wellenform (C) hat einen hohen Ausgangspegel, ausser während der positiven Taktübergänge, wobei zu dieser Zeit jeweils ein Ausgangsimpuls mit einem tiefen Pegel erzeugt wird. Das NAND-Gatter 130 zusammen mit einem Inverter 132 liefert die Ausgangswellenform (B), welche einen tiefen Pegel einnimmt, ausser zu den Zeiten eines negativen Taktübergangs, wobei zu diesen Zeiten ein positiver Impuls geringer Breite erzeugt wird. Die Ausgangswellenformen (B) und (E) werden einem exklusiven ODER-Gatter 140 zugeführt, welches die Wellenform (F) erzeugt. Für Daten, welche eine kodierte Informationsbitfolge ohne Synchronisationsfehler enthalten, bleibt das Ausgangssignal (F) des exklusiven ODER-Gatters auf einem konstanten Pegel. Für Daten jedoch, welche vollkommen aus Rauschen oder aus Synchronisationsfehlern bestehen, enthält die Wellenform (F) eine Reihe von Impulsen.

Die Wellenform (C) wird dem D-Eingang 143 eines D-Flip-Flops 142 zugeführt. Der Takteingang 145 des Flip-Flops 142 ist an das Wellenformsignal (F) angeschlossen. An seinem Q-Ausgang 147 erzeugt das Flip-Flop 142 die Wellenform (G). Für Daten, welche eine kodierte Bitfolge enthalten, bleibt das Ausgangssignal (G) auf einem konstanten Pegel, während für Daten ohne die Bitfolge das Ausgangssignal (G) eine Reihe von Impulsen enthält. Diese Impulse werden von einem Impulsdehner 150 verarbeitet, der aus einem ODER-Gatter 151 besteht, welches einen monostabilen Multivibrator 153 triggert, dessen

Periode so gewählt ist, dass sie eine geeignete Impulslänge hat.

Der Ausgangsimpuls vom Impulsdehner 150 wird dem Eingang eines Integrators 18 zugeführt. Der Integrator weist ein Paar von Transistoren 160 und 162 auf, und er hat weiterhin einen Integrierkondensator 164 sowie eine Reihe von Vorspannungswiderständen, die alle zwischen dem mit B+ bezeichneten Potential 170 und dem Erdpotential 172 angeordnet sind. Ein Impuls vom Impulsdehner 150 treibt den Transistor 160 in die Sättigung, so dass dadurch eine Seite des Kondensators 164 an Masse gelegt wird. Am Ende des Impulses wird der Transistor 160 abgeschaltet, und die Spannung am Kondensator 164 wird sehr langsam über den Transistor 162 und seine zugehörigen Widerstände entladen. Somit erhalten wiederholte Impulse vom Impulsdehner 150 eine grosse Spannung am Kondensator 164 aufrecht und dadurch auch eine starke Vorspannung auf den Transistor 162, so dass der Kollektor des Transistors 162 auf einem hohen Potential gehalten wird. Ein hohes Potential am Kollektor des Transistors 162 zeigt an, dass das Datensignal gegenüber dem Takt eine Phasenverschiebung von 90° aufweist und bildet daher die erste Sperrung für den Eingang des ODER-Gatters 50.

Für viele Anwendungsfälle liefert der 90°-Detektor 10 eine ausreichende Sicherheit für die abgetastete Informationsbitfolge. Da der Detektor das synchrone Auftreten von schmalen Impulsen ermittelt, ist das System in beachtlicher Weise von Taktsynchronisationsproblemen frei und lässt sich bei ausserordentlich geringem Signal-Rausch-Verhältnis betreiben.

Die Zuverlässigkeit der Dekodiereinrichtung kann jedoch durch ein weiteres Verarbeitungs-Netzwerk 30 weiter gesteigert werden. Dieses Netzwerk 30 weist einen Detektor 32 für eine minimale Bitbreite und einen Integrator 34 auf. Der Detektor 32 weist ein Schieberegister 200 mit vier Bit, ein Paar von exklusiven ODER-Gattern 202, 203 und ein NAND-Gatter 205 auf. Das Vier-Bit-Schieberegister 200 hat einen Dateneingang 201 und einen Takteingang oder Steuereingang 206. Der Dateneingang ist an die Datenleitung 20 angeschlossen, während der Takteingang mit einer Schaltung zur Erzeugung des Signals (H) verbunden ist, welches der doppelten Taktfrequenz entspricht.

Datenbits werden dem Register 200 in zeitlich gesteuerter Weise mit einer Geschwindigkeit zugeführt, welche der doppelten Taktfrequenz entspricht. Die Ausgangssignale vom Schieberegister werden über die Gatter 202, 203 und 205 geführt, welche folgende logische Funktion liefern:

$$F = (A \oplus B) \cdot (C \oplus D),$$

wobei A, B, C und D die Vier-Bit-Eingänge des Schieberegisters sind und F der Status des logischen Ausgangs darstellt. Da die Bedingung von «F» nur dann falsch ist, wenn $A = \bar{B}$ und $C = \bar{D}$, erzeugt der Detektor 32 Ausgangsimpulse für Daten, die aus Bits bestehen, welche bei der halben Taktfrequenz auftreten,

d. h. für Ausgangssignale des Schieberegisters 200, welche der Folge 0-1-1-0 oder 1-0-0-1 entsprechen.

Ein Ausgangsimpuls vom Detektor 32 zeigt das Vorhandensein einer Informationsbitfolge an. Diese Impulse sind wiederum im Impulsdehner 230 gedehnt worden, der ein ODER-Gatter 231 aufweist, welches einen monostabilen Multivibrator 232 zündet. Der Ausgang des Impulsdehners speist einen Integrator 34, welcher Transistoren 250, 251 und einen Integrierkondensator 252 sowie entsprechende Vorspannungswiderstände aufweist. Der Integrator 34 liefert die komplementäre Funktion des Integrators 18, da die Impulse vom Impulsdehner 230 das Vorhandensein der Bitfolge angeben, während das Ausgangssignal vom Impulsdehner 150 die Abwesenheit der Bitfolge angibt. Somit nimmt der Kollektor des Transistors 251 für die Abwesenheit von Impulsen vom Impulsdehner 230 eine hohe Spannung an, so dass dadurch das zweite Sperrsignal geliefert wird, welches auch das ODER-Gatter 50 speist.

Eine weitere Detektorzuverlässigkeit kann durch das Netzwerk 40 erreicht werden. Das Netzwerk 40 weist einen Detektor 42 für eine maximale Bitbreite und einen Integrator 44 auf. Der Detektor 42 hat ein ODER-Gatter 260, welches einen monostabilen Multivibrator 262 triggert. Das ODER-Gatter 260 tastet die Tastenleitung 20 ab und triggert den monostabilen Multivibrator 262 bei Datenübergängen. Wenn die Daten mit ausreichend hoher Frequenz auftreten, bleibt der monostabile Multivibrator 262 getriggert. Durch eine geeignete Auswahl der Zeitsteuerkomponenten im monostabilen Multivibrator 262 wird er für solche Frequenzen kontinuierlich getriggert, welche der Subharmonischen 1/N der Taktfrequenz entsprechen. Somit zeigt eine fortwährende Triggerung des monostabilen Multivibrators 42 an, dass eine Informationsbitfolge empfangen wurde. Der Ausgang des Detektors 42 wird durch den Integrator 44 integriert, um einen zusätzlichen Fehlerschutz zu liefern. Der Integrator 44 weist einen Transistor 270 auf und hat weiterhin einen Integrierkondensator 272 sowie entsprechende Vorspannungswiderstände. Das Ausgangssignal vom Kollektor des Transistors 270 stellt ein drittes Sperrsignal für Eingangsdaten dar, welche die maximale Bitbreite des Detektors 42 überschreiten. Dieses Ausgangssignal wird wiederum dem ODER-Gatter 50 zugeführt.

Das ODER-Gatter 50 weist Transistoren 280-282 auf, die in einer Konfiguration mit offenem Kollektor geschaltet sind, um den endgültigen Kodedetektor-Ausgang 290 zu bilden. Wenn somit das ODER-Gatter 50 irgendwelche Sperrsignale empfängt, nimmt sein Ausgang einen hohen Status ein. Andernfalls ist der Ausgang 290 auf einem tiefen Status. In einem vollständigen Dekodiersystem zeigt das Ausgangssignal des Kodedetektor-Ausgangs 290 der nachgeschalteten Anordnung an, ob eine Informationsbitfolge vorhanden ist.

Gemäss der Erfindung ist somit ein verbesserter Detektor für digital kodierte Information geschaffen worden, der einen verbesserten 90°-Phasendetektor enthält. Der verbesserte Phasendetektor kann mit zusätzlichen Dekodier-Verarbeitungs-Netzwerken verbunden sein, um die Zuverlässigkeit des Detektors weiter zu steigern.

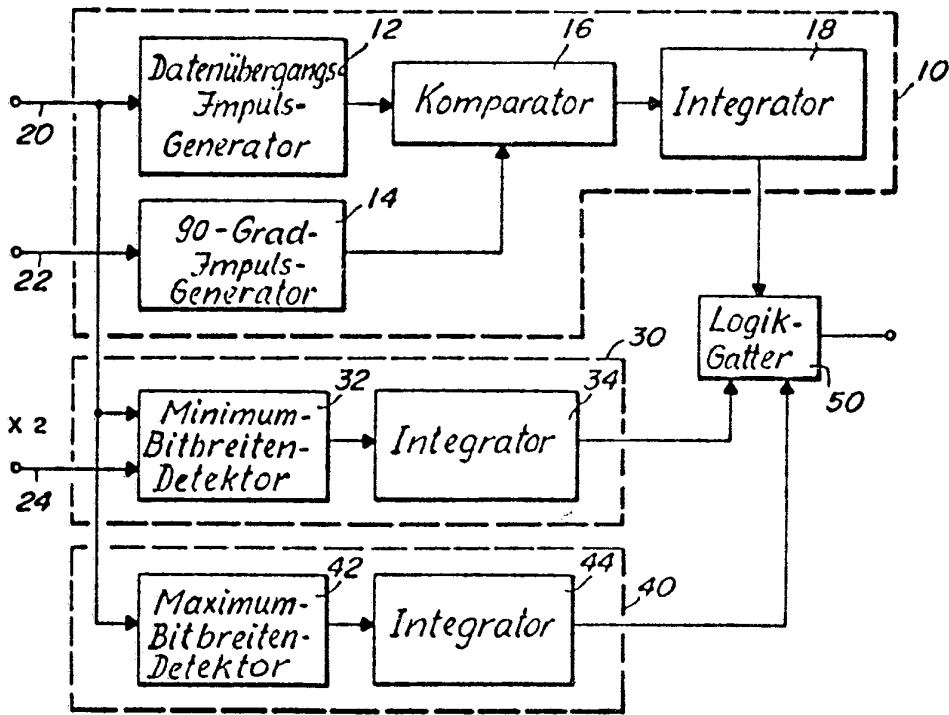
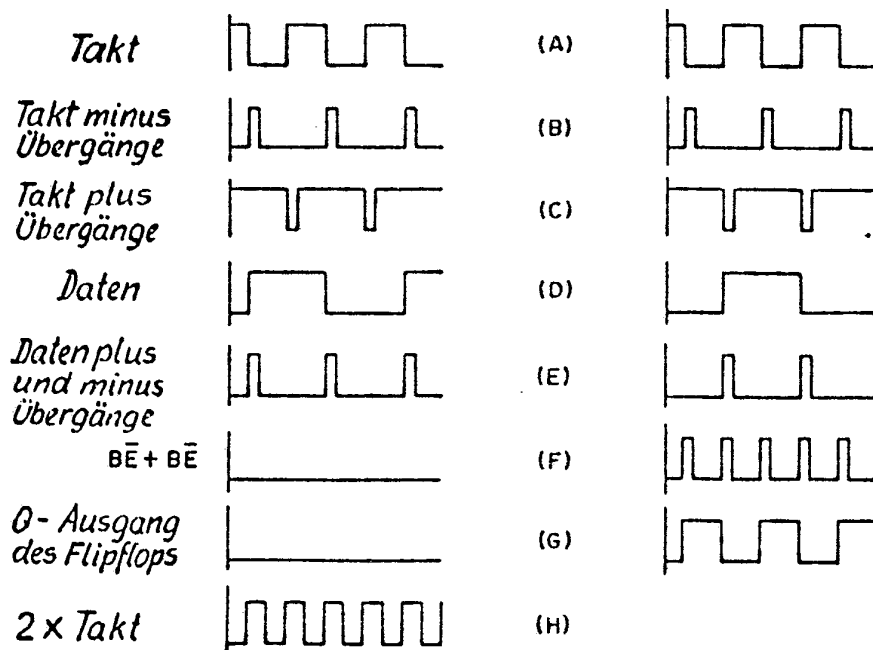
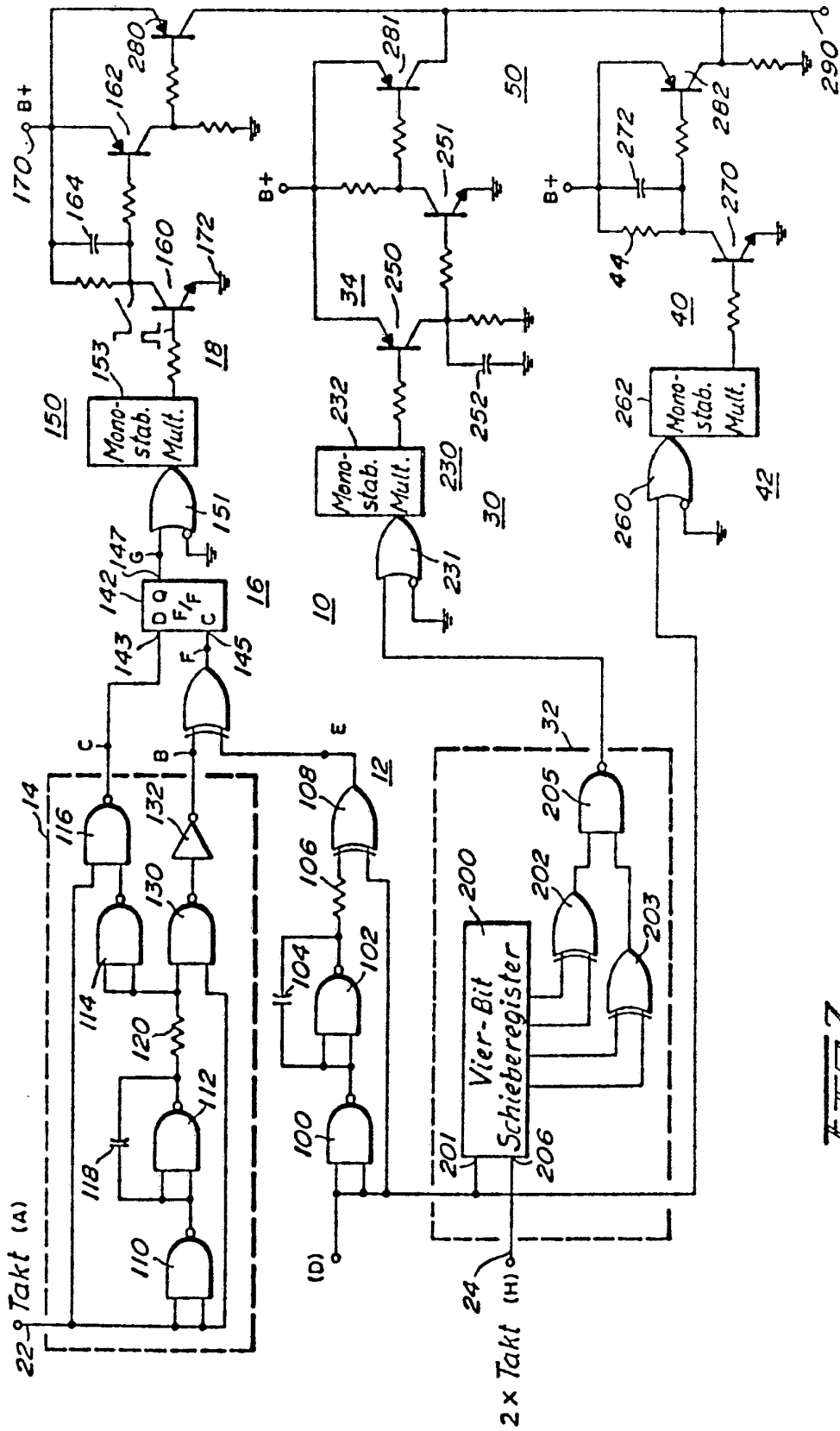


Fig. 1

Fig. 3





FEZ