



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2017-0093546  
(43) 공개일자 2017년08월16일

(51) 국제특허분류(Int. Cl.)  
*H01L 43/02* (2006.01) *G11C 11/16* (2006.01)  
*H01L 43/08* (2006.01) *H01L 43/10* (2006.01)  
 (52) CPC특허분류  
*H01L 43/02* (2013.01)  
*G11C 11/161* (2013.01)  
 (21) 출원번호 10-2016-0015086  
 (22) 출원일자 2016년02월05일  
 심사청구일자 2016년02월05일

(71) 출원인  
**한양대학교 산학협력단**  
 서울특별시 성동구 왕십리로 222(행당동, 한양대 학교내)  
 (72) 발명자  
**박재근**  
 경기도 성남시 분당구 구미로 115, 1003동 1901호 (구미동, 무지개마을건영아파트)  
**이승은**  
 서울특별시 동작구 남부순환로267가길 10 302호(사당동, 한빌주택)  
 (74) 대리인  
**남승희**

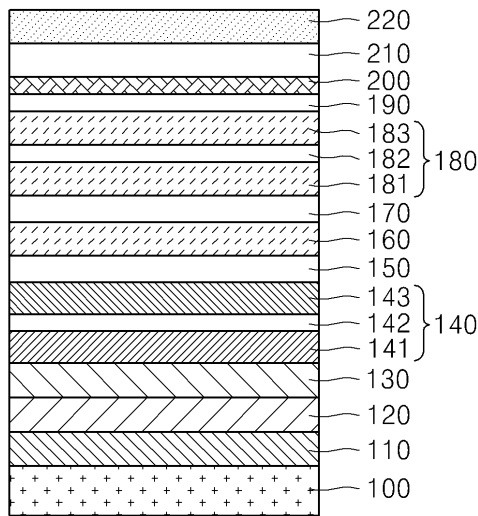
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **메모리 소자**

**(57) 요약**

본 발명은 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며, 자기 터널 접합과 캐핑층 사이에 확산 배리어가 형성된 메모리 소자를 제시한다.

**대표도** - 도1



(52) CPC특허분류

*H01L 43/08* (2013.01)

*H01L 43/10* (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 201500000000739

부처명 미래창조과학부

연구관리전문기관 (재)한국연구재단

연구사업명 이공분야 기초연구사업/ 중견연구자지원사업/ 도약연구(도전)

연구과제명 3차원 적층 cross-bar 수직형 스핀토크 자기저항 메모리 집적화 기술연구

기 여 율 1/1

주관기관 (재)한국연구재단

연구기간 2015.05.01 ~ 2016.04.30

---

## 명세서

### 청구범위

#### 청구항 1

기관 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며,

상기 자기 터널 접합과 캐핑층 사이에 확산 배리어가 형성된 메모리 소자.

#### 청구항 2

청구항 1에 있어서, 상기 자기 터널 접합과 상기 확산 배리어 사이에 형성된 산화물층을 더 포함하는 메모리 소자.

#### 청구항 3

청구항 1 또는 청구항 2에 있어서, 상기 자기 터널 접합은 고정층, 터널 배리어 및 자유층이 적층되고, 상기 자유층은 제 1 자화층, 자화를 갖지 않는 삽입층 및 제 2 자화층을 포함하는 메모리 소자.

#### 청구항 4

청구항 3에 있어서, 상기 자유층은 수직 자기 이방성을 가지는 메모리 소자.

#### 청구항 5

청구항 3에 있어서, 상기 캐핑층은 bcc 구조를 갖는 물질로 형성된 메모리 소자.

#### 청구항 6

청구항 5에 있어서, 상기 캐핑층은 W를 포함하는 물질로 형성된 메모리 소자.

#### 청구항 7

청구항 6에 있어서, 상기 확산 배리어는 상기 캐핑층 물질보다 원자 사이즈가 작은 물질로 형성된 메모리 소자.

#### 청구항 8

청구항 7에 있어서, 상기 확산 배리어는 Fe, Cr, Mo, V 중 적어도 하나로 형성된 메모리 소자.

#### 청구항 9

청구항 8에 있어서, 상기 확산 배리어는 0.1nm 내지 0.7nm의 두께로 형성된 메모리 소자.

**청구항 10**

기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 상부 전극이 적층 형성되며, 상기 자기 터널 접합은 이중 자유층을 포함하고, 상기 자기 터널 접합과 상부 전극 사이에 산화물층, 확산 배리어 및 캐핑층이 적층 형성되며, 상기 확산 배리어가 상기 캐핑층 물질의 적어도 상기 산화물층으로의 확산을 방지하는 메모리 소자.

**청구항 11**

청구항 10에 있어서, 상기 산화물층은 MgO를 포함하고, 상기 확산 배리어는 Fe를 포함하며, 상기 캐핑층은 W를 포함하는 메모리 소자.

**청구항 12**

청구항 11에 있어서, 상기 Fe는 0.1nm 내지 0.7nm의 두께로 형성된 메모리 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 메모리 소자에 관한 것으로, 특히 자기 터널 접합(Magnetic Tunnel Junction; MTJ)을 이용하는 자기 메모리 소자에 관한 것이다.

**배경 기술**

[0003] 플래쉬 메모리 소자에 비해 소비 전력이 적고 집적도가 높은 차세대 비휘발성 메모리 소자에 대한 연구가 진행되고 있다. 이러한 차세대 비휘발성 메모리 소자로는 칼코게나이드 합금(chalcogenide alloy)과 같은 상변화 물질의 상태 변화를 이용하는 상변화 메모리(Phase change RAM; PRAM), 강자성체의 자화 상태에 따른 자기 터널 접합(Magnetic Tunnel Junction; MTJ)의 저항 변화를 이용하는 자기 메모리(Magnetic RAM; MRAM), 강유전체 물질의 분극 현상을 이용하는 강유전체 메모리(Ferroelectric RAM), 가변 저항 물질의 저항 변화를 이용하는 저항 변화 메모리(Resistance change RAM; ReRAM) 등이 있다.

[0004] 자기 메모리로서 전자 주입에 의한 스핀 전달 토크(Spin-Transfer Torque; STT) 현상을 이용하여 자화를 반전시키고, 자화 반전 전후의 저항차를 판별하는 STT-MRAM(Spin-Transfer Torque Magnetic Random Access Memory) 소자가 있다. STT-MRAM 소자는 각각 강자성체로 형성된 고정층(pinned layer) 및 자유층(free layer)과, 이들 사이에 터널 배리어(tunnel barrier)가 형성된 자기 터널 접합을 포함한다. 자기 터널 접합은 자유층과 고정층의 자화 방향이 동일(즉 평행(parallel))하면 전류 흐름이 용이하여 저저항 상태를 갖고, 자화 방향이 다르면(즉 반평행(anti parallel)) 전류가 감소하여 고저항 상태를 나타낸다. 또한, 자기 터널 접합은 자화 방향이 기판에 수직 방향으로만 변화하여야 하기 때문에 자유층 및 고정층이 수직 자화값을 가져야 한다. 자기장의 세기 및 방향에 따라 수직 자화값이 0을 기준으로 대칭이 되고 스퀘어니스(squareness; S)의 모양이 뚜렷이 나오게 되면(S=1) 수직 자기 이방성(perpendicular magnetic anisotropy; PMA)이 우수하다고 할 수 있다. 이러한 STT-MRAM 소자는 이론적으로 10<sup>15</sup> 이상의 사이클링(cycling)이 가능하고, 나노초(ns) 정도의 빠른 속도로 스위칭이 가능하다. 특히, 수직 자화형 STT-MRAM 소자는 이론상 스케일링 한계(Scaling Limit)가 없고, 스케일링이 진행될수록 구동 전류의 전류 밀도를 낮출 수 있다는 장점으로 인해 DRAM 소자를 대체할 수 있는 차세대 메모리 소자로 연구가 활발하게 진행되고 있다. 한편, STT-MRAM 소자의 예가 한국등록특허 제10-1040163호에 제시되어 있다.

[0005] 일반적으로, STT-MRAM 소자는 자유층 하부에 시드층이 형성되고, 고정층 상부에 분리층이 형성되며, 분리층 상부에 합성 교환 반자성층 및 상부 전극이 형성된다. 그리고, STT-MRAM 소자는 실리콘 기판 상에 실리콘 산화막이 형성된 후 그 상부에 시드층 및 자기 터널 접합이 형성된다. 또한, 실리콘 기판 상에는 트랜지스터 등의 선

택 소자가 형성될 수 있고, 실리콘 산화막은 선택 소자를 덮도록 형성될 수 있다. 따라서, STT-MRAM 소자는 선택 소자가 형성된 실리콘 기판 상에 실리콘 산화막, 시드층, 자유층, 터널 배리어, 고정층, 분리층, 합성 교환 반자성층 및 상부 전극의 적층 구조를 갖는다. 여기서, 시드층 및 분리층은 탄탈륨(Ta)를 이용하여 형성하고, 합성 교환 반자성층은 자성 금속과 비자성 금속이 교대로 적층된 하부 자성층 및 상부 자성층과, 이들 사이에 비자성층이 형성된 구조를 갖는다. 즉, 기판을 중심으로 자기 터널 접합이 하층에 형성되고 합성 교환 반자성층이 상층에 형성된다.

[0006] 그런데, bcc(100) 방향으로 텍스처링되는 자기 터널 접합 상층에 fcc(111)의 합성 교환 반자성층이 형성되므로 합성 교환 반자성층을 형성할 때 fcc(111) 구조가 자기 터널 접합으로 확산되어 bcc(100) 결정을 악화시킬 수 있다. 즉, 합성 교환 반자성층을 형성할 때 그 물질의 일부가 자기 터널 접합으로 확산되어 자기 터널 접합의 결정성을 악화시킬 수 있다. 따라서, 자기 터널 접합의 자화 방향이 급격하게 변화될 수 없어 메모리의 동작 속도가 저하되거나 동작하지 않는 문제가 발생될 수 있다.

[0007] 이러한 문제를 해결하기 위해 기판 상에 합성 교환 반자성층을 먼저 형성한 후 그 상부에 자기 터널 접합을 형성할 수 있다. 또한, 자기 터널 접합 상에 상부 전극의 확산을 방지하기 위해 텅스텐을 이용하여 캐핑층을 형성한다. 따라서, 합성 교환 반자성층의 물질이 자기 터널 접합으로 확산되지 않으므로 자기 터널 접합의 bcc(100) 결정을 보존할 수 있다. 그런데, 패시베이션 공정 및 금속 배선 공정 등의 공정을 거치면서 자기 터널 접합 상에 형성된 캐핑층, 즉 텅스텐이 자기 터널 접합으로 확산된다. 따라서, 자기 터널 접합의 동작에 문제가 발생되어 소자의 특성이 열화될 수 있다.

## 선행기술문헌

### 특허문헌

[0009] (특허문헌 0001) 한국등록특허 제10-1040163호

## 발명의 내용

### 해결하려는 과제

[0010] 본 발명은 기판 상에 합성 교환 반자성층 및 자기 터널 접합이 적층된 메모리 소자를 제공한다.

[0011] 본 발명은 자기 터널 접합 상에 형성된 캐핑층 물질의 확산을 방지할 수 있는 메모리 소자를 제공한다.

### 과제의 해결 수단

[0013] 본 발명의 일 양태에 따른 메모리 소자는 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며, 상기 자기 터널 접합과 캐핑층 사이에 확산 배리어가 형성된다.

[0014] 상기 자기 터널 접합과 상기 확산 배리어 사이에 형성된 산화물층을 더 포함한다.

[0015] 상기 자기 터널 접합은 고정층, 터널 배리어 및 자유층이 적층되고, 상기 자유층은 제 1 자화층, 자화를 갖지 않는 삽입층 및 제 2 자화층을 포함한다.

[0016] 상기 자유층은 수직 자기 이방성을 가진다.

[0017] 상기 캐핑층은 bcc 구조를 갖는 물질로 형성되며, W를 포함하는 물질로 형성된다.

[0018] 상기 확산 배리어는 상기 캐핑층 물질보다 원자 사이즈가 작은 물질로 형성된다.

[0019] 상기 확산 배리어는 Fe, Cr, Mo, V 중 적어도 하나로 형성된다.

[0020] 상기 확산 배리어는 0.1nm 내지 0.7nm의 두께로 형성된다.

[0022] 본 발명의 다른 양태에 따른 메모리 소자는 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 상부 전극이 적층 형성되며, 상기 자기 터널 접합은 이중 자유층을 포함하고, 상기 자기 터널 접합과 상부 전극 사이에 산화물층, 확산 배리어 및 캐핑층이 적층 형성되며, 상기 확산 배리어가 상기 캐핑층 물질의 적어도 상기 산화물층으로의 확산을 방지한다.

[0023] 상기 산화물층은 MgO를 포함하고, 상기 확산 배리어는 Fe를 포함하며, 상기 캐핑층은 W를 포함한다.

[0024] 상기 Fe는 0.1nm 내지 0.7nm의 두께로 형성된다.

**발명의 효과**

[0026] 본 발명은 하부 전극을 다결정 물질로 형성하고, 그 상부에 합성 교환 반자성층을 형성한 후 자기 터널 접합을 형성한다. 따라서, 합성 교환 반자성층의 fcc(111) 구조가 자기 터널 접합으로 확산되지 않으므로 자기 터널 접합의 bcc(100) 결정을 보존할 수 있고, 그에 따라 자기 터널 접합의 자화 방향이 급격하게 변화시킬 수 있어 메모리의 동작 속도를 향상시킬 수 있다.

[0027] 또한, 자기 터널 접합과 캐핑층 사이에 확산 배리어를 형성함으로써 캐핑층 물질의 자기 터널 접합으로의 확산을 방지할 수 있다. 따라서, 자기 터널 접합의 정상 동작을 확보할 수 있어 메모리 소자의 동작 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

[0029] 도 1은 본 발명의 일 실시 예에 따른 메모리 소자의 단면도.

도 2는 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 확산 배리어의 두께에 따른 터널 자기 저항비를 도시한 도면.

도 3 및 도 4는 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 자성 특성을 도시한 도면.

도 5 및 도 6은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 TEM 사진.

도 7 및 도 8은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 이온 확산 분포를 도시한 도면.

**발명을 실시하기 위한 구체적인 내용**

[0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

[0031] 도 1은 본 발명의 일 실시 예에 따른 메모리 소자의 단면도로서, STT-MRAM 소자의 단면도이다.

[0032] 도 1을 참조하면, 본 발명의 일 실시 예에 따른 메모리 소자는 기판(100) 상에 형성된 하부 전극(110), 제 1 버퍼층(120), 시드층(130), 합성 교환 반자성층(140), 분리층(150), 고정층(160), 터널 배리어(170), 자유층(180), 제 2 버퍼층(190), 확산 배리어(200), 캐핑층(210) 및 상부 전극(220)을 포함한다. 여기서, 합성 교환 반자성층(140)은 제 1 자성층(141), 비자성층(142) 및 제 2 자성층(143)의 적층 구조로 형성되며, 고정층(160), 터널 배리어(170) 및 자유층(180)은 자기 터널 접합을 이룬다. 즉, 기판(100) 상에 하부 전극(110)으로부터 상부 전극(220)이 순서대로 적층 형성되며, 본 발명의 일 실시 예는 기판(100) 상에 합성 교환 반자성층(140)이 먼저 형성된 후 자기 터널 접합이 형성된다.

[0033] 기판(100)은 반도체 기판을 이용할 수 있다. 예를 들어, 기판(100)은 실리콘 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 실리콘 산화막 기판 등을 이용할 수 있는데, 본 실시 예에서는 실리콘 기판을 이용한다. 또한, 기판(100) 상에는 트랜지스터를 포함하는 선택 소자가 형성될 수 있다. 한편, 기판(100) 상에는 절연층(미도시)이

형성될 수 있다. 즉, 절연층은 선택 소자 등의 소정의 구조물을 덮도록 형성될 수 있고, 절연층에는 선택 소자의 적어도 일부를 노출시키는 콘택홀이 형성될 수 있다. 이러한 절연층은 비정질 구조의 실리콘 산화막(SiO<sub>2</sub>) 등을 이용하여 형성할 수 있다.

[0034] 하부 전극(110)은 기판(100) 상에 형성된다. 이러한 하부 전극(110)은 금속, 금속 질화물 등의 도전 물질을 이용하여 형성될 수 있다. 또한, 본 발명의 하부 전극(110)은 적어도 하나의 층으로 형성될 수 있다. 즉, 하부 전극(110)은 단일층으로 형성될 수도 있고, 둘 이상의 복수의 층으로 형성될 수도 있다. 하부 전극(110)이 단일층으로 형성되는 경우 예를 들어 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다. 또한, 하부 전극(110)은 예를 들어 제 1 및 제 2 하부 전극의 이중 구조로 형성될 수 있다. 여기서, 제 1 하부 전극은 기판(100) 상에 형성될 수 있고, 제 2 하부 전극은 제 1 하부 전극 상에 형성될 수 있다. 한편, 기판(100) 상에 절연층이 형성되는 경우 제 1 하부 전극은 절연층 상에 형성될 수 있고, 절연층 내부에 형성될 수 있으며, 그에 따라 기판(100) 상에 형성된 선택 소자와 연결될 수도 있다. 이러한 하부 전극(110)은 다결정(polycrystal)의 도전 물질로 형성될 수 있다. 즉, 제 1 및 제 2 하부 전극은 bcc 구조의 도전 물질로 형성될 수 있다. 예를 들어, 제 1 하부 전극은 텅스텐(W) 등의 금속으로 형성될 수 있고, 제 2 하부 전극은 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다.

[0035] 제 1 버퍼층(120)은 하부 전극(110) 상부에 형성된다. 제 1 버퍼층(120)은 하부 전극(110)과 시드층(130)의 격자 상수 불일치를 해소하기 위해 하부 전극(110)과 정합성이 우수한 물질로 형성할 수 있다. 예를 들어, 하부 전극(110) 또는 제 2 하부 전극이 TiN으로 형성되는 경우 제 1 버퍼층(120)은 TiN과 격자 정합성이 우수한 탄탈륨(Ta)을 이용하여 형성할 수 있다. 여기서, Ta는 비정질이지만, 하부 전극(110)이 다결정이기 때문에 비정질의 제 1 버퍼층(120)은 다결정의 하부 전극(110)의 결정 방향을 따라 성장될 수 있고, 이후 열처리에 의해 결정성이 향상될 수 있다. 한편, 제 1 버퍼층(120)은 예를 들어 2nm~10nm의 두께로 형성될 수 있다.

[0036] 시드층(130)은 제 1 버퍼층(120) 상에 형성된다. 시드층(130)은 합성 교환 반자성층(140)이 결정 성장할 수 있도록 하는 물질로 형성될 수 있다. 즉, 시드층(130)은 합성 교환 반자성층(140)의 제 1 및 제 2 자성층(141, 143)이 원하는 결정 방향으로 성장할 수 있도록 한다. 예를 들어, 면심 입방 격자(Face Centered Cubic: FCC)의 (111) 방향 또는 육방 밀집 구조(Hexagonal Close-Packed Structure: HCP)의 (001) 방향으로 결정의 성장을 용이하게 하는 금속으로 형성될 수 있다. 이러한 시드층(130)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg), 코발트(Co), 알루미늄(Al) 및 텅스텐(W)으로 이루어진 군으로부터 선택된 금속 또는 이들의 합금을 포함할 수 있다. 바람직하게, 시드층(130)은 백금(Pt)으로 형성할 수 있고, 1nm~3nm의 두께로 형성할 수 있다.

[0037] 합성 교환 반자성층(140)은 시드층(130) 상에 형성된다. 합성 교환 반자성층(140)은 고정층(160)의 자화를 고정시키는 역할을 한다. 합성 교환 반자성층(140)은 제 1 자성층(141), 비자성층(142) 및 제 2 자성층(143)을 포함한다. 즉, 합성 교환 반자성층(140)은 제 1 자성층(141)과 제 2 자성층(143)이 비자성층(142)을 매개로 반강자성적으로 결합된다. 이때, 제 1 자성층(141)과 제 2 자성층(143)은 FCC(111) 방향 또는 HCP(001) 방향의 결정을 가질 수 있다. 또한, 제 1 및 제 2 자성층(141, 143)의 자화 방향은 반평행하게 배열되는데, 예를 들어 제 1 자성층(141)은 상측 방향(즉, 상부 전극(220) 방향)으로 자화되고, 제 2 자성층(143)은 하측 방향(즉, 기판(100) 방향)으로 자화될 수 있다. 이와 반대로, 제 1 자성층(141)은 하측 방향으로 자화되고, 제 2 자성층(143)은 상측 방향으로 자화될 수도 있다. 제 1 자성층(141) 및 제 2 자성층(143)은 자성 금속과 비자성 금속이 교대로 적층된 구조로 형성될 수 있다. 자성 금속으로 철(Fe), 코발트(Co) 및 니켈(Ni) 등으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있고, 비자성 금속으로 크롬(Cr), 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh), 루테튬(Ru), 오스뮴(Os), 레늄(Re), 금(Au) 및 구리(Cu)로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있다. 예를 들어, 제 1 자성층(141) 및 제 2 자성층(143)은 [Co/Pd]<sub>n</sub>, [Co/Pt]<sub>n</sub> 또는 [CoFe/Pt]<sub>n</sub> (여기서, n은 1 이상의 정수)로 형성될 수 있다. 이때, 제 1 자성층(141)이 제 2 자성층(143)보다 두껍게 형성될 수 있다. 또한, 제 1 자성층(141)은 복수의 층으로 형성되고, 제 2 자성층(143)은 단일층으로 형성될 수 있다. 즉, 제 1 자성층(141)은 자성 금속과 비자성 금속이 복수회 반복 적층된 구조로 형성될 수 있고, 제 2 자성층(143)은 자성 금속과 비자성 금속이 한번 적층된, 즉 단일 적층 구조로 형성될 수 있다. 예를 들어, 제 1 및 제 2 자성층(141, 143)이 동일 물질이 동일 두께로 복수 적층될 수 있는데, 제 1 자성층(141)이 제 2 자성층(143)보다 많은 적층 수로 형성될 수 있다. 예를 들어, 제 1 자성층(141)은 Co 및 Pt가 6회 반복 적층된 [Co/Pt]<sub>6</sub>으로 형성될 수 있고, 제 2 자성층(143)은 Co 및 Pt가 3회 반복 적층된 [Co/Pt]<sub>3</sub>으로 형성될 수 있다. 이때, Co는 예를 들어 0.3nm~0.5nm의 두께로 형성될 수 있고, Pt는 Co보다 얇거나 같은 두께, 예를 들어 0.2nm~0.4nm의 두께로 형성될 수 있다. 또한, 제 1 자성층(141)은 반복 적층된 Co/Pt, 즉 [Co/Pt]<sub>6</sub>

상에 Co가 더 형성될 수 있다. 즉, 제 1 자성층(141)은 Co가 Pt보다 한층 더 형성될 수 있고, 최상층의 Co는 그 하층의 Co보다 두껍게 형성될 수 있는데, 예를 들어, 0.5nm~0.7nm의 두께로 형성될 수 있다. 그리고, 제 2 자성층(143)은 [Co/Pt]<sub>3</sub> 하층에 Co 및 Pt가 더 형성되고, 상층 Co가 더 형성될 수 있다. 즉, 비자성층(142) 상에 Co, Pt, [Co/Pt]<sub>3</sub> 및 Co가 적층되어 제 2 자성층(143)이 형성될 수 있다. 이때, [Co/Pt]<sub>3</sub> 하층의 Co는 [Co/Pt]<sub>3</sub>의 Co보다 같거나 두꺼운 두께, 예를 들어 0.5nm~0.7nm의 두께로 형성될 수 있고, [Co/Pt]<sub>3</sub> 하층의 Pt는 [Co/Pt]<sub>3</sub>의 Pt와 동일 두께로 형성될 수 있으며, 상층의 Co는 [Co/Pt]<sub>3</sub>의 Co와 동일 두께로 형성될 수 있다. 비자성층(142)은 제 1 자성층(141)과 제 1 자성층(143)의 사이에 형성되며, 제 1 자성층(141) 및 제 2 자성층(143)이 반자성 결합을 할 수 있도록 하는 비자성 물질로 형성된다. 예를 들어, 비자성층(142)은 루테튬(Ru), 로듐(Rh), 오스뮴(Os), 레늄(Re) 및 크롬(Cr)으로 이루어진 군으로부터 선택된 단독 또는 이들의 합금으로 형성될 수 있는데, 바람직하게는 루테튬(Ru)으로 형성될 수 있다. 한편, 제 2 자성층(143)이 단일 적층 구조, 즉 단일층으로 형성될 경우 제 1 자성층(141)의 두께도 줄일 수 있고, 그에 따라 전체적인 메모리 소자의 두께를 줄일 수 있다. 즉, 비자성층(142)을 중심으로 제 1 자성층(141)의 자화값과 제 2 자성층(143) 및 고정층(160)의 자화값의 합이 동일해야 한다. 그런데, 제 2 자성층(143)을 복층 적층 구조로 형성하는 경우 제 2 자성층(143) 및 고정층(160)의 자화값의 합과 제 1 자성층(141)의 자화값이 동일하도록 하기 위해 제 1 자성층(141)은 제 2 자성층(143)보다 반복 회수를 더 증가시켜 형성한다. 그러나, 본 발명은 제 2 자성층(143)을 단일 구조로 형성함으로써 제 1 자성층(141)의 적층 회수를 종래보다 줄일 수 있고, 그에 따라 메모리 소자의 전체적인 두께를 줄일 수 있다.

[0038] 분리층(150)은 합성 교환 반자성층(140) 상부에 형성된다. 분리층(150)이 형성됨으로써 합성 교환 반자성층(140)과 고정층(160)의 자화는 서로 독립적으로 발생된다. 또한, 분리층(150)은 고정층(160), 터널 배리어(170) 및 자유층(180)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있는 물질로 형성된다. 이를 위해 분리층(150)은 다결정 물질, 예를 들어 bcc 구조의 도전 물질로 형성될 수 있는데, 텅스텐(W)으로 형성될 수 있다. 이렇게 분리층(150)이 다결정 물질로 형성됨으로써 그 상부에 형성되는 고정층(160), 터널 배리어(170) 및 자유층(180)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, 다결정의 분리층(150)이 형성되면 그 상부에 형성되는 비정질의 자기 터널 접합이 분리층(150)의 결정 방향을 따라 성장되고, 이후 수직 자기 이방성을 위해 열처리를 하게 되면 자기 터널 접합이 결정성이 종래보다 향상될 수 있다. 특히, W를 분리층(150)으로 이용하게 되면 400℃ 이상, 예를 들어 400℃~500℃의 고온 열처리 후에 결정화됨으로써 터널 배리어(170) 안으로의 이종 물질의 확산을 억제하고 더 나아가 고정층(160) 및 자유층(180)을 결정화시켜 자기 터널 접합의 수직 자기 이방성을 유지할 수 있다. 즉, 자기 터널 접합의 결정성이 향상되면 자기장을 인가했을 때 자화가 더 크게 발생되고, 평행 상태에서 자기 터널 접합을 통해 흐르는 전류가 더 많아진다. 따라서, 이러한 자기 터널 접합을 메모리 소자에 적용하면 소자의 동작 속도 및 신뢰성을 향상시킬 수 있다. 한편, 분리층(150)은 예를 들어 0.2nm~0.5nm의 두께로 형성될 수 있다. 여기서, 합성 교환 반자성층(140)의 제 2 자성층(143)과 고정층(160)이 페로커플링(ferro coupling)되어야 고정층(160)의 자화 방향이 고정되지만, W를 이용한 분리층(150)이 0.5nm를 초과하는 두께로 형성되면 분리층(150)의 두께 증가로 인하여 고정층(160)의 자화 방향이 고정되지 않고 자유층(180)과 동일한 자화 방향을 가져 MRAM 소자에서 필요한 동일 자화 방향 및 다른 자화 방향이 발생하지 않아 메모리로 동작하지 않는다.

[0039] 고정층(160)은 분리층(150) 상에 형성되고, 강자성체 물질로 형성된다. 고정층(160)은 소정 범위 내의 자기장에서 자화가 한 방향으로 고정되며, 강자성체 물질로 형성될 수 있다. 예를 들어, 상부에서 하부로 향하는 방향으로 자화가 고정될 수 있다. 이러한 고정층(160)은 예를 들어 풀-호이스러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속(ferromagnetic metal)과 비자성 금속(nonmagnetic metal)이 교대로 적층된 다층 박막, L10형 결정 구조를 갖는 합금 또는 코발트계 합금 등의 강자성체 물질을 이용하여 형성할 수 있다. 풀-호이스러 반금속 계열의 합금으로는 CoFeAl, CoFeAlSi 등이 있고, 비정질계 희토류 원소 합금으로는 TbFe, TbCo, TbFeCo, DyTbFeCo, GdTbCo 등의 합금이 있다. 또한, 비자성 금속과 자성 금속이 교대로 적층된 다층 박막으로는 Co/Pt, Co/Pd, CoCr/Pt, Co/Ru, Co/Os, Co/Au, Ni/Cu, CoFeAl/Pd, CoFeAl/Pt, CoFeB/Pd, CoFeB/Pt 등이 있다. 그리고, L10형 결정 구조를 갖는 합금으로는 Fe<sub>50</sub>Pt<sub>50</sub>, Fe<sub>50</sub>Pd<sub>50</sub>, Co<sub>50</sub>Pt<sub>50</sub>, Fe<sub>30</sub>Ni<sub>20</sub>Pt<sub>50</sub>, Co<sub>30</sub>Ni<sub>20</sub>Pt<sub>50</sub> 등이 있다. 또한, 코발트계 합금으로는 CoCr, CoPt, CoCrPt, CoCrTa, CoCrPtTa, CoCrNb, CoFeB 등이 있다. 이러한 물질들 중에서 CoFeB 단일층은 CoFeB와 Co/Pt 또는 Co/Pd의 다층 구조에 비해 두껍게 형성될 수 있어 자기 저항비를 증가시킬 수 있다. 또한, CoFeB는 Pt 또는 Pd 등과 같은 금속보다 식각이 용이하므로 CoFeB 단일층은 Pt 또는 Pd 등이 함유된 다층 구조에 비해 제조 공정이 용이하다. 뿐만 아니라 CoFeB는 두께를 조절함으로써 수직 자화 뿐만 아니라 수평 자화를 가질 수 있다. 따라서, 본 발명의 실시 예는 CoFeB 단일층을 이용하여 고정층(160)을 형성하며, CoFeB는 비정질로 형성된 후 열처리에 의해 BCC(100)으로 텍

스처링(texturing)된다. 한편, 고정층(160)은 예를 들어 0.5nm~1.5nm의 두께로 형성될 수 있다.

[0040]

터널 배리어(170)는 고정층(160) 상에 형성되어 고정층(160)과 자유층(180)을 분리한다. 터널 배리어(170)는 고정층(160)과 자유층(180) 사이에 양자 기계적 터널링(quantum mechanical tunneling)이 가능하게 한다. 이러한 터널 배리어(170)는 마그네슘 산화물(MgO), 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>), 실리콘 산화물(SiO<sub>2</sub>), 탄탈륨산화물(Ta<sub>2</sub>O<sub>5</sub>), 실리콘 질화물(SiNx) 또는 알루미늄 질화물(AlNx) 등으로 형성될 수 있다. 본 발명의 실시 예에서는 터널 배리어(170)로 다결정의 마그네슘 산화물을 이용한다. 마그네슘 산화물은 이후 열처리에 의해 BCC(100)으로 텍스처링된다. 한편, 터널 배리어(170)는 고정층(160)과 동일하거나 두껍게 형성될 수 있는데, 예를 들어 0.5nm~1.5nm의 두께로 형성될 수 있다.

[0041]

자유층(180)은 터널 배리어(170) 상에 형성된다. 이러한 자유층(180)은 자화가 한 방향으로 고정되지 않고 일 방향에서 이와 대향되는 타 방향으로 변화될 수 있다. 즉, 자유층(180)은 고정층(160)과 자화 방향이 동일(즉 평행)할 수 있고, 반대(즉 반평행)일 수도 있다. 자기 터널 접합은 자유층(180)과 고정층(160)의 자화 배열에 따라 변하는 저항값에 '0' 또는 '1'의 정보를 대응시킴으로써 메모리 소자로 활용될 수 있다. 예를 들어, 자유층(180)의 자화 방향이 고정층(160)과 평행일 때, 자기 터널 접합의 저항값은 작아지고, 이 경우를 데이터 '0'이라 규정할 수 있다. 또한, 자유층(180)의 자화 방향이 고정층(160)과 반평행일 때, 자기 터널 접합의 저항값은 커지고, 이 경우를 데이터 '1'이라 규정할 수 있다. 이러한 자유층(180)은 예를 들어 풀-호이스러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속과 비자성 금속이 교대로 적층된 다층 박막 또는 L10형 결정 구조를 갖는 합금 등의 강자성체 물질로 형성될 수 있다. 한편, 자유층(180)은 제 1 자유층(181), 삽입층(182) 및 제 2 자유층(183)의 적층 구조로 형성될 수 있다. 즉, 자유층(180)은 삽입층(182)에 의해 상하 분리된 제 1 및 제 2 자유층(181, 183)의 구조로 형성될 수 있다. 여기서, 제 1 및 제 2 자유층(181, 183)은 동일 방향의 자화를 가질 수 있고, 서로 다른 방향의 자화를 가질 수 있다. 예를 들어, 제 1 및 제 2 자유층(181, 183)은 수직 자화를 각각 가질 수 있고, 제 1 자유층(181)이 수직 자화를 갖고 제 2 자유층(183)이 수평 자화를 가질 수 있다. 또한, 삽입층(182)은 자화를 갖지 않는 bcc 구조의 물질로 형성할 수 있다. 즉, 제 1 자유층(181)이 수직으로 자화되고, 삽입층(182)이 자화되지 않으며, 제 2 자유층(183)이 수직 또는 수평으로 자화될 수 있다. 이때, 제 1 및 제 2 자유층(181, 183)은 각각 CoFeB로 형성되며, 제 1 자유층(181)이 제 2 자유층(183)보다 얇거나 같은 두께로 형성될 수 있다. 또한, 삽입층(182)은 제 1 및 제 2 자유층(183)보다 얇은 두께로 형성될 수 있다. 예를 들어, 제 1 및 제 2 자유층(181, 183)은 CoFeB를 이용하여 0.5nm~1.5nm의 두께로 형성하고, 삽입층(182)은 bcc 구조의 물질, 예를 들어 W를 0.2nm~0.5nm의 두께로 형성할 수 있다. 여기서, 제 1 및 제 2 자유층(181, 182)은 고정층(160)과 동일하거나 얇은 두께로 형성될 수 있고, 자유층(180) 전체 두께는 고정층(160)의 두께보다 두꺼울 수 있다. 한편, 제 1 자유층(181)은 수직 자화를 더 증대시키기 위해 Fe를 더 포함하여 형성될 수 있다. 즉, 제 1 자유층(181)은 Fe 및 CoFeB가 적층되어 형성될 수 있다. 이때, Fe는 CoFeB보다 얇은 두께로 형성될 수 있는데, 예를 들어 0.3nm~0.5nm의 두께로 형성될 수 있다.

[0042]

제 2 버퍼층(190)은 자유층(180) 상에 형성된다. 이러한 제 2 버퍼층(190)은 마그네슘 산화물(MgO), 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>), 실리콘 산화물(SiO<sub>2</sub>), 탄탈륨산화물(Ta<sub>2</sub>O<sub>5</sub>) 등으로 형성될 수 있다. 즉, 제 2 버퍼층(190)은 산화물로 형성될 수 있다. 본 발명의 실시 예에서는 제 2 버퍼층(190)로 다결정의 마그네슘 산화물을 이용한다. 이러한 제 2 버퍼층(190)은 자유층(180)이 수직 자기 특성을 갖도록 하기 위해 형성된다. 즉, 제 2 버퍼층(190)의 산소가 자유층(180)으로 확산하여 자유층(180) 내의 물질과 결합함으로써 자유층(180)이 수직 자기 특성을 갖도록 한다. 한편, 제 2 버퍼층(190)은 예를 들어, 0.8nm~1.2nm의 두께로 형성할 수 있다.

[0043]

확산 배리어(200)는 제 2 버퍼층(190) 상에 형성된다. 이러한 확산 배리어(200)는 확산 배리어(200) 상에 형성되는 캐핑층(210) 구성 물질의 확산을 방지하기 위해 형성된다. 즉, 패시베이션 공정 및 배선 공정 등의 후속 공정을 실시할 때 캐핑층(210), 예를 들어 텅스텐이 하층의 자기 터널 접합으로 확산할 수 있다. 텅스텐이 자기 터널 접합으로 확산되면 자기 터널 접합의 수직 자기 특성에 문제를 발생시켜 소자의 특성을 열화시키게 된다. 이러한 캐핑층(210) 물질의 확산을 방지하기 위해 제 2 버퍼층(190)과 캐핑층(210) 사이에 확산 배리어(200)를 형성한다. 확산 배리어(200)는 텅스텐보다 원자 사이즈가 작은 물질로 형성될 수 있다. 예를 들어 확산 배리어(200)는 Fe, Cr, Mo, V 등의 물질로 형성될 수 있고, 바람직하게는 Fe로 형성될 수 있다. 또한, 확산 배리어(200)는 예를 들어 0.1nm~0.7nm의 두께로 형성될 수 있다. 그런데, 확산 배리어(200), 예를 들어 Fe를 0.7nm를 초과하여 두껍게 형성할 경우 Fe가 자기 특성을 갖기 때문에 수평 자기 특성을 나타낸다. 즉, Fe가 두껍게 형성되면 자기 터널 접합의 자유층(180)이 수직 자기 특성을 갖지 않고 수평 자기 특성을 가질 수 있다. 또한, 확산 배리어(200)를 얇게 형성할 경우 캐핑층(210) 물질의 확산 방지 효과가 크지 않을 수 있다. 따라서, 확산 배리

어(200)는 캐핑층(210)의 확산을 방지하고 자기 터널 접합이 수평 자기 특성이 나타나지 않을 정도의 두께로 형성할 수 있는데, 예를 들어 0.1nm~0.7nm로 형성할 수 있다.

[0044] 캐핑층(210)은 확산 배리어(200) 상에 형성된다. 이러한 캐핑층(210)은 다결정 물질, 예를 들어 bcc 구조의 도전 물질로 형성된다. 예를 들어, 캐핑층(210)은 텅스텐(W)으로 형성될 수 있다. 이렇게 캐핑층(210)이 다결정 물질로 형성됨으로써 그 하부의 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, bcc 구조의 분리층(150) 상에 비정질의 자기 터널 접합이 형성되면 비정질의 자기 터널 접합이 분리층(150)의 결정 방향을 따라 성장되고, 자기 터널 접합 상에 bcc 구조의 캐핑층(210)이 형성되어 이후 열처리를 하게 되면 자기 터널 접합의 결정성이 더욱 향상될 수 있다. 또한, 캐핑층(210)은 상부 전극(220)의 확산을 방지하는 역할을 한다. 이러한 캐핑층(210)은 예를 들어 1nm~4nm의 두께로 형성될 수 있다.

[0045] 상부 전극(220)은 캐핑층(210) 상에 형성된다. 이러한 상부 전극(220)은 도전 물질을 이용하여 형성할 수 있는데, 금속, 금속 산화물, 금속 질화물 등으로 형성될 수 있다. 예를 들어, 상부 전극(220)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg) 및 알루미늄(Al)으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금으로 형성될 수 있다.

[0047] 상기한 바와 같이 본 발명의 실시 예들에 따른 메모리 소자는 하부 전극(110)을 다결정 물질로 형성하고, 그 상부에 합성 교환 반자성층(140)을 형성한 후 자기 터널 접합을 형성한다. 따라서, 합성 교환 반자성층(140)의 fcc(111) 구조가 자기 터널 접합으로 확산되지 않으므로 자기 터널 접합의 bcc(100) 결정을 보존할 수 있고, 그에 따라 자기 터널 접합의 자화 방향이 급격하게 변화시킬 수 있어 메모리의 동작 속도를 향상시킬 수 있다. 또한, 자기 터널 접합 상의 제 2 버퍼층(190)과 캐핑층(210) 사이에 확산 배리어(200)를 형성함으로써 캐핑층(210)의 확산을 방지할 수 있다. 즉, 자기 터널 접합과 캐핑층(210) 사이에 확산 배리어(200)가 형성됨으로써 후속 공정에서 캐핑층(210)의 구성 물질이 자기 터널 접합 측으로 확산되는 것을 방지할 수 있고, 그에 따라 자기 터널 접합의 정상 동작을 확보할 수 있어 메모리 소자의 동작 신뢰성을 향상시킬 수 있다.

[0049] 도 2는 확산 배리어의 두께에 따른 자기 저항(Tunnel Magnetic Resistance; TMR)비를 도시한 도면이다. 즉, 도 2는 확산 배리어를 형성하지 않은 비교 예의 메모리 소자와, 확산 배리어를 0.2nm~0.7nm의 두께로 형성한 본 발명의 실시 예에 따른 메모리 소자의 자기 저항비를 측정한 그래프이다. 이때, 종래 예 및 본 발명의 실시 예는 구조 및 두께를 동일하게 형성하고 본 발명의 실시 예는 종래 예에 비해 확산 배리어를 더 형성하였다. 도 2에 도시된 바와 같이 확산 배리어를 형성하고 확산 배리어의 두께가 0.3nm까지는 자기 저항비가 상승하다가 0.3nm를 초과하여 0.7nm까지는 감소하였다. 자기 저항비는 확산 배리어가 0.3nm일 때 153%으로 최대인 것을 확인할 수 있다. 그러나, 확산 배리어의 두께가 0.2nm 이상 0.3nm 미만인 경우나 0.3nm 초과 0.7nm 이하인 경우에도 자기 저항비가 확산 배리어를 형성하지 않은 비교 예에 비해 증가하게 된다. 한편, 터널 자기 저항비는 CiPT(current in plane tunneling method) 방식의 장비를 통해 측정되었다. CiPT 측정 방식은 얇은 상부 전극 위에 두개의 프로브를 접합시켜 수  $\mu\text{m}$ 씩 간격을 차별화하여 측정하게 되며, 이때 수  $\mu\text{m}$  간격씩 측정된 얇은 상부 전극과 두꺼운 하부 전극 사이의 저항들을 피팅하여 장비 자체에서 터널 자기 저항비를 산출하게 된다.

[0051] 도 3 및 도 4는 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 자성 특성을 도시한 도면이다. 즉, 도 3(a) 및 도 4(a)는 확산 배리어를 형성하지 않은 비교 예의 자기 터널 접합 및 자유층의 자성 특성을 도시한 도면이고, 도 3(b) 및 도 4(b)는 확산 배리어를 형성한 본 발명의 일 실시 예에 따른 자기 터널 접합 및 자유층의 자성 특성을 도시한 도면이다. 여기서, 도 3(a) 및 도 4(a) 내의 화살표는 하측으로부터 상측으로 합성 교환 반자성층의 제 1 자성층 및 제 2 자성층, 고정층 및 자유층의 자기 방향을 나타내며, 도 3(b) 및 도 4(b)은 수직 자기 이방성과 수평 자기 이방성을 나타낸다. 도 4(a)에 도시된 바와 같이 본 발명의 실시 예는 도 3(a)에 도시된 비교 예와 마찬가지로 자유층이 보자력과 스쿼어니스를 잘 유지함을 알 수 있다. 또한, 도 3(b)에 도시된 바와 같이 비교 예의 자유층은 수직 자화도가 165  $\mu\text{emu}$ 이며 수평 자화도는 73  $\mu\text{emu}$ 로서 수직 및 수평 자기 이방성이 모두 나타난다. 그러나, 도 4(b)에 도시된 바와 같이 본 발명의 실시 예의 자유층은 수직 자화도가 217  $\mu\text{emu}$ 이며 수평 자화도는 수평 자기 이방성이 없이 자화도만 29  $\mu\text{emu}$ 를 가지고 있다. 따라서, Fe를 이용하여 확산 배리어를 형성하면 수직 자기 이방성이 향상되며 수직 자기 이방성의 방해가 되는 수평 자기 이방성이 사라진 것을 확인할 수 있다.

[0053] 도 5 및 도 6은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 TEM 사진이다. 즉, 도 5는 확산 배리어를 형성하지 않은 비교 예에 따른 메모리 소자의 TEM 사진이고, 도 6은 0.3nm의 확산 배리어를 형성한 본 발명의 실시 예에 따른 메모리 소자의 TEM 사진이다. 도 5의 비교 예에 따른 메모리 소자는 하측으로부터 상측으로 합성 교환 반자성층(SyAF), W 분리층, CoFeB 고정층, MgO 터널 배리어, CoFeB 제 1 자유층, W 삽입층, CoFeB 제 2 자유층, MgO 버퍼층 및 W 캐핑층이 적층 형성되고, 도 6의 본 발명의 실시 예에 따른 메모리 소자는 도 5의 메모리 소자에 MgO 버퍼층과 W 캐핑층 사이에 Fe 확산 배리어가 더 형성된다. 도 5에 도시된 바와 같이 Fe 확산 배리어를 형성하지 않은 비교 예의 경우 MgO 버퍼층이 비정질화되어 있는 것을 확인할 수 있다. 그러나, 도 6에 도시된 바와 같이 0.3nm의 Fe가 확산 배리어로 형성된 경우 MgO 버퍼층이 고르게 결정화된 것을 확인할 수 있다.

[0055] 도 7 및 도 8은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 이온 확산 분포를 각각 도시한 SIMS(Secondary ion mass spectroscopy) 결과이다. 도 7에 도시된 바와 같이 확산 배리어를 형성하지 않은 경우 캐핑층의 W 원자가 자기 터널 접합까지 확산된 것을 확인할 수 있고, 도 8에 도시된 바와 같이 Fe 확산 배리어를 형성한 경우 캐핑층의 W가 자기 터널 접합으로 확산되는 것을 확산 배리어가 방지하는 것을 확인할 수 있다. 따라서, 본 발명의 메모리 소자는 비교 예의 메모리 소자에 비해 캐핑층 형성 물질의 확산을 방지할 수 있고, 그에 따라 터널 자기 저항비를 향상시킬 수 있다.

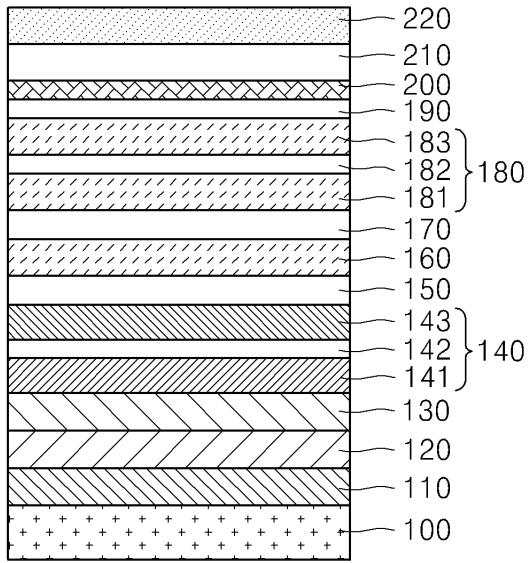
[0057] 한편, 본 발명의 기술적 사상은 상기 실시 예에 따라 구체적으로 기술되었으나, 상기 실시 예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의해야 한다. 또한, 본 발명의 기술분야에서 당업자는 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

**부호의 설명**

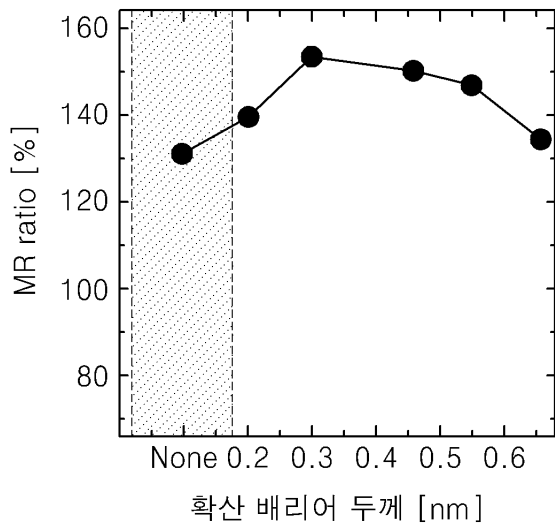
- [0059] 100 : 기판    110 : 하부 전극  
 120 : 제 1 버퍼층    130 : 시드층  
 140 : 합성 교환 반자성층    150 : 분리층  
 160 : 고정층    170 : 터널 배리어  
 180 : 자유층    190 : 제 2 버퍼층  
 200 : 확산 배리어    210 : 캐핑층  
 220 : 상부 전극

도면

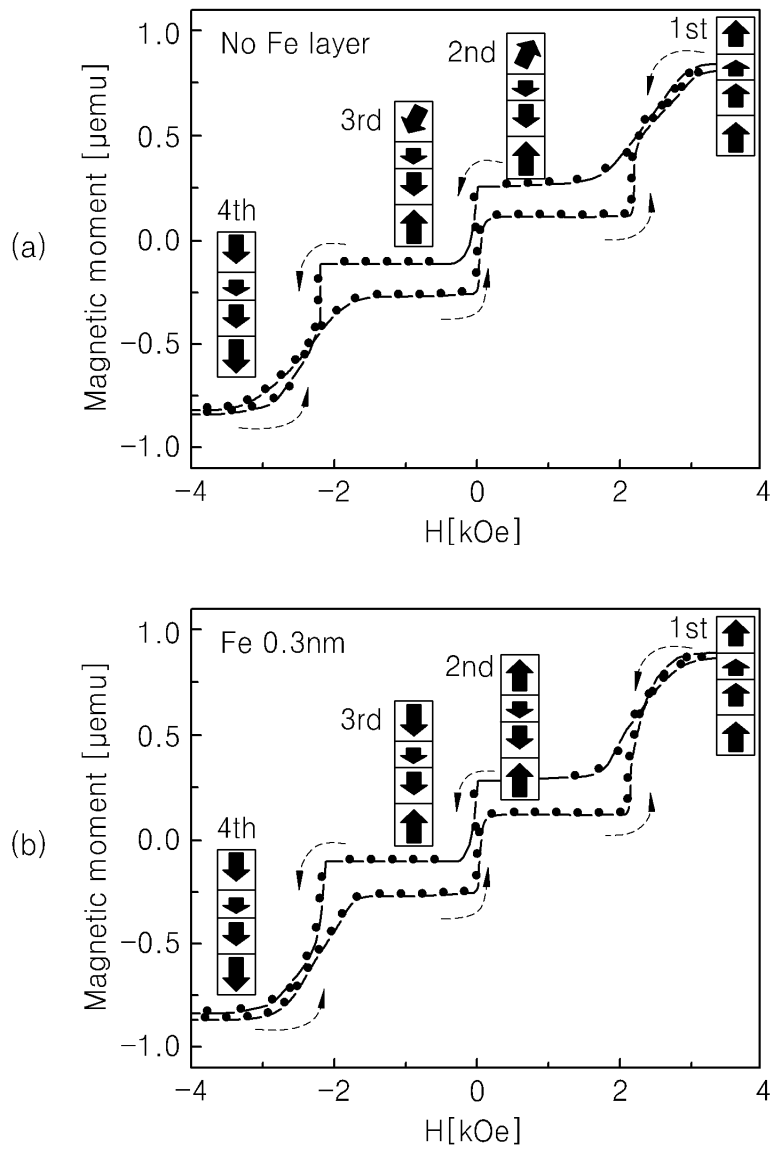
도면1



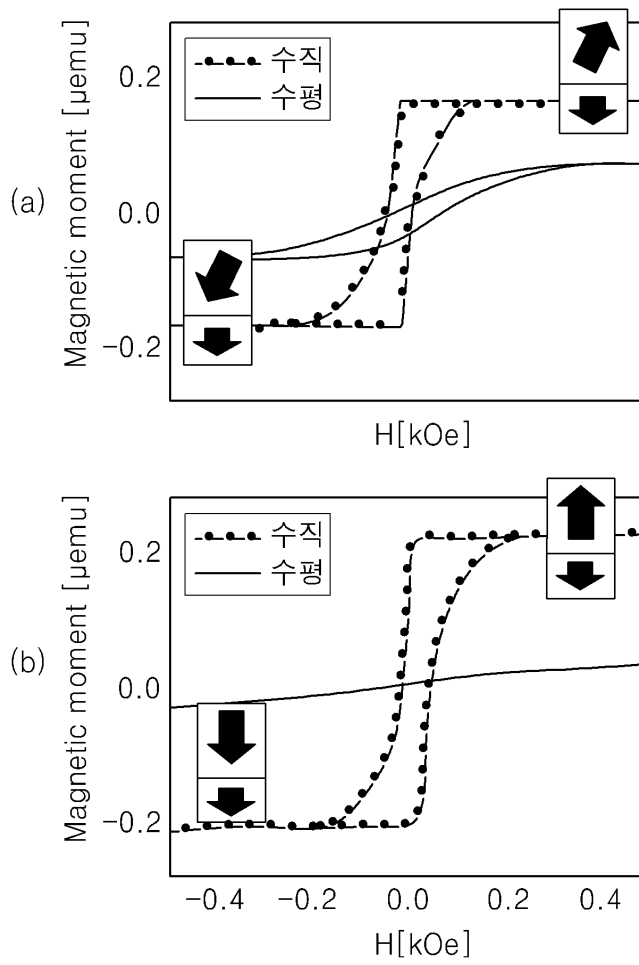
도면2



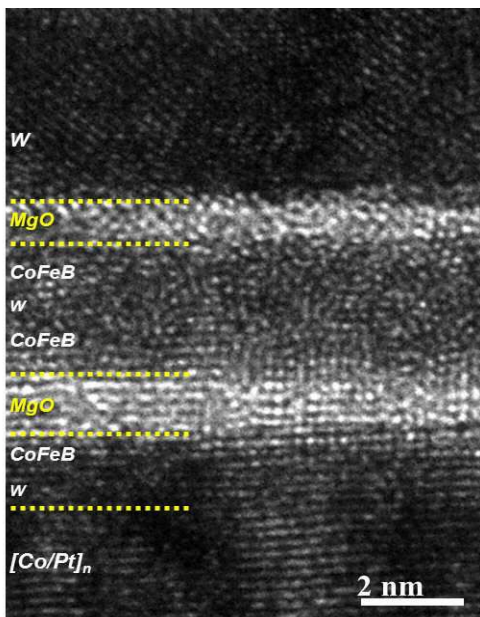
도면3



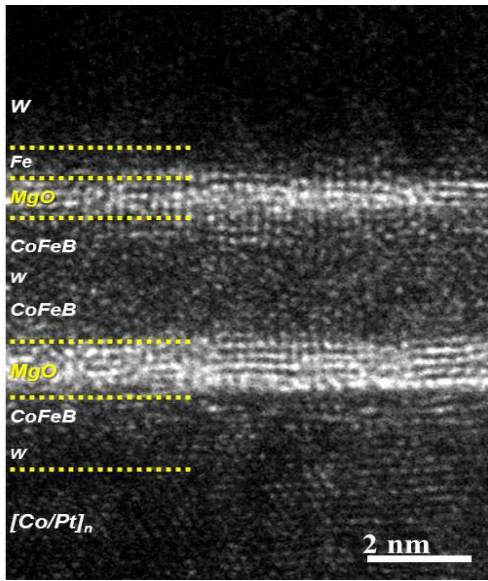
도면4



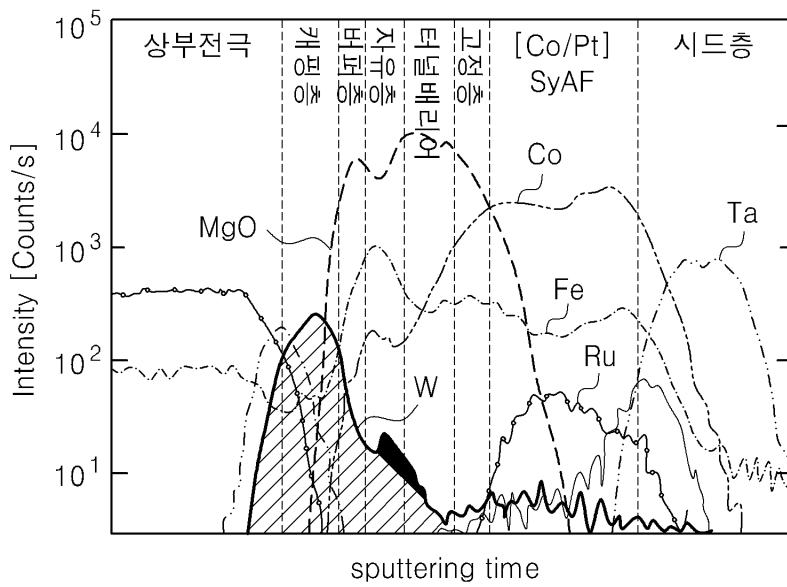
도면5



도면6



도면7



도면8

