

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 17 年 5 月 26 日 (2005.5.26)

【公開番号】特開 2004-39231 (P2004-39231A)
 【公開日】平成 16 年 2 月 5 日 (2004.2.5)
 【年通号数】公開・登録公報 2004-005
 【出願番号】特願 2003-272462 (P2003-272462)
 【国際特許分類第 7 版】

G 1 1 C 11/15

G 1 1 C 17/18

【F I】

G 1 1 C 11/15 1 5 0

G 1 1 C 17/00 3 0 6 Z

【手続補正書】

【提出日】平成 16 年 6 月 7 日 (2004.6.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

あらかじめ選択された論理状態を有する基準セルに対する抵抗性メモリデバイスにおけるメモリ・セルの論理状態を判定するための検知回路であって、

(a) 第 1 のバイアス電圧が前記メモリ・セルに印加されたときに、前記メモリ・セルに関連した第 1 のメモリ・セル・パラメータを求め、第 2 のバイアス電圧が前記メモリ・セルに印加されたときに、前記メモリ・セルに関連した第 2 のメモリ・セル・パラメータを求めるように構成されたメモリ・セル検知回路と、

(b) 前記第 1 のバイアス電圧が前記基準セルに印加されたときに、前記基準セルに関連した第 1 の基準セル・パラメータを求め、前記第 2 のバイアス電圧が前記基準セルに印加されたときに、前記基準セルに関連した第 2 の基準セル・パラメータを求めるように構成された基準セル検知回路と、

(c) 前記第 1 のメモリ・セル・パラメータ及び/または前記第 1 の基準セル・パラメータを変更して、前記第 1 のバイアス電圧において、前記メモリ・セル・パラメータと前記基準セル・パラメータがほぼ等しくなるようにするための調整回路と、

(d) 前記第 2 のバイアス電圧における前記メモリ・セルの論理状態を判定するために、前記第 2 のメモリ・セル・パラメータと前記第 2 の基準セル・パラメータとの差を求めるための状態判定回路を備える、検知回路。

【請求項 2】

前記メモリ・セル検知回路が、前記第 1 のバイアス電圧が前記メモリ・セルに印加されたときに、前記メモリ・セルに関連したメモリ・セル・ノードにおける第 1 のメモリ・セル電圧を求め、前記第 2 のバイアス電圧が前記メモリ・セルに印加されたときに、前記メモリ・セル・ノードにおける第 2 のメモリ・セル電圧を求めるように構成されることからなる、請求項 1 に記載の検知回路。

【請求項 3】

前記基準セル検知回路が、前記第 1 のバイアス電圧が前記基準セルに印加されたときに、前記基準セルに関連した基準・セル・ノードにおける第 1 の基準セル電圧を求め、前記第

2 のバイアス電圧が前記基準セルに印加されたときに、前記基準セル・ノードにおける第 2 の基準セル電圧を求めるように構成されることからなる、請求項 2 に記載の検知回路。

【請求項 4】

前記状態判定回路に、前記メモリ・セル・パラメータと前記基準セル・パラメータとの差をあるしきい値とを比較して、前記メモリ・セルの論理状態を判定するための装置が含まれる、請求項 1 に記載の検知回路。

【請求項 5】

前記状態判定回路が、前記メモリ・セルの論理状態を判定するために、前記メモリ・セル・パラメータと前記基準セル・パラメータの差が正極性であるかまたは負極性であるかを判定するための装置を備える、請求項 1 に記載の検知回路。

【請求項 6】

前記メモリ・セル検知回路に、検知トランジスタが含まれ、前記基準セル検知回路に、前記検知トランジスタのゲートと共通であるゲートを有する基準トランジスタが含まれる、請求項 3 に記載の検知回路。

【請求項 7】

前記調整回路に、前記検知トランジスタ及び／または前記基準トランジスタのバック・ゲートに接続され、前記検知トランジスタのバック・ゲートにおける電圧を選択的に変更して、前記第 1 の基準セル電圧が前記第 1 のメモリ・セル電圧にほぼ等しい均衡点に至るようにする電圧調整装置が含まれる、請求項 6 に記載の検知回路。

【請求項 8】

前記バック・ゲートにおける電圧を前記均衡点に維持するために、前記バック・ゲートに関連付けられた電氣的記憶装置をさらに備える、請求項 7 に記載の検知回路。

【請求項 9】

前記電圧調整装置は、可変電圧発生器と、前記可変電圧発生器を前記バック・ゲートに選択的に接続するための装置を備えることからなる、請求項 7 に記載の検知回路。

【請求項 10】

前記可変電圧発生器、前記メモリ・セル・ノード、及び、前記基準セル・ノードと通信して、前記第 1 のメモリ・セル電圧と前記第 1 の基準セル電圧の差を決定し、及び、その差に応答して、前記可変電圧発生器を前記バック・ゲートに選択的に接続するための比較器をさらに備える、請求項 9 の検知回路。

【請求項 11】

前記メモリ・セル・ノード及び前記基準セル・ノードと通信して、前記第 2 のメモリ・セル電圧と前記第 2 の基準セル電圧の差に応答して出力電圧を生成するための比較器回路をさらに備える請求項 3 の検知回路であって、その差が、前記メモリ・セルの論理状態を示すことからなる、検知回路。

【請求項 12】

既知の論理状態に予め設定された基準セルを使用して、抵抗性メモリデバイスにおけるメモリ・セルの論理状態を判定するための検知回路であって、

(a) 前記メモリ・セルと前記基準セルに第 1 のバイアス電圧を印加するための第 1 のバイアス電圧源と、

(b) 前記メモリ・セルに関連した第 1 のメモリ・セル・パラメータと、前記基準セルに関連した第 1 の基準セル・パラメータとを、いずれも前記第 1 のバイアス電圧において検知するための第 1 の検知装置と、

(c) 前記第 1 の基準セル・パラメータが前記第 1 のメモリ・セル・パラメータにほぼ等しくなるように、前記第 1 のメモリ・セル・パラメータ及び／または前記第 1 の基準セル・パラメータを変更するための調整装置と、

(d) 第 2 のバイアス電圧を前記メモリ・セル及び基準セルに印加するための第 2 のバイアス電圧源と、

(e) 前記メモリ・セルに関連した第 2 のメモリ・セル・パラメータと、前記基準セルに関連した第 2 の基準セル・パラメータとを、いずれも前記第 2 のバイアス電圧において

検知するための第 2 の検知装置と、

(f) 前記第 2 のメモリ・セル・パラメータと前記第 2 の基準セル・パラメータの差を比較して、前記メモリ・セルの論理状態を決定するための比較回路を備える、検知回路。

【請求項 13】

前記第 1 及び第 2 のメモリ・セル・パラメータが、前記メモリ・セルに関連したメモリ・セル・ノードにおける第 1 及び第 2 の電圧であり、前記第 1 及び第 2 の基準セル・パラメータが、前記基準セルに関連した基準セル・ノードにおける第 1 及び第 2 の基準セル電圧である、請求項 12 の検知回路。

【請求項 14】

あらかじめ選択された論理状態を有する基準セルに対する抵抗性メモリデバイスにおけるメモリ・セルの論理状態を判定する方法であって、

(a) 第 1 のバイアス電圧が前記メモリ・セルに印加されたときに、前記メモリ・セルに関連した第 1 のメモリ・セル・パラメータを検知し、第 2 のバイアス電圧が前記メモリ・セルに印加されたときに、前記メモリ・セルに関連した第 2 のメモリ・セル・パラメータを検知するステップと、

(b) 前記第 1 のバイアス電圧が前記基準セルに印加されたときに、前記基準セルに関連した第 1 の基準セル・パラメータを検知し、前記第 2 のバイアス電圧が前記基準セルに印加されたときに、前記基準セルに関連した第 2 の基準セル・パラメータを検知するステップと、

(c) 前記第 1 のメモリ・セル・パラメータ及び/または前記第 1 の基準セル・パラメータを変更して、前記メモリ・セル・パラメータと前記基準セル・パラメータがほぼ等しくなるようにするステップと、

(d) 前記メモリ・セルの論理状態を判定するために、前記第 2 のメモリ・セル・パラメータと前記第 2 の基準セル・パラメータとの差を求めるステップを含む、方法。

【請求項 15】

前記第 1 及び第 2 のメモリ・セル・パラメータが、前記メモリ・セルに関連したメモリ・セル・ノードにおける第 1 及び第 2 の電圧であり、前記第 1 及び第 2 の基準セル・パラメータが、前記基準セルに関連した第 1 及び第 2 の電圧である、請求項 14 に記載の方法。

【請求項 16】

前記第 1 及び第 2 のメモリ・セル・パラメータが、前記メモリ・セルに関連した第 1 及び第 2 の電流であり、前記第 1 及び第 2 の基準セル・パラメータが、前記基準セルに関連した第 1 及び第 2 の電流である、請求項 14 に記載の方法。

【請求項 17】

前記比較するステップが、前記第 1 のメモリ・セル電圧と前記第 1 の基準セル電圧の差がある閾値と比較して、前記メモリ・セルの論理状態を決定するステップを含む、請求項 14 の方法。

【請求項 18】

前記比較するステップが、前記第 1 のメモリ・セル電圧と前記第 1 の基準セル電圧の差が正極性であるか負極性であるかを判定して前記メモリ・セルの論理状態を決定するステップを含む、請求項 14 の方法。

【請求項 19】

前記メモリ・セルを検知するために検知トランジスタが使用され、前記基準セルを検知するために、前記検知トランジスタのゲートと共通であるゲートを有する基準トランジスタが使用される、請求項 15 に記載の方法。

【請求項 20】

前記変更するステップが、前記検知トランジスタ及び/または前記基準トランジスタのバック・ゲートに印加される電圧を調整することにより、該バック・ゲートにおける電圧を選択的に変更して、該バック・ゲートにおける電圧が、前記第 1 の基準セル電圧と前記第

１のメモリ・セル電圧がほぼ等しい均衡点に至るようにするステップを含む、請求項１９に記載の方法。

【請求項２１】

前記バック・ゲートにおける電圧が、電氣的記憶装置により前記均衡点に維持される、請求項２０の方法。

【請求項２２】

前記電圧が、前記バック・ゲートに可変電圧発生器を選択的に与えることにより、前記バック・ゲートにおいて調整される、請求項２０の方法。

【請求項２３】

既知の論理状態に予め設定された基準セルを使用して、抵抗性メモリデバイスにおけるメモリ・セルの論理状態を判定するための方法であって、

（ａ）第１のバイアス・電圧を前記メモリ・セルと前記基準セルに印加するステップと

、
（ｂ）前記メモリ・セルに関連する第１のメモリ・セル・パラメータと、前記基準セルに関連する第１の基準セル・パラメータを、いずれも前記第１のバイアス・電圧において測定するステップと、

（ｃ）前記第１の基準セル・パラメータが前記第１のメモリ・セル・パラメータにほぼ等しくなるように、前記第１のメモリ・セル・パラメータ及び／または前記第１の基準セル・パラメータを調整するステップと、

（ｄ）第２のバイアス電圧を前記メモリ・セル及び基準セルに印加するステップと、

（ｅ）前記メモリ・セルに関連した第２のメモリ・セル・パラメータと、前記基準セルに関連した第２の基準セル・パラメータとを、いずれも前記第２のバイアス電圧において測定するステップと、

（ｆ）前記第２のメモリ・セル・パラメータと前記第２の基準セル・パラメータの差を比較して、前記メモリ・セルの論理状態を決定するステップを含む、方法。

【請求項２４】

前記第１及び第２のメモリ・セル・パラメータが、前記メモリ・セルに関連したメモリ・セル・ノードにおける第１及び第２の電圧であり、前記第１及び第２の基準セル・パラメータが、前記基準セルに関連した基準セル・ノードにおける第１及び第２の基準セル電圧である、請求項２３に記載の方法。