申請日期	85 年 3 月 28 日
案號	85103768
類別	G02F 1/13, 1/136, H04N 5/00, 5/74, 9/00

公告本 A4 C4

（以上各欄由本局填註）

397925

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	活性矩陣液晶顯示裝置
	英文	Active matrix liquid crystal display
二、發明 ~~創作~~ 人	姓名	(1) 山根康邦 (2) 小山潤 (3) 千村秀彥
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國奈良縣磯城郡田原本町阪手二八－一五 (2) 日本國神奈川縣相模原市西橋本一－四－二三 (3) 日本國神奈川縣厚木市愛甲一〇五八の一 メゾンドール二〇三號
三、申請人	姓名（名稱）	(1) 佳寶股份有限公司 シャープ株式会社 (2) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國籍	(1) 日本 (2) 日本
	住、居所（事務所）	(1) 日本國大阪府大阪市阿倍野區長池町二二－二二 (2) 日本國神奈川縣厚木市長谷三九八
	代表人姓名	(1) 辻晴雄 (2) 山崎舜平

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995 年 3 月 17 日　7-86315　　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

1．發明領域

本發明係關於一種活性矩陣液晶顯示裝置，且特別而言，係關於可耗損較習知活性矩陣液晶顯示裝置更少電能之活性矩陣液晶顯示裝置。

2．相關技藝之說明

在活性矩陣液晶顯示裝置中，圖素設置在矩陣構造之每個交叉點上。每個圖素安裝有切換裝置。關於此圖素之資訊可藉由開關該切換裝置而表現。在此種顯示裝置中使用液晶當成顯示介質。在本發明中，使用具有三端，即閘極，源極，和汲極之薄膜電晶體（ＴＦＴ）當成切換裝置。

在本說明書中，與列平行延伸之矩陣構造訊號線（閘線）之列和在列中之ＴＦＴ之閘極連接。與行平行延伸之矩陣構造訊號線（源極線）之行在行中與ＴＦＴ之源（或汲）極連接。用以驅動掃描線之電路視爲掃描線驅動電路。用以驅動訊號線之電路視爲訊號線驅動電路。

圖２爲習知活性矩陣液晶顯示裝置。訊號線驅動電路２１安裝在頂部，和掃描線驅動電路２２分別安裝在左側以驅動訊號線２３和掃描線２４。掃描線驅動電路２２和訊號線驅動電路２１接收來自例如時鐘產生器之訊號產生電路之例如時鐘脈衝之訊號。

一般使用如圖３（ａ）所示之使用移位暫存器３５之掃描線驅動電路２２。當時鐘脈衝（ＣＬ１，ＣＬ２）輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

入時，輸出脈衝移位一位置。輸出脈衝經由ＮＡＮＤ閘３３和緩衝電路３４饋至一掃描線３２。以此方式，掃描線３２可連續的驅動。

圖３（ｂ）爲掃描線驅動電路２２之時間圖。

在視頻圖線陣列（ＶＧＡ）之情形下，每個掃描線掃描約３１μｓ。

訊號線驅動電路２１之一例如圖４所示。和掃描線驅動電路２２相同的，訊號線驅動電路２１一般使用移位暫存器４１。但是，和掃描線驅動電路２２不同的是，訊號線驅動電路２１並不直接驅動訊號線４４。由移位暫存器４１而來之輸出訊號經由緩衝電路４２而驅動取樣類比開關４３。類比視頻訊號４５受到取樣並饋至訊號線４４。

在ＶＧＡ之例中，理想的取樣時間約４０ｎｓｅｃ。在考慮ＴＦＴ之效能下，訊號線驅動電路２１由ＴＦＴ構成，而取樣時間設定至３２０ｎｓｅｃ或６４０ｎｓｅｃ。在此例中，使用互相移位４０ｎｓｅｃ之４相位或８相位時鐘脈衝。

另一習知之活性矩陣液晶顯示裝置如日本專利公開號１８６２８１／１９９２所述且如圖５所示。在此構造中，訊號線５０分爲多數群。訊號線５０由顯示裝置之兩端驅動。由於訊號線之載入電容量和載入電阻減半，如此可輕易的驅動訊號線５０。

使用活性矩陣液晶顯示裝置之商品包括筆記型電腦和可攜式智慧型終端機。這些商品需要以電磁驅動。但是，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

已知之活性矩陣液晶顯示裝置之服務時間會受到顯示裝置之電源消耗量所限制。因此，重要的是降低由活性矩陣液晶顯示裝置所耗損之電源以獲得較長之服務時間。

現今之趨勢傾向於節省能源。在考慮提升下一代顯示裝置之活性矩陣液晶顯示裝置必需達成低電源耗損。

降低電源耗損之可行方法之一爲降低施加電壓或操作頻率。但是，此方法會破壞效能。因此，所尋求的是一種可降低電源耗損並保持效能之方法。

在已述之習知方法和圖5所示中，訊號線電容減半。令P2爲當訊號線受驅動時之耗損電能。令P1爲當訊號線由前述如圖2所示之構造驅動時之耗損電能。則可得下式：

$$P2 = C1 / 2 \times V2 \times f$$
$$= P1 / 2$$

其中C1爲訊號線之電容，V爲訊號之振幅，和f爲操作頻率。

以此方式，和由圖2所示構造所耗損之電源比較，由圖5所示之構造所耗損之電源可減半。但是，其仍需要在顯示裝置之兩端設置驅動電路。因此，和圖2之驅動電路所耗損之電能比較，由此驅動電路所耗損之全部電能仍會加倍。因此，耗損電能會增加。相關於此驅動電路，其負載減半。但是，在圖2所示之構造中，驅動電路必需具有

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (4)

和驅動電路之移位暫存器之層級相同數目之移位暫存器層級。因此，用以驅動移位暫存器之電源倍增。再者，需用以驅動共同時鐘端以施加時鐘脈衝至移位暫存器之電能亦會倍增。此外，需用以驅動視頻訊號輸入端之電能亦會倍增。此種電能和用以驅動訊號線之電能相等或更大。

上述日本專利公開號１８６２８１／１９９２所揭示之方法首先發展以驅動大區域顯示。因此，此方法在降低電能耗損上存在有缺點。

發明概要

本發明之目的乃在提供一種活性矩陣液晶顯示裝置，其具有訊號線用以在觀賞螢幕上產生影像圖框，並分割成上和下群以降低由訊號線之負載電容所耗損之電能。

當觀看螢幕由頂部到底部連續的掃描時，例如，當螢幕之上半部受到掃描時，用以驅動下半部之驅動電路並不需要受到驅動。因此，本發明提供一種機構以中止用於下訊號線之驅動電路或使此驅動電路成爲待機。明顯的，當顯示螢幕之下半部受到掃描時，用於上訊號線之驅動電路中止或形成待機狀態。

本發明之其它特點和目的將在下述之說明中一一呈現。

附圖簡述

圖１爲依照本發明之活性矩陣液晶顯示裝置之方塊圖

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (5)

；

圖 2 爲已知活性矩陣液晶顯示裝置之方塊圖；

圖 3 爲一般掃描線驅動電路之圖；

圖 4 爲一般訊號線驅動電路之圖；

圖 5 爲另一已知活性矩陣液晶顯示裝置之方塊圖；

圖 6 爲依照本發明用以交替中止兩訊號線驅動電路之狀態切換電路之電路圖；

圖 7 爲依照本發明用以交替的使訊號線驅動電路不動之另一狀態切換電路之電路圖；

圖 8 爲依照本發明使用解碼電路之訊號線驅動電路之電路圖；

圖 9 爲依照本發明用以停止供應位址訊號至兩訊號線驅動電路之另一狀態切換電路之電路圖；

圖１０（Ａ）－１０（Ｄ）爲活性矩陣液晶顯示裝置之橫截面圖，其顯示部份低溫多晶矽處理步驟用以製造該顯示裝置；

圖１１（Ａ）和１１（Ｂ）爲在低溫多晶矽處理步驟之後之橫截面圖；圖１２（Ａ）－１２（Ｄ）爲在圖１１（Ａ）和１１Ｂ）之步驟後所進行之高溫多晶矽處理步驟之橫截面圖；和

圖１３（Ａ）和１３（Ｂ）爲在高溫多晶矽處理步驟後之橫截面圖。

較佳實施例之詳細說明

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (6)

參考圖１，於此顯示一種涵蓋本發明之概念之活性矩陣液晶顯示裝置。活性矩陣液晶顯示裝置具有訊號線１０用以驅動上圖素矩陣構造１１ａ和顯示在液晶顯示裝置之觀看螢幕上之影像圖框之中央線另一側之下圖素矩陣構造１１ｂ。上圖素矩陣１１ａ之訊號線１０ａ由上訊號線驅動電路１２ａ驅動。下圖素矩陣１１ｂ之訊號線１０ｂ由下訊號線驅動電路１２ｂ驅動。液晶顯示裝置進一步包括掃描線驅動電路１３和狀態切換電路１４用以交替的中止兩訊號線驅動電路１２ａ，１２ｂ。

圖６爲依照本發明之狀態切換電路之例。在此例中，施加至掃描線驅動電路之時鐘脈衝６０首先供應至狀態切換電路。此狀態切換電路包含分類電路６１，連接至分類電路６１之輸出之上且閘６２ａ，連接至分頻電路６１之輸出之反向器６３，和連接至反向器６３之下且閘６２ｂ。在ＶＧＡ（視頻圖像陣列）之例中，分頻電路６１爲分割爲２４０之分頻電路。上且閘６２ａ之輸出和上掃描線驅動電路１２ａ之時鐘輸入端６４ａ連接。相似的，下且閘６２ｂ之輸出和下訊號線驅動電路１２ｂ之時鐘輸入端６４ｂ連接。切換電路１４控制供應至訊號線驅動電路１２之時鐘脈衝６５。

如圖６（ｂ）之時間圖所示，當影像之上半部受到掃描時，時鐘脈衝６５可免於進入下訊號線驅動電路１２ｂ。當影像圖框之下半部受到掃描時，時鐘脈衝６５可免於進入上訊號線驅動電路１２ａ。藉由加入切換電路１４，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

可消除由一訊號線驅動電路１２而爲之不必要電能耗損。

圖７爲依照本發明之另一狀態切換電路之例。供應至兩訊號線驅動電路７０ａ，７０ｂ之電能切換於在螢幕之影像圖框之上半部掃描和下半部掃描之間。以和圖６所述相同之方法，用以在影像圖框之上半部和下半部切換之訊號乃使用以交替的使移位暫存器不作用。

圖８爲解碼電路使用在訊號線驅動電路之例。

圖９爲依照本發明之狀態切換電路１４之另一例。現在未使用之訊號線驅動電路之操作可藉由切斷供應至解碼電路之位址訊號而停止。

以下說明使用依照本發明之活性矩陣電路而製造液晶顯示裝置之ＴＦＴ基底之方法。

圖１０（Ａ）－１０（Ｄ）和１１（Ａ）－１１（Ｂ）顯示用以製造本例之單石活性矩陣電路之低溫多晶矽處理步驟。用以製造形成週邊邏輯電路之ＴＦＴ之處理程序如圖１０（Ａ）－１０（Ｄ）之左側所示。用以製造活性矩陣電路之處理程序如圖右側所示。首先，在玻璃基底１００１上形成厚度爲１０００至３０００Å之氧化矽膜１００２當成緩衝氧化膜１００２。此氧化矽膜可藉由濺鍍或電漿ＣＶＤ而在氧氣環境中形成。

而後，藉由電漿ＣＶＤ或ＬＰＣＶＤ形成厚度爲３００至１５００Å，且最好爲５００至１０００Å之非晶矽膜。此非晶矽膜在高於５００℃，最好爲５００－６００℃之高溫下熱退火以使非晶矽膜結晶或增進結晶性

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (8)

。在結晶後，藉由使用雷射光執行光退火而可進一步加強結晶性。再者，在使用熱退火結晶時，可加入用以促進矽結晶之元素，如鎳（或觸媒元素），如日本專利公開案２４４１０３／１９９４和２４４１０４／１９９４所揭示。

而後，矽膜受到蝕刻以形成驅動電路之Ｐ通道ＴＦＴ之活性層１００３之島，Ｎ通道ＴＦＴ之活性層１００４之島，和形成矩陣電路之圖素ＴＦＴ之活性層１００５之島。再者，氧化矽之閘絕緣膜１００６藉由在氧氣環境下濺鍍而形成厚度爲５００至２０００Å。閘絕緣膜利用電漿ＣＶＤ形成。當氧化矽膜利用電漿ＣＶＤ形成時，最好使用一氧化氮（N_2O）當成氣體原料。此外，亦可使用氧氣（O_2）和甲硅烷（SiH_4）。

而後，厚度爲２０００至６０００Å之鋁層藉由濺鍍而形成在疊層之整個表面上。鋁可含有矽，銑，鈀，或其它材料以避免在後續熱處理步驟中產生小丘。閘絕緣膜１００６受蝕刻以形成閘電極１００７，１００８和１００９（圖１０（Ａ））。

而後，鋁層受陽極化以在鋁層之表面上形成氧化鋁１０１０，１０１１和１０１２。鋁區域作用當成絕緣器（圖１０（Ｂ））。

而後，形成覆蓋Ｐ通道ＴＦＴ之活性層之光阻掩模１０１３。藉由使用離子植入導入磷離子，並使用磷化氫當成摻雜劑。其劑量爲1×10^{12}至5×10^{13} atom／

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(9)

cm²。結果，可形成重摻雜N型區域，或源極1014和汲極1015（圖10（C））。

而後，形成用以覆蓋N通道TFT之活性層和圖TFT之活性層之光阻掩模1016。硼離子再度藉由離子摻雜導入，並使用硼化氫（B_2H_6）當成摻雜氣體。其劑量爲5×10^{14}至8×10^{15} atom/cm²。結果，可形成P型區域1017。由於上述之摻雜步驟，可形成重摻雜N型區域（源極和汲極1014和1015）和重摻雜P型區域（源和汲極1017）（圖10（D））。

而後，疊層在450－850℃下熱退火0.5至3小時以整修由摻雜所產生之破壞。以此方式，摻雜劑可受到致動。同時，可恢復矽之結晶性。而後，如圖11（A）所示，藉由電漿CVD而可在整個表面上形成具有3000至6000Å厚之氧化矽膜當成中間介電層1018。其可爲氮化矽膜，或氧化矽層和氮化矽層之多層膜。中間介電層1018由溼蝕刻處理或乾蝕刻處理蝕刻以在源／汲極區域形成接觸孔。

而後，以濺鍍技術形成2000至6000Å之鈦和鋁之多層膜或鋁膜。此膜受到蝕刻以形成電極／互接1019，1020和1021，以用於圖素TFT之週邊電路和圖素／互接1022和1023（圖11（A））。

而後，藉由電漿CVD而使氮化矽膜1024形成爲具有1000至3000Å厚之被動膜。氮化矽膜受蝕刻

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (10)

以產生延伸至圖素ＴＦＴ之電極１０２３之接觸孔。藉由濺鍍以形成具有５００至１５００Å厚之ＩＴＯ（銦錫氧化物）膜。最後，ＩＴＯ膜受蝕刻以形成圖素電極１０２５。以此方式，週邊驅動電路和活性矩陣電路可一體成型（圖１１（Ｂ））。

以下參考圖１２（Ａ）－１２（Ｄ）說明本例之處理程序，其中採取用以製造矽閘極多晶矽ＴＦＴ之高溫處理。

用以製造形成週邊邏輯電路之ＴＦＴ之處理程序如圖１２（Ａ）－１２（Ｄ）之左側所示。用以製造活性矩陣電路之處理程序如右側所示。首先，在石英基底１１０１上形成厚度爲１０００至３０００Å之氧化矽膜當成緩衝氧化膜１１０２。此氧化矽膜可藉由濺鍍或電漿ＣＶＤ而在氧氣環境中形成。

而後，藉由電漿ＣＶＤ或ＬＰＣＶＤ形成厚度爲３００至１５００Å，且最好爲５００至１０００Å之非晶矽膜或多晶矽膜。此矽膜在高於５００℃，最好爲８００－　９５０℃之高溫下熱退火以使矽膜結晶或促進結晶性。在結晶後，藉由執行退火而可進一步加強結晶性。再者，在使用熱退火結晶時，可加入用以促進矽結晶之元素，如鎳（或觸媒元素），如日本專利公開案２４４１０３／１９９４和２４４１０４／１９９４所揭示。

而後，矽膜受到蝕刻以形成驅動電路之Ｐ通道ＴＦＴ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (11)

之活性層１１０３之島，Ｎ通道ＴＦＴ之活性層１１０４之島，和形成矩陣電路之圖素ＴＦＴ之活性層１１０５之島。再者，氧化矽之閘絕緣膜１１０６藉由在氧氣環境下濺鍍而形成厚度爲５００至２０００Å。閘絕緣膜利用電漿ＣＶＤ形成。當氧化矽膜利用電漿ＣＶＤ形成時，最好使用一氧化氮（N_2O）當成氣體原料。此外，亦可使用氧氣（O_2）和甲硅烷（SiH_4）。

而後，厚度爲２０００至５μｍ，且最好爲２０００至６０００Å之多晶矽膜藉由ＬＰＣＶＤ而形成在疊層之整個表面上。爲了增強導電性，將些許量之磷加入多晶矽膜中。多晶矽膜受蝕刻以形成閘電極１１０７，１１０８和１１０９（圖１２（Ａ））。

而後，藉由自我對準離子植入技術，使用磷化氫（PH_3）當成摻雜氣體，而將磷離子導入所有活性層之島中。此時，使用閘電極當成掩模。其劑量爲1×10^{12}至5×10^{13} atom/cm²。結果，可形成輕摻雜Ｎ型區域１１１０，１１１１，和１１１２（圖１２（Ｂ））。

而後，形成覆蓋Ｐ通道ＴＦＴ之活性層之光阻掩模１１１３。並形成和閘電極之端隔開３μｍ之用以覆蓋圖素ＴＦＴ之活性層之另一光阻掩模１１１４。藉由使用離子植入導入磷離子，並使用磷化氫當成摻雜劑。其劑量爲1×10^{12}至5×10^{13} atom／cm²。結果，可形成重摻雜Ｎ型區域，或源極１１１５和汲極１１１６。覆蓋以掩模之圖素ＴＦＴ之活性層之輕摻雜Ｎ型區域之區域在此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(12)

時並未植入磷離子，因此，這些區域仍爲輕摻雜N型（圖12（C））。

而後，形成用以覆蓋N通道TFT之活性層之光阻掩模1117。硼離子再度藉由離子摻雜導入，並使用硼化氫（B_2H_6）當成摻雜氣體。其劑量爲5×10^{14}至8×10^{15} atom/cm²。而後，硼之劑量超過磷之劑量。前面形成之輕摻雜N型區域變成重摻雜P型區域1118。由這些摻雜步驟之結果可形成重摻雜區域（源極和汲極1115和1116），重摻雜P型區域（源和汲極1118），和輕摻雜N型區域1112（圖12（D））。

而後，疊層在450－850℃下熱退火0.5至3小時以整修由摻雜所產生之破壞。以此方式，摻雜劑可受到致動。同時，可恢復矽之結晶性。而後，如圖13（A）所示，藉由電漿CVD而可在整個表面上形成具有3000至6000Å厚之氧化矽膜當成中間介電層1119。其可爲氮化矽膜，或氧化矽層和氮化矽層之多層膜。中間介電層1119由溼蝕刻處理或乾蝕刻處理蝕刻以在源／汲極區域形成接觸孔。

而後，以濺鍍技術形成2000至6000Å之鈦和鋁之多層膜或鋁膜。此膜受到蝕刻以形成電極／互接1120，1121和1122，以用於圖素TFT之週邊電路和圖素／互接1123和1124（圖13（A））。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (13)

而後，藉由電漿ＣＶＤ而使氮化矽膜１１２５形成爲具有１０００至３０００Å厚之被動膜。氮化矽膜受蝕刻以產生延伸至圖素ＴＦＴ之電極１１２４之接觸孔。藉由濺鍍以形成具有５００至１５００Å厚之ＩＴＯ（銦錫氧化物）膜。最後，ＩＴＯ膜受蝕刻以形成圖素電極１１２６。以此方式，週邊驅動電路和活性矩陣電路可一體成型（圖１３（Ｂ））。

在上述之例中，驅動電路和圖素矩陣電路可一體成型。因此，如果提供兩個分離的訊號線驅動電路以分別致動兩組訊號線（其分別指定在螢幕之影像圖框之上和下半部上）時，則不需要大的區域。因此，可完成降低尺寸之液晶顯示裝置。再者，由於訊號線垂直的分成兩群，訊號線之負載電容和負載電阻減半。結果，顯示裝置可利用較小的驅動容量和短時間矩動。驅動電路可建立在一次一點掃描系統中。如此可省略一般在一次掃描一線驅動方法中採用之類比緩衝器和大的取樣和保持電容。結果，可減少由驅動電路本身所佔據之區域。對於縮小化而言，此又爲一優點。

在上述之例中，驅動電路爲單石構造。本發明可應用至含有由非晶矽ＴＦＴ以及附著至玻璃基底外側之外側驅動電路組成之活性矩陣電路之顯示裝置。

如上所述，在本發明中，訊號線分成相當於顯示圖框影像之上半和下半部兩組訊號線。此兩組訊號線分別由兩訊號線驅動電路所驅動。當驅動電路之一操作時，另一驅

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (14)

動電路停止。結果，可完成在電能耗損上的顯著降低。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　　）

活性矩陣液晶顯示裝置

本發明揭示一種活性矩陣液晶顯示裝置，其消耗少兩半像量之電源。該液晶顯示裝置具有兩驅動電路以分別上之上影像組訊號線。其中一組訊號線產生顯示在觀看螢幕其影像圖框，而另一組訊號線產生下半影像。用以產生當圖框之影像訊號交替的供應至兩驅動電路，因此，之一驅動電路操作時，另一驅動電路中止或待機。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

公告本

六、申請專利範圍

1．一種活性矩陣液晶顯示裝置，包含：

多數圖素區域，每個圖素區域具有矩陣型式之圖素；

多數驅動電路用以分別驅動該圖素區域；和

依照顯示裝置之掃描用以中止至少一驅動電路之操作之機構。

2．一種活性矩陣液晶顯示裝置，包含：

多數圖素區域，每個圖素區域具有矩陣型式之圖素；

多數驅動電路用以分別驅動該圖素區域；和

依照顯示裝置之掃描用以使至少一驅動電路成爲待機之機構。

3．一種活性矩陣液晶顯示裝置，包含：

第一圖素區域具有矩陣型式之第一圖素；

第一驅動電路用以驅動該第一圖素區域；

第二圖素區域具有矩陣型式之第二圖素；

第二驅動電路用以驅動該第二圖素區域；和

依照顯示裝置之掃描用以中止第一或第二驅動電路之一之操作之機構。

4．一種活性矩陣液晶顯示裝置，包含：

第一圖素區域具有矩陣型式之第一圖素；

第一驅動電路用以驅動該第一圖素區域；

第二圖素區域具有矩陣型式之第二圖素；

第二驅動電路用以驅動該第二圖素區域；和

依照顯示裝置之掃描而使第一或第二驅動電路之一成爲待機之機構。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

5．一種活性矩陣液晶顯示裝置，包含：

第一圖素區域具有矩陣型式之第一圖素；

第一訊號線用以供應影像訊號至第一圖素；

第一訊號線驅動電路用以驅動第一訊號線；

第二圖素區域具有矩陣型式之第二圖素；

第二訊號線用以供應影像訊號至第二圖素；

第二訊號線驅動電路用以驅動第二訊號線；

掃描線驅動電路經由掃描訊號線連接至第一和第二圖素；和

在第一和第二訊號線驅動電路間交替的切換操作之機構。

6．如申請專利範圍第5項所述之活性矩陣液晶顯示裝置，其中該切換機構包含第一控制機構用以控制第一和第二訊號線驅動電路之時鐘訊號供應。

7．如申請專利範圍第6項所述之活性矩陣液晶顯示裝置，其中該第一控制機構包含：

一分頻電路用以分割第一時鐘脈衝以應用至該掃描線驅動電路；

一第一且閘，分頻電路之輸出和第二時鐘脈衝輸入至該第一且閘，而該第一且閘供應輸出訊號至第一訊號驅動電路當成時鐘訊號；

一第二且閘，分類電路之反向輸出和第二時鐘訊號輸入至該第二且閘，而該第二且閘供應輸出訊號至第二訊號驅動電路當成時鐘訊號。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

8．如申請專利範圍第5項所述之活性矩陣液晶顯示裝置，其中該切換機構包含第二控制機構用以控制第一和第二訊號線驅動電路之電源。

9．如申請專利範圍第8項所述之活性矩陣液晶顯示裝置，其中該第二控制機構包含：

一分頻電路用以分割供應至掃描線驅動電路之第一時鐘脈衝；

一第一切換電路，其回應分頻電路之輸出用以控制第一訊號驅動電路之電源供應；

一第二切換電路，其回應分頻電路之輸出用以控制第二訊號驅動電路之電源供應；

其中當第二切換電路爲ＯＦＦ狀態時，第一切換電路爲ＯＮ狀態，而當第二切換電路爲ＯＮ狀態時，第一切換電路爲ＯＦＦ狀態。

１０．如申請專利範圍第5項所述之活性矩陣液晶顯示裝置，其中該切換機構包含第三控制機構用以控制第一和第二訊號線驅動電路之位址訊號之供應。

１１．如申請專利範圍第１０項所述之活性矩陣液晶顯示裝置，其中第一和第二訊號驅動電路分別包含解碼電路；

該位址訊號施加至解碼電路；和

該第三控制機構在圖素區域驅動電路在無操作狀態下切斷位址訊號供應至解碼電路。

１２．一種活性矩陣液晶顯示裝置，包含：

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

（ａ）第一圖素以矩陣型式設置；

第一薄膜電晶體連接至第一圖素；

第一訊號線用以經由第一電晶體供應影像訊號至第一圖素，該第一訊號線位在行中；

第一掃描線用以供應掃描線至第一電晶體，該第一掃描線位在列中；

（ｂ）一第一訊號線驅動電路用以驅動第一訊號線；

（ｃ）第二圖素以矩陣型式設置；

第二薄膜電晶體連接至第二圖素；

第二訊號線用以經由第二電晶體供應影像訊號至第二圖素，該第二訊號線位在行中；

第二掃描線用以供應掃描線至第二電晶體，該第二掃描線位在列中；

（ｄ）一第二訊號線驅動電路用以驅動第二訊號線；

（ｅ）一掃描線驅動電路用以驅動第一和第二掃描線；和

（ｆ）在第一和第二訊號線驅動電路間交替切換操作之機構。

１３．如申請專利範圍第１２項所述之活性矩陣液晶顯示裝置，其中該切換機構包含依照顯示裝置之掃描用以中止第一或第二訊號線驅動電路之操作之機構。

１４．如申請專利範圍第１２項所述之活性矩陣液晶顯示裝置，其中該切換機構包含依照顯示裝置之掃描用以使第一或第二訊號線驅動電路之一成爲待機之機構。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

15. 如申請專利範圍第12項所述之活性矩陣液晶顯示裝置，其中該第一和第二電晶體整體的形成在相同的基底上。

16. 一種活性矩陣液晶顯示裝置，包含：

一上圖素區域相當於欲顯示之影像之上部份；

一上驅動電路用以驅動上圖素區域；

一下圖素區域相當於影像之下部份；

一下驅動電路用以驅動下圖素區域；和

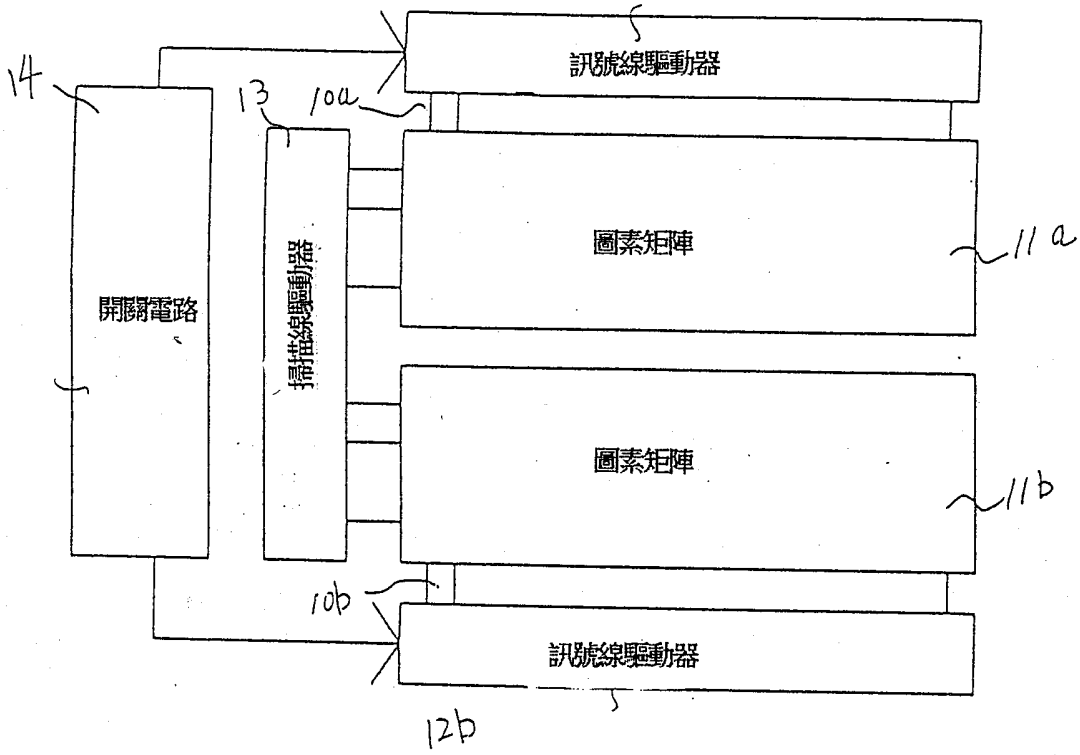
依照該上和下影像部份之掃描而控制上和下驅動電路之時鐘脈衝供應之機構。

17. 如申請專利範圍第16項所述之活性矩陣液晶顯示裝置，其中該控制機構在下圖素區域掃描時，中止對上驅動電路之時鐘脈衝供應。

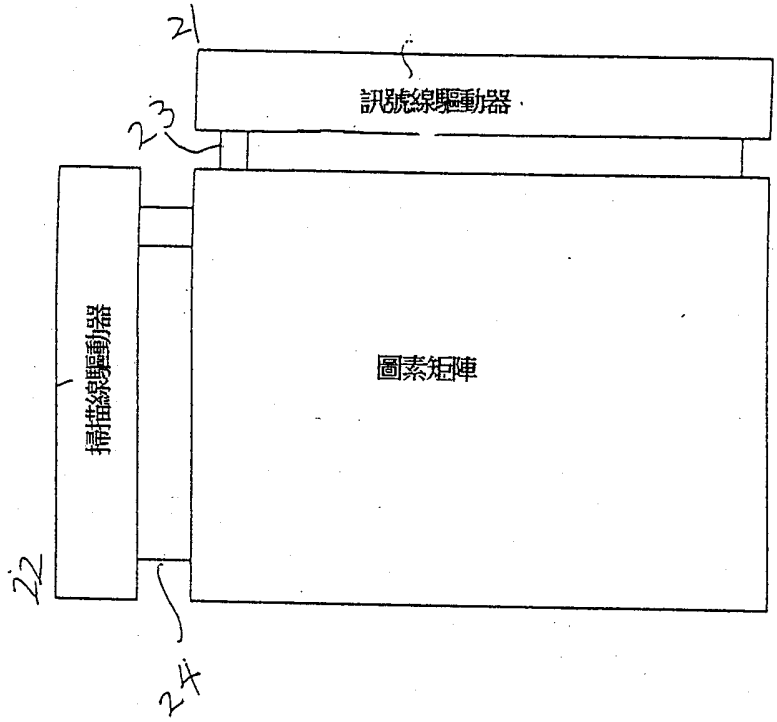
18. 如申請專利範圍第16項所述之活性矩陣液晶顯示裝置，其中該控制機構在上圖素區域掃描時，中止對該下驅動電路之時鐘脈衝之供應。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

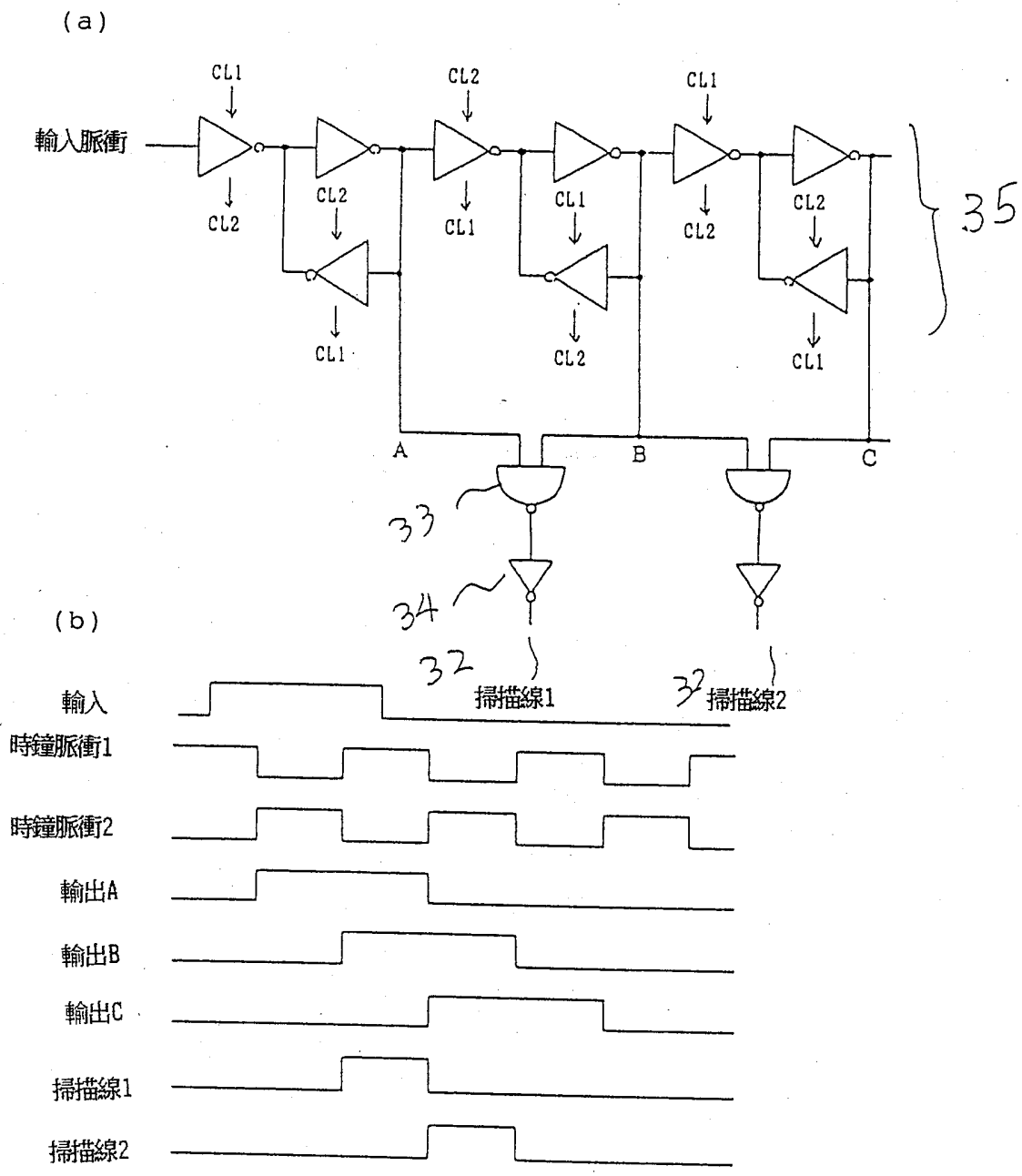
公告本


12a
訊號線驅動器
14
13
10a
開關電路
掃描線驅動器
圖素矩陣
11a
圖素矩陣
11b
10b
訊號線驅動器
12b

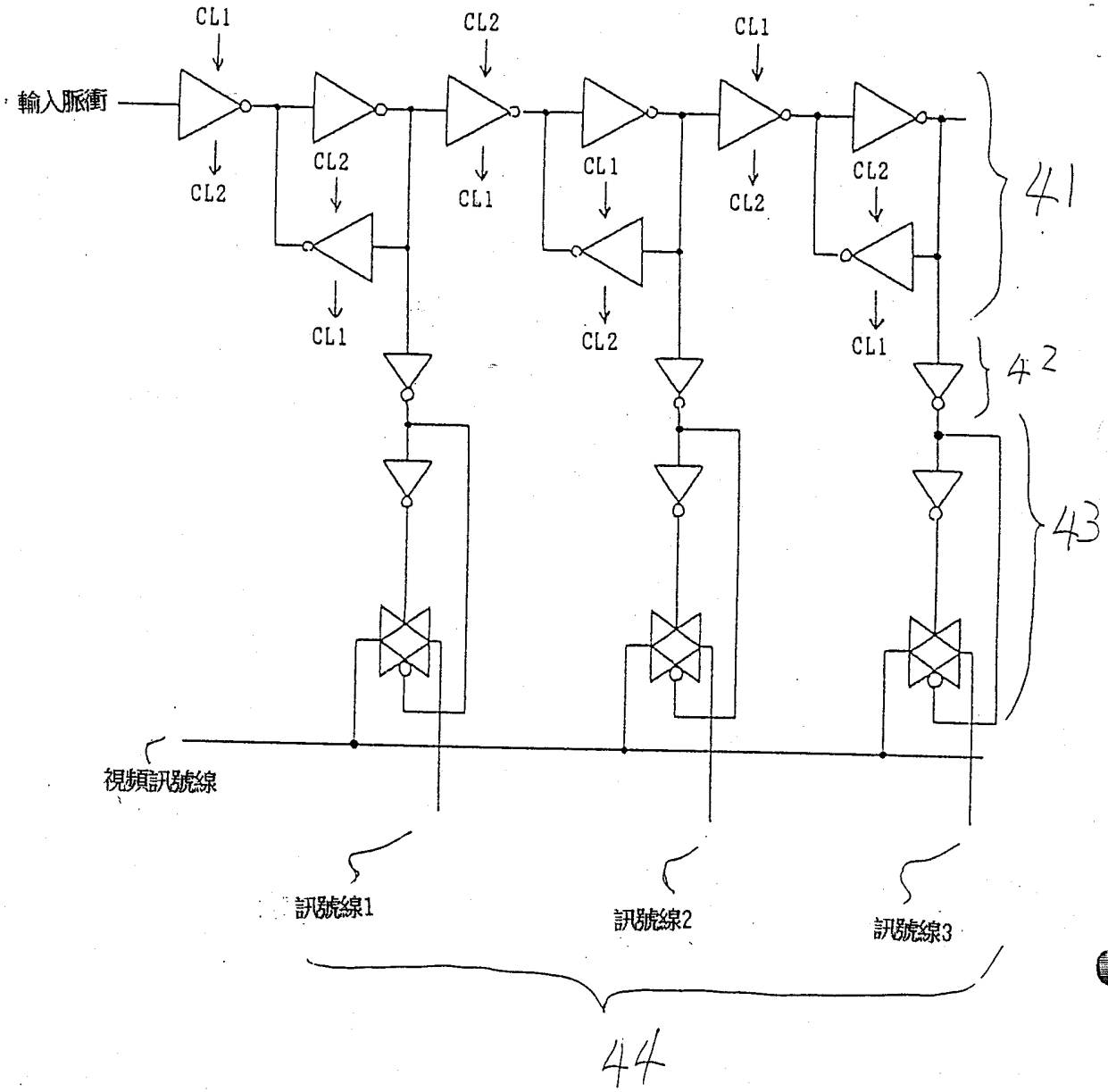
第1圖



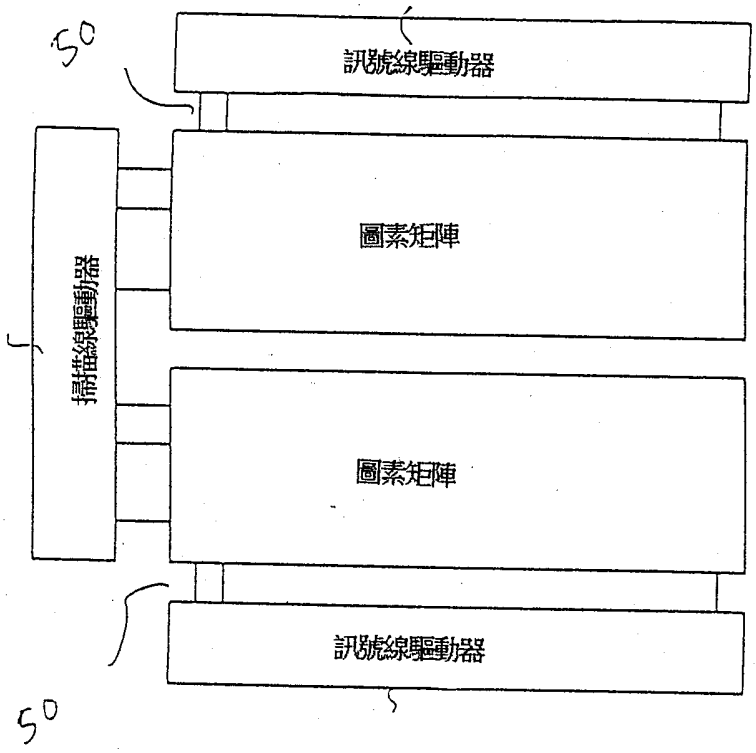
第 2 圖


(a)
CL1
CL2
輸入脈衝
35
A
B
C
33
34
32
掃描線1
掃描線2
(b)
輸入
時鐘脈衝1
時鐘脈衝2
輸出A
輸出B
輸出C
掃描線1
掃描線2

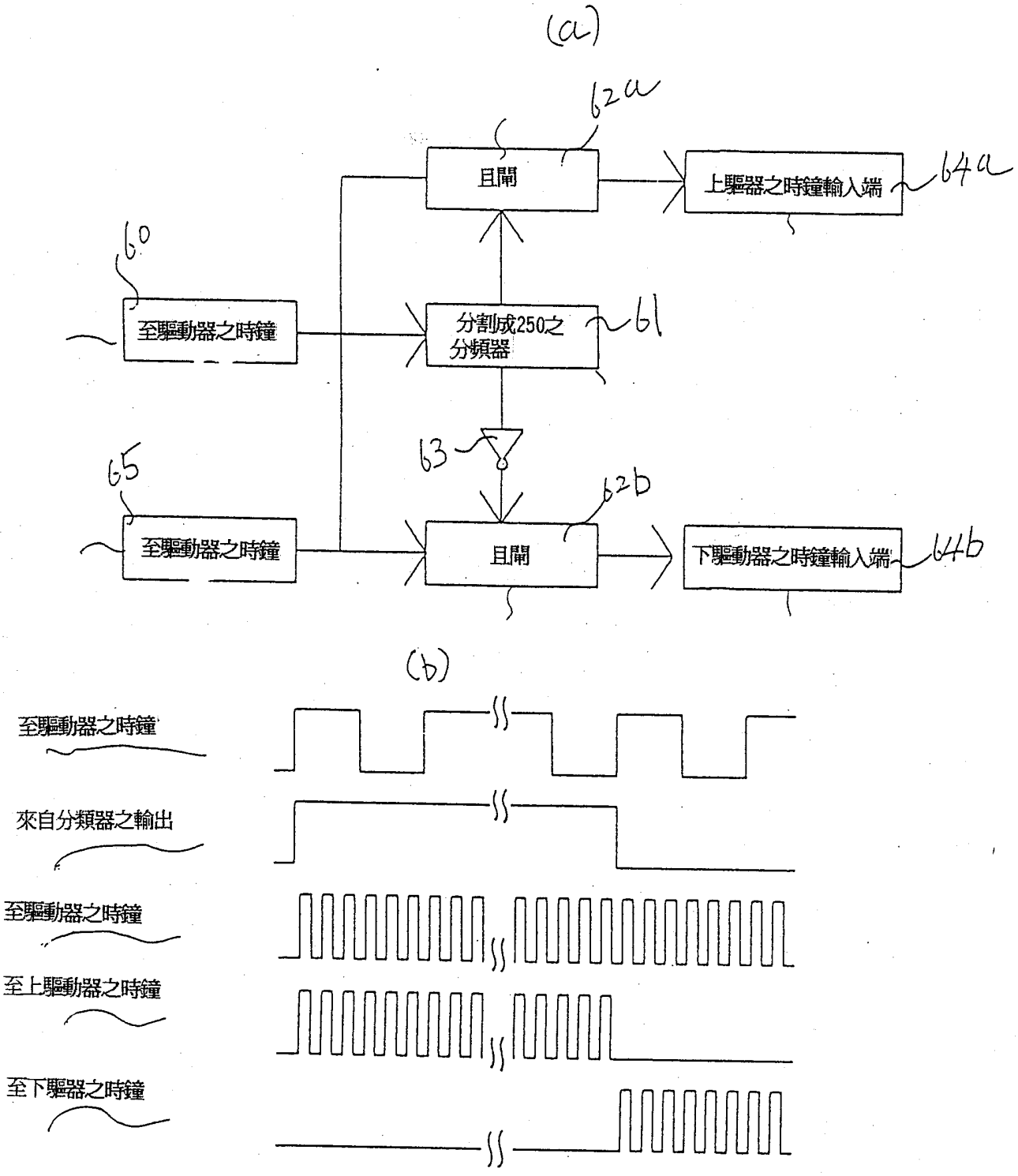
第 3 圖


CL1
CL2
輸入脈衝
CL2
CL1
CL1
CL2
CL2
CL1
CL1
CL2
CL1
CL2
41
42
43
視頻訊號線
訊號線1
訊號線2
訊號線3
44

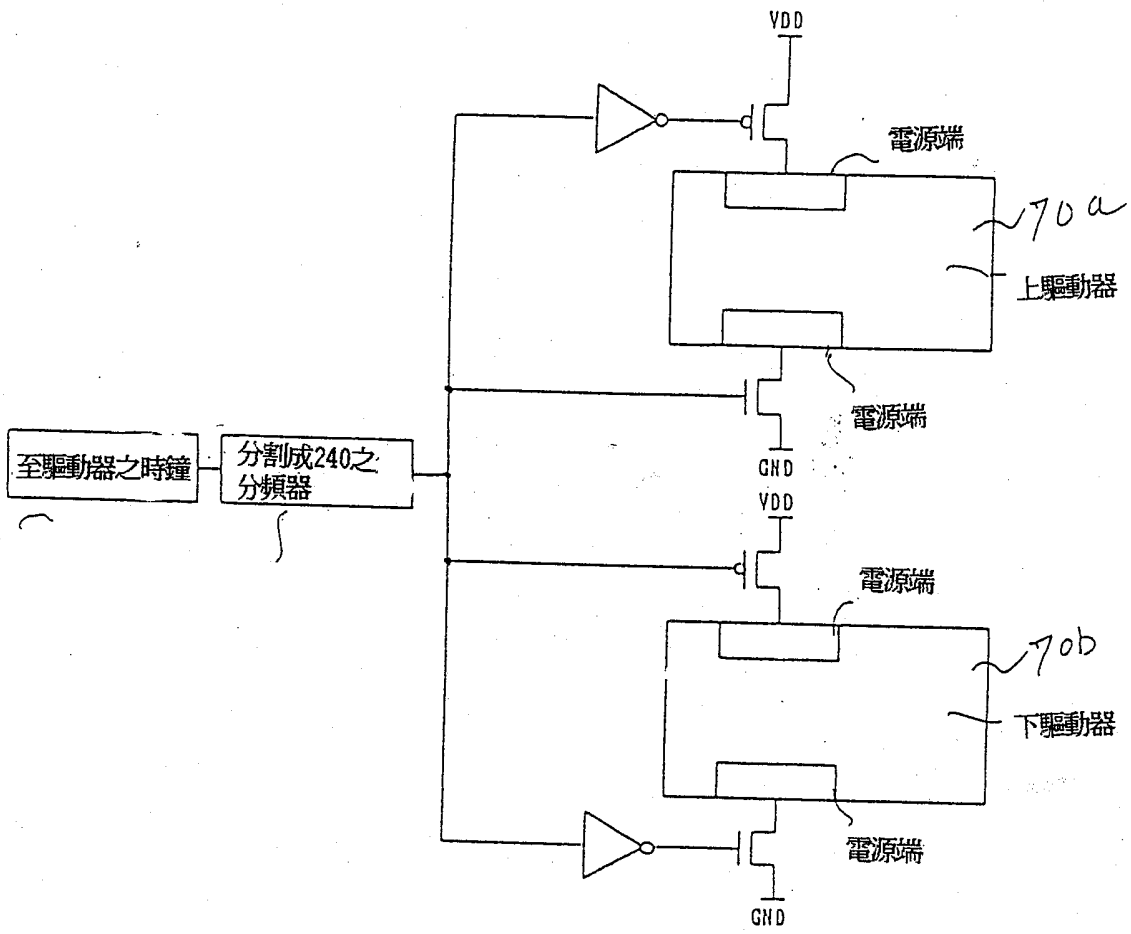
第 4 圖



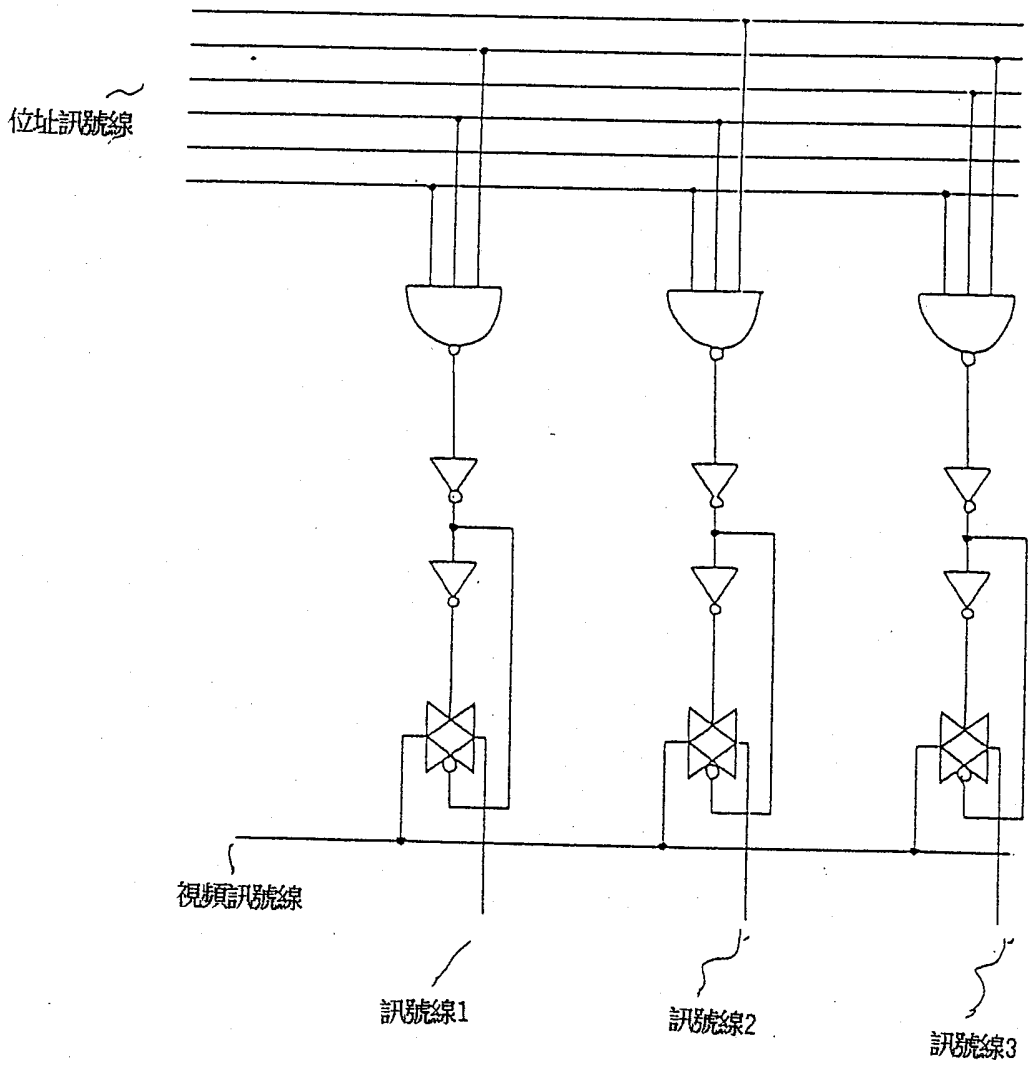
第 5 圖


(a)
62a
且閘
上驅器之時鐘輸入端
64a
60
至驅動器之時鐘
分割成250之
分頻器
61
63
65
至驅動器之時鐘
62b
且閘
下驅動器之時鐘輸入端
64b
(b)
至驅動器之時鐘
來自分類器之輸出
至驅動器之時鐘
至上驅動器之時鐘
至下驅器之時鐘

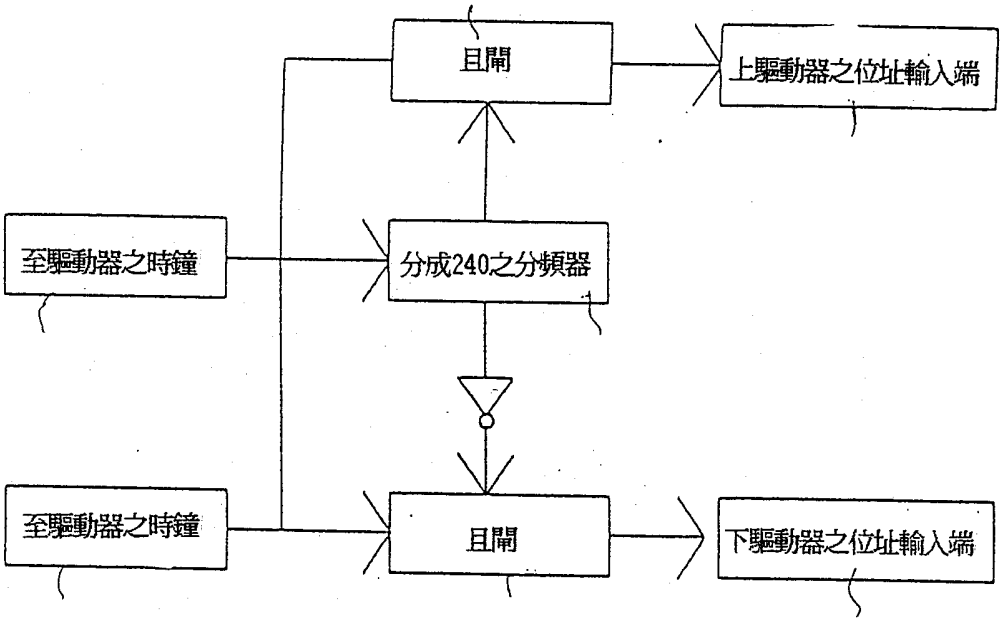
第 6 圖


VDD
電源端
70a
上驅動器
電源端
GND
至驅動器之時鐘
分割成240之
分頻器
VDD
電源端
70b
下驅動器
電源端
GND

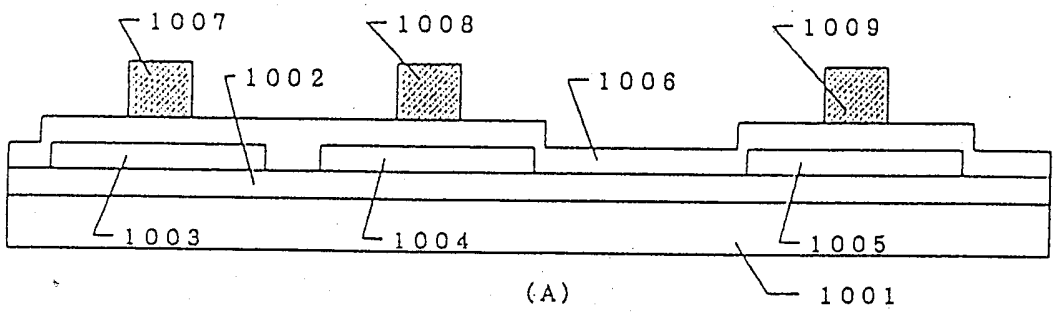
第 7 圖



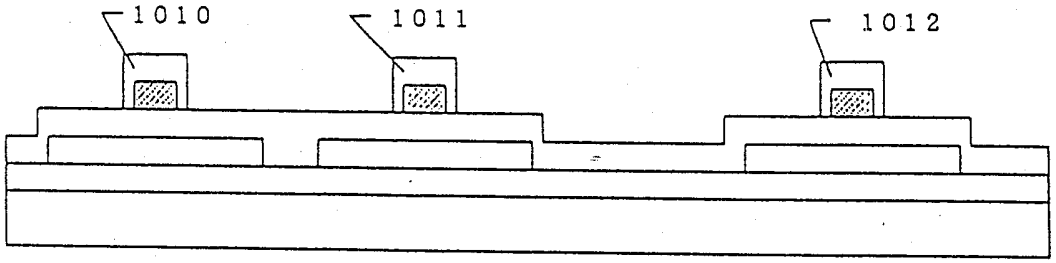
第 8 圖



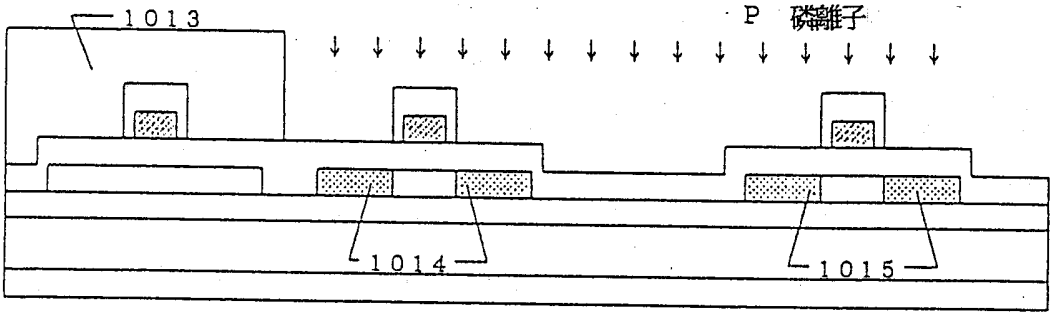
第 9 圖


1007
1008
1009
1002
1006
1003
1004
1005
1001

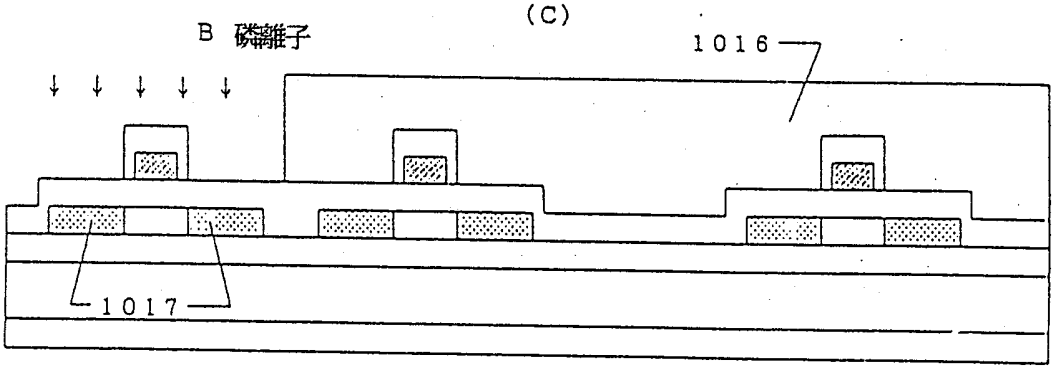
(A)


1010
1011
1012

(B)

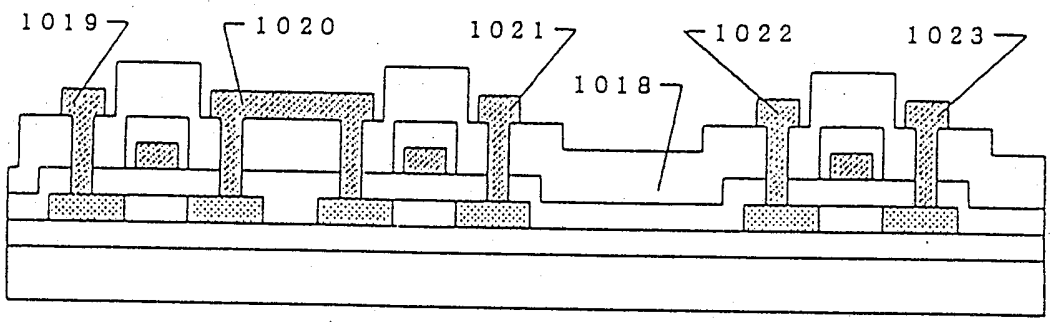

1013
P 磷離子
1014
1015

(C)

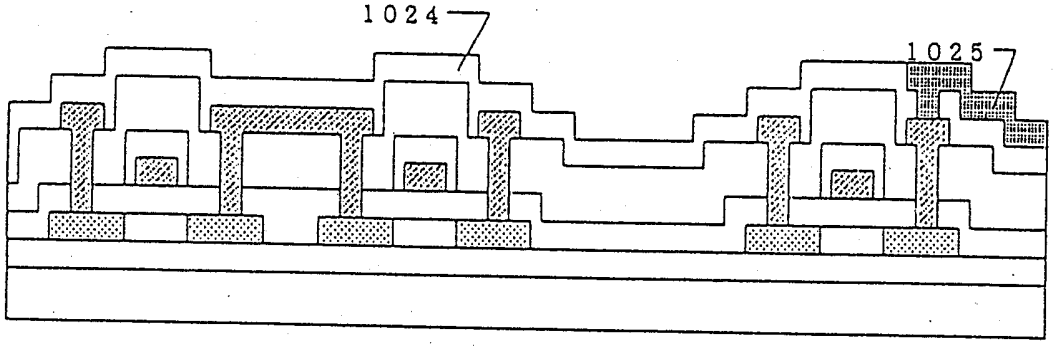

B 磷離子
1016
1017

(D)

第10圖



(A)

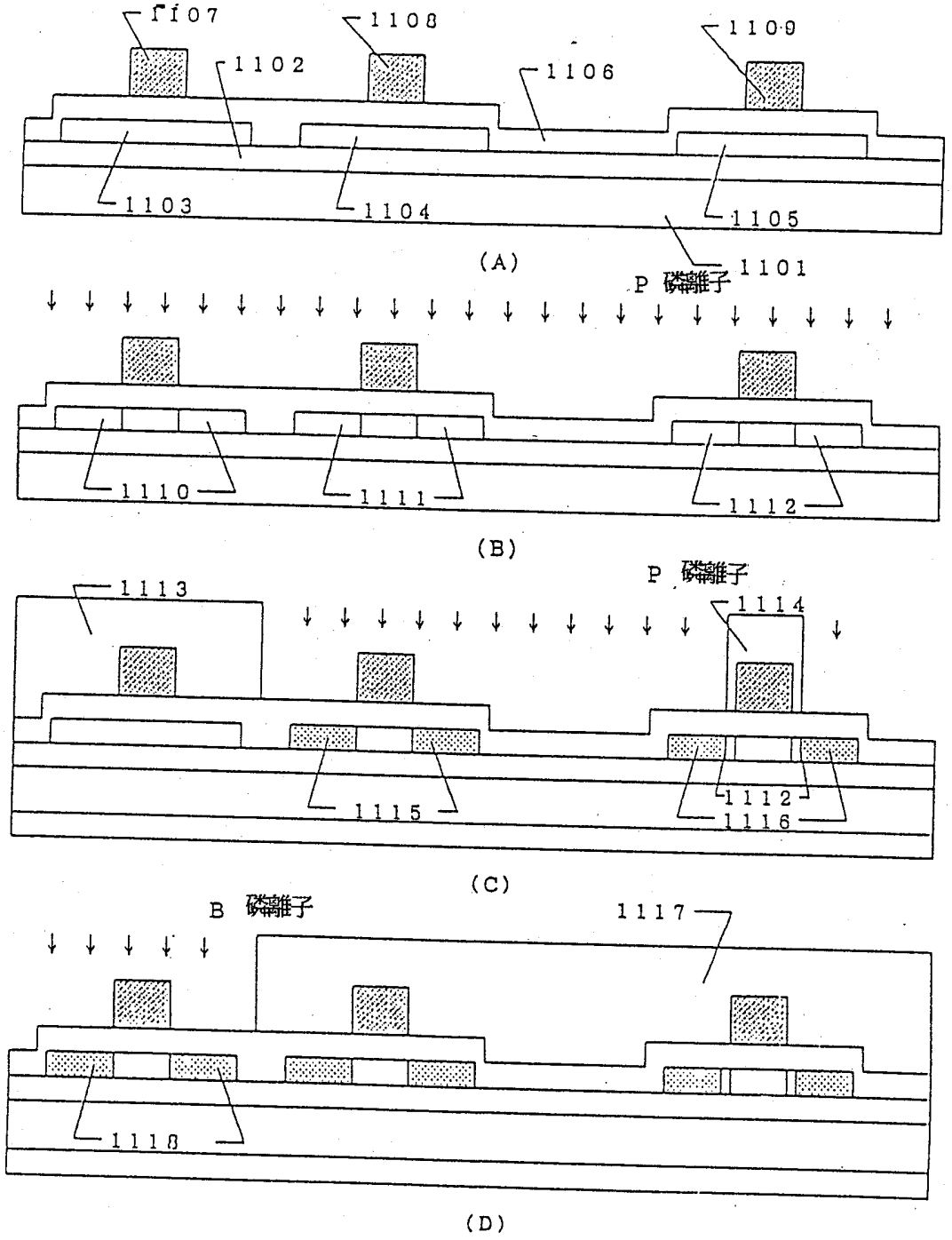


(B)

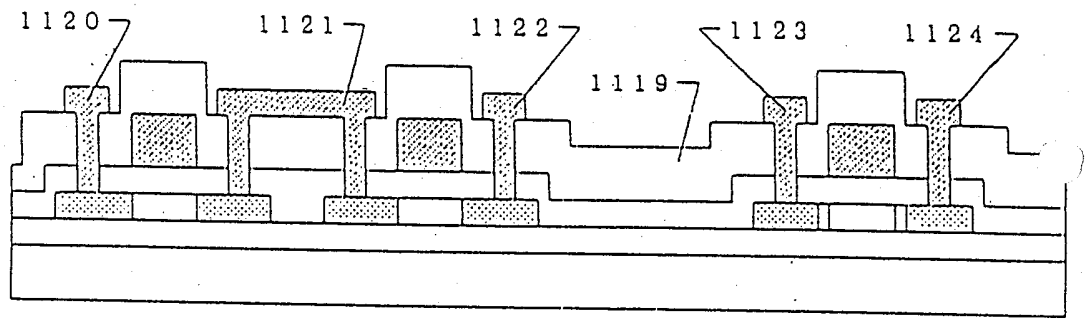
驅動電路TFTs ← | → 圖素TFTs

第11圖

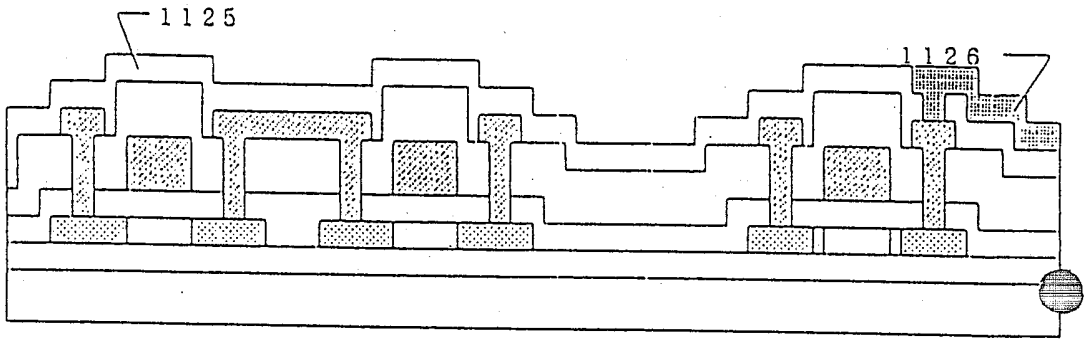
397925


1107
1108
1109
1102
1106
1103
1104
1105
(A)
P 磷離子
1101
1110
1111
1112
(B)
1113
P 磷離子
1114
1115
1112
1116
(C)
B 磷離子
1117
1118
(D)

第12圖



(A)



(B)

驅動電路TFTs ← | → 圖素FTFs

第13圖