

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成21年10月1日(2009.10.1)

【公開番号】特開2009-187615(P2009-187615A)

【公開日】平成21年8月20日(2009.8.20)

【年通号数】公開・登録公報2009-033

【出願番号】特願2008-25348(P2008-25348)

【国際特許分類】

G 1 1 C 11/401 (2006.01)

【F I】

G 1 1 C 11/34 3 6 2 C

【手続補正書】

【提出日】平成21年8月7日(2009.8.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のビット幅を有するデータを、外部から繰り返し入力される制御信号に応じて複数のデータ列として連続して入出力する半導体記憶装置において、

前記複数のデータ列がそれぞれ入出力され、前記複数のビット幅に対応する複数の入出力端子と、

前記複数のビット幅における各ビットについてそれぞれマスクするか否かを示す情報であるマスクパターンを、予め、複数記憶するマスクレジスタ回路と、

データコンバータ回路と、を備え、

前記データコンバータ回路は、

前記マスクレジスタ回路が記憶する前記複数のマスクパターンのうちマスクレジスタ選択信号により選択されたマスクパターンと、前記複数のデータ列の各列それぞれに対してマスクをするか否かを示すデータマスク信号と、が入力され、前記選択されたマスクパターンと前記データマスク信号に応じて、複数の前記データに対してそれぞれマスクを制御する、

ことを特徴とする半導体記憶装置。

【請求項 2】

前記データコンバータ回路は、前記データマスク信号によりマスクが指定された 1 つの前記データ列を構成する前記複数のビット幅の各データについて、前記マスクパターンによって該各データをそれぞれマスクするか否かを制御する、

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記データコンバータ回路は、前記選択されたマスクパターンによりマスクが指定された前記複数のビット幅の各データについて、前記データマスク信号によって前記複数のデータ列の該各データをマスクするか否かを制御する、

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記マスクレジスタ選択信号を指定する信号を入力する第 1 の外部端子と、

前記データマスク信号を指定する信号を入力する第 2 の外部端子と、

前記複数のマスクパターンの情報を前記マスクレジスタにそれぞれ入力する外部入力端

子と、を備える

ことを特徴とする請求項 2 又は 3 に記載の半導体記憶装置。

【請求項 5】

更に、前記第 2 の外部端子に接続されるデータマスク信号ラッチ回路、を備え、

複数の前記データの入出力を行う場合、前記データマスク信号ラッチ回路は、前記制御信号に基づいて、前記第 2 の外部端子から入力された前記データマスク信号を記憶し、

前記データコンバータ回路は、前記データマスク信号ラッチ回路が記憶した前記データマスク信号に応じて、前記複数のデータ列をそれぞれマスクするか否かを選択する、

ことを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】

更に、前記第 1 の外部端子に接続されるアドレス信号入力バッファ回路を備え、

複数の前記データの入出力を行う場合、前記アドレス信号入力バッファ回路は、前記制御信号に基づいて、前記第 1 の外部端子から入力された前記マスクレジスタ選択信号を記憶し、

前記データコンバータ回路は、前記記憶されたマスクレジスタ選択信号により選択された前記マスクパターンを用いて、前記複数のビット幅の各データをそれぞれマスクするか否かを選択する、

ことを特徴とする請求項 4 又は請求項 5 に記載の半導体記憶装置。

【請求項 7】

前記第 1 の外部端子から入力される前記マスクレジスタ選択信号、及び、前記第 2 の外部端子から入力される前記データマスク信号は、リード又はライトのコマンドが入力されるとき、もしくは、該コマンドが入力されてから前記データが入力されるまでの期間にそれぞれ入力される、

ことを特徴とする請求項 4 から請求項 6 のいずれか 1 項に記載の半導体記憶装置。

【請求項 8】

複数のビット幅を有するデータを、外部から繰り返し入力される制御信号に応じて複数のデータ列として連続して入出力する半導体記憶装置において、

前記複数のデータ列がそれぞれ入出力され、前記複数のビット幅に対応する複数の入出力端子と、

前記複数の入出力端子に接続されたデータ入出力バッファ回路と、

前記データ入出力バッファ回路と複数のメモリセルとの間に接続されたデータコンバータ回路と、

前記複数のビット幅の各ビットをそれぞれマスクするか否かを示す情報であるマスクパターンを記憶するマスクレジスタ回路と、

前記複数のデータ列をそれぞれマスクするか否かを示す情報であるデータマスク信号を生成するデータマスク信号ラッチ回路と、を備え、

前記データコンバータ回路は、前記マスクレジスタ回路から前記マスクパターンが入力され、前記データマスク信号ラッチ回路から前記データマスク信号が入力され、前記入力されたマスクパターン及び前記入力されたデータマスク信号に応じて、複数の前記データに対してそれぞれマスクを制御する、

ことを特徴とする半導体記憶装置。

【請求項 9】

前記データコンバータ回路は、前記データマスク信号によりマスクが指定された 1 つの前記データ列を構成する前記複数のビット幅の各データについて、前記マスクパターンによって該各データをそれぞれマスクするか否かを制御する、

ことを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 10】

前記データコンバータ回路は、前記入力されたマスクパターンによりマスクが指定された前記複数のビット幅の各データについて、前記データマスク信号によって前記複数のデータ列の該各データをマスクするか否かを制御する、

ことを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 1 1】

前記マスクレジスタ回路は、複数の前記マスクパターンを記憶し、外部入力端子を介して外部から入力されるマスクレジスタ選択信号に応じて、前記記憶している複数のマスクパターンのうち 1 つのマスクパターンを出力する、

ことを特徴とする請求項 8 から請求項 1 0 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 2】

前記マスクレジスタ回路は、外部より入力される制御信号に応じて、複数の入出力端子より入力されたデータを前記マスクパターンとして記憶する、

ことを特徴とする請求項 8 から請求項 1 1 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 3】

前記データマスク信号ラッチ回路は、外部入力端子に接続され、該外部入力端子から入力された信号をラッチして、前記データマスク信号として出力する

ことを特徴とする請求項 8 から請求項 1 0 のいずれか 1 項に記載の半導体記憶装置。

【請求項 1 4】

前記外部入力端子から入力される前記マスクレジスタ選択信号とデータマスク信号は、リード又はライトのコマンドが入力されるとき、もしくは、該コマンドが入力されてから前記データが入力されるまでの期間にそれぞれ入力される、

ことを特徴とする請求項 1 1 又は請求項 1 3 に記載の半導体記憶装置。

【請求項 1 5】

複数のビット幅を有するデータを、外部から繰り返し入力される制御信号に応じて複数のデータ列として連続して入出力する半導体装置の制御方法であって、

アドレス信号入力バッファ回路が、各々前記複数のビット幅の各ビットに対してそれぞれマスクするか否かを示す複数のマスクパターンのうち 1 つのマスクパターンを選択するマスクレジスタ選択信号を生成する過程と、

データマスク信号ラッチ回路、又は前記アドレス信号入力バッファ回路が、複数の前記データに対してそれぞれマスクするか否かを示すマスク制御信号を生成する過程と、

外部から入力される前記制御信号に応じてリード動作を行う場合、複数のメモリセルと入出力を行うコンバータ回路が、前記マスクレジスタ選択信号により選択された前記マスクパターンと前記マスク制御信号とに応じて、前記複数のメモリセルから読み出したデータをマスクして外部に出力し、

外部から入力される前記制御信号に応じてライト動作を行う場合、前記コンバータ回路が、前記マスクレジスタ選択信号により選択された前記マスクパターンと前記マスク制御信号とに応じて、外部から入力されるデータをマスクして前記複数のメモリセルに出力して記憶させる、

ことを特徴とする半導体記憶装置の制御方法。

【請求項 1 6】

前記データマスク信号によりマスクが指定された 1 つの前記データ列を構成する前記複数のビット幅の各データについて、前記マスクパターンによって該各データをそれぞれマスクするか否かを制御する、

ことを特徴とする請求項 1 5 に記載の半導体記憶装置の制御方法。

【請求項 1 7】

前記選択された前記マスクパターンによりマスクが指定された前記複数のビット幅の各データについて、前記データマスク信号によって前記複数のデータ列の該各データをマスクするか否かを制御する、

ことを特徴とする請求項 1 5 に記載の半導体記憶装置の制御方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体記憶装置及び半導体記憶装置の制御方法

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、主に半導体記憶装置に関し、特にデータマスク機能を備える半導体記憶装置及び半導体記憶装置の制御方法に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

上記問題を解決するために、本発明は、複数のビット幅を有するデータを、外部から繰り返し入力される制御信号に応じて複数のデータ列として連続して入出力する半導体記憶装置において、前記複数のデータ列がそれぞれ入出力され、前記複数のビット幅に対応する複数の入出力端子と、前記複数のビット幅における各ビットについてそれぞれマスクするか否かを示す情報であるマスクパターンを、予め、複数記憶するマスクレジスタ回路と、データコンバータ回路と、を備え、前記データコンバータ回路は、前記マスクレジスタ回路が記憶する前記複数のマスクパターンのうちマスクレジスタ選択信号により選択されたマスクパターンと、前記複数のデータ列の各列それぞれに対してマスクをするか否かを示すデータマスク信号と、が入力され、前記選択されたマスクパターンと前記データマスク信号に応じて、複数の前記データに対してそれぞれマスクを制御する、ことを特徴とする半導体記憶装置である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

また、本発明は、複数のビット幅を有するデータを、外部から繰り返し入力される制御信号に応じて複数のデータ列として連続して入出力する半導体記憶装置において、前記複数のデータ列がそれぞれ入出力され、前記複数のビット幅に対応する複数の入出力端子と、前記複数の入出力端子に接続されたデータ入出力バッファ回路と、前記データ入出力バッファ回路と複数のメモリセルとの間に接続されたデータコンバータ回路と、前記複数のビット幅の各ビットをそれぞれマスクするか否かを示す情報であるマスクパターンを記憶するマスクレジスタ回路と、前記複数のデータ列をそれぞれマスクするか否かを示す情報であるデータマスク信号を生成するデータマスク信号ラッチ回路と、を備え、前記データコンバータ回路は、前記マスクレジスタ回路から前記マスクパターンが入力され、前記データマスク信号ラッチ回路から前記データマスク信号が入力され、前記入力されたマスクパターン及び前記入力されたデータマスク信号に応じて、複数の前記データに対してそれぞれマスクを制御する、ことを特徴とする半導体記憶装置である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【 0 0 1 0 】

また、本発明は、複数のビット幅を有するデータを、外部から繰り返し入力される制御信号に応じて複数のデータ列として連続して入出力する半導体装置の制御方法であって、アドレス信号入力バッファ回路が、各々前記複数のビット幅の各ビットに対してそれぞれマスクするか否かを示す複数のマスクパターンのうち1つのマスクパターンを選択するマスキレジスタ選択信号を生成する過程と、データマスク信号ラッチ回路、又は前記アドレス信号入力バッファ回路が、複数の前記データに対してそれぞれマスクするか否かを示すマスク制御信号を生成する過程と、外部から入力される前記制御信号に応じてリード動作を行う場合、複数のメモリセルと入出力を行うコンバータ回路が、前記マスキレジスタ選択信号により選択された前記マスクパターンと前記マスク制御信号とに応じて、前記複数のメモリセルから読み出したデータをマスクして外部に出力し、外部から入力される前記制御信号に応じてライト動作を行う場合、前記コンバータ回路が、前記マスキレジスタ選択信号により選択された前記マスクパターンと前記マスク制御信号とに応じて、外部から入力されるデータをマスクして前記複数のメモリセルに出力して記憶させる、ことを特徴とする半導体記憶装置の制御方法である。

【 手続補正 7 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 1

【 補正方法 】 削除

【 補正の内容 】

【 手続補正 8 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 2

【 補正方法 】 削除

【 補正の内容 】