

發明專利說明書

99年7月27日修正替換頁

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95138232

※申請日期：95年10月17日

※IPC分類：G11C 11/406 (2006.01)

一、發明名稱：

(中) 動態隨機存取記憶體裝置和自再新記憶體胞元的方法

(英) Dynamic random access memory device and method for self-refreshing memory cells

二、申請人：(共 1 人)

1. 姓名：(中) 摩賽德科技股份有限公司

(英) MOSAID TECHNOLOGIES INCORPORATED

代表人：(中) 1. 麥克 維拉迪斯可

(英) 1. VLADESCU, MICHAEL B.

地址：(中) 加拿大安大略省渥太華漢斯路 11 號 203 室

(英) 11 Hines Road, Suite 203, Ottawa, Ontario K2K 2X1, Canada

國籍：(中英) 加拿大 CANADA

三、發明人：(共 1 人)

1. 姓名：(中) 吳學俊

(英) OH, HAKJUNE

國籍：(中) 加拿大

(英) CANADA

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2005/10/31 ; 11/261,493 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：動態隨機存取記憶體裝置和自再新記憶體胞元的方法

一種具有記憶體胞元的動態隨機存取記憶體 (DRAM) 裝置係操作在自再新模式和正常模式中。在該操作的自再新模式中，模式偵測器提供自再新模式信號。其包括自發震盪器，以產生與自再新模式信號無關的震盪信號。回應於該震盪信號，在該自再新模式中，自請求控制器提供自再新請求信號。該自再新信號與該自再新模式信號非同步並且被提供至位址電路，以選擇用以自再新其記憶體胞元的字元線。自再新請求控制器包括邏輯電路，以仲裁在震盪信號和自再新模式信號的初始有效邊緣之間的時序，並且提供自再新請求然後再將其停止，而忽略當進入和離開自再新模式時，在自再新模式信號和震盪信號之間的衝突。該 DRAM 裝置針對可變的 DRAM 胞元保持時間執行並且達成可靠的自再新。

六、英文發明摘要

發明之名稱：

DYNAMIC RANDOM ACCESS MEMORY DEVICE AND METHOD FOR SELF-REFRESHING MEMORY CELLS

A dynamic random access memory (DRAM) device having memory cells is operated in a self-refresh mode and a normal mode. A mode detector provides a self-refresh mode signal in the self-refresh mode of operation. It includes a free-running oscillator for generating an oscillation signal independent of the self-refresh mode signal. In response to the oscillation signal, a self-request controller provides a self-refresh request signal in the self-refresh mode. The self-refresh signal is asynchronized with the self-fresh mode signal and is provided to an address circuit to select a wordline for refreshing the memory cells thereof. The self-refresh request controller includes logic circuitry for arbitrating timing between initial active edges of the oscillation signal and the self-refresh mode signal and providing the self-refresh request and ceasing it, regardless of conflict between the self-refresh mode signal and the oscillation signal upon self-refresh mode entry and exit. The DRAM devices perform and achieve reliable self-refresh for variable DRAM cell retention time.

七、指定代表圖

(一)、本案指定代表圖為：第 (2) 圖

(二)、本代表圖之元件代表符號簡單說明：

213：自再新信號

215：控制器

217：震盪器

219：震盪信號

221：供電信號

223：請求信號

225：位址解碼器

227：解碼位址信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(1)

九、發明說明

【發明所屬之技術領域】

本發明主要有關於半導體積體電路，更詳而言之，關於具有自再新功能的動態隨機存取記憶體裝置以及自再新動態隨機存取記憶體之資料貯存胞元之方法。

【先前技術】

於動態隨機存取記憶體(DRAM)積體電路裝置中，典型將 DRAM 胞元陣列以列與行的方式配置，以藉由指定陣列內的列與行來定址特定的 DRAM 胞元。字元線將一列胞元連接至可偵測胞元中之資料的一組位元線感應放大器。在讀取模式中，接著選擇，或「行選擇」感應放大器中的資料子集作為輸出。DRAM 胞元為「動態的」之意思為所儲存的資料，典型為充電與放電的貯存電容器的形式，在經過頗短的一段時間後會消失。因此，為了保持資訊，必須再新 DRAM 胞元的內容。貯存電容器之充電與放電狀態必須以重複的方式重新提供給個別的記憶體胞元。再新操作之間最大可允許的時間量係由構成 DRAM 胞元陣列之電容器的電荷貯存能力而定。DRAM 製造商通常會指明保證保持 DRAM 單元中的資料之再新時間。

再新操作與讀取操作類似，除了沒有資料輸出。由感應放大器感應胞元中的資料之後進行恢復操作，其使資料重新寫入胞元中。因而「再新」資料。藉由根據列位址而致能字元線並且致能感應放大器來執行再新操作。此外，

(2)

可在藉由沒有接收外部再新位址的情況下操作感應放大器來進行再新操作。於此情況中，整合至 DRAM 晶片中之再新位址計數器於接收到外部起始位址之後產生列位址。

再新操作可分成「自動再新」以及「自再新」。自動再新操作係於晶片操作期間週期性地產生與接收再新命令時發生。於自動再新期間，會中斷至晶片之其他命令的接收並且進行再新。之後才允許晶片接收並作動其他命令。自再新操作功能係於待命模式中於 DRAM 內執行再新操作，以保持寫入 DRAM 之記憶體胞元內之資料。

為了執行自再新操作，必須制定規律的內部胞元資料讀取與重寫，以當晶片操作於所謂的「休眠」模式中時防止資料遺失。內部計時器控制自再新的頻率。自再新控制電路係由內部震盪器、分頻器以及再新計數請求區塊構成。可包含溫度監控以及可變再新率控制電路。於具有自再新功能的已知動態 DRAM 積體電路中，當必要時可自動將操作模式切換至自再新模式以執行自再新。

於 1987 年 1 月 13 日授權給 Ikuzaki 之美國專利案號 4,636,989 揭露一種具有自動再新電路之動態 MOS 隨機存取記憶體。於此記憶體中，時脈產生器於沒有產生位址選通信號時產生再新時脈脈衝。於 1994 年 11 月 15 日授權給 Patel 等人之美國專利案號 5,365,487 揭露一種具有自再新管理之 DRAM。於 1999 年 1 月 19 日授權給 Sakakibara 之美國專利案號 5,862,093 揭露一種動態記憶體裝置，其具有產生用來偵測執行自再新的相關時間之再

(3)

新時序信號。

爲了獲得高速操作以及高密度的積體電路，已引進並實施如 90 nm、65 nm 以及 45 nm 之深亞微型 (sub-micron) CMOS 製程於眾多半導體 IC 裝置中。針對那些深亞微型製程，MOS 電晶體尺寸變小 (亦即降低最小電晶體尺寸) 並且電晶體之臨限電壓 V_{th} 降低。然而，降低的臨限電壓 V_{th} 卻導致顯著的次臨限漏電 (亦即針對低於臨限電壓之電晶體閘極電壓所存在的漏電流)，因此，基於此種降低的臨限電壓之半導體 IC 無論於正常操作或電力節省操作模式中皆會消耗較多電力。由於 DRAM 胞元包含用以耦接貯存電容器至位元線之最小尺寸的存取電晶體，儲存的電荷可能會迅速地自貯存電容器流失。因而需要更頻繁的「自再新」操作。

半導體積體電路 (IC) 逐漸變小以容納更多電晶體於單一晶片上並且達成更快速的操作速度。然而，更小更快的 CMOS 型電晶體具有較高的漏電流，並且於奈米技術裝置中此漏電流成爲非常重要的設計挑戰。爲了降低 DRAM 的待命耗電量，從外部 DRAM 控制邏輯提供「休眠」模式。於「休眠」模式中，需要定期「再新」DRAM 胞元以保持胞元資料。這係藉由「自再新」達成。然而，更小更快的 CMOS 電晶體具有顯著的漏電問題，使得與具有較少漏電流問題之較早的 DRAM 技術相比，需要更頻繁的「自再新」操作。更嚴重地，絕大部分以次 100 nm 邏輯程序製造之嵌入式 DRAM 巨集 (用於較大型晶片系統之應用 DRAM

(4)

記憶體電路區塊)需要非常頻繁的「自再新」，因為於例如高溫、非常高速電晶體製程以及非常高電力供應程度等等的某些最壞情況中之小的胞元電容值。此程序、電壓以及溫度(PVT)組合於製造及/或裝置操作期易變化。因此，用於產生自再新信號之內部自震盪器應要能夠涵蓋因 PVT 變異造成之範圍寬廣的 DRAM 胞元保持時間。

若製程技術移至 45 nm 或更少，DRAM 胞元保持時間的可變範圍可落在數微秒以及數毫秒之間。因此，當接收到自再新模式進入請求時，必須使自再新用之內部震盪器初使化以於非常短的時間內產生自再新信號。必須產生自再新信號以適當地執行針對最短可能的胞元保持時間(如微秒程度)之自再新，亦須針對最長可能的胞元保持時間(如毫秒程度)之長期的可靠震盪特性維持自再新信號。因此，需要能執行並達成可靠的自再新之 DRAM 裝置，即使胞元保持時間有很大的變化。

【發明內容】

本發明之一目的在於提供具有自再新功能的改善之動態隨機存取記憶體(DRAM)以及用於自再新 DRAM 裝置之記憶體胞元的改善方法。

根據本發明之一態樣，提供一種可選擇地操作於自再新模式與非自再新模式中之動態隨機存取記憶體(DRAM)裝置。該 DRAM 裝置包含用於回應自再新模式選擇而提供自再新模式信號之偵測電路。於該 DRAM 裝置中，震盪電

(5)

路回應 DRAM 電力指示信號而產生震盪信號。自再新請求電路回應該自再新模式信號和該震盪信號而提供自再新請求信號。再新位址電路回應該自再新請求信號而提供將被再新之 DRAM 胞元的再新位址。

例如，自再新請求電路分別回應進入和離開該自再新模式而致能和禁能該自再新請求信號。並且，震盪電路的一範例為用於產生震盪信號的自發震盪器。自發震盪器回應電力信號而開始震盪信號之產生。自發震盪持續直到變得非必要為止。自再新請求電路係作為 AND 電路而基於自再新模式信號閘控並通過作為自再新請求信號之震盪信號。因為與自再新模式信號無關地由自發自再新震盪產生震盪信號，震盪器無須由自再新模式信號啟動。因此，DRAM 裝置之胞元保持時間不會被震盪器之啟動時間所限制。故，可於範圍寬廣的胞元保持時間內自再新 DRAM 胞元。產生不與進入與離開自再新同步之自發震盪信號，並且震盪信號與自再新模式信號之間可能會有衝突。

有利地，自再新請求電路針對震盪信號與自再新模式信號之間的關鍵時序情況執行仲裁功能。例如，仲裁功能由具有門鎖電路之邏輯電路達成。門鎖電路偵測信號衝突並且抑制該衝突直到脈衝之邏輯狀態的下一個有關之轉變，以提供自再新請求信號之脈衝。由門鎖電路提供之仲裁功能防止進入自再新模式之後的第一個自再新嘗試的失常，以及離開自再新模式之後的最後一個自再新嘗試的失常。

(6)

根據本發明之另一態樣，提供一種以使 DRAM 裝置自再新的方法，該 DRAM 裝置具有操作於自再新模式和非自再新模式中之記憶體胞元。藉由該方法，提供自再新模式信號。在該自再新模式和該非自再新模式中分別致能和禁能該自再新模式信號。產生與該自再新模式信號無關的震盪信號。回應該自再新模式信號和該震盪信號而提供自再新請求信號。回應該自再新請求信號，提供位址信號。藉由位址信號，選擇一字元線，用於再新選定之字元線的相關記憶體胞元。

例如，產生震盪信號之步驟包含產生自發震盪信號以回應電力信號之步驟。自再新模式信號具有「高」與「低」邏輯狀態。類似地，震盪信號具有「高」與「低」邏輯狀態。回應自再新模式信號與震盪信號之邏輯狀態而產生自再新請求信號。並且，回應自再新模式信號與震盪信號之邏輯狀態而停止提供自再新請求信號。

有利地，於自再新模式信號與震盪信號為「高」的情況中，基於邏輯狀態來仲裁提供與停止自再新請求信號之時序。例如，於自再新模式信號之上升轉變早於震盪信號的情況中，回應震盪信號之隨後的上升轉變而提供自再新信號。於震盪信號之上升轉變早於自再新模式信號的情況中，回應震盪信號之隨後的上升轉變而停止產生自再新信號。

根據本發明之另一態樣，提供一種使用於動態隨機存取記憶體 (DRAM) 裝置的自再新控制器，該 DRAM 裝置係

(7)

選擇性地操作於自再新模式和非自再新模式中。於該自再新控制器中包含回應該再新模式選擇而提供自再新模式信號偵測電路。回應 DRAM 電力指示信號而產生震盪信號之震盪電路。回應該自再新請求信號，提供位址信號，以使該 DRAM 的字元線之相關記憶體胞元再新。

根據本發明之實施例，防止產生無法預測之窄寬度之自再新請求脈衝。提供具有因自發震盪信號而支援的寬廣範圍之胞元保持時間的可靠自再新請求信號。此外，可加入用於根據溫度之改變連同自發震盪器來控制或調整自再新時期之溫度補償電路。

熟悉該項技藝者於閱讀本發明之特定實施例的下列說明連同附圖後，本發明之其他態樣與特徵將變得更為明顯。

【實施方式】

於下列本發明之範例實施例的詳細說明中，參照形成本發明之一部分的附圖，並且其中例示性地顯示可實施本發明於其中之特定範例實施例。以足夠之細節描述這些實施例，使該技藝中具通常知識者得據以實施本發明，並且應了解到可利用其他實施例，以及可作出邏輯、電性與其他改變而不悖離本發明之範疇。因此下列詳細說明非限制性，並且本發明之範疇係由所附之申請專利範圍所界定。

第 1A 圖顯示傳統動態隨機存取記憶體 (DRAM) 中之自再新控制器以及第 1B 圖顯示第 1A 圖中所示之 DRAM 裝

(8)

置之信號的相對時序。參照第 1A 與 1B 圖，可由命令信號 111 啟動「自再新」模式，亦稱為「休眠」模式。回應具有自再新進入命令「SELF-REF ENTRY」之命令信號 111，自再新模式偵測器 113 致能自再新模式信號 115 以成為有效的「高」(亦即「高」邏輯位準電壓 VDD)。回應「高」自再新模式信號 115，啟動內部震盪器 117 以開始產生具有預定時間長度與頻率之自再新震盪信號 119。由自再新請求產生器 121 結合震盪信號 119 以及其他信號，以產生自再新請求震盪信號 123。請求信號 123 致能內部列位址計數器 125 而產生具有適當內部列位址之信號 127。列位址解碼器 129 由自再新請求信號 123 控制並解碼該內部列位址以提供經解碼之位址信號 131，結果為啟動選定之字元線。當自再新模式偵測器 113 在命令信號 111 上接收到自再新離開命令「SELF-REF EXIT」時，自再新模式信號變成「低」(亦即「低」邏輯位準電壓 VSS)並且內部震盪器 117 被禁能，結果為停止震盪信號 119 的產生。之後，不再提供自再新請求信號 123 來再新 DRAM 記憶體胞元。

於傳統的 DRAM 裝置中，將胞元保持時間納入考量，內部震盪器 117 當接收到自再新模式信號 115 時之啟動時間對於適當地再新 DRAM 胞元並不關鍵。然而，例如，具有高速操作以及以次 100 nm 技術製造之高密度 CMOS IC 之 DRAM 裝置會需要較短的啟動時間以適當地再新其之 DRAM 胞元。例如，於 90 nm DRAM 巨集程序的情況中，

(9)

再新 4K 列之估計胞元保持時間為 0.5 ms。因此，啟動震盪器之啟動時間必須短於 125 ns ($=0.5 \text{ ms}/4000$)，進而導致適當的再新操作。然而，傳統震盪器的啟動時間介於 0.5 ms 與 32 ms，故不符合啟動針對以次 100 nm 技術製造之 DRAM 裝置的震盪器之 125 ns 的要求。

第 2 圖描述根據本發明之一實施例的動態隨機存取記憶體 (DRAM) 裝置之自再新電路區塊。DRAM 裝置選擇性地操作於自再新模式以及正常模式 (非自再新模式) 中。參照第 2 圖，回應自再新命令 (COMMAND)，偵測器 211 提供自再新信號 213 至控制器 215。由供電信號 221 啟動震盪器 217 而產生自再新的信號 219。震盪信號 219 係提供至控制器 215，其進而提供自再新的請求信號 213 至位址解碼器 225。位址解碼器 225 提供自再新之經解碼的位址信號 227。回應藉由自再新命令造成之自再新模式以及非自再新模式，偵測器 211 分別致能與禁能信號 213。當信號 213 與震盪信號 219 之間發生時序衝突時，控制器 215 仲裁時序。

例如，震盪器 217 包含由供電信號 221 啟動的自發震盪器，與自再新之信號 213 的產生無關。自發震盪器會持續直到變得非必要或 DRAM 裝置的電源關閉為止。因此，根據本發明之一實施例的 DRAM 裝置中，無須外部啟動自再新之震盪。並且，藉由控制器 215 的仲裁功能，當震盪信號 219 比信號 213 更早變「高」時，回應隨後震盪信號 219 的轉變而提供請求信號 223。並且，當震盪信號 219

(10)

比自再新信號 213 更晚變「低」時，回應隨後震盪信號 219 的下降轉變而停止請求信號 223。因此，控制器 215 仲裁自再新信號 219 與自再新信號 213 之間的時序衝突。

第 3 圖顯示根據本發明的一實施例之 DRAM 裝置。第 3 圖中所示的 DRAM 裝置的電路以分別對應「高」與「低」邏輯位準電壓之高與低電力供應電壓 VDD 與 VSS 操作。DRAM 裝置回應自再新模式以及正常模式(非自再新模式)。

參照第 3 圖，命令信號「COMMAND」311 係供應至自再新模式偵測器 313，其於自再新模式之進入與離開時分別致能與禁能自再新模式信號「SREF_MODE」315。自再新模式信號 315 係提供至自再新控制器 317。回應「自再新進入」命令，自再新模式信號 315 從「低」邏輯狀態轉變至「高」邏輯狀態(亦即上升轉變)，並且回應「自再新離開」命令，自再新模式信號 315 從「高」邏輯狀態轉變至「低」邏輯狀態(亦即下降轉變)。自再新控制器 317 以邏輯 AND 電路的方式作用。

供電信號「PWRUP」319 係供應至供電驅動震盪器 320，其進而提供自再新震盪信號「SREF_OSC」325 至自再新控制器 317。供電驅動震盪器 320 包含自發震盪器 321，其與自再新模式信號 315 無關地產生脈衝之震盪信號。自發震盪器 321 產生具有預定週期與寬度的脈衝。當 DRAM 裝置開啓並設定一操作開關 323 至「開啓」狀態時，提供供電信號 319，藉此連接自發震盪器至 VDD。因此

(11)

，將對應至「高」與「低」邏輯位準電壓 VDD 與 VSS 之電力供應電壓供應至啓動以開始震盪之自發震盪器 321。自發震盪器 321 持續操作直到當 DRAM 裝置關閉時因缺乏供電信號 319 而使開關 321 關閉或 DRAM 裝置進入「深沉不供電模式」，其中不需再新 DRAM 胞元中的資料。

回應自再新模式信號 315 與自再新震盪信號 325，自再新控制器 317 致能與禁能提供至內部列位址計數器 329 與列位址解碼器 331 之自再新請求震盪信號「SREF_REQ」327。內部列位址計數器 329 提供內部列位址信號 333，RFA[0:n]，至列位址解碼器 331，其解碼該內部列位址信號 333 以提供經解碼之位址信號 335，結果為啓動選定之字元線(未圖示)。令連接至啓動之字元線的 DRAM 裝置的記憶體胞元再新。自發震盪器 321 與自再新模式進入無關地開始其之震盪，並且其之震盪為自發性，因此自再新請求震盪信號 327 的產生嚴格來說並沒有與自再新模式信號 315 同步化。實質上，SREF_MODE 信號 315 的轉變與 SREF_OSC 信號 325 沒有關聯。這在某些情況中會導致 SREF_REQ 信號中有不希望得到的脈衝，其容後詳述。然而，請注意到第 3 圖中所示的實施例中，產生自再新位址信號所需的時間比第 1A 圖中所述之傳統方式更少，因為第 3 圖之供電驅動自發震盪器 320 確保一旦積體電路有電時立即有能產生自再新位址信號的震盪信號，而無需等待直到接收自再新命令信號。

第 4A 圖顯示第 3 圖中所示之 DRAM 裝置的信號之相

(12)

對時序。參照第 3 與 4A 圖，一旦回應在 t_{pw} 的供電信號 319 而使 DRAM 裝置開啓(有電)時，則立即初使化時供電驅動震盪器 320(自發震盪器 321)。之後，無論自再新模式信號 315 的邏輯狀態為何，自再新震盪信號 325 持續提供至自再新控制器 317 作為輸入。震盪信號 325 為沒有溫度補償之具有預定且固定脈衝週期 T_{osc} 以及預定且固定之脈衝寬度 T_{oscw} 之震盪信號。於供電時由例如記憶體控制器(未圖示)固定該脈衝週期 T_{osc} 。

自再新請求震盪信號 327 之產生係由自再新模式信號 315 與自再新震盪信號 325 控制，以產生內部列位址計數器 329 與列位址解碼器 331 用之自再新請求信號 327。根據第 3 圖中所示之實施例的自再新控制器 317 以邏輯 AND 電路的方式作用，於自再新模式信號 315 為「高」邏輯狀態期間，自再新震盪信號 325 之脈衝受到閘控(gated)。然而，自再新震盪信號 325 與自再新模式信號 315 並非適當地同步化，故於自再新模式之進入與離開時，自再新請求信號 327 具有無法預測之脈衝寬度。窄的脈衝之有效時間因而可能不夠長，導致列位址解碼的失常。結果為沒有啓動希望的字元線以及遺失資料。由於此種窄脈衝之產生而造成的失常將參照第 4B 圖於後描述。

針對自再新請求震盪信號的脈衝時序，自再新模式信號 315 與自再新震盪信號 325 之間有兩種可能狀況。一種情況為自再新模式信號 315 的邏輯狀態轉變(從「低」至「高」邏輯狀態的上升轉變及/或從「高」至「低」邏輯

(13)

狀態的下降轉變)沒有於自再新震盪信號 325 的「高」邏輯狀態期間發生。這係稱為「無重疊情況」。另一種情況為關鍵的情況，其中自再新模式信號 315 的邏輯狀態轉變(從「低」至「高」邏輯狀態的上升轉變及/或從「高」至「低」邏輯狀態的下降轉變)在自再新震盪信號 325 的「高」邏輯狀態期間發生。這係稱為「重疊情況」。

接著討論無重疊情況。自再新模式信號 315 不會於自再新震盪信號 325 的「高」邏輯狀態期間改變其邏輯轉變。於此情況中，如第 4A 圖中所示，自再新模式信號 315 從「低」至「高」的邏輯狀態轉變比自再新震盪信號 325 的邏輯狀態轉變早一個時間間隔(設定時間) ΔT_1 。並且，自再新模式信號 315 從「高」至「低」(下降)的邏輯狀態轉變比自再新震盪信號 325 的邏輯狀態轉變早一個時間間隔(設定時間) ΔT_2 。於此情況中，由作為邏輯 AND 電路之自再新控制器 317 閘控自再新震盪信號 325 的脈衝。因此，自再新控制器 317 提供自再新請求震盪信號 327，其僅當自再新模式信號 315 為「高」邏輯狀態時直接對應至自再新震盪信號 325。故，自再新請求震盪信號 327 的提供與停止係追蹤並受控於自再新模式信號 315 加上如上述之僅少許的延遲 ΔT_1 與 ΔT_2 。

第 4B 圖顯示於重疊情況中之 DRAM 裝置的信號之相對時序，其中自再新模式信號 315 於自再新震盪信號 325 的「高」邏輯狀態期間改變其邏輯狀態。參照第 4B 與 3 圖，自再新震盪信號 325 比自再新模式信號 315 的上升轉

(14)

變早一時間間隔 ΔT_3 變為「高」。並且，自再新震盪信號 325 比自再新模式信號 315 的下降轉變晚一時間間隔 ΔT_4 變為「低」。若自再新控制器 317 作為邏輯 AND 電路，其會產生具有於自再新模式之開始與結束（亦即進入與離開自再新模式）的脈衝寬度 ΔT_{PW1} 與 ΔT_{PW2} 之自再新請求震盪信號 327，如第 4B 圖中所示。脈衝寬度 ΔT_{PW1} 與 ΔT_{PW2} 比震盪信號 325 的脈衝寬度 ΔT_{OSCW} 更窄。自再新請求信號 327 的此種窄脈衝寬度會導致由列位址解碼器 331 解碼的列位址之失常。這會造成字元線被啟動之時間不足以恢復資料位準。藉由將時序仲裁電路實施到第 5 圖中所示的自再新控制器 317 之中，可解決於關鍵情況可能由「重疊情況」造成的此種失常問題。

第 5 圖顯示根據本發明之另一實施例的 DRAM 裝置。第 5 圖中所示的 DRAM 裝置解決上述關鍵情況的問題。因此，第 5 圖中所式的自再新控制器與第 3 圖的不同，而其餘則與第 3 圖的相同。

參照第 5 圖，命令信號「COMMAND」511 係供給至自再新模式偵測器 513，其進而提供自再新模式信號「SREF_MODE」515 至自再新控制器 520。供電信號「PWRUP」521 係供給至自再新震盪器 530，其進而提供自再新震盪信號「SREF_OSC」533 至自再新控制器 520。自再新震盪器 530 的結構與第 3 圖中所示之供電驅動震盪器 320 相同，並且其包含產生震盪信號的自發震盪器。當 DRAM 裝置開啓時由供電信號 521 啟動自再新震盪器 530

(15)

。回應自再新模式信號 515 以及自再新震盪信號 533，自再新控制器 520 提供自再新請求震盪信號「SREF_REQ」535 至內部列位址計數器 537。考量到信號之時序延遲，亦將自再新請求震盪信號「SREF_REQ」535 提供至列位址解碼器 539。內部列位址計數器 537 提供內部列位址信號 541，RFA[0:N]，至列位址解碼器 539，其解碼內部列位址信號 541 以提供經解碼之位址信號 543，進而啟動選定之字元線(未圖示)。令連接至啟動的字元線之 DRAM 裝置的記憶體胞元再新。

自再新控制器 520 與第 3 圖中所示之自再新控制器 317 類似，但作為仲裁電路。參照第 5 圖，自再新控制器 520 包含用於仲裁關鍵時序情況之邏輯電路，其具有串聯的第一與第二 RS 型閘鎖器 551 與 553 以及 AND 電路 555。第一與第二 RS 型閘鎖器 551 與 553 的每一個包含互相耦接雙輸入 NAND 閘，以形成具有設定與重置輸入端「S」與「R」的正反器。自再新模式信號 515 與自再新震盪信號 533 係供應至第一 RS 閘鎖器 551，其包含兩個 NAND 閘 561 與 563。RS 閘鎖器 551 的輸出信號「N1」(亦即 NAND 閘 561 的輸出)以及自再新震盪信號 533 係供給至包含兩個 NAND 閘 571 與 573 之第二 RS 閘鎖器 553。RS 閘鎖器 553 的輸出信號「N2」(亦即 NAND 閘 571 的輸出)以及自再新震盪信號 533 係供給至包含 NAND 閘 581 與反相器 583 之 AND 電路 555。NAND 閘 581 之輸出邏輯信號由反相器 583 反相，以提供自再新請求震盪信號 535。第 5

(16)

圖中所示之 DRAM 裝置的電路以分別對應至「高」與「低」邏輯位準電壓之高與低電力供應電壓 V_{DD} 與 V_{SS} 操作。

第 6 圖顯示於自再新模式信號與震盪信號重疊情況中第 5 圖中所示之信號的相對時序。如第 6 圖中所示，於自再新進入時，若自再新模式信號 515 的上升轉變於自再新震盪信號 533 的「高」邏輯狀態時期間發生，不會針對重疊情況產生自再新請求震盪信號 535，因而避免產生窄脈衝 ΔT_{PW1} (見第 4B 圖)。此種窄脈衝會導致不足夠的胞元恢復位準。類似地，於自再新離開時，若自再新模式信號 515 的下降轉變於自再新震盪信號 533 的「高」邏輯狀態時期間發生，則不會針對重疊情況停止自再新請求震盪信號 535，因而避免產生窄脈衝 ΔT_{PW2} (見第 4B 圖)。此種窄脈衝不足以完成以適當的胞元充電位準進行之胞元恢復。

於自再新進入時，自再新模式信號 515 於時間 t_{12} 從「低」邏輯狀態轉變至「高」邏輯狀態。於時間 t_{11} (時間 t_{12} 之前的時間間隔 ΔT_3)，自再新震盪信號 533 從「低」邏輯狀態轉變至「高」邏輯狀態。回應於 t_{13} 自再新震盪信號 533 之下降轉變，RS 門鎖器 551 的 NAND 閘 561 與 563 改變它們的邏輯狀態，並且 RS 門鎖器 563 的 NAND 閘 571 之輸出 N2 將其邏輯狀態從「低」轉變成「高」。然而，自再新震盪信號 533 的邏輯狀態為「低」，AND 電路 555 (反相器 583) 不改變其輸出邏輯狀態。於時間 t_{14} (時間 t_{11} 之後的脈衝時期 T_{osc})，回應自再新震盪信號 533 之

(17)

上升轉變，AND 電路 555 將其輸出邏輯狀態從「低」改變成「高」。回應於時間 t_{15} 的下一個自再新震盪信號 533 的下降轉變(時間 t_{14} 之後的脈衝寬度 ΔT_{oscw})，AND 電路 555 的輸出變「低」。因此，第一脈衝提供作為自再新請求震盪信號 535。故，自再新震盪信號 533 與自再新模式信號 515 之堅的第一重疊「高」邏輯狀態不會導致自再新請求震盪信號 535 的產生。自再新震盪信號 533 於時間 t_{14} 之下一個上升轉變才會導致自再新請求震盪信號 535 的產生。因而，RS 門鎖器 551 與 553 偵測於時間 t_{12} 之「重疊」上升轉變，並且抑制自再新請求震盪信號 535 的脈衝之產生直到自再新震盪信號 533 之下一個上升轉變。

於自再新離開時，自再新模式信號 515 於時間 t_{22} 從「高」邏輯狀態轉變成「低」邏輯狀態。於時間 t_{21} 之後但於時間 t_{22} 之前，RS 門鎖器 553 之輸出(NAND 閘 571 的輸出 N2)係「高」邏輯狀態。回應自再新震盪信號 533 之上升轉變，AND 電路 555 的輸出從「低」邏輯狀態轉變成「高」邏輯狀態。於時間 t_{22} ，自再新模式信號 515 的邏輯狀態從「高」轉變成「低」狀態，並且 NAND 閘 561 的輸出 N1 從「低」邏輯狀態轉變成「高」邏輯狀態。然而，NAND 閘 573 的輸出 N2b 維持其「低」邏輯狀態，使得 NAND 閘 571 的輸出 N2 不改變其邏輯狀態(「高」)。因此，AND 電路 555(自再新控制器 520)維持其「高」邏輯狀態。此後，於時間 t_{23} (時間 t_{22} 之後的時間間隔 ΔT_4)自再新震盪信號 533 從「高」邏輯狀態轉變成「低」邏輯

(18)

狀態。接著，NAND 閘 571 的輸出 N2 將其邏輯狀態從「高」改變成「低」，令 AND 電路 555 之輸出(自再新控制器 520 之輸出)變「低」。之後，RS 閘鎖器 553 之輸出 N2 維持其「低」邏輯狀態，並且因而，當自再新震盪信號 533 從「低」邏輯狀態轉變成「高」邏輯狀態時，自再新控制器 520 維持其「低」邏輯狀態。按此方式，最後的脈衝提供作為自再新請求震盪信號 535。故，自再新震盪信號 533 與自再新模式信號 515 之間的最後重疊「高」邏輯狀態不會令自再新請求震盪信號 535 停止。於時間 t_{23} ，自再新震盪信號 533 的下一個下降轉變停止自再新請求震盪信號 535 的產生。因而，RS 閘鎖器 551 與 553 偵測於時間 t_{22} 之「重疊的」下降轉變，並且抑制自再新請求震盪信號 535 的脈衝之停止直到自再新震盪信號 533 之下一個下降轉變。

第 7 圖顯示由第 5 圖中所示之自再新控制器 520 執行的仲裁操作。參照第 5、6 及 7 圖，回應供電信號 521，自再新控制器 520 開始其自發震盪並且持續產生自再新震盪信號 533。仲裁操作係基於自再新模式信號 515 與自再新震盪信號 533 之相對時序執行。

自再新控制器 520 判斷是否自再新進入之自再新模式信號 515 的邏輯狀態為「高」(步驟 711)。於邏輯狀態為「低」的情況中(否)，重複此步驟。若邏輯狀態變「高」(是)，亦即自再新之進入(見第 6 圖中之於時間 t_{11} 之操作)，則之後自再新控制器 520 將判斷自再新震盪信號 533 的

(19)

邏輯狀態(步驟 712)。在邏輯狀態為「低」的情況中(否)，自再新模式信號 515 以及自再新震盪信號 533 之間的時序關係為「無重疊情況」並且對自再新模式進入而言並非為關鍵狀況。因此，基於自再新模式信號 515 閘控自再新震盪信號 533(步驟 713)以及產生自再新請求震盪信號 535(見第 4A 圖中所示之自再新請求震盪信號 327)。

另一方面，於自再新震盪信號 533 的邏輯狀態為「高」的情況中(在步驟 712 之是)，自再新模式信號 515 以及自在新震盪信號 533 之間的時序關係為「重疊狀況」。這對自再新模式進入而言為關鍵狀況。回應自再新震盪信號 533 的隨後上升轉變，產生自再新請求震盪信號 533(步驟 714)(見第 6 圖中所示之時間 t_{11} - t_{14} 之間的操作)。

於產生自再新請求震盪信號 533 之後(步驟 713 或 714)，再次針對自再新離開判斷自再新模式信號 515 的邏輯狀態(步驟 715)。於邏輯狀態為「高」的情況中(否)，重複基於自再新模式信號 515 之自再新震盪信號 533 的閘控(步驟 713)。若邏輯狀態變成「低」(是)(見第 6 圖中所示之時間 t_{22} 的操作)，針對自再新離開，之後自再新控制器 520 將判斷自再新震盪信號 533 的邏輯狀態(步驟 716)。於邏輯狀態為「低」的情況中(是)，自再新模式信號 515 與自再新震盪信號 533 之時序情況為「無重疊情況」，並且對自再新模式離開而言非關鍵情況。隨著自再新請求震盪信號 535 不再產生任何脈衝而結束自再新請求震盪信號 535 的產生(見第 4A 圖中所示之自再新請求震盪信號

(20)

327)。

另一方面，於自再新震盪信號 533 的邏輯狀態為「高」的情況中(步驟 716 之否)，自再新模式信號 515 與自再新震盪信號 533 之時序情況為「重疊情況」，此為關鍵情況。自再新震盪信號 533 隨後的下降轉變停自再新請求震盪信號 535 之脈衝的產生(步驟 717)(見第 6 圖中所示之時間 t_{21} - t_{23} 之間的操作)。

自再新控制器 520 包含仲裁電路，其用於偵測會產生可變脈衝寬度之輸出信號之關鍵時序情況，並且等待更適當的時序情況，其將確保脈衝寬度不會變化後才產生適當的信號。藉由仲裁電路之兩個 RS 閂鎖器 551 與 553，當於自再新進入及/或自再新離開之自再新震盪信號 533 之「高」邏輯狀態與自再新模式信號 511 時，自再新震盪信號 533 之重疊的脈衝不會轉移成為自再新請求震盪信號 535。因此，於自再新模式之初(進入)及/或自再新模式之結束(離開)，具有太窄之寬度的脈衝(例如第 6 圖中之虛線所示之脈衝寬度 ΔT_{PW1} 與 ΔT_{PW2})不會提供作為最終之自再新請求震盪信號 535。

如上述之根據本發明之實施例的 DRAM 裝置允許其自再新之自發震盪。因此，有效地自再新 DRAM 胞元，同時震盪器之保持時間以及胞元保持時間如下給出：

$$T_{SREF} > t_{REF}/N_{ROW} \quad (1)$$

(21)

其中：

T_{SREF} 為震盪器之啟動時間；

t_{REF} 為 DRAM 胞元保持時間；以及

N_{ROW} 為 DRAM 裝置之列的數量。

此外，於自發震盪的脈衝與自再新模式信號之間的關鍵「重疊」情況中，根據本發明之一實施例的 DRAM 裝置執行用於偵測「高」邏輯狀態之重疊並且抑制發生的重疊邏輯狀態之功能。因此，震盪器於供電之後獨立地操作，並且藉由閘控與緩衝重疊狀態中之邏輯狀態轉變可適當地提供內部自再新請求信號，其中邏輯狀態轉變主要用於 DRAM 胞元再新操作的目的。例如，以次 100 nm 技術特徵尺寸，未來的 DRAM 裝置或巨集會因為最小尺寸的電晶體、溫度變異、電壓變異以及程序變異而有範圍寬廣之再新特性。可使根據本發明之實施例的 DRAM 裝置的胞元自再新，不顧自再新進入與離開之時序。

第 8 圖顯示根據本發明之另一實施例的 DRAM 裝置。參照第 8 圖，命令信號「COMMAND」811 係供給至自再新模式偵測器 813，其進而提供自再新模式信號「SREF_MODE」815 至自再新控制器 817。供電信號「PWRUP」819 係供給至自再新震盪器 820，其進而提供自再新震盪信號「SREF_OSC」825 至自再新控制器 817。自再新震盪器 820 包含產生震盪信號以產生自再新震盪信號 825 的自發震盪器 821。當 DRAM 裝置開啓時由供電信號 819 啟動自再新震盪器 820。回應自再新模式信號 815 以

(22)

及自再新震盪信號 825，自再新控制器 817 提供自再新請求震盪信號「SREF_REQ」827 至內部列位址計數器 829。於此實施例中，考量到信號之時序延遲，亦將自再新請求震盪信號「SREF_REQ」827 提供至列位址解碼器 831。內部列位址計數器 829 提供內部列位址信號 833，RFA[0:N]，至列位址解碼器 831，其解碼內部列位址信號以提供經解碼之位址信號 835，進而啟動選定之字元線(未圖示)。

第 8 圖所示之 DRAM 裝置係基於第 5 圖中所示之 DRAM 裝置，加上額外的特徵。參照第 8 圖，加入了接收補償信號 843 的補償控制器 841。補償控制器 841 提供控制信號 845 至自再新震盪器 820 以調整震盪脈衝時期 T_{osc} ，以涵蓋因電晶體程序、電力供應位準、溫度等等而變化之範圍寬廣的 DRAM 胞元保持時間。

若補償信號 843 包含有關於裝置溫度之改變的資訊，補償控制器 841 提供包含溫度改變的控制值之控制信號 845。自發震盪器 821 調整或變化脈衝時期 T_{osc} 或脈衝時期 T_{osc} 與脈衝寬度 T_{oscw} 兩者。根據裝置之溫度，可變地控制自再新週期(其與脈衝時期 T_{osc} 直接相關)或自再新週期與自再新時間間隔兩者(其與脈衝寬度 T_{oscw} 直接相關)(「溫度控制自再新(TCSR)」)。當裝置溫度降至低於標稱值時，自再新週期因此可變成爲較長，而當裝置溫度增加至高於標稱值時，可變成爲較短，這係由於漏電流量取決於裝置之溫度。

類似地，若補償信號 843 之控制資訊爲對於電力供應

(23)

電壓之改變(如「高」位準電壓 VDD)，藉由補償控制器 841 的控制，可變地控制自再新週期或自再新週期與自再新時間間隔兩者。此外，可由記憶體控制器(未圖示)於補償信號 843 上提供另一種控制資訊。因此，可使根據本發明之實施例的 DRAM 裝置的胞元於範圍寬廣的胞元保持時間內進行自再新。

於上述實施例中，為方便說明基於有效「高」信號描述操作。根據設計喜好，電路可設計成基於「低」有效信號來執行操作。自再新震盪器可進一步包含分頻器，以將來自自發震盪器之震盪信號降頻。於第 8 圖中所示之自再新電路的溫度控制補償情況中，來自補償控制器的控制信號可改變或調整震盪頻率以及頻率分割比率兩者或其一，以可變地控制自再新。自再新請求震盪信號「SREF_REQ」可提供至內部列位址計數器而不提供至列位址解碼器。

於上述的實施例中，為了方便說明，裝置元件與電路如圖示般互相連接。當將本發明實際應用至 DRAM 裝置與半導體 IC 中時，電路、元件、裝置等等可直接互相連接。亦或，電路、元件、裝置等等可間接透過其他電路、元件、裝置等等互相連接，視 DRAM 裝置與半導體 IC 的操作。因此，於 DRAM 裝置與半導體 IC 之實際組態中，電路、元件、裝置等等互相耦接(直接或間接)。

本發明之上述實施例僅為例示性。熟悉該項技藝者可將替代、變更與變異實現於特定實施例中，而不悖離本發明之範疇，其僅僅由所附之申請專利範圍界定。

(24)

【圖式簡單說明】

僅例示性地參照附圖描述本發明之實施例，圖中：

第 1A 圖顯示傳統動態隨機存取記憶體 (DRAM) 中之自再新控制電路之區塊圖；

第 1B 圖顯示第 1A 圖中所示之 DRAM 裝置之信號的時序；

第 2 圖為顯示根據本發明之一實施例的 DRAM 裝置自再新控制器的區塊圖；

第 3 圖為顯示根據本發明的一實施例之 DRAM 裝置自再新控制器的區塊圖；

第 4A 圖為第 3 圖中所示之 DRAM 裝置的信號之時序，於進入與離開自再新模式時該 DRAM 裝置以自再新模式信號與自再新震盪信號之間的無重疊操作；

第 4B 圖為第 3 圖中所示之 DRAM 裝置的信號之時序，於進入與離開自再新模式時該 DRAM 裝置以自再新模式信號與自再新震盪信號之間的重疊操作；

第 5 圖為顯示根據本發明之另一實施例的 DRAM 裝置自再新控制器的區塊圖；

第 6 圖為第 5 圖中所示之 DRAM 裝置的信號之時序，於進入與離開自再新模式時該 DRAM 裝置以自再新模式信號與自再新震盪信號之間的重疊操作；

第 7 圖為描述包含於第 5 圖中所示之 DRAM 裝置中的自再新請求產生器的仲裁操作之流程圖；以及

(25)

第 8 圖為顯示根據本發明之另一實施例的 DRAM 裝置自再新控制電路之區塊圖。

【主要元件符號說明】

- 111：命令信號
- 113：自再新模式偵測器
- 115：自再新模式信號
- 117：內部震盪器
- 119：自再新震盪信號
- 121：自再新請求產生器
- 123：自再新請求震盪信號
- 125：內部列位址計數器
- 127：信號
- 129：列位址解碼器
- 131：解碼位址信號
- 211：偵測器
- 213：自再新信號
- 215：控制器
- 217：震盪器
- 219：震盪信號
- 221：供電信號
- 223：請求信號
- 225：位址解碼器
- 227：解碼位址信號

(26)

- 311：命令信號
- 313：自再新模式偵測器
- 315：自再新模式信號
- 317：自再新控制器
- 319：供電信號
- 320：供電驅動震盪器
- 321：自發震盪器
- 323：操作開關
- 325：自再新震盪信號
- 327：自再新請求震盪信號
- 329：內部列位址計數器
- 331：列位址解碼器
- 333：內部列位址信號
- 335：解碼位址信號
- 511：自再新模式信號
- 513：自再新模式偵測器
- 515：自再新模式信號
- 520：自再新控制器
- 521：供電信號
- 530：自再新震盪器
- 533：自再新震盪信號
- 535：自再新請求震盪信號
- 537：內部列位址計數器
- 539：列位址解碼器

(27)

- 541 : 內部列位址信號
- 543 : 解碼位址信號
- 551 : RS-閂鎖器
- 553 : RS-閂鎖器
- 555 : AND 電路
- 561 : NAND 閂
- 563 : NAND 閂
- 571 : NAND 閂
- 573 : NAND 閂
- 581 : NAND 閂
- 583 : 反相器
- 811 : 命令信號
- 813 : 自再新模式偵測器
- 815 : 自再新模式信號
- 817 : 自再新控制器
- 819 : 供電信號
- 820 : 自再新震盪器
- 821 : 自發震盪器
- 825 : 自再新震盪信號
- 827 : 再新請求信號
- 829 : 內部列位址計數器
- 831 : 列位址解碼器
- 833 : 內部列位址信號
- 835 : 解碼位址信號

(28)

841 : 補償控制器

843 : 補償信號

845 : 控制信號

十、申請專利範圍

1. 一種動態隨機存取記憶體 (DRAM) 裝置，選擇性地操作於自再新模式和非自再新模式中，該 DRAM 裝置包括：

偵測電路，用以回應該自再新模式選擇而提供自再新模式信號；

震盪電路，用以回應 DRAM 電力指示信號而產生震盪信號；

自再新請求電路，用以回應該自再新模式信號和該震盪信號而提供自再新請求信號；以及

再新位址電路，用以回應該自再新請求信號而提供將被再新之 DRAM 胞元的再新位址。

2. 如申請專利範圍第 1 項所述之 DRAM 裝置，其中該震盪電路包括：

自發震盪器，用以產生該震盪信號，該自發震盪器回應電力信號而開始產生該震盪信號。

3. 如申請專利範圍第 2 項所述之 DRAM 裝置，其中：

該偵測電路分別回應進入和離開該自再新模式而致能和禁能該自再新模式信號，

該自再新請求電路分別回應該進入和該離開該自再新模式而致能和禁能該自再新請求信號。

4. 如申請專利範圍第 3 項所述之 DRAM 裝置，其中：

該偵測電路分別回應該自再新模式和該非自再新模式而致能該自再新模式信號為「高」和「低」邏輯狀態。

5. 如申請專利範圍第 4 項所述之 DRAM 裝置，其中：

該震盪電路產生具有「高」和「低」邏輯狀態的脈衝信號來作為該震盪信號，該震盪信號的該邏輯狀態轉變與該自再新模式信號的該邏輯狀態無關地發生。

6.如申請專利範圍第 5 項所述之 DRAM 裝置，其中該自再新請求電路包括：

邏輯電路，用以邏輯性地結合該自再新模式信號以及該震盪信號，以提供邏輯性結合之輸出信號來作為該自再新請求信號。

7.如申請專利範圍第 6 項所述之 DRAM 裝置，其中：

當該自再新模式信號的該邏輯狀態為「高」時，該邏輯電路回應該震盪信號從該「低」邏輯狀態至該「高」邏輯狀態之該轉變而提供該自再新請求信號。

8.如申請專利範圍第 7 項所述之 DRAM 裝置，其中：

當該自再新模式信號的該邏輯狀態為「低」時，該邏輯電路停止提供該自再新請求信號。

9.如申請專利範圍第 6 項所述之 DRAM 裝置，其中該邏輯電路包括：

仲裁電路，用以當該自再新模式信號以及該震盪信號的該「高」邏輯狀態重疊時，仲裁在該自再新模式信號以及該震盪信號之間的信號時序衝突。

10.如申請專利範圍第 9 項所述之 DRAM 裝置，其中：

當該自再新模式信號以及該震盪信號的該「高」邏輯狀態重疊時，該邏輯電路回應該震盪信號隨後從該「低」邏輯狀態至該「高」邏輯狀態的轉變而提供該自再新請求

信號。

11.如申請專利範圍第 10 項所述之 DRAM 裝置，其中：
當該自再新模式信號以及該震盪信號的該「高」邏輯狀態重疊時，該邏輯電路回應該震盪信號隨後從該「高」邏輯狀態至該「低」邏輯狀態的轉變而停止提供該自再新請求信號。

12.如申請專利範圍第 9 項所述之 DRAM 裝置，其中該仲裁電路包括：

門鎖電路，包括串聯的第一和第二正反器，各正反器具有設定和重置輸入，

該第一正反器的該設定和重置輸入分別回應該自再新模式信號和該震盪信號，

該第二正反器的該設定和重置輸入分別回應該第一正反器的輸出和該震盪信號，

該第二正反器的該輸出使得該自再新請求信號被提供。

13.如申請專利範圍第 12 項所述之 DRAM 裝置，其中該邏輯電路更包括：

AND 閘，用以邏輯性地結合該第二正反器的該輸出信號和該震盪信號，以產生該邏輯性結合之信號來作為該自再新請求信號。

14.一種用以使動態隨機存取記憶體(DRAM)裝置自再新的方法，該 DRAM 裝置具有操作於自再新模式和非自再新模式中之記憶體胞元，該方法包括：

提供在該自再新模式和該非自再新模式中分別被致能

和禁能的自再新模式信號；

產生與該自再新模式信號無關的震盪信號；

回應該自再新模式信號和該震盪信號而提供自再新請求信號；以及

回應該自再新請求信號而提供位址信號，以使被該位址信號所選擇的字元線之相關記憶體胞元再新。

15.如申請專利範圍第 14 項所述之方法，更包括：

回應該自再新模式信號以及該震盪信號而停止提供自再新請求信號。

16.如申請專利範圍第 15 項所述之方法，其中該產生震盪信號的步驟包括：

回應電力信號而產生自發震盪信號，該電力信號係回應該 DRAM 裝置的操作狀態而提供。

17.如申請專利範圍第 16 項所述之方法，其中：

該提供自再新模式信號的步驟包括提供具有「高」和「低」邏輯狀態的自再新模式信號；

該產生震盪信號的步驟包括產生具有「高」和「低」邏輯狀態的震盪信號；以及

該提供自再新請求信號的步驟包括回應該自再新模式信號和該震盪信號的該邏輯狀態而提供自再新請求信號。

18.如申請專利範圍第 17 項所述之方法，其中該提供自再新請求信號的步驟包括：

在該自再新模式信號和該震盪信號為該「高」邏輯狀態的情況中，基於該邏輯狀態來仲裁用以提供該自再新請

求信號之時序。

19.如申請專利範圍第 18 項所述之方法，其中該仲裁時序的步驟包括：

在該自再新模式信號的上升轉變比該震盪信號的上升轉變早的情況中，回應該震盪信號之隨後的上升轉變而提供該自再新信號。

20.如申請專利範圍第 18 項所述之方法，其中該仲裁時序的步驟包括：

在該震盪信號的上升轉變比該自再新模式信號的上升轉變早的情況中，回應該震盪信號之隨後的下降轉變而停止該自再新信號的產生。

21.一種使用於動態隨機存取記憶體 (DRAM) 裝置的自再新控制器，該 DRAM 裝置係選擇性地操作於自再新模式和非自再新模式中，該自再新控制器包括：

偵測電路，用以回應該再新模式選擇而提供自再新模式信號；

震盪電路，用以回應 DRAM 電力指示信號而產生震盪信號；

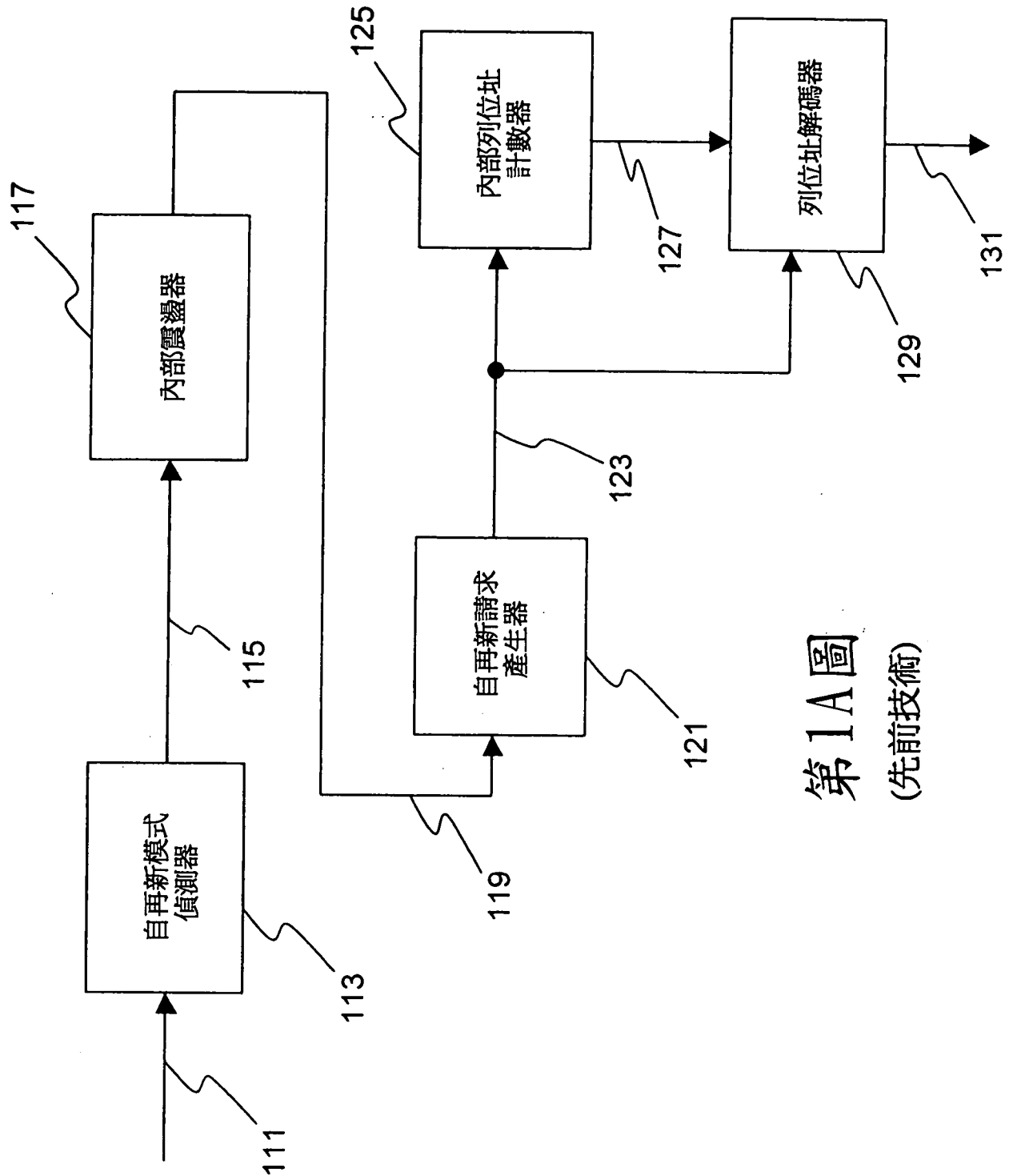
自再新請求電路，用以回應該自再新模式信號和該震盪信號而提供自再新請求信號；以及

再新位址電路，用以回應該自再新請求信號而提供位址信號，以使該 DRAM 的字元線之相關記憶體胞元再新。

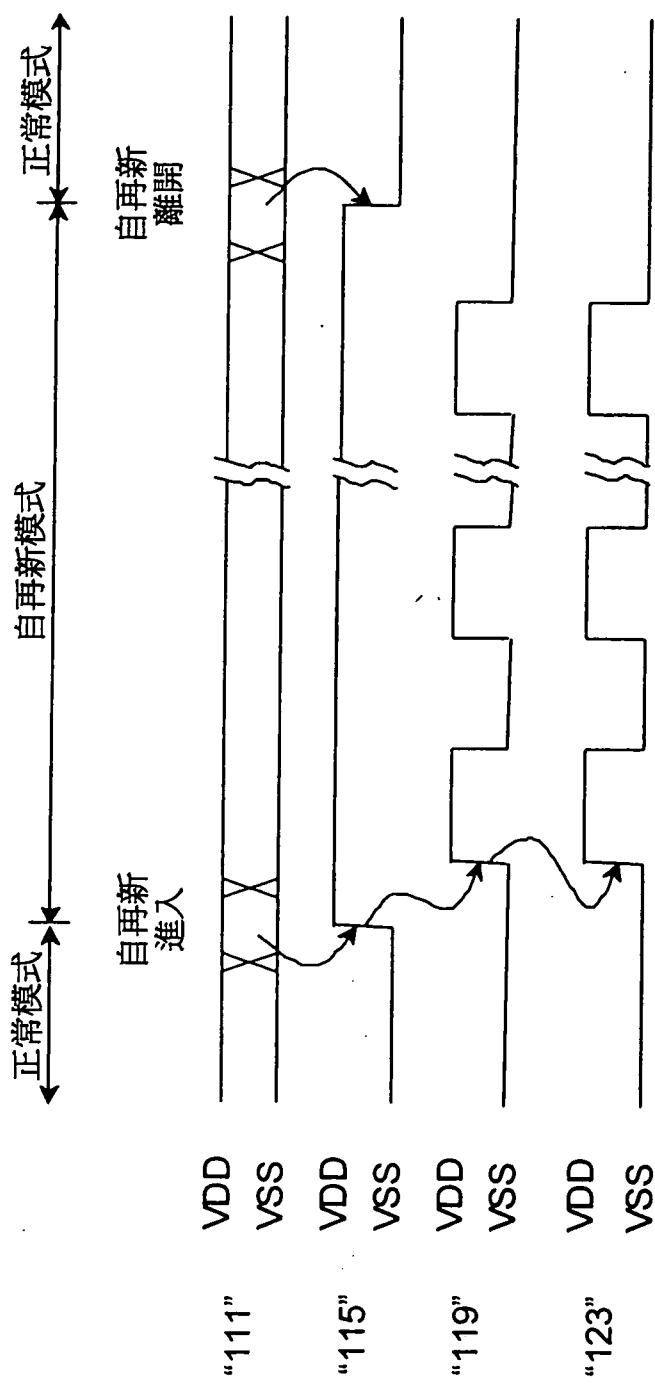
22.如申請專利範圍第 21 項所述之自再新控制器，其中

在自再新模式和非自再新模式期間，該震盪電路產生震盪信號；並且

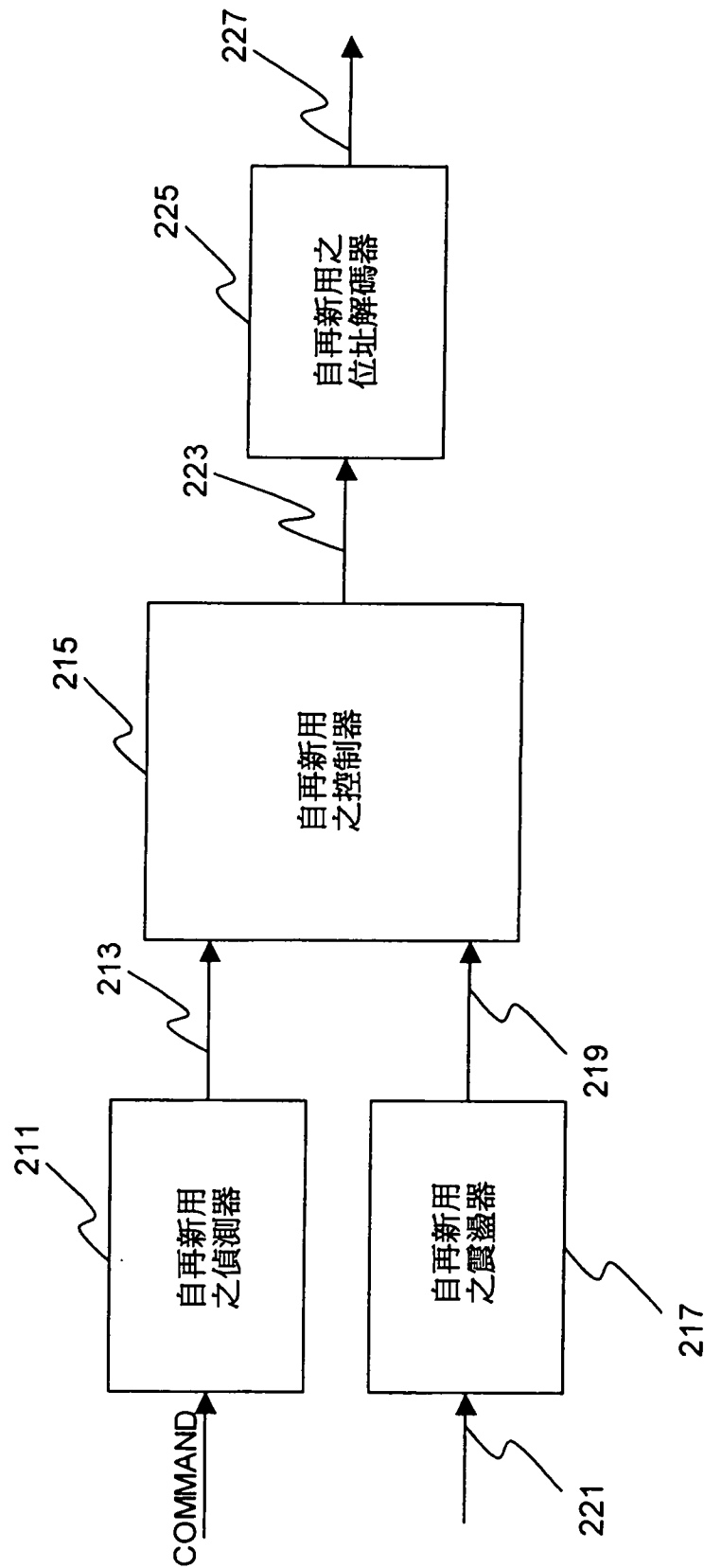
該偵測電路提供和該震盪信號並行的該自再新模式信號，該自再新模式信號在該自再新模式中致能。



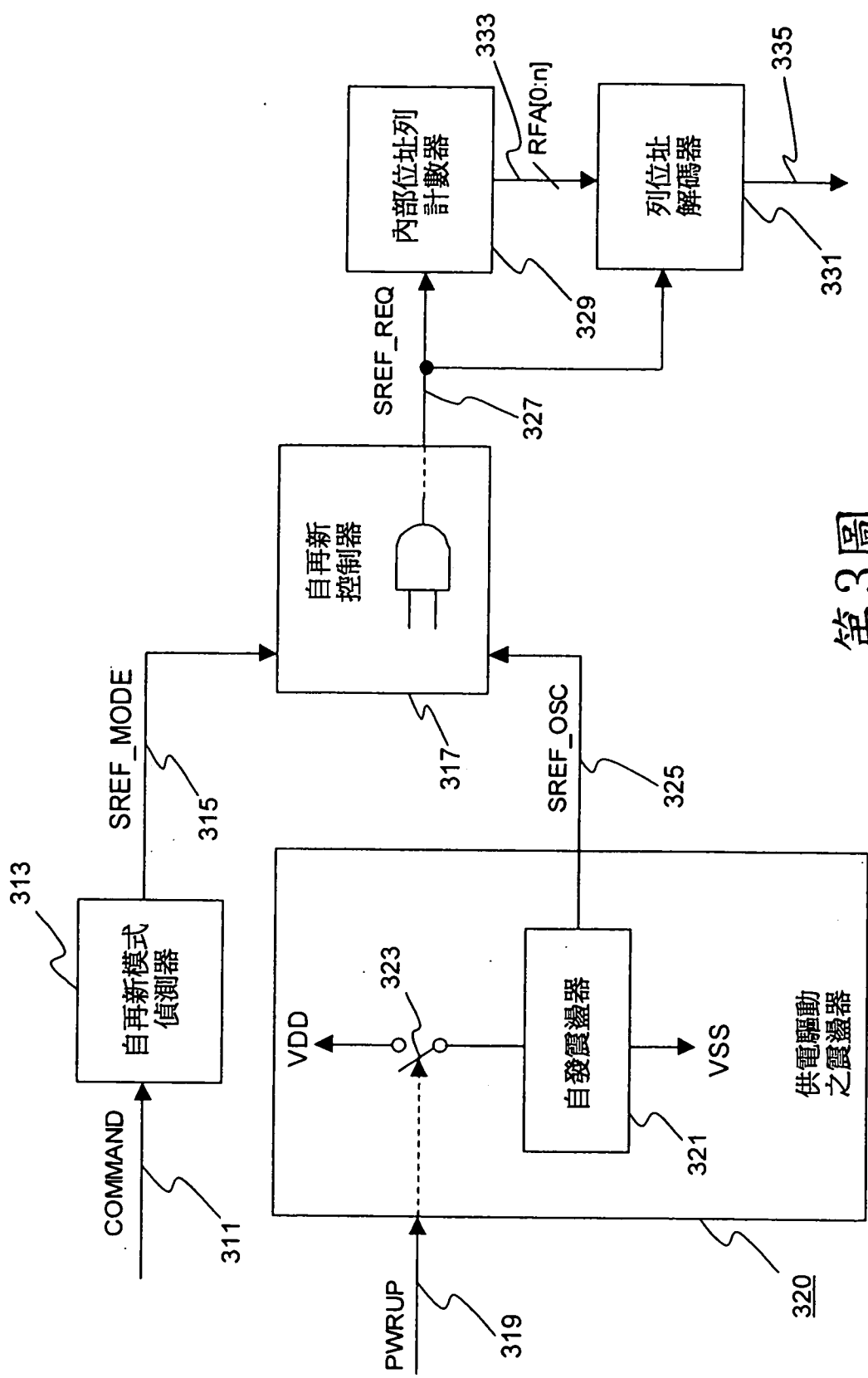
第1A圖
(先前技術)



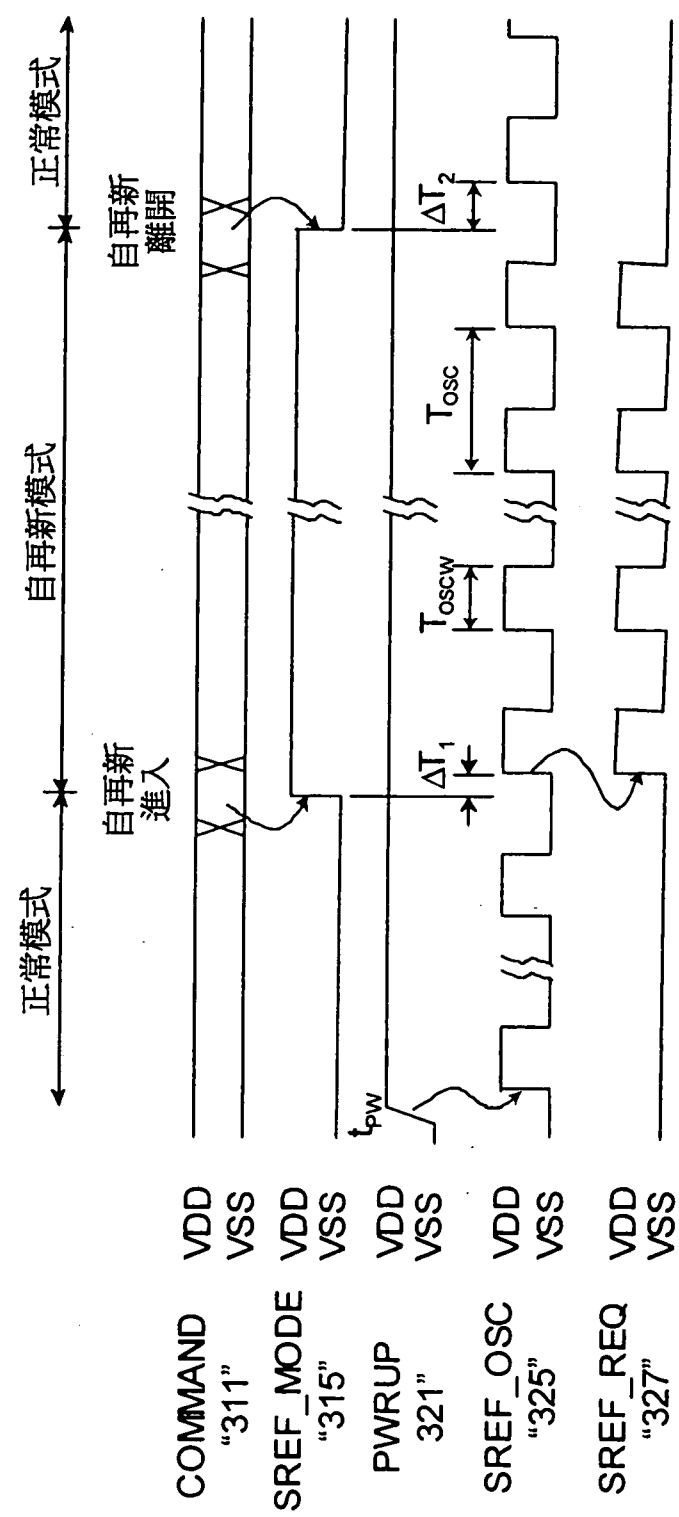
第1B圖
(先前技術)



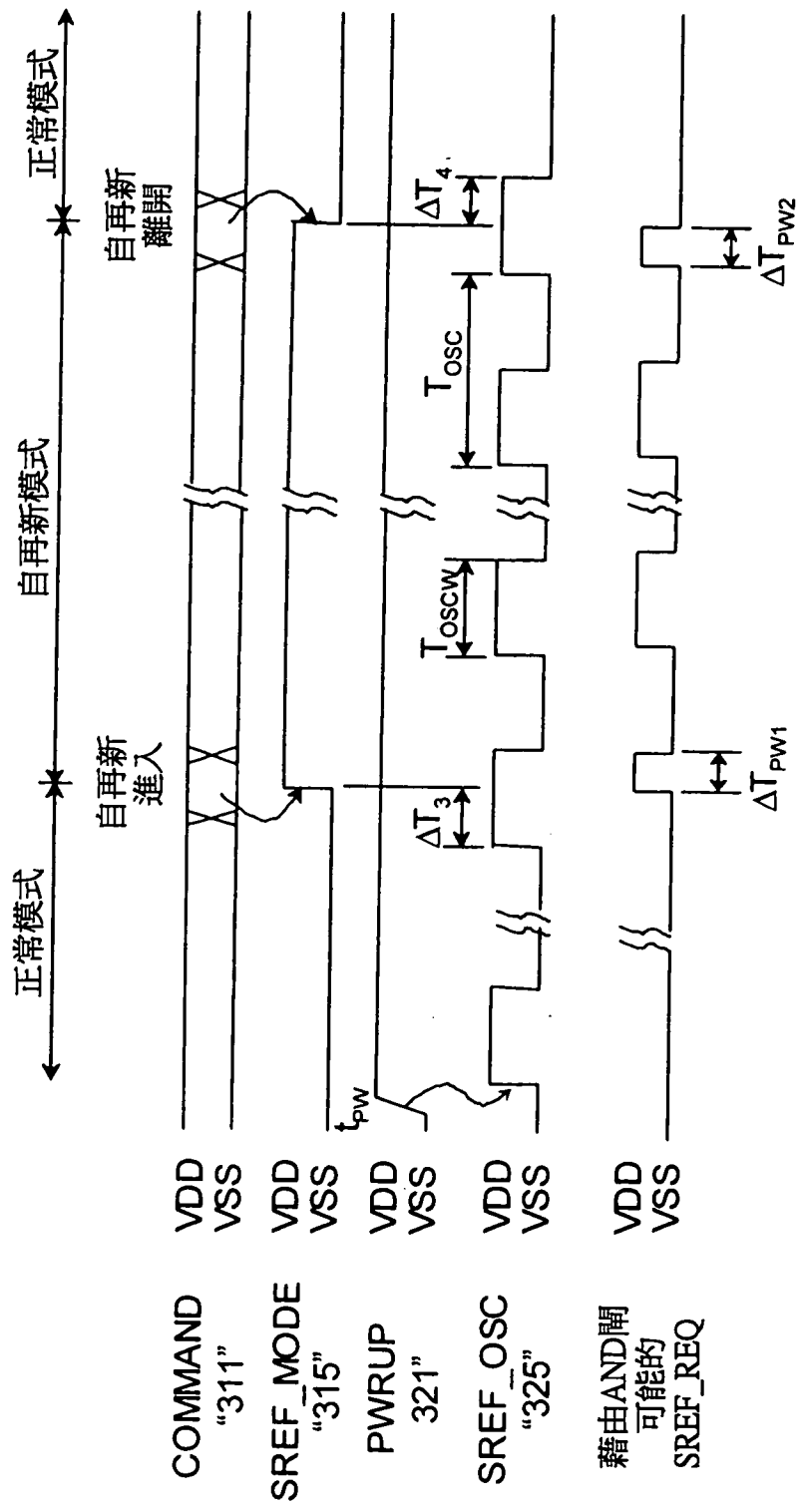
第2圖



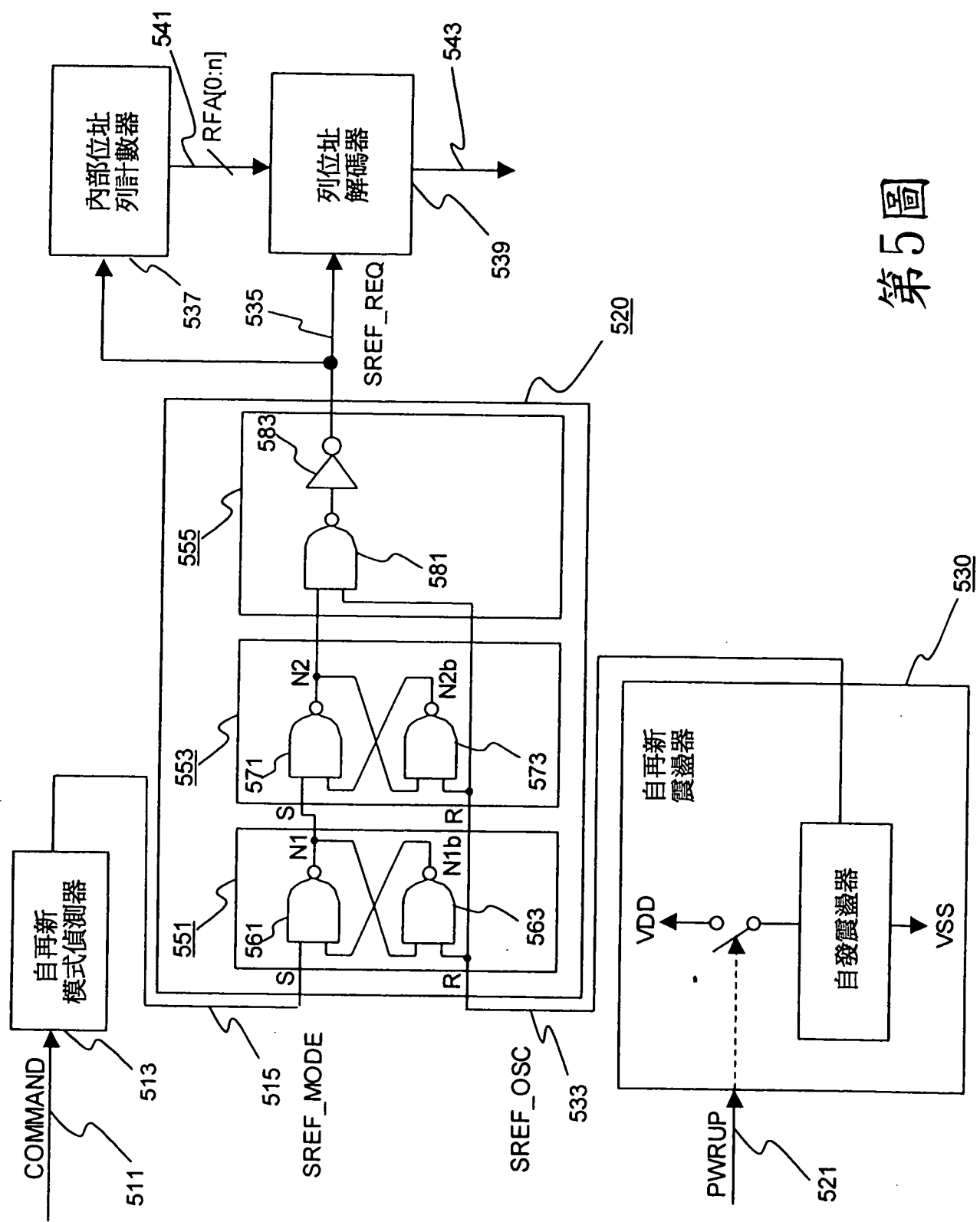
第3圖



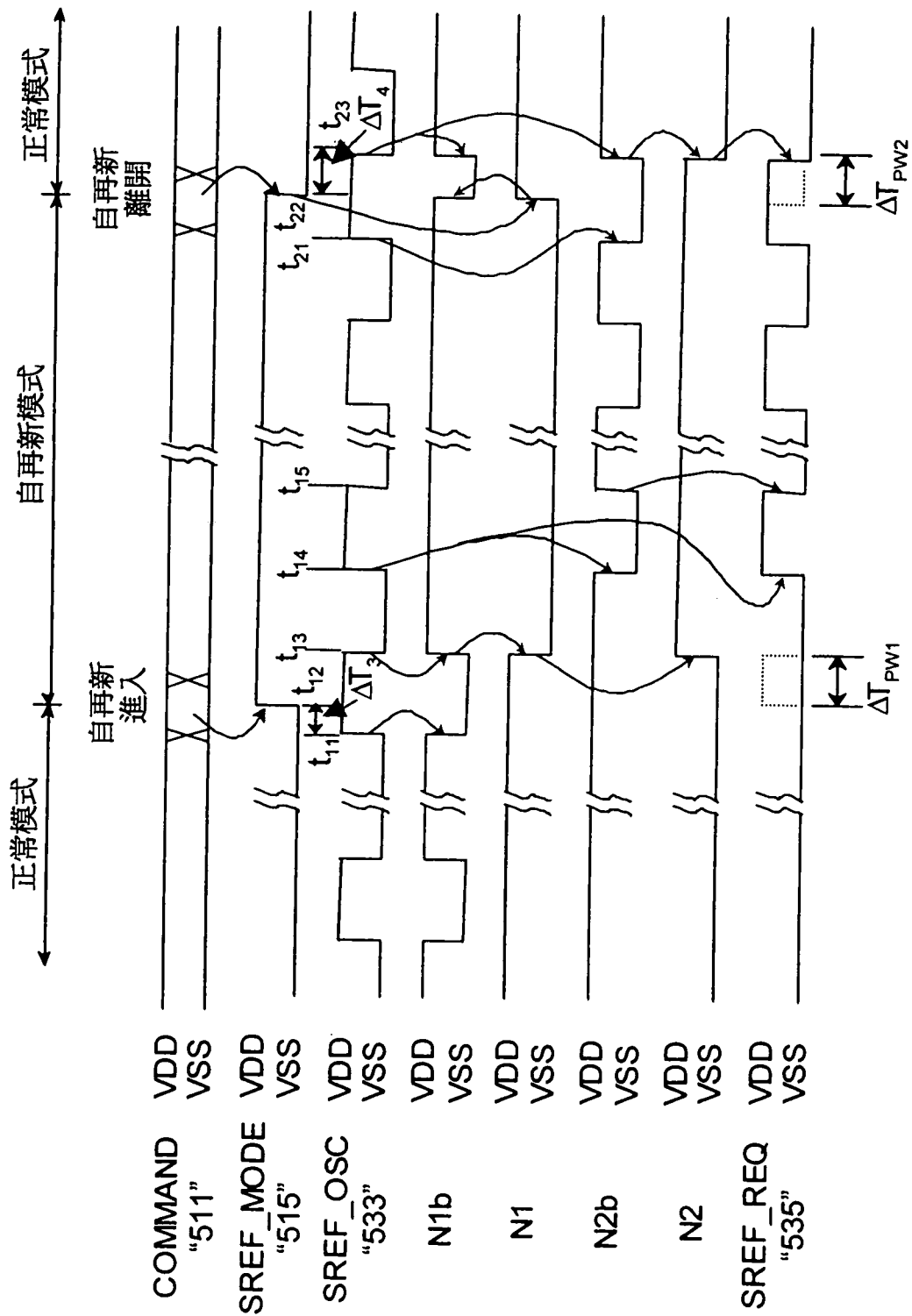
第4A圖



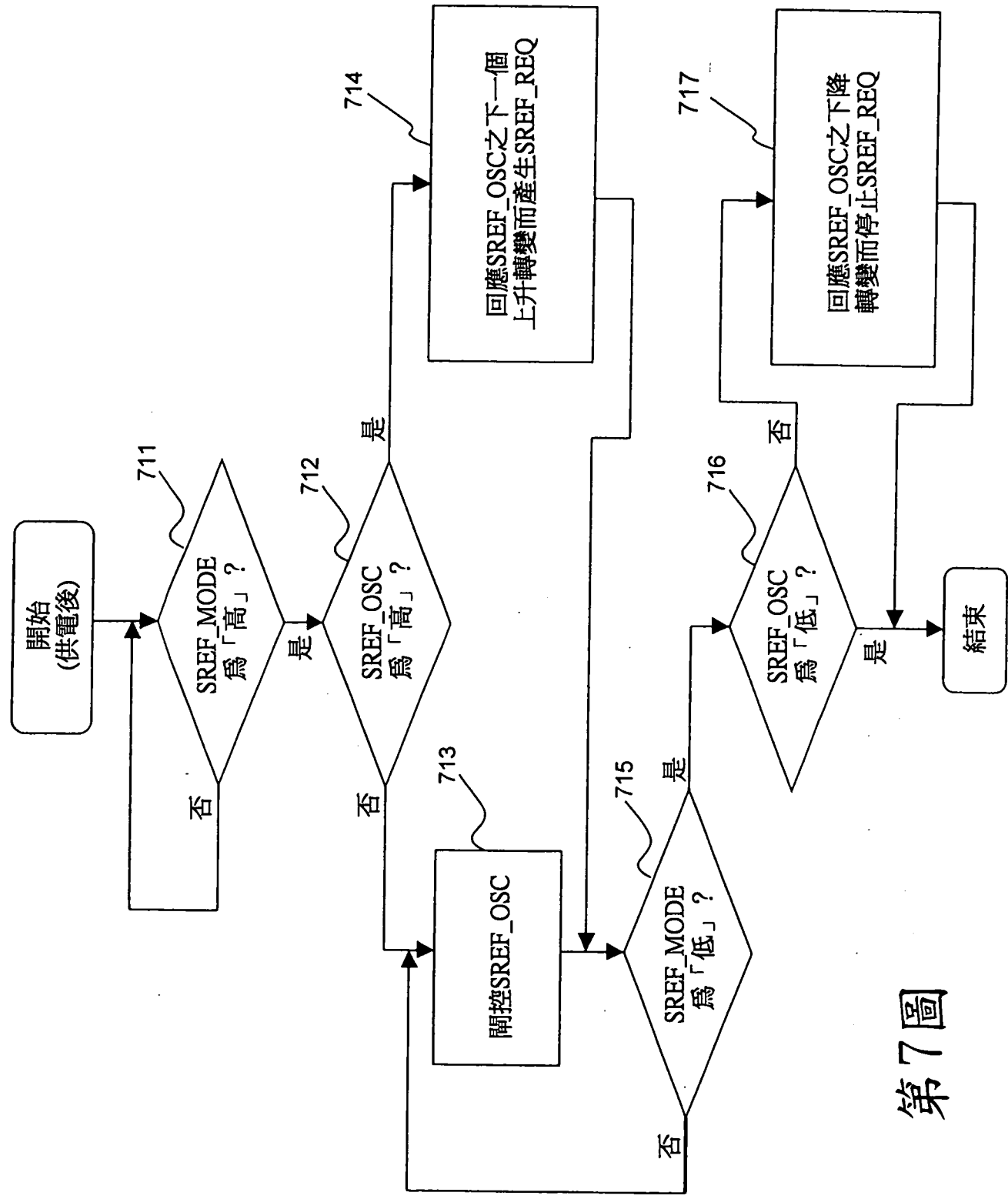
第4B圖



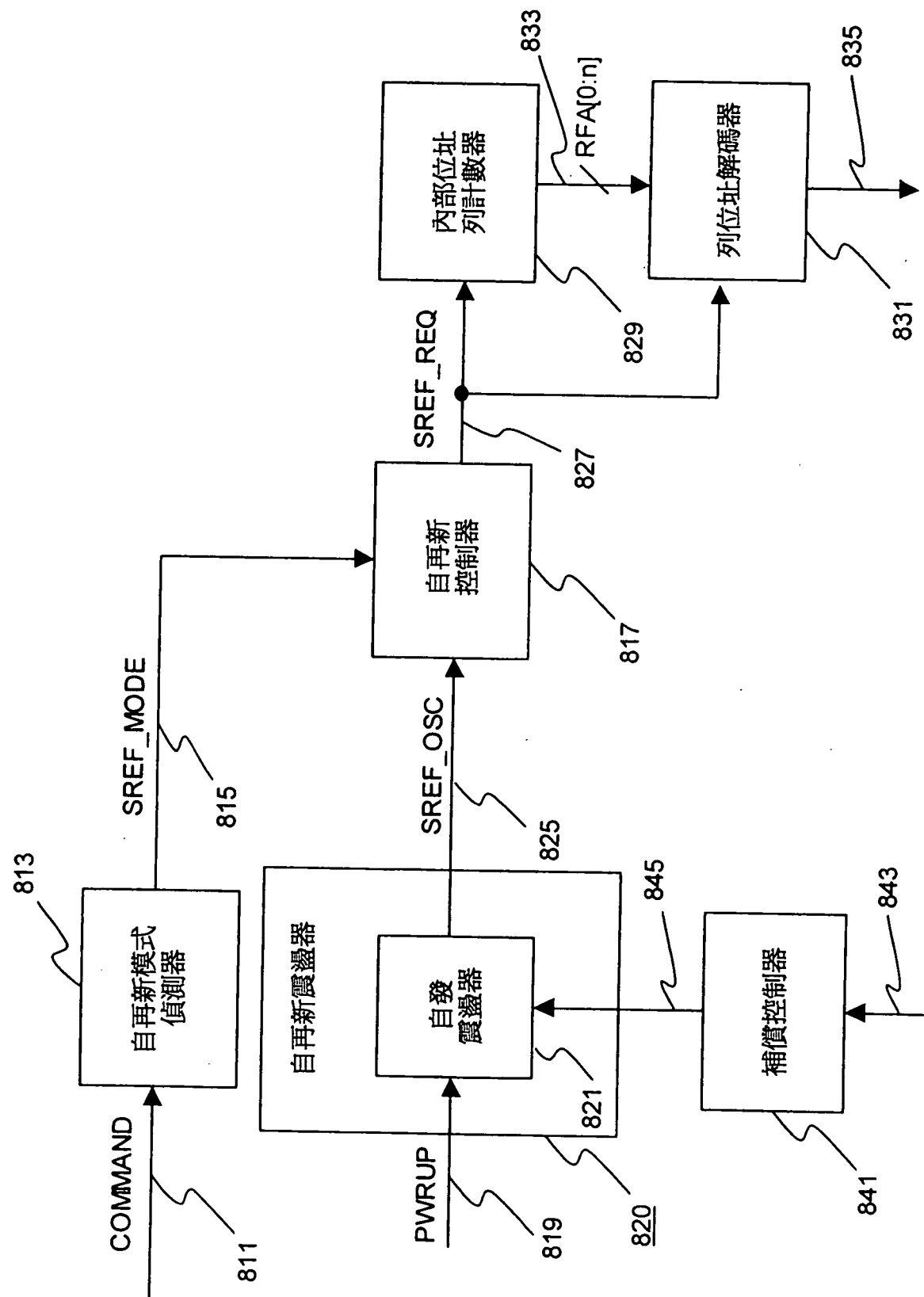
第5圖



第6圖



第7圖



第8圖