



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0040893
(43) 공개일자 2015년04월15일

- (51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) *H01L 21/82* (2006.01)
H01L 23/00 (2006.01) *H01L 23/36* (2006.01)
- (52) CPC특허분류
H01L 25/0652 (2013.01)
H01L 21/82 (2013.01)
- (21) 출원번호 10-2015-7002720
- (22) 출원일자(국제) 2013년07월23일
 심사청구일자 없음
- (85) 번역문제출일자 2015년01월30일
- (86) 국제출원번호 PCT/US2013/051694
- (87) 국제공개번호 WO 2014/018538
 국제공개일자 2014년01월30일
- (30) 우선권주장
 61/674,703 2012년07월23일 미국(US)
 (뒷면에 계속)
- (71) 출원인
 마벨 월드 트레이드 리미티드
 바베이도스 비비14027 세인트 마이클 브리تون스 헬
 건사이트 로드 로리존
- (72) 발명자
 수타르드자 세하트
 미국 캘리포니아 94022 로스 알토스 힐스 엘레나
 로드 27330
- (74) 대리인
 박장원

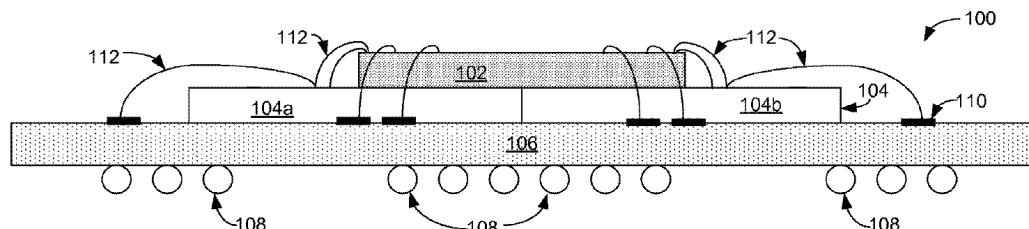
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 다중-메모리 다이를 포함하는 반도체 패키지와 관련된 방법 및 장치

(57) 요 약

하나의 실시예에서, 기판과, 상기 기판에 연결된 다중-메모리 다이 - 상기 다중-메모리 다이는 복수의 개별 메모리 다이를 포함하고, 상기 복수의 개별 메모리 다이의 각각의 개별 메모리 다이는 메모리 다이의 제작 동안 반도체 물질의 웨이퍼 내 개별 메모리 다이로서 형성되고, 상기 다중-메모리 다이는 반도체 물질의 웨이퍼를 메모리 다이들로 성글레이트함으로써 생성되며, 상기 메모리 다이를 중 적어도 하나는 함께 여전히 물리적으로 연결되어 있는 복수의 개별 메모리 다이를 포함하는 다중-메모리 다이임 - 와, 상기 다중-메모리 다이 및 상기 기판에 연결된 반도체 다이 - 상기 반도체 다이는 시스템 온 칩으로서 구성됨 - 를 포함하는 패키징 장치가 제공되며, 상기 다중-메모리 다이와 반도체 다이 중 적어도 하나는 상기 기판에 부착된다.

대 표 도



(52) CPC특허분류

H01L 23/36 (2013.01)

H01L 24/29 (2013.01)

H01L 25/105 (2013.01)

H01L 2224/16145 (2013.01)

(30) 우선권주장

61/675,626 2012년07월25일 미국(US)

13/947,936 2013년07월22일 미국(US)

명세서

청구범위

청구항 1

패키징 장치로서,

기판,

상기 기판에 연결된 다중-메모리 다이 - 다중-메모리 다이는 복수의 개별 메모리 다이를 포함하고,

상기 복수의 개별 메모리 다이의 각각의 개별 메모리 다이는 메모리 다이의 제작 동안 반도체 물질의 웨이퍼 내에서 개별 메모리 다이로서 형성되며,

상기 다중-메모리 다이는 반도체 물질의 웨이퍼를 메모리 다이들로 싱글레이트함으로써 생성되며, 메모리 다이들 중 적어도 하나는 여전히 물리적으로 함께 연결되어 있는 복수의 개별 메모리 다이를 포함하는 다중-메모리 다이임 - , 및

상기 다중-메모리 다이 및 기판에 연결된 반도체 다이 - 상기 반도체 다이는 시스템 온 칩으로서 구성됨 - 를 포함하고,

상기 다중-메모리 다이 및 상기 반도체 다이 중 적어도 하나는 상기 기판에 부착되는, 패키징 장치.

청구항 2

제1항에 있어서, 다중-메모리 다이와 반도체 다이 모두 상기 기판에 부착되는, 패키징 장치.

청구항 3

제2항에 있어서, 상기 반도체 다이는 플립 칩 공정을 통해 기판에 부착되는, 패키징 장치.

청구항 4

제1항에 있어서, 상기 반도체 다이는 와이어 본딩 공정을 통해 기판에 연결되는, 패키징 장치.

청구항 5

제1항에 있어서, 상기 다중-메모리 다이에 부착된 재배선 층을 더 포함하는, 패키징 장치.

청구항 6

제5항에 있어서, 상기 반도체 다이는 플립 칩 공정을 통해 상기 재배선 층에 연결되고 따라서 다중-메모리 다이에 연결되는, 패키징 장치.

청구항 7

제5항에 있어서, 상기 반도체 다이는 와이어 본딩 공정을 통해 상기 재배선 층에 연결되고 따라서 다중-메모리 다이에 연결되는, 패키징 장치.

청구항 8

제1항에 있어서, 반도체 다이 또는 다중-메모리 다이 중 하나에 부착된 히트 싱크를 더 포함하는, 패키징 장치.

청구항 9

제1항에 있어서, 다중-메모리 다이는 에폭시 또는 글루를 통해 기판에 부착되는, 패키징 장치.

청구항 10

제1항에 있어서, 상기 반도체 다이는 에폭시 또는 글루를 통해 기판에 부착되는, 패키징 장치.

청구항 11

제1항에 있어서, 상기 반도체 다이는 에폭시 또는 글루를 통해 상기 다중-메모리 다이에 부착되는, 패키징 장치.

청구항 12

제1항에 있어서, 상기 기판은 기판에 형성된 홀을 가지며, 상기 다중-메모리 다이는 와이어 본딩 공정을 이용해 상기 홀을 통해 기판에 연결되는, 패키징 장치.

청구항 13

제12항에 있어서, 상기 다중-메모리 다이는 와이어 본딩 공정을 이용해 상기 홀을 통해 반도체 다이로 연결되는, 패키징 장치.

청구항 14

제12항에 있어서,

상기 기판은 제 1 기판이며,

상기 패키징 장치는 제 2 기판을 더 포함하고,

상기 제 2 기판은 솔더 볼을 통해 상기 제 1 기판으로 연결되며,

상기 반도체 다이는 플립-칩 공정을 통해 상기 제 2 기판으로 연결되고, 따라서 상기 제 1 기판 및 다중-메모리 다이로 연결되는, 패키징 장치.

청구항 15

기판을 제공하는 단계,

상기 기판으로 다중-메모리 다이를 연결하는 단계 -

상기 다중-메모리 다이는 복수의 개별 메모리 다이를 포함하고,

상기 복수의 개별 메모리 다이의 각각의 개별 메모리 다이는 메모리 다이의 제작 동안 반도체 물질의 웨이퍼 내 개별 메모리 다이로서 형성되며,

상기 다중-메모리 다이는 반도체 물질의 웨이퍼를 메모리 다이들로 싱글레이트됨으로써 생성되며, 상기 메모리 다이들 중 적어도 하나는 여전히 물리적으로 함께 연결되어 있는 복수의 개별 메모리 다이를 포함하는 다중-메모리 다이임 - ,

반도체 다이를 상기 다중-메모리 다이 및 상기 기판에 연결하는 단계 - 상기 반도체 다이는 시스템 온 칩으로서 구성됨 - , 및

상기 다중-메모리 다이 및 상기 반도체 다이 중 적어도 하나를 상기 기판에 부착하는 단계

를 포함하는, 방법.

청구항 16

제15항에 있어서, 상기 다중-메모리 다이는 플립 칩 공정 또는 와이어 본딩 공정 중 하나를 통해 기판에 연결되는, 방법.

청구항 17

제15항에 있어서, 상기 반도체 다이는 플립 칩 공정 또는 와이어 본딩 공정 중 하나를 통해 상기 다중-메모리 다이에 연결되는, 방법.

청구항 18

제15항에 있어서, 상기 다중-메모리 다이는 플립 칩 공정 또는 와이어 본딩 공정 중 하나를 통해 상기 기판에

연결되는, 방법.

청구항 19

제15항에 있어서, 상기 다중-메모리 다이는 에폭시 또는 글루를 통해 기판에 부착되는, 방법.

청구항 20

제15항에 있어서, 상기 반도체 다이는 에폭시 또는 글루를 통해 상기 기판에 부착되는, 방법.

발명의 설명

기술 분야

[0001] 관련 출원의 상호-참조

본 발명은 2012년 07월 23일에 출원된 미국 가특허 출원 번호 61/674,703, 2012년 07월 25일에 출원된 미국 가특허 출원 번호 61/675,626, 및 2013년 07월 22일에 출원된 미국 가특허 출원 13/947,936로부터 우선권을 주장하며, 이들 개시내용은 본 명세서에 참조로서 포함된다. 본 발명은 2012년 06월 25일에 출원된 미국 특허 출원 13/532,444 및 2012년 08월 21일에 출원된 미국 특허 출원 13/590,949과 관련되며, 이들 개시내용은 본 명세서에 참조로서 포함된다.

[0003] 기술 분야

본 발명의 실시예는 집적 회로의 분야와 관련되며, 더 구체적으로 반도체 칩 패키징을 위한 기법, 구조, 및 구성과 관련된다.

배경 기술

[0005] 본 명세서에 제공되는 배경 기술은 본 발명의 맥락을 일반적으로 제공하기 위한 목적을 가진다. 현재 등재된 발명자(들)의 작업은, 이 배경기술 섹션에 기재되는 범위뿐 아니라 출원 시점에서 달리 공지 기술의 자격을 갖지 않을 수 있는 기재의 양태까지, 본 발명에 반하여 공지 기술이라고 명시적으로도 또는 묵시적으로도 인정되지 않는다.

[0006] 전자 장치가 반도체 다이가 다양한 기능을 수행하도록 배열되고 구성되는 반도체 다이로 구성된 패키지를 이용한다. 예를 들어, 패키지에서, 하나의 반도체 다이가 시스템 온 칩(SOC)으로서 구성될 수 있고 또 다른 반도체 다이가 메모리 다이로서 구성될 수 있다. 그 후 상기 SOC 다이 및 메모리 다이는 패키지를 하우징하는 전자 장치에 대해 다양한 기능을 수행하도록 인터커넥트된다. 종종 이를 패키지에서의 반도체 다이는 많은 양의 열을 발생시킨다. 덧붙여, 반도체 다이는 전력(VDD) 및 접지를 액세스할 필요가 있다. 따라서 이러한 패키지를 생성하고 설계할 때, 많은 상반관계, 예컨대, 비용, 방열 및 VDD 및 접지로의 액세스뿐 아니라 패키지 내 반도체 다이들 간 상호연결성이 존재한다.

발명의 내용

과제의 해결 수단

[0007] 하나의 실시예에서, 기판과, 상기 기판에 연결된 다중-메모리 다이 - 상기 다중-메모리 다이는 복수의 개별 메모리 다이를 포함하고, 상기 복수의 개별 메모리 다이의 각각의 개별 메모리 다이는 메모리 다이의 제작 동안 반도체 물질의 웨이퍼 내 개별 메모리 다이로서 형성되고, 상기 다중-메모리 다이는 반도체 물질의 웨이퍼를 메모리 다이들로 싱글레이트함으로써 생성되며, 상기 메모리 다이들 중 적어도 하나는 함께 여전히 물리적으로 연결되어 있는 복수의 개별 메모리 다이를 포함하는 다중-메모리 다이임 - 와, 상기 다중-메모리 다이 및 상기 기판에 연결된 반도체 다이 - 상기 반도체 다이는 시스템 온 칩으로서 구성됨 - 를 포함하는 패키징 장치가 제공되며, 상기 다중-메모리 다이와 반도체 다이 중 적어도 하나는 상기 기판에 부착된다.

[0008] 하나의 실시예에서, 기판을 제공하는 단계와, 상기 기판에 다중-메모리 다이를 연결하는 단계 - 상기 다중-메모리 다이는 복수의 개별 메모리 다이를 포함하며, 상기 복수의 개별 메모리 다이의 각각의 개별 메모리 다이는 메모리 다이의 제작 동안 반도체 물질의 웨이퍼 내 개별 메모리 다이로서 형성되고, 상기 다중-메모리 다이는 반도체 물질의 웨이퍼를 메모리 다이들로 싱글레이트함으로써 생성되며, 상기 메모리 다이들 중 적어도 하나는

함께 여전히 물리적으로 연결되어 있는 복수의 개별 메모리 다이를 포함하는 다중-메모리 다이임 - 와, 반도체 다이를 상기 다중-메모리 다이 및 상기 기판에 연결하는 단계 - 상기 반도체 다이는 시스템 온 칩으로서 구성됨 - 와, 상기 다중-메모리 다이 및 상기 반도체 다이 중 적어도 하나를 상기 기판에 부착하는 단계를 포함하는, 방법이 또한 제공된다.

도면의 간단한 설명

[0009] 이하의 도면과 함께 다음의 상세한 설명에 의해 실시예가 쉽게 이해될 것이다. 실시예는 첨부된 도면에서 예시로서 도시되며 한정으로 도시된 것이 아니다.

도 1a는 2개의 개별 메모리 다이를 포함하는 다중-메모리 다이를 포함하는 패키징 장치의 하나의 예시의 평면도를 개략적으로 도시한다.

도 1b는 도 1a에 도시된 패키징 장치의 횡단면도를 개략적으로 도시한다.

도 1c 및 1d는 2개의 개별 메모리 다이를 포함하는 다중-메모리 다이를 포함하는 패키징 장치의 하나의 예시의 평면도 및 횡단면도를 각각 개략적으로 도시한다.

도 2-8은 2개의 개별 메모리 다이를 포함하는 다중-메모리 다이를 포함하는 다양한 패키징 장치의 횡단면도를 개략적으로 도시한다.

도 9는 복수의 개별 메모리 다이를 포함하는 다중-메모리 다이에 연결된 반도체 다이를 포함하는 패키징 장치를 만들기 위한 방법의 하나의 예시를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 도 1a는 메모리 다이로서 구성된 반도체 다이(104) 상에 적층되는 시스템 온 칩(SOC) 다이로서 구성된 반도체 다이(102)의 평면도를 도시한다. 상기 메모리 다이(104)는 상기 메모리 다이(104)가 제조되었을 때 서로와 물리적으로 분리되어 있지 않았던 2개의 개별 다이(104a, 104b)를 포함한다. 제조 중에, 반도체 다이를 생성하기 위해 복수의 반도체 다이로 구성된 반도체 물질의 웨이퍼(도시되지 않음)가, 예를 들어, 레이저에 의해 개별 반도체 다이로 절단됨으로써, 일반적으로 싱글레이트 또는 분할되어, 물리적으로 서로 분리되어 있는 복수의 개별 반도체 다이를 제공할 수 있다. 따라서, 복수의 메모리 다이로 구성된 웨이퍼(도시되지 않음)가 메모리 다이(104)가 서로 여전히 부착되어 있는 2개의 메모리 다이(104a, 104b)를 포함하도록 절단되었다. 일반적으로 메모리 다이(104a, 104b)는 동적 랜덤 액세스 메모리(DRAM)로서 구성되지만, 필요에 따라 그 밖의 다른 유형의 메모리로서 구성될 수 있다.

[0011] 도 1b는 도 1a에 도시된 패키징 장치의 횡단면도를 개략적으로 도시한다. 도 1b는 기판(106) 상에 적층된 SOC 다이(102) 및 메모리 다이(104)를 도시한다. 상기 SOC 다이(102)는 적절한 에폭시 또는 글루를 통해 상기 메모리 다이(104)에 부착된다. 마찬가지로, 상기 메모리 다이(104)는 적절한 에폭시 또는 글루를 통해 기판(106)에 부착된다. 상기 기판(106)은 최종 패키징 장치(100)를 또 다른 기판, 가령, 인쇄 회로 기판(PCB), 또 다른 기판 등(도시되지 않음)에 부착하기 위한 솔더 볼(108)을 포함한다. 와이어 본딩 공정을 통해, SOC 다이(102), 메모리 다이(104) 및 기판(106) 상의 다양한 본딩 패드(110)가 와이어 본드(112)에 의해 서로 연결될 수 있다. 상기 본딩 패드(110)는 예를 들어, 데이터, 명령어 및/또는 주소, 입/출력 및 VDD/접지로의 액세스와 관련된 신호를 위해 사용되도록 구성될 수 있다. 덧붙여, 와이어 본드(112)는 SOC 다이(102)와 기판(106) 사이에서, 그리고 메모리 다이(104)와 기판(106) 사이에서 사용될 수 있다. 예를 들어, 와이어 본드(112)는 SOC 다이(102)에 대해 VDD/접지로의 액세스를 제공하도록 사용될 수 있다. 도 1b에 도시된 패키징 장치(100)는 일반적으로 합리적인 비용을 제공하지만, 일반적으로 SOC 다이(102) 및 메모리 다이(104)에 대해 평균보다 우수한 방열을 제공하지 않는다. 또한 도 1a에 도시된 패키징 장치(100)는 일반적으로 최소 VDD/접지 액세스만 제공한다.

[0012] 도 1a 및 1b에서, 메모리 다이(104a)의 본딩 패드(110)가 상기 메모리 다이(104a)의 중앙 섹션 상에 또는 그 근방에 배치되고, 메모리 다이(104b)의 본딩 패드(110)는 상기 메모리 다이(104b)의 중앙 섹션 상에 또는 그 근방에 배치된다. 그러나 하나의 실시예에서, 각각의 메모리 다이(104a 및 104b)의 본딩 패드(110)가 가령, 대응하는 메모리 다이의 에지(edge) 근방에 배치될 수 있다. 예를 들어, 도 1c 및 1d는 2개의 개별 메모리 다이를 포함하는 다중-메모리 다이(multi-memory die)를 포함하는 패키징 장치의 하나의 예시의 평면도 및 횡단면도를 각각 개략적으로 도시한다. 도 1c 및 1d는 각각 도 1a 및 1b와 어느 정도 유사하다. 그러나 도 1a 및 1b와 달리, 도 1c 및 1d에서, 메모리 다이(104a)의 본딩 패드(110)는 메모리 다이(104a)의 에지 근방에 배치되고, 메모리

다이(104b)의 본딩 패드(110)는 메모리 다이(104b)의 에지 근방에 배치된다. 예를 들어, 본딩 패드(110)가 메모리 다이의 에지 근방에 배치되게 함으로써, SOC 다이(102)에 대한 비교적 넓은 공간이 가능해지고, 결과적으로 더 큰 크기의 SOC 다이(102)가 사용될 수 있다.

[0013] 하나의 실시예에서, 상기 메모리 다이(104a)는 메모리 다이(104b)의 거울 이미지이다(가령, 메모리 다이(104a)는 메모리 다이(104b)의 거울 이미지인 구성요소 및 본딩 패드 연결을 가진다). 또 다른 실시예에서, 메모리 다이(104a)는 메모리 다이(104b)와 유사하거나 동일하다(가령, 메모리 다이(104a)는 메모리 다이(104b)의 것과 유사하거나 동일한 구성요소 및 본딩 패드 연결을 갖고, 도면에서 메모리 다이(104a)는 메모리 다이(104b)의 회전 이미지이다). 또 다른 실시예에서, 메모리 다이(104a)는 메모리 다이(104b)와 상이하다(가령, 메모리 다이(104a)는 메모리 다이(104b)의 것과 상이한 구성요소 및 본딩 패드 연결을 가진다). 하나의 실시예에서, 메모리 다이(104a 및 104b)는 듀얼 채널 메모리(dual channel memory)를 형성한다. 하나의 예를 들어, 메모리 다이(104a 및 104b)는 듀얼 채널 DRAM을 형성한다.

[0014] 도 2a는 기판(106) 내에 홀(hole)(214)이 형성되는 패키징 장치(200a)를 도시한다. 상기 패키징 장치(200)는 SOC 다이(102) 및 앞서 기재된 바와 같이 2개의 부착된 메모리 다이(104a, 104b)를 포함하는 메모리 다이(104)를 포함한다. 나타난 바와 같이, 와이어 본드(112)가 SOC 다이(102), 메모리 다이(104) 및/또는 기판(106) 사이에 다양한 연결을 제공하도록 사용된다. 히트 싱크(heat sink)(216)가 메모리 다이(104)에 제공되고 부착된다. 상기 히트 싱크(216)는 적절한 에폭시 또는 글루를 통해 메모리 다이(104)에 부착된다. 솔더 볼(108)이 기판(106) 상에 제공되어, 패키징 장치(200)가 또 다른 기판, 가령, PCB, 또 다른 기판 등(도시되지 않음)에 부착될 수 있다. 상기 SOC 다이(102)는 적절한 에폭시 또는 글루를 통해 메모리 다이(104)에 부착된다. 도시된 바와 같이, 메모리 다이(104)가 (적절한 에폭시 또는 글루를 통해) 기판(106)에 부착될 때, 상기 SOC 다이(102)는 홀(214) 내부로 빙어 있다. 일반적으로 도 2a에 도시된 패키징 장치(200a)는 메모리 다이(104)에 인접한 히트 싱크(216)의 위치 때문에, 우수한 비용 이점, SOC 다이(102)에 대한 우수한 방열, 및 메모리 다이(104)에 대한 매우 우수한 방열을 제공한다. 덧붙여, 패키징 장치(200a)는 개선된 VDD/접지 액세스를 제공한다.

[0015] 도 2b는 도 2a에 도시된 패키징 장치(200a)와 유사한 패키징 장치(200b)를 도시한다. 패키징 장치(200b)에서, 솔더 볼(218)은 SOC 다이(102) 상에 제공되어 VDD 및 접지로의 액세스를 제공할 수 있다. 또한 패키징 장치(200b)는 SOC 다이(102) 및 메모리 다이(104)에 대한 비용 및 방열 관련하여 우수한 이점을 제공한다. 덧붙여, SOC 다이(102) 상의 솔더 볼(218)의 존재에 의해 VDD 및 접지로의 연결성이 개선되어, 패키징 장치(200b)가 기판, 가령, PCB, 또 다른 기판 등(도시되지 않음) 상으로 플립 칩 방식으로 부착될 때 VDD 및 접지로의 액세스를 제공할 수 있다.

[0016] 도 3은 도 1b에 도시된 패키징 장치(100)와 유사한 패키징 장치(300)를 도시한다. 패키징 장치(300)에서, 재배선 층(redistribution layer)(RDL)(320)이 메모리 다이(104) 상에 배치된다. SOC 다이(102)는 RDL(320) 상에 배치되고 적절한 에폭시 또는 글루를 통해 RDL(320)로 부착된다. SOC 다이(102)와 RDL(320) 사이의 와이어 본드(112)뿐 아니라 RDL(320)과 기판(106) 사이의 와이어 본드(112)에 의해, 다양한 신호, 가령, 데이터, 명령어/주소, 및 VDD 및 접지로의 액세스의 라우팅이 가능해진다. 솔더 볼(108)이 패키징 장치(300)를 또 다른 기판, 가령, PCB, 또 다른 기판 등(도시되지 않음)에 부착하기 위한 기판(106) 상에 포함된다. 도 3의 패키징 장치(300)는 RDL(320)의 포함 때문에 증가된 비용을 가지며 SOC 다이(102) 및 메모리 다이(104)에 대한 적절한 방열뿐 아니라 RDL(320)을 통해 VDD 및 접지로의 적절한 액세스도 제공한다.

[0017] 도 4는 도 3에 도시된 패키징 장치(300)와 유사한 패키징 장치(400)를 도시한다. 그러나 SOC 다이(102)는 솔더 볼(418)을 통해 RDL(320)로 부착되며, 이로써 SOC 다이(102)와 RDL(320) 간 직접 신호 액세스가 제공된다. 나타난 바와 같이, 도 3과 도 4 모두의 실시예에서 SOC 다이(102)는 도 1에 도시된 SOC 다이(102)에 비교할 때 클 수 있고 거의 사각형일 수 있다. 이는 메모리 다이(104) 상의 본드 패드를 이용하는 것과 달리, RDL(320)의 존재로 인해 가능하다. 또한 히트 싱크(416)는 패키징 장치(400)로 제공되며 적절한 에폭시 또는 글루를 통해 SOC 다이(102)에 부착된다. 솔더 볼(108)이 기판(106) 상에 제공되어 패키징 장치(400)를 또 다른 기판, 가령, PCB, 또 다른 기판 등(도시되지 않음)에 부착할 수 있다. 패키징 장치(400)는 히트 싱크(416)의 존재로 인해 증가된 비용을 갖고 SOC 다이(102)뿐 아니라 메모리 다이(104)에 대한 개선된 방열을 제공한다. VDD 및 접지로의 개선된 액세스가 RDL(320)을 통해 제공된다.

[0018] 도 5는 패키지 온 패키지(POP: package on package) 장치로서 구성된 패키징 장치(500)를 도시한다. 앞서 기재된 바와 같이 2개의 부착된 메모리 다이(104a, 104b)를 포함하는 메모리 다이(104)는 제 1 기판(106a)에 부착된다. 적절한 에폭시 또는 글루를 통해 상기 메모리 다이(104)는 기판(106a)에 부착된다. 홀(514a, 514b)이 기판

(106a) 내에 형성되어, 메모리 다이(104)로부터 기판(106a)으로의 와이어 본드(112)를 가능하게 한다. 기판(106b) 상에 배치되는 SOC 다이(102)를 포함하는 제 2 기판(106b)이 제공된다. 상기 SOC 다이(102)는 제 2 기판(106b)에 플립 칩 방식으로 부착되며, 따라서 SOC 다이(102)는 솔더 볼(518)을 통해 제 2 기판(106b)에 부착되어, SOC 다이(102)와 기판(106b) 간 직접 신호 연결을 제공할 수 있다. 메모리 다이(104)가 부착된 제 1 기판(106a)이 솔더 볼(108a)을 통해 제 2 기판(106b)에 부착된다. 솔더 볼(108b)이 제 2 기판(106b) 상에 제공되어 POP 패키징 장치(500)를 또 다른 기판, 가령, PCB, 또 다른 기판 등(도시되지 않음)에 부착시킬 수 있다. 일반적으로 패키징 장치(500)는 연관된 평균 비용을 가지며 SOC 다이(102)와 메모리 다이(104)에 대한 꽤 많은 양의 방열을 제공한다. SOC 다이(102)와 제 2 기판(106b) 간 솔더 볼 연결 때문에 SOC 다이(102)에 대한 VDD 및 접지로의 액세스가 매우 우수하다.

[0019] 도 6은 메모리 다이(104)가 히트 싱크(616)에 부착되는 패키징 장치(600)를 도시한다. 상기 메모리 다이(104)는 적절한 에폭시 또는 글루를 통해 히트 싱크(616)에 부착된다. 메모리 다이(104)는 자신 상에 배치되는 RDL(320)을 포함한다. SOC 다이(102)는 솔더 볼(618)을 통해 메모리 다이(104) 상의 RDL(320)에 플립 칩 방식으로 부착된다. 따라서 SOC 다이(102)는 SOC 다이(102)를 RDL(320)로 부착하는 솔더 볼(618)을 통해 RDL(320)로의 직접 신호 액세스를 가진다. 또한 상기 SOC 다이(102)는 적절한 에폭시 또는 글루를 통해 기판(106)에 부착된다. 기판(106)과 RDL(320) 사이에 솔더 볼(622)이 제공되어, 기판(106) 및 SOC 다이(102)가 메모리 다이(104) 상의 RDL(320)에 플립 칩 방식으로 부착될 때, 직접 신호 액세스가 기판(106)과 RDL(320) 사이에 제공될 수 있다. 솔더 볼(108)이 기판(106) 상에 제공되어 패키징 장치(600)를 또 다른 기판, 가령, PCB, 또 다른 기판 등(도시되지 않음)에 부착시킬 수 있다. 패키징 장치(600)는 SOC 다이(102)와 메모리 다이(104)에 대해 히트 싱크(616)로 인해 개선된 비용 및 매우 우수한 방열을 제공한다. 덧붙여, VDD 및 접지로의 액세스도 RDL(320)로 인해 매우 우수하다.

[0020] 도 7은 SOC 다이(102)가 히트 싱크(716)에 부착되는 패키징 장치(700)를 도시한다. SOC 다이(102)는 적절한 에폭시 또는 글루를 통해 히트 싱크(716)에 부착될 수 있다. 메모리 다이(104)는 기판(106)에 부착된다. 메모리 다이(104)는 적절한 에폭시 또는 글루를 통해 기판(106)에 부착될 수 있다. 홀(714a, 714b)이 기판(106) 내부에 형성되어, 상기 와이어 본드(112)가 사용되어 상기 와이어 본드(112)를 기판(106) 내 홀(714a, 714b)을 통과하도록 라우팅함으로써 메모리 다이(104)를 기판(106)에 연결할 수 있다. 상기 SOC 다이(102)는 기판(106)에 플립 칩 방식으로 부착될 수 있고, 따라서 솔더 볼(718)은 기판(106)과 SOC 다이(102) 간 직접 신호 액세스를 제공한다. 상기 솔더 볼(108)은 기판(106) 상에 제공되어, 상기 패키징 장치(700)가 또 다른 기판, 가령, PCB, 또 다른 기판 등(도시되지 않음)에 부착될 수 있다. 상기 패키징 장치(700)는 히트 싱크(716) 때문에 SOC 다이(102)에 대해서뿐 아니라 메모리 다이(104)에 대해서도 적절한 비용과 매우 우수한 방열을 제공한다. 일반적으로 VDD 및 접지로의 액세스가 적절하다.

[0021] 도 8은 도 7의 패키징 장치(700)와 유사한 패키징 장치(800)를 도시한다. 도 8의 패키징 장치(800)에서, SOC 다이(102)는 도 7의 패키징 장치(700)에서의 SOC 다이(102)보다 넓다. 따라서 히트 싱크(716)가 부착된 SOC 다이(102)가 기판(106)에 플립 칩 방식으로 부착될 때, 상기 SOC 다이(102)는 기판(106) 내에 형성된 홀(714a, 714b) 너머까지 상기 기판(106)에 부착될 수 있다. 상기 패키징 장치(800)는 패키징 장치(800)에 대해 적절한 비용을 제공하고 히트 싱크(716)로 인해 SOC 다이(102)와 메모리 다이(104)에 대해 매우 우수한 방열을 제공한다. 일반적으로 VDD 및 접지로의 액세스가 적절하다.

[0022] 서로 부착되어 있는 2개의 메모리 다이(104a, 104b)를 포함하는 메모리 다이(104)를 이용해 다양한 패키징 장치가 기재되었고 도시되었지만, 단일 메모리 다이만 포함하는 메모리 다이가 사용될 수 있음이 자명하다. 이러한 실시예에서, 일반적으로 메모리 다이는 도 1-8에 기재되고 도시된 메모리 다이(104)보다 좁을 것이다. 또한 2개의 메모리 다이(104a, 104b)보다 많은 서로 여전히 부착되어 있는 메모리 다이를 포함하는 메모리 다이가 사용될 수 있다. 이러한 실시예에서, 일반적으로 메모리 다이는 도 1-8에 기재되고 도시된 메모리 다이(104)보다 넓거나 및/또는 길 것이다. 다중-메모리 다이(104)는 1×2, 2×2, 2×3 등의 개별 메모리 다이(104a, 104b)의 장치를 포함할 수 있다. 이를 예시가 한정을 의미하는 것은 아니다.

[0023] 도 9는 패키징 장치, 가령, 도 1-8의 패키징 장치의 만들기 위한 방법(900)의 하나의 예시를 도시한다. 단계(902)에서, 기판이 제공된다. 단계(904)에서, 다중-메모리 다이가 기판에 연결된다. 상기 복수의 개별 메모리 다이의 각각의 개별 메모리 다이가 메모리 다이의 제작 동안 반도체 물질의 웨이퍼 내 개별 메모리 다이로서 형성된다. 반도체 물질의 웨이퍼를 메모리 다이들로 성글레이트함으로써 상기 다중-메모리 다이가 만들어지며, 여기서 메모리 다이들 중 적어도 하나는 여전히 물리적으로 함께 연결된 복수의 개별 메모리 다이를 포함하는 다중-메모리 다이이다. 단계(906)에서, 반도체 다이가 다중-메모리 다이 및 기판에 연결된다. 상기 반도체 다이는

시스템은 칩으로서 구성된다. 단계(908)에서, 다중-메모리 다이 및 반도체 다이 중 적어도 하나가 기판에 부착된다.

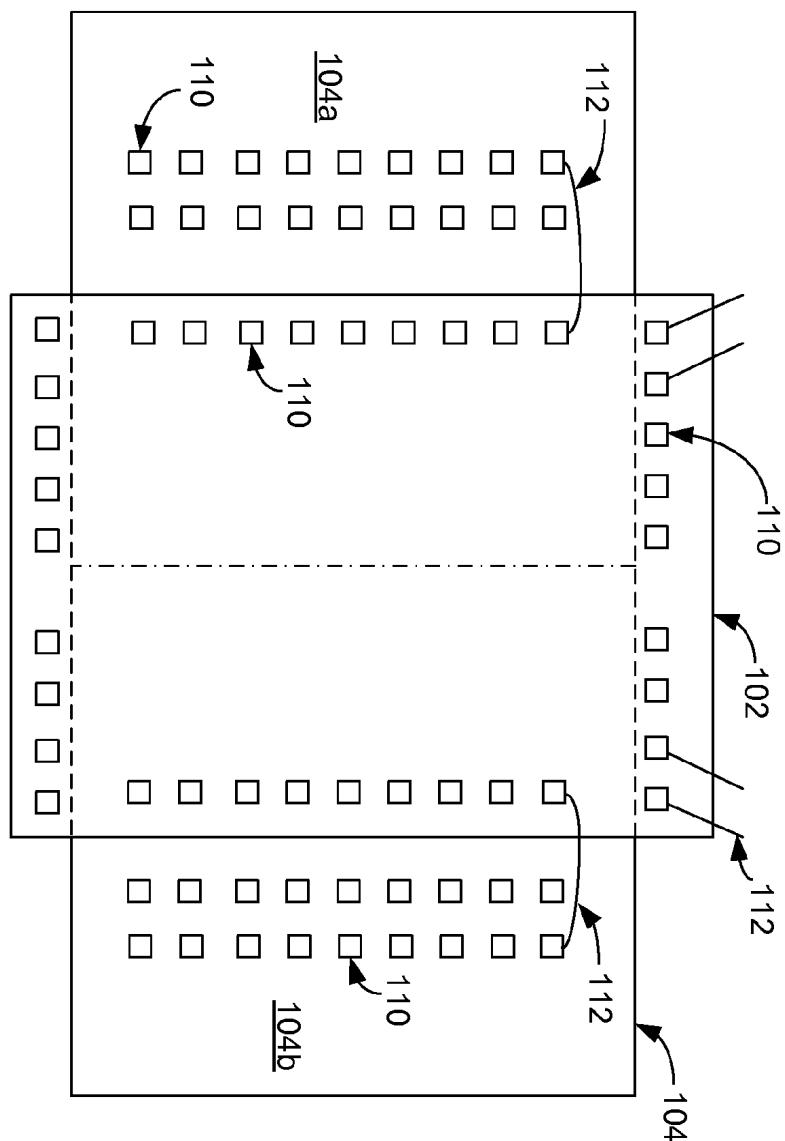
[0024] 다양한 작업이 차례대로 복수의 이산 동작 또는 작업으로 본 발명을 이해하는 데 가장 유용한 방식으로 기재되었을 수 있다. 그러나 기술 순서가 이들 작업이 반드시 순서 종속적임을 의미하는 것으로 해석되어서는 안 된다. 특히, 이들 작업은 제시 순서로 수행되지 않을 수 있다. 기재된 작업들은 기재된 실시예와 상이한 순서로 수행될 수 있다. 추가 실시예에서, 다양한 추가 작업이 수행되거나 및/또는 기재된 작업이 생략될 수 있다.

[0025] 기재가 동일한 또는 상이한 실시예들 중 하나 이상을 각각 지칭할 수 있는 용어 "실시예" 또는 "실시예들"을 이용할 수 있다. 덧붙여, "포함하는(comprising)", "포함하는(including)", "갖는(having)" 등이 실시예와 관련하여 사용될 때, 동의어이다.

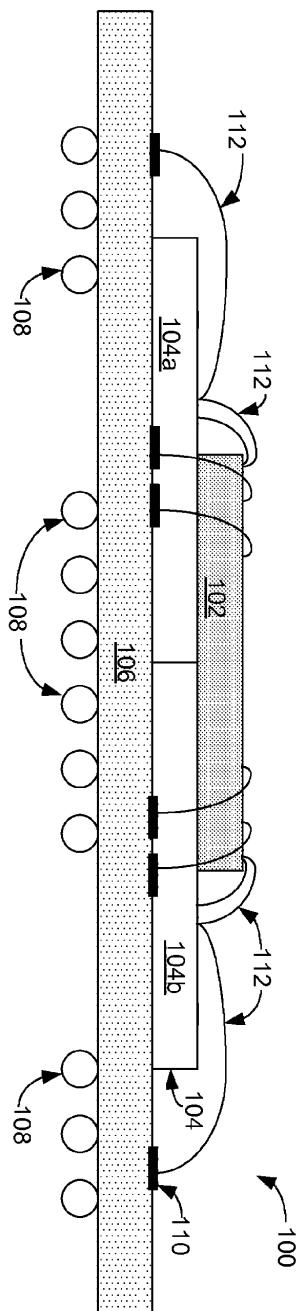
[0026] 본 명세서에 특정 실시예가 도시되고 기재되었지만, 해당 분야의 통상의 기술자라면 동일한 목적을 달성하도록 계산된 다양한 대안 및/또는 균등 실시예 또는 구현예가 본 발명의 범위 내에서 도시되고 기재된 실시예를 대체할 수 있음을 알 것이다. 해당 분야의 통상의 기술자라면 실시예가 다양한 방식으로 구현될 수 있음을 쉽게 알 것이다. 이 출원은 본 명세서에 기재된 실시예들의 임의의 각색 또는 변형을 포함하도록 의도된다. 따라서 실시예는 특허청구범위 및 이의 균등물에 의해서만 한정되도록 의도된 것이 자명하다.

도면

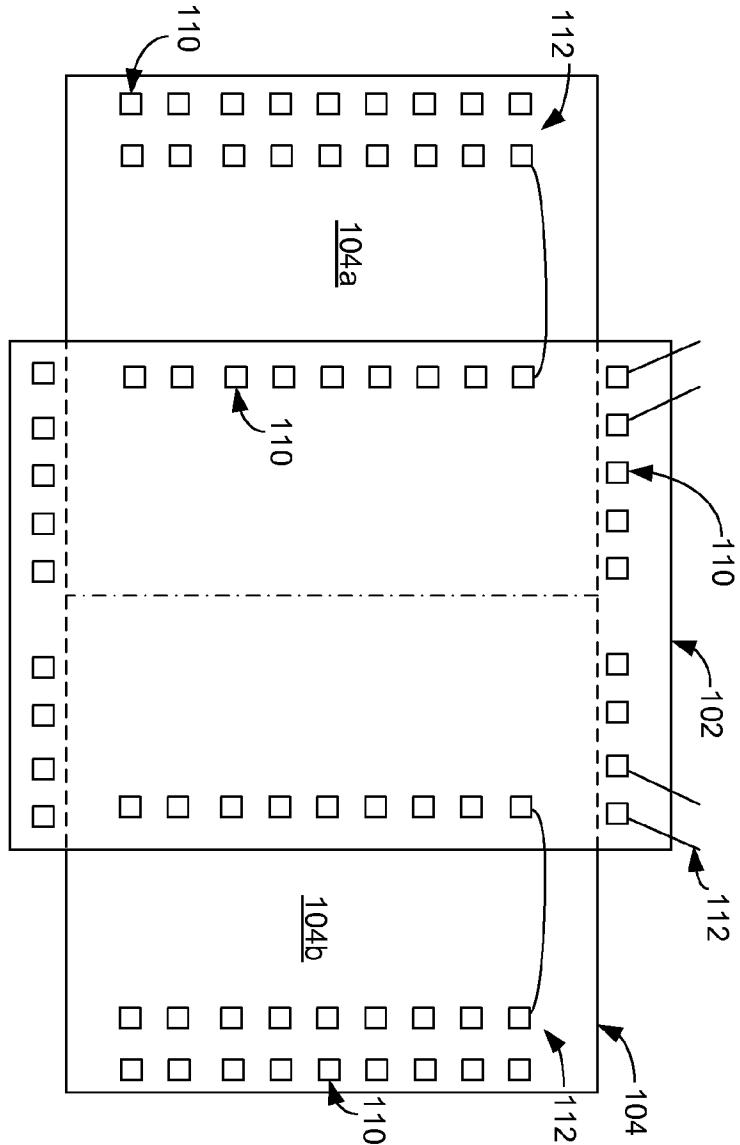
도면1a



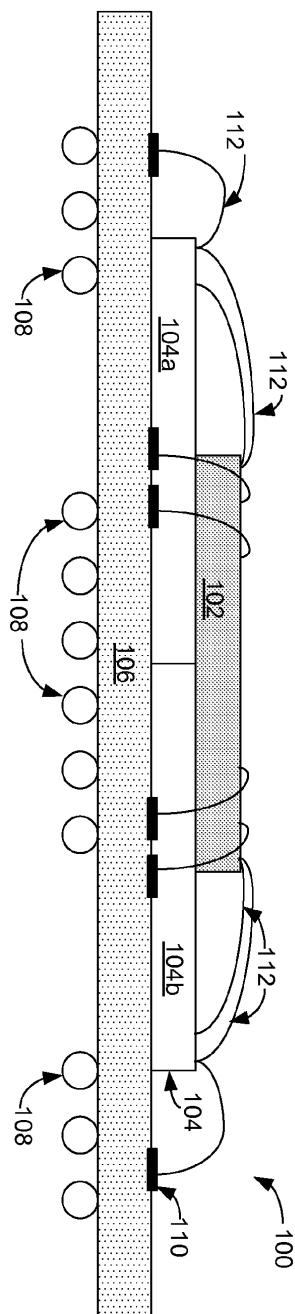
도면1b



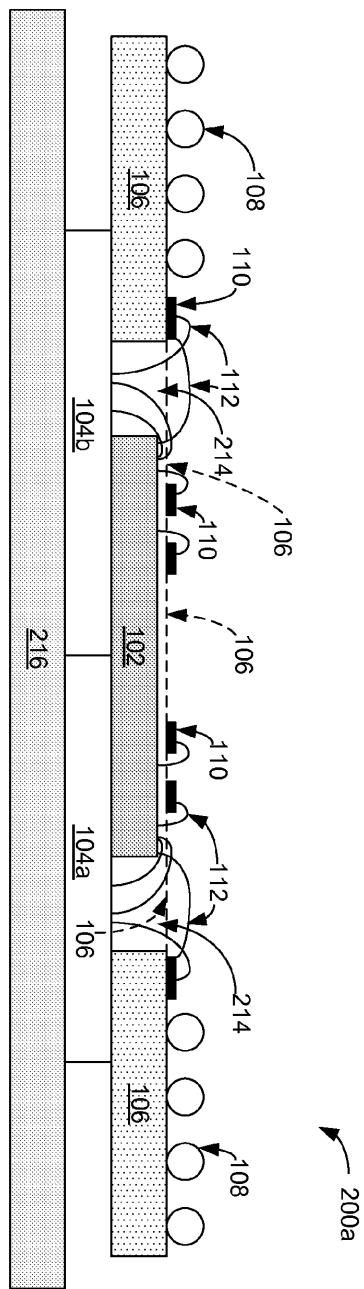
도면1c



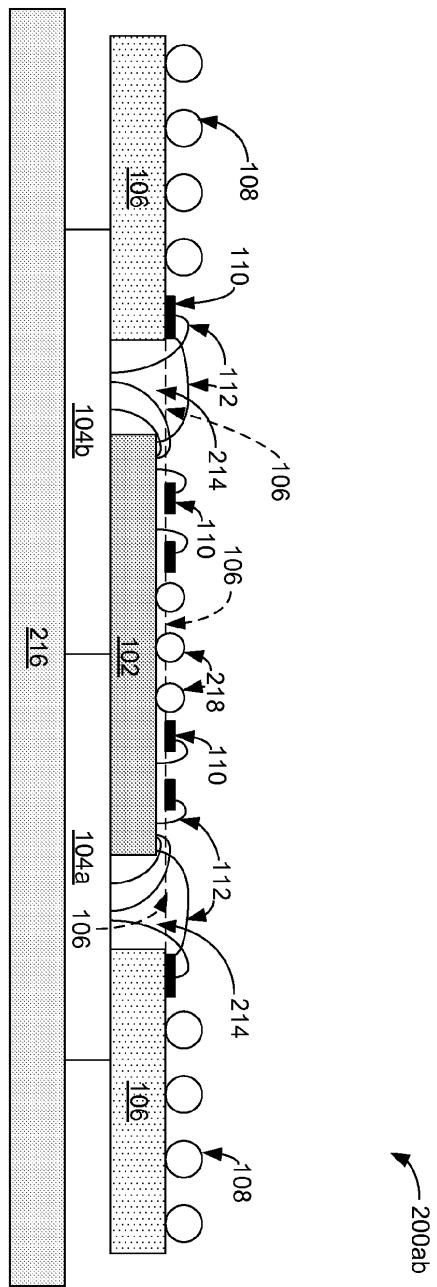
도면 1d



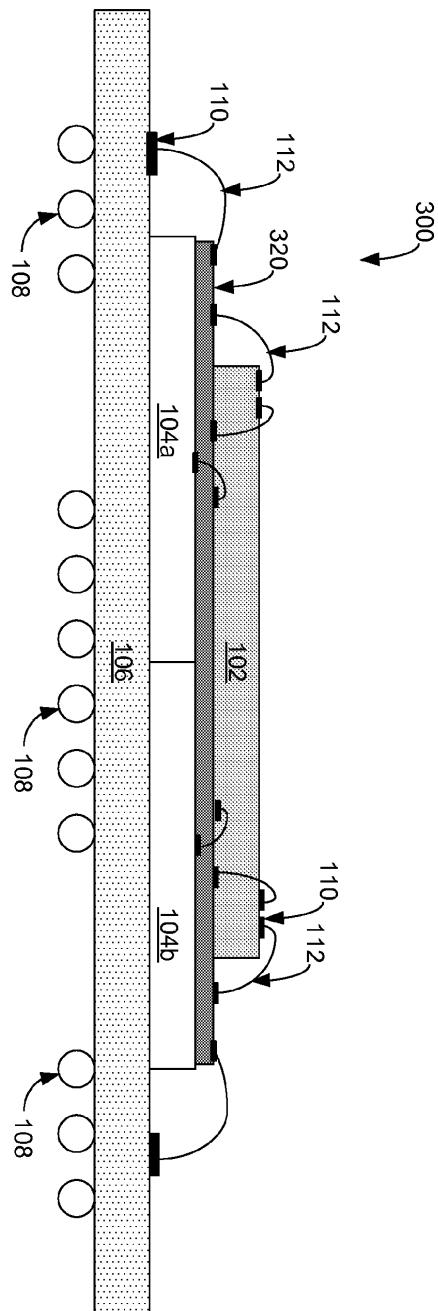
도면2a



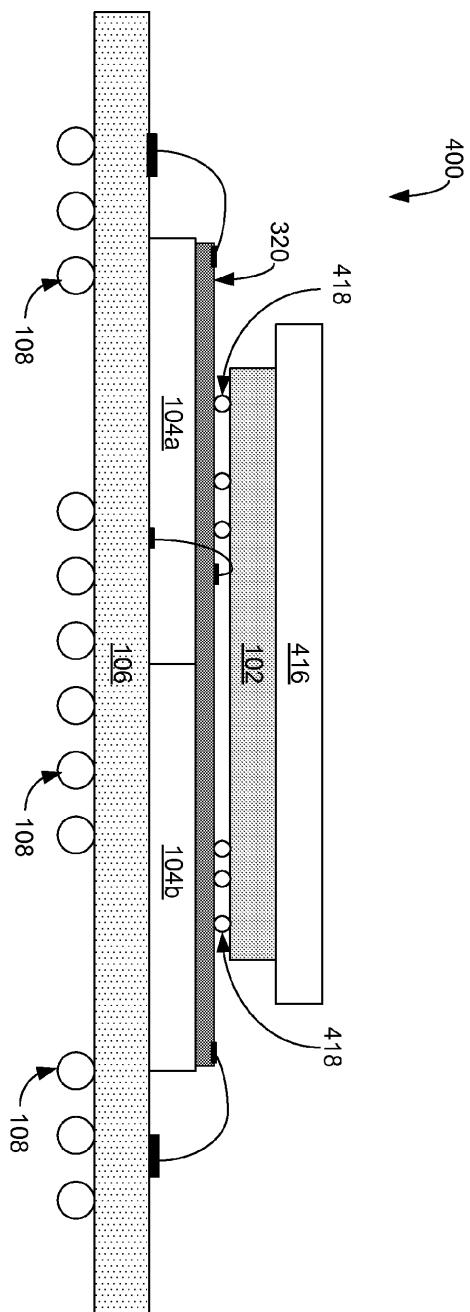
도면2b



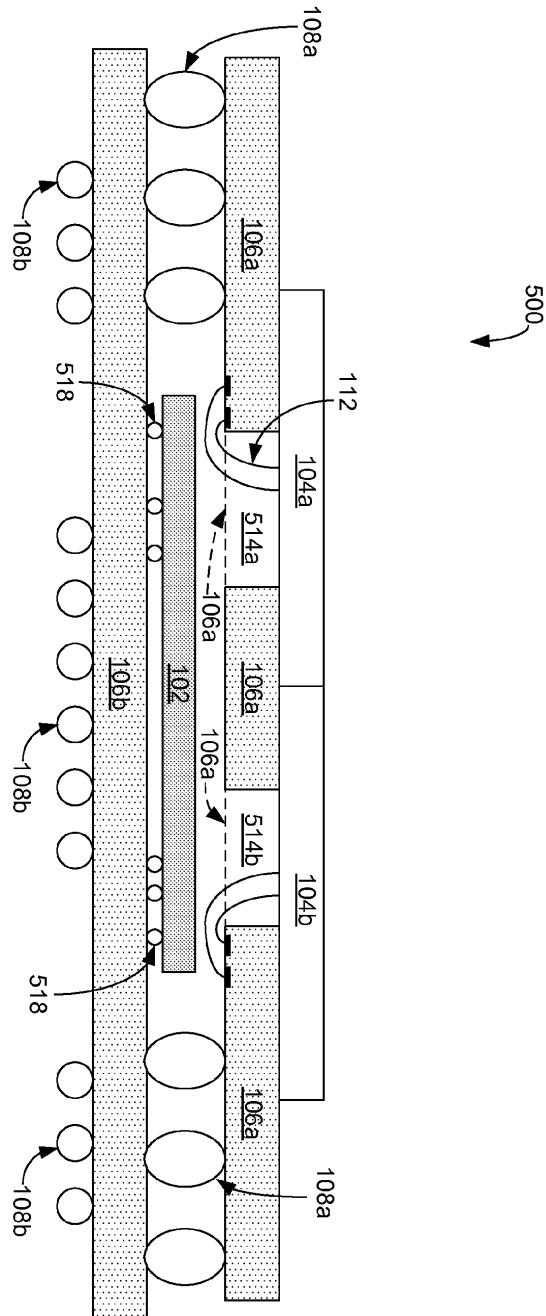
도면3



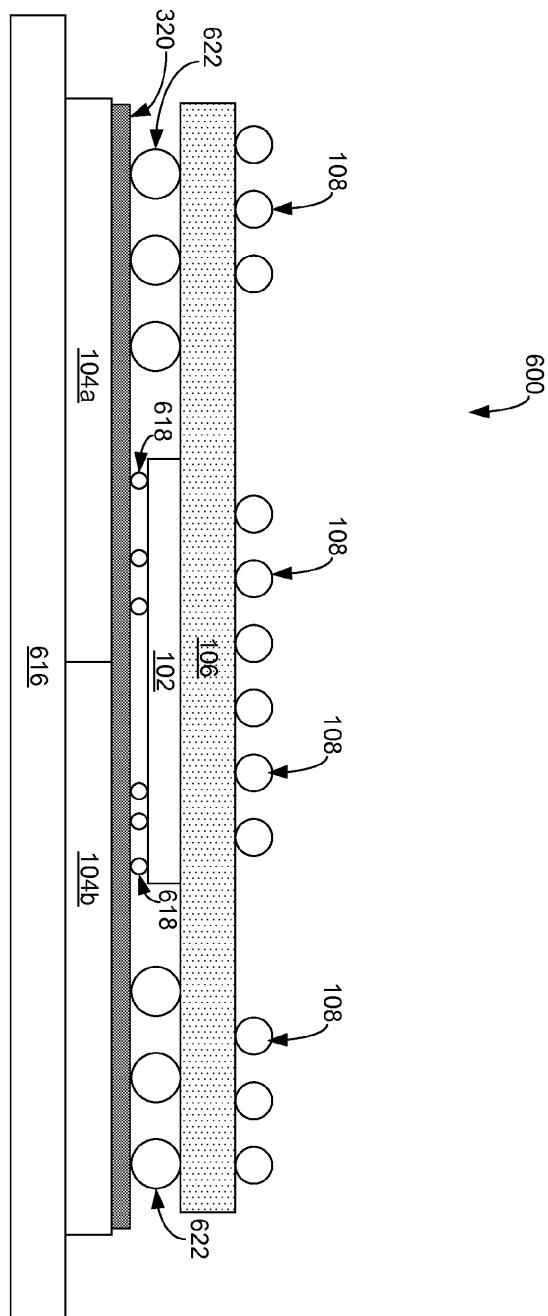
도면4



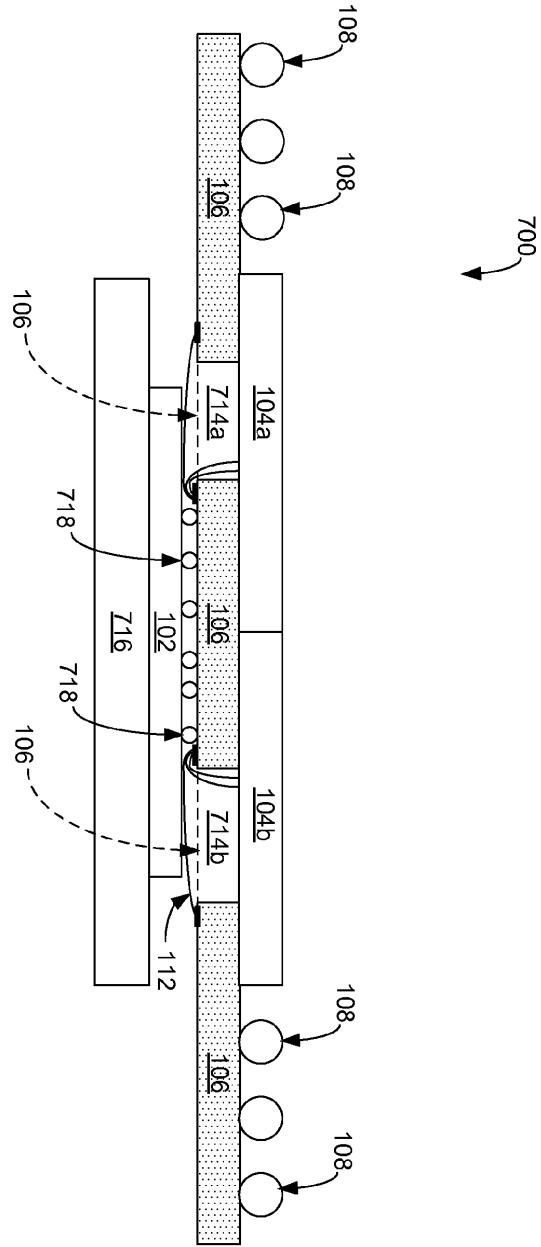
도면5



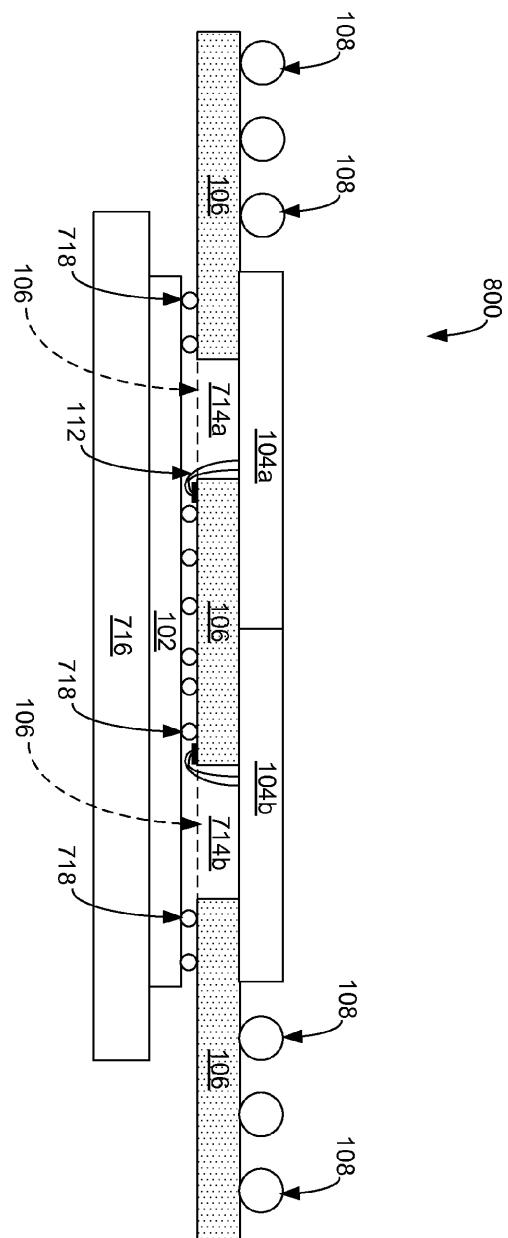
도면6



도면7



도면8



도면9

