

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 23 年 8 月 11 日 (2011.8.11)

【公表番号】特表 2010-538462 (P2010-538462A)

【公表日】平成 22 年 12 月 9 日 (2010.12.9)

【年通号数】公開・登録公報 2010-049

【出願番号】特願 2010-522986 (P2010-522986)

【国際特許分類】

H 0 1 L 21/56 (2006.01)

【 F I 】

H 0 1 L 21/56 E

【手続補正書】

【提出日】平成 23 年 6 月 22 日 (2011.6.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ボンドパッドを有する集積回路 (I C) ダイのパッケージング方法であって、前記ボン
ドパッドは前記 I C ダイの活性表面上に配置されており、前記方法は、

支持基板の上に離型フィルムを取着する工程であって、前記離型フィルムが前記支持基
板と反対側の前記離型フィルムの一面上に配置された接着性コーティングを有する、工程
と、

前記活性表面が前記離型フィルムと接触した状態で前記支持基板上に前記 I C ダイを配
置する工程と、

前記接着性コーティングの上方に膨張剤を塗布する工程と、

前記膨張剤の塗布に反応して、前記接着性コーティングが前記ボンドパッドと接触する
ように膨張することを許容する工程と、

成型材料内で前記 I C ダイをカプセル化する工程と、

前記支持基板から前記 I C ダイを取り外す工程と、を備える方法。

【請求項 2】

請求項 1 に記載の方法において、前記膨張剤として溶媒を選択する工程を更に備える方
法。

【請求項 3】

請求項 2 に記載の方法において、前記選択する工程は無極性溶媒を選択する工程を含む
、方法。

【請求項 4】

請求項 2 に記載の方法において、沸点が 5 0 から 1 5 0 の範囲内である一群の溶媒
から前記溶媒を選択する工程を更に備える方法。

【請求項 5】

請求項 1 に記載の方法において、前記膨張剤としてトルエンを選択する工程を更に備え
る方法。

【請求項 6】

請求項 1 に記載の方法において、シリコンポリマから形成される前記接着性コーティン
グを有する前記離型フィルムを選択する工程を更に備える方法。

【請求項 7】

請求項 1 に記載の方法において、前記 IC ダイは複数の IC ダイのうちの一つであり、前記複数の IC ダイの各々が前記活性表面を有し、前記方法は更に、

前記活性表面が前記離型フィルムと接触した状態で前記支持基板上に前記複数の IC ダイの各々を配置する工程と、

前記離型フィルムの前記接着性コーティングの上に膨張剤を塗布する工程と、

前記膨張剤の塗布に反応して、前記接着性コーティングが前記複数の IC ダイの各々の前記活性表面上における前記ボンドパッドと接触するように膨張することを許容する工程と、

前記塗布する工程後に、前記成型材料内に前記複数の IC ダイを一斉にカプセル化する工程と、

前記カプセル化する工程後に、パネルとしての前記支持基板から前記複数の IC ダイを取り外す工程と、

個々の IC パッケージを形成するために前記パネルの前記複数の IC ダイを分離する工程と、を備える方法。

【請求項 8】

集積回路 (IC) ダイのパッケージ工程中に少なくとも一つの IC ダイを一時的に保持するための構造であって、前記 IC ダイが同 IC ダイの活性表面に配置されたボンドパッドを有し、前記構造は、

支持基板と、

前記支持基板の一表面を覆う離型フィルムとを備え、同離型フィルムはシリコンポリマの接着性コーティングで被覆されたポリイミドのライナを含み、前記接着性コーティングは少なくとも一つの前記 IC ダイの前記活性表面を前記支持基板上の所望の位置に一時的に保持するとともに、前記接着性コーティングを膨張させるように適合された溶媒の塗布に反応して前記 IC ダイの少なくとも前記活性表面をカプセル化する量だけ膨張し、前記溶媒は、前記接着性コーティングが前記ボンドパッドと接触するように膨張して前記 IC ダイの少なくとも前記活性表面をカプセル化するように、前記接着性コーティングの上方に霧状の噴霧液として均一に散布される、構造。

【請求項 9】

ボンドパッドを有する集積回路 (IC) ダイのパッケージング方法であって、前記ボンドパッドは前記 IC ダイの活性表面上に配置されており、前記方法は、

支持基板の上に離型フィルムを取着する工程であって、前記離型フィルムが前記支持基板と反対側の前記離型フィルムの一面上に位置する接着性コーティングを有する、工程と、

前記活性表面が前記離型フィルムと接触した状態で前記支持基板上に前記 IC ダイを配置する工程と、

前記接着性コーティングの上方に霧状の噴霧液として膨張剤を均一に散布することにより、前記接着性コーティングの上方に前記膨張剤を塗布する工程と、

前記膨張剤の塗布に反応して、前記接着性コーティングが前記ボンドパッドと接触するように膨張することを許容する工程と、

成型材料内に前記 IC ダイをカプセル化する工程であって、前記接着性コーティングが前記 IC ダイの周囲で膨張するとき、前記成型材料が前記 IC ダイの前記ボンドパッド上に流れることが防止される、工程と、

前記 IC ダイをカプセル化する工程後、前記支持基板から前記 IC ダイを取り外す工程と、を備える方法。

【請求項 10】

請求項 9 に記載の方法において、シリコンポリマから形成される前記接着性コーティングを有する前記離型フィルムを利用する工程と、

前記膨張剤として無極性溶媒を選択する工程と、を更に備える方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】集積回路ダイのパッケージング方法及びパッケージ工程中に集積回路ダイを一時的に保持するための構造

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

S i Pは、小さな領域内にデバイスエレクトロニクスの完全なセットを提供しながら、一つのパッケージ内にいくつかの集積回路を配置することを可能にする技術である。P o Pは、より複雑な集積及びより高い相互接続密度のために一つのチップを別のチップ上に配置する。一般に、S i P及びP o P技術は、I Cダイ及びパッケージを接続するためにワイヤボンディングを使用する。残念ながら、ワイヤボンディングはパッケージ技術には便利であるが、ワイヤが貴重な基盤スペースを占めることになる。従って、ワイヤボンディングを廃止するために、フリップチップ技術が開発された。フリップチップ・プロセスでは、I Cダイがボールグリッドアレイ（登録商標）又は他の導電バンプを用いて基盤又は基板に裏向けに接続される。この技術は、ワイヤ接続を廃止し、速度を増大し、サイズを低減する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

チップファースト・パッケージは、ワイヤボンディング及びいくつかのボールグリッドアレイ（登録商標）技術の制限を無効とするために開発された。あるチップファースト・パッケージ技術は、一又は複数のI Cダイを剥離可能な接着剤に裏向けに配置した後、ダイ周辺に拡張表面を形成するようにダイをカプセル化することを必要とする。結果として形成されるアレイ構造は基板から取り外され、相互接続回路がI Cダイ及び拡張表面の上に形成される。相互接続が回路基盤の一体部分のプロセスとしてI Cダイに形成されるため、ワイヤボンド、T A B（Tape Automated Bonds）、又ははんだバンプに対する必要性を排除する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

ここで、I Cダイのパッケージングプロセス34（図2）に戻ると、膨張剤60を塗布して（図4）、その後の工程58における蒸発の後、プロセス34は工程70から開始する。工程70において、I Cダイ38は、I Cダイ38のパネルを形成すべく成型材料でカプセル化される。工程76に関連して図6を参照すると、図6は、更に進行したプロセスにおいて図5に示すI Cダイ38の同一部分を示す側面図である。更に示すように、I Cダイ38は、成型材料72内でカプセル化される。一つの例示的な成型材料72は、シリカが充填されたエポキシ樹脂成型材料（EMC：Epoxy Molding Compound）である。ただし、他の公知の成型材料72及び将来出てくる成型材料72が使用されてもよい。なお、ボンドパッド54と接触するように膨張した接着性コーティング50とともに、接着性コ

ーティング 5 0 の隅肉 6 4 によって、ボンドパッド 5 4 に対して成型材料 7 2 が漏れることが防止される。ＩＣダイ 3 8 が一旦カプセル化されると、複数のＩＣダイ 3 8 を含むパネル 7 4 が形成される。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】変更

【補正の内容】

【0 0 2 9】

再度図 2 に示すように、工程 8 0 の後に、工程 8 8 が実施される。工程 8 8 において、ＩＣダイ 3 8 のパネル 7 4 は、各ＩＣダイ 3 8 の活性表面 5 2 上のボンドパッド 5 4 間に信号線、電力線、及び接地線を配線するための処理を経る。図 2 及び図 8 を参照すると、図 8 は、更に進行したプロセスにおいて図 7 に示すＩＣダイ 3 8 の同一部分を示す側面図である。配線の形成は、標準的なシリコン製造装置を用いて行われる。これらのプロセス工程は、電気めっき技術による銅金属化層の堆積を含む。一般に、金属層は、パッチプロセスリソグラフィを用いて写真現像可能な絶縁体をパターンニングして一般的に形成された絶縁層によって分離されている。金属層及び絶縁層の組み合わせは、図 8 における代表的な層 9 0 によってまとめて示されている。パッケージにおける金属層の数は、パッケージサイズ、ランドグリッドアレイ（登録商標）又はボールグリッドアレイ（登録商標）のピッチ要件、入出力の数、電力及び接地要件、並びに配線経路の設計ルールによって指示される。金属層は、活性表面上のボンドパッド 5 4 をパネル 7 4 の外表面 9 4 上に配置されたパッド 9 2 に接続する。そして、パッド 9 2 には、ランドグリッドアレイ（ＬＧＡ）（登録商標）用のニッケル金（Ni Au）合金又ははんだの仕上げ、或いはボールグリッドアレイ（ＢＧＡ）（登録商標）用のはんだボール 9 6 が提供される。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正の内容】

【0 0 3 1】

図 9 は、図 2 のＩＣダイのパッケージプロセスを実施して得られたＩＣダイのパッケージ 1 0 0 を示す側面図である。この時点で、ＩＣダイパッケージ 1 0 0 は、同ＩＣダイパッケージ 1 0 0 を電子機器に組み込むための準備において公知のプロセスによって処理可能である。