

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-295687

(P2007-295687A)

(43) 公開日 平成19年11月8日(2007.11.8)

(51) Int. Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

C

テーマコード (参考)

5H730

H02M 3/155

H

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号 特願2006-119173 (P2006-119173)

(22) 出願日 平成18年4月24日 (2006. 4. 24)

(71) 出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(74) 代理人 100068618

弁理士 粁 経夫

(74) 代理人 100104145

弁理士 宮崎 嘉夫

(74) 代理人 100109690

弁理士 小野塚 薫

(74) 代理人 100135035

弁理士 田上 明夫

(74) 代理人 100131266

弁理士 ▲高▼ 昌宏

(74) 代理人 100093193

弁理士 中村 壽夫

最終頁に続く

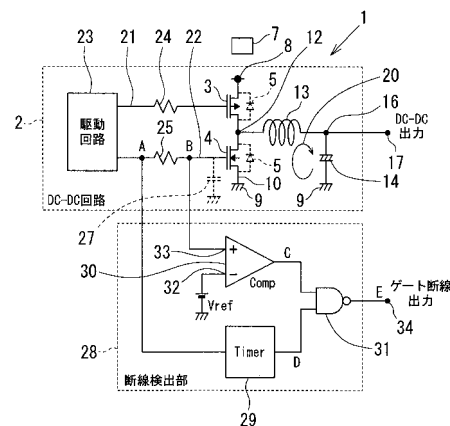
(54) 【発明の名称】 DC-DCコンバータの故障検出回路

(57) 【要約】

【課題】 ゲート信号線路の断線故障を適切に検出できるDC-DCコンバータの故障検出回路を提供する。

【解決手段】 第2ゲート信号線路22に断線故障が発生していない場合、ゲート信号Bは、駆動信号Aに対してゲートコンデンサ27によって遅延し、ゲート信号Bが基準電圧 V_{ref} に達するのが、タイマ信号DがLoレベルに立下がった後になる。一方、断線故障が発生している場合、ゲート信号Bは、ゲートコンデンサ27の影響を受けず、遅れを発生せず急速に大きくなり、タイマ信号DがHiレベルにあるときに、基準電圧 V_{ref} に達する。この結果、NAND回路31からLoレベルの断線判定信号Eが出力され、断線発生が検出される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

交互にオン、オフされる通電用、還流用スイッチング手段と、前記通電用、還流用スイッチング手段の接続部に接続されて前記通電用スイッチング手段のオン時に前記通電用スイッチング手段を介して通電されるインダクタと、を有し、前記還流用スイッチング手段は、トランジスタからなり、かつ、オン時に、前記インダクタが有する電力を出力可能に還流回路を形成する D C - D C コンバータの故障検出回路であって、

前記還流用スイッチング手段のゲート信号線路に接続して、該ゲート信号線路の断線検出を行う断線検出部を設けた D C - D C コンバータの故障検出回路。

【請求項 2】

前記断線検出部は、前記ゲート信号線路におけるゲート信号の立上がり遅延を用いて前記断線検出を行う請求項 1 記載の D C - D C コンバータの故障検出回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ハイブリット車や電気自動車の駆動用直流電源などに接続して用いられ、直流電圧を昇圧あるいは降圧する D C - D C コンバータの故障検出回路に関する。

【背景技術】

20

【0002】

従来の D C - D C コンバータの一例として、特許文献 1 に示す D C - D C コンバータがある。特許文献 1 に示す D C - D C コンバータは、直流電源及びコイル（インダクタ）間にスイッチング用トランジスタを設け、コイルに蓄積されたエネルギーを還流して利用できるように還流用ダイオードを設けている。

ところで、還流用ダイオードは電界効果トランジスタに比して、消費電力が多くかかり、効率上の観点からは、劣ったものであり、消費電力を抑えるために、還流用ダイオードに代えて電界効果トランジスタ（F E T）の利用を図ることが考えられている。

【特許文献 1】特開 2 0 0 4 - 1 3 5 4 0 4 号公報

【発明の開示】

30

【発明が解決しようとする課題】

【0003】

しかしながら、上述したように還流用ダイオードに代えて F E T を採用して構成される D C - D C コンバータでは、F E T のゲート信号線路が断線した場合にも、継続して導通状態が維持されてしまう（D C - D C コンバータの電圧調整機能が維持されてしまう）ことが起こり得た。

すなわち、トランジスタには、構造上、寄生ダイオード（図 1 寄生ダイオード 5 参照）が存在する。このため、トランジスタのゲート信号線路が断線した場合であっても、寄生ダイオードを介して還流回路が形成され、D C - D C コンバータの電圧調整機能が維持されてしまう。

40

【0004】

そして、この場合、F E T の O N （オン）電圧（略 0 . 1 V 以下）に比べて寄生ダイオード順方向電圧（略 0 . 7 ~ 0 . 9 V ）が大きい為に、F E T での消費電力ひいては発熱量が大きくて、これに伴う発熱により F E T が破壊して発煙、発火する事態を招く虞がある。このような事態になることを回避するために、F E T のゲート信号線路に断線故障があった場合、このことを適切に検出することが望まれている。

【0005】

本発明は、上記事情に鑑みてなされたものであり、ゲート信号線路の断線故障を適切に検出できる D C - D C コンバータの故障検出回路を提供することを目的とする。

【課題を解決するための手段】

50

【0006】

請求項1記載の発明は、交互にオン、オフされる通電用、還流用スイッチング手段と、前記通電用、還流用スイッチング手段の接続部に接続されて前記通電用スイッチング手段のオン時に前記通電用スイッチング手段を介して通電されるインダクタと、を有し、前記還流用スイッチング手段は、トランジスタからなり、かつ、オン時に、前記インダクタが有する電力を出力可能に還流回路を形成するDC-DCコンバータの故障検出回路であって、前記還流用スイッチング手段のゲート信号線路に接続して、該ゲート信号線路の断線検出を行う断線検出部を設けたことを特徴とする。

請求項2記載の発明は、請求項1記載のDC-DCコンバータの故障検出回路において、前記断線検出部は、前記ゲート信号線路におけるゲート信号の立上がり遅延を用いて前記断線検出を行うことを特徴とする。。 10

【発明の効果】

【0007】

請求項1、2記載の発明によれば、還流用スイッチング手段のゲート信号線路に接続して、該ゲート信号線路の断線検出を行う断線検出部を設けたので、断線検出部が実行する断線検出によりゲート信号線路の断線が把握される。

【発明を実施するための最良の形態】

【0008】

以下、本発明の第1実施の形態に係る故障検出回路(DC-DCコンバータの故障検出回路)を図1及び図2に基づいて説明する。 20

図1において、故障検出回路1は降圧型DC-DCコンバータに接続して用いられる。降圧型DC-DCコンバータ2は、交互にオン(ON)、オフ(OFF)される通電用、還流用MOS-FET(以下、通電用、還流用FET3、4という。)を有している。

通電用、還流用FET3、4(トランジスタ)は、上述したように、構造上、寄生ダイオード5を有している。図1中、寄生ダイオード5を点線で示す。後述する図3、5、7でも図1と同様に寄生ダイオード5を点線で示す。

【0009】

通電用、還流用FET3、4は、直列に接続され、この接続状態で、直流電源7からの電流の供給を受ける入力端子(以下、第1入力端子8という。)とグラウンド9との間に介在されている。還流用FET4及びグラウンド9の接続部を、便宜上、第2入力端子10という。 30

本実施の形態では、通電用、還流用FET3、4が通電用、還流用スイッチング手段を構成している。

通電用、還流用FET3、4の接続部(以下、FET・FET接続部12という。)とグラウンド9との間には、直列に接続されたインダクタ13及びコンデンサ14が介在されている。インダクタ13及びコンデンサ14の接続部(以下、インダクタ・コンデンサ接続部16という。)にはDC-DC出力端子17が接続され、電圧の出力(DC-DC出力)が行われる。

【0010】

通電用FET3のオン(すなわち、還流用FET4のオフ)時には、直流電源7、通電用FET3、インダクタ13、コンデンサ14、グラウンド9からなる回路が形成され、DC-DC出力端子17を介して出力が行われる。 40

この際、インダクタ13に電気エネルギーが蓄えられる。通電用FET3のオフ(すなわち、還流用FET4のオン)時には、インダクタ13、コンデンサ14、グラウンド9、還流用FET4からなる還流回路20が形成される。そして、通電用FET3のオン時にインダクタ13に貯留されている電気エネルギーに対応した電流が還流回路20に流れ、この際、DC-DC出力端子17を介して出力が行われる。

【0011】

通電用FET3は、P型とされ、還流用FET4は、N型とされている。通電用FET3は、ソースが第1入力端子8に接続され、ドレインがFET・FET接続部12に接続 50

されている。還流用 F E T 4 は、ソースが第 2 入力端子 1 0 に接続され、ドレインが F E T ・ F E T 接続部 1 2 に接続されている。また、通電用 F E T 3 び還流用 F E T 4 は、各ゲートが夫々、第 1、第 2 ゲート信号線路 2 1, 2 2 を介して、駆動回路 2 3 に接続されており、駆動回路 2 3 により制御され、上述したように交互に、オン、オフされる。

駆動回路 2 3 は、D C - D C 出力端子 1 7 の出力電圧や通電用、還流用 F E T 3, 4 の電流値などに基づいて、D C - D C 出力端子 1 7 に所望の D C 電圧を出力するように通電用、還流用 F E T 3, 4 のデューティ比を決定し、通電用、還流用 F E T 3, 4 の各ゲートを駆動する。

第 1、第 2 ゲート信号線路 2 1, 2 2 には、夫々、ラジオノイズが発生するのを軽減させるために抵抗（以下、夫々、第 1、第 2 抵抗 2 4, 2 5 という。）が介在されている。 10

【0012】

ところで、一般に、トランジスタ（本実施の形態では通電用、還流用 F E T 3, 4）のゲートは、容量（ゲート容量）を有し、見かけ上、コンデンサと等価の構成要素となっており、電荷を貯留し得るようになっている。

本発明は、第 2 ゲート信号線路 2 2 の断線故障を後述するようにして検出するが、この検出には、還流用 F E T 4 のゲートが有する前記見かけ上のコンデンサを用いる。この見かけ上のコンデンサを、以下、ゲートコンデンサ 2 7 といい、図 1 に点線で示す。後述する図 3、5、7 でも図 1 と同様にゲートコンデンサ 2 7 を点線で示す。

【0013】

故障検出回路 1 は、第 2 ゲート信号線路 2 2 に接続された断線検出部 2 8 を備えている。断線検出部 2 8 は、タイマ回路 2 9、比較回路 3 0 及び N A N D 回路 3 1 を有している。 20

タイマ回路 2 9 は、第 2 ゲート信号線路 2 2 の駆動回路 2 3 側部分に接続され、図 2 に示すように、駆動回路 2 3 が出力する駆動信号 A の立上がり〔Lo→Hi〕の入力を受け、所定パルス幅のタイマ信号 D を N A N D 回路 3 1 に入力する。ここで、Lo はロー（Low）レベル、Hi はハイ（High）レベルのことをいう。

【0014】

タイマ信号 D の前記所定パルス幅は、第 2 抵抗 2 5（抵抗値）及びゲートコンデンサ 2 7（静電容量）で定まるゲート信号 B（後述する）の遅れを考慮して定まる規定時間 t_d よりも短い時間 t_w （ $t_w < t_d$ ）になるように設定されている。 30

すなわち、第 2 ゲート信号線路 2 2 が断線していない場合、ゲートコンデンサ 2 7 の影響を受けて、ゲート信号 B は、駆動信号 A に対して、図 2 の「正常時」に対応した傾き部分に示すように遅れる（傾き角が小さい。）。この遅れにより、ゲート信号 B が予め定めた基準電圧 V_{ref} に達するまでに一定の時間（前記規定時間 t_d に相当する。）を要する。本実施例では、上述したように、タイマ信号 D の所定パルス幅は、規定時間 t_d よりも短い時間 t_w （ $t_w < t_d$ ）になるように設定されている。

【0015】

比較回路 3 0 は、比較回路第 1、第 2 入力端子 3 2, 3 3（－、＋）を有している。比較回路第 1 入力端子 3 2（－）には、基準電圧 V_{ref} が入力されている。比較回路第 2 入力端子 3 3（＋）は、第 2 ゲート信号線路 2 2 における第 2 抵抗 2 5 より後方部分（還流用 F E T 4 のゲート側部分）に接続され、当該部分からの信号（ゲート信号 B）を受ける。比較回路 3 0 は、ゲート信号 B と基準電圧 V_{ref} との比較結果を示す比較結果信号 C を N A N D 回路 3 1 に入力する。 40

【0016】

比較回路 3 0 は、ゲート信号 B が基準電圧 V_{ref} 未満の場合、比較結果信号 C を Lo レベルとし、ゲート信号 B が基準電圧 V_{ref} 以上になると比較結果信号 C を Hi レベルとする。

N A N D 回路 3 1 は、比較結果信号 C 及びタイマ信号 D に応じた断線判定信号 E を、断線検出部出力端子 3 4 から出力する。N A N D 回路 3 1 は、2 つの入力信号（比較結果信号 C 及びタイマ信号 D）のいずれかが Lo レベルであると、断線判定信号 E を Hi レベル（断線が発生していないことを示す。）とし、2 つの入力信号が共に Hi レベルであると、断線 50

判定信号 E を Lo レベル（断線が発生していることを示す。）とする。

【0017】

上述したように構成した故障検出回路 1 の作用を説明する。

第 2 ゲート信号線路 22 に断線故障が発生していない場合、駆動信号 A が出力されると、これと同時に、タイマ信号 D が Hi レベルとなる。一方、第 2 ゲート信号線路 22 には、ゲートコンデンサ 27 が含まれていることから、ゲート信号 B は、駆動信号 A に対して、第 2 抵抗 25 及びゲートコンデンサ 27 によって、図 2 の「正常時」に対応した傾き部分に示されるように、遅延することになる。そして、ゲート信号 B が基準電圧 V_{ref} に達するのが、タイマ信号 D が Lo レベルに立下がった後になる。

このため、断線判定信号 E は Hi レベルが継続して維持される。断線判定信号 E が Hi レベルであることにより、第 2 ゲート信号線路 22 に断線故障が発生していないことが把握される。 10

【0018】

一方、第 2 ゲート信号線路 22 に断線故障が発生している場合、ゲート信号 B は、ゲートコンデンサ 27 の影響を受けない。このため、ゲート信号 B は、駆動信号 A に対して、図 2 の「断線時」に対応した傾き部分に示すように、ほとんど遅れを発生することがなく、この結果、値が急速に大きくなる（傾き角が大きい）特性を示す。そして、タイマ信号 D が Hi レベルの状態にあるときに、ゲート信号 B が基準電圧 V_{ref} に達する。このため、NAND 回路 31 は、断線判定信号 E を Lo レベルとする。

このように Lo レベルの断線判定信号 E が出力されることにより、第 2 ゲート信号線路 22 に断線故障が発生していることが把握される。 20

【0019】

上述したように、故障検出回路 1 は、第 2 ゲート信号線路 22 に断線故障が発生している場合に、第 2 ゲート信号線路 22 の断線故障を、適切に検出することができるので、これにより断線故障に対する対策を施すことが可能になる。

特に、第 2 ゲート信号線路 22 に断線故障があっても、故障検出が行われなければ、還流用 FET 4 が有する寄生ダイオード 5 を通して電流が流れ、DC-DC コンバータ 2 の電圧調整機能が維持され、還流用 FET 4 の発熱、発煙、発火などの問題を発生する虞がある。これに対して、本実施の形態では、上述したように第 2 ゲート信号線路 22 の断線故障を、適切に検出するので、寄生ダイオード 5 に係る上記問題の発生を適切に回避できる。 30

【0020】

次に、本発明の第 2 実施の形態に係る故障検出回路 1A（DC-DC コンバータの故障検出回路）を図 3 及び図 4 に基づいて説明する。なお、図 1 及び図 2 に示す部材及び部分と同等の部材及び部分には、同一の符号を付し、その説明は適宜省略する。

第 2 実施の形態に係る故障検出回路 1A は、図 3 に示すように、第 1 実施の形態に比して第 1、第 2 抵抗 24、25 に代えて、第 1、第 2 ドライバ 36、37 を設け、駆動回路 23、第 1、第 2 ドライバ 36、37 及び断線検出部 28 を IC 38 とし（IC 化し）、この IC 38 に対して通電用、還流用 FET 3、4、インダクタ 13 及びコンデンサ 14 を外付けしている。本実施の形態では、IC 38 に搭載された駆動回路 23、第 1、第 2 ドライバ 36、37 並びに外付けの通電用、還流用 FET 3、4、インダクタ 13 及びコンデンサ 14 から DC-DC コンバータ 2A（降圧型）が構成されている。 40

第 1、第 2 ドライバ 36、37 は同等に構成されている。

【0021】

第 2 ドライバ 37 は、駆動回路 23 の駆動信号 A の入力を受ける NOT 回路 39 と、直列接続された交互にオン、オフされる第 1、第 2 FET 40、41 と、を備えている。第 1、第 2 FET 40、41 は通電用、還流用 FET 3、4 と同等に構成されている。第 1、第 2 FET 40、41 のゲートは接続され、この接続部が、NOT 回路 39 の出力端子に接続されている。第 1 FET 40 のドレン及び第 2 FET 41 のドレンは接続され、この接続部は還流用 FET 4 のゲートに接続されている。 50

第2ドライバ37は、出力オン時に抵抗（以下、出力オン抵抗という。）を発生する。そして、第2ドライバ37は、この出力オン抵抗が図1の第2抵抗25と同様の抵抗値になるように設定され、ゲートコンデンサ27と共に、遅延回路を構成するようにしている。

【0022】

この第2実施の形態も、第1実施の形態と同様にして、第2ゲート信号線路22に断線故障が発生している場合に、第2ゲート信号線路22の断線故障を、適切に検出することができ、ひいては断線故障に対する対策を施すことが可能になる。

【0023】

次に、本発明の第3実施の形態に係る故障検出回路1B（DC-DCコンバータの故障検出回路）を図5に基づいて説明する。なお、図1～図4に示す部材及び部分と同等の部材及び部分には、同一の符号を付し、その説明は適宜省略する。

第3実施の形態に係る故障検出回路1Bは、図5に示すように、第1実施の形態で用いられた降圧型DC-DCコンバータ2に代えて、昇圧型DC-DCコンバータ2Bに用いられている。

昇圧型DC-DCコンバータ2Bは、FET・FET接続部12に一端部が接続されたインダクタ13の他端部を直流電源7に接続させ、インダクタ13及び通電用FET3が直流電源7及びグランド9間に介在させている。この場合、通電用FET3はN型が用いられている。

また、FET・FET接続部12とグランド9との間に、還流用FET4及びコンデンサ14がこの順に、介在されている。還流用FET4及びコンデンサ14の接続部にDC-DC出力端子17が接続されている。

【0024】

駆動回路23と通電用FET3のゲートはドライバ42aを介して接続されている。駆動回路23と還流用FET4のゲートはレベルシフト部43及びドライバ42bを介して接続されている。還流用FET4のゲートは、直流電源7の電圧より高い電圧で駆動するためレベルシフト部43により、レベルシフトを行う。

【0025】

この第3実施の形態では、通電用、還流用FET3, 4は、上記第1、第2実施の形態と同様に、交互にオン、オフされる。また、FET・FET接続部12に接続されたインダクタ13には、上記第1、第2実施の形態と同様に、通電用FET3のオン時に通電される。そして、通電用FET3がオフされる、すなわち、還流用FET4がオンされると、インダクタ13、還流用FET4、コンデンサ14、グランド9、直流電源7からなる還流回路20Bが形成されると共に、インダクタ13に大きな逆起電力が発生し、この電力がコンデンサ14に蓄積される。このような逆起電力の発生、コンデンサ14への電力蓄積を通じて、DC-DC出力端子17の出力電圧を昇圧するようにしている。

【0026】

この第3実施の形態も、第2ゲート信号線路22に断線故障が発生していない正常時には、還流用FET4のゲートコンデンサ27によってゲート信号Bに遅延（図2参照）が生じる。一方、第2ゲート信号線路22に断線故障が発生している場合には、還流用FET4のゲートコンデンサ27が機能せず、ゲート信号Bの断線時の傾斜角が大きくなり（図2参照）、ゲート信号Bはほとんど遅れを生じない。このため、第1実施の形態（図1）の場合と同様に、タイマ信号DがHiレベルの状態にあるときに、ゲート信号Bが基準電圧 V_{ref} に達し、NAND回路31からは、Loレベルの断線判定信号Eが出力され、第2ゲート信号線路22に断線故障が発生していることが把握される。そして、断線故障に対する対策を施すことが可能になる。

【0027】

次に、本発明の第4実施の形態に係る故障検出回路1C（DC-DCコンバータの故障検出回路）を図6及び図7に基づいて説明する。なお、図1～図5に示す部材及び部分と同等の部材及び部分には、同一の符号を付し、その説明は適宜省略する。

10

20

30

40

50

第4実施の形態は、第1実施の形態に比して、以下の事項(1)～(3)が第1実施の形態と主に異なっている。

【0028】

(1) 図6(A)、(B)に示すように、図1の第1、第2抵抗24、25に代えてドライバ42a、42bを有するDC-DCコンバータ2Cに用いられること。

(2) 図1の断線検出部28に代わる図6(A)、(B)に示す断線検出部28Cを設けたこと。

(3) 図6(A)、(B)に示す断線検出部28Cは、図1のNAND回路31に代えてOR回路45を設け、図1のタイマ回路29を廃止したこと。

【0029】

10

ドライバ42a、42bは、同等に構成されている。

ドライバ42bは、図6(B)に示すように、駆動回路23の駆動信号Aの入力を受けるNOT回路46と、直列接続され、交互にオン、オフされる第1、第2FET40、41と、を備えている。第1、第2FET40、41は通電用、還流用FET3、4と同等に構成されている。第2FET41のゲートは、NOT回路46の出力端子に接続されている。

第2FET41のゲート及びNOT回路46の出力端子の接続部と直流電源7に対する入力端子47との間には、第1、第2スイッチ48、49が直列接続されている。第1、第2スイッチ48、49の接続部と第1FET40のゲートとが接続されている。

【0030】

20

第1、第2FET40、41の接続部は還流用FET4のゲートに接続され、この接続部とグランド9との間には第3スイッチ50及び定電流源51がこの順に直列に介在されている。

図7に示すように、還流用FET4がオンのタイミング中(駆動信号AがHi)に第1、第2、第3スイッチ48、49、50を切替えて[第1、第2、第3スイッチ48、49、50を夫々、開(off)、閉(on)、開(off)から閉、開(off)、閉に切替えて]、還流用FET4のゲートに第3スイッチ50を介して定電流源51を接続し、定電流源51からグランド9へ電流を流すようにする。これにより、還流用FET4のゲート(ゲートコンデンサ27)に充電されている電荷を放電させる。

【0031】

30

この際、第2ゲート信号線路22が断線していなければ、還流用FET4のゲート(ゲートコンデンサ27)に充電されている電荷が徐々に放電されることに伴い、ゲート信号Bは、図7の「正常時」の部分に示すように、傾斜角を持って徐々に低下する。これに対して、断線していれば、ゲート信号Bは、還流用FET4のゲート(ゲートコンデンサ27)に充電されている電荷の影響を受けない状態になり、即座に低下し、Loレベルの比較結果信号Cが出力される。また、この段階で、第2スイッチがoffされていることから、断線判定信号EはLoレベルになる。

【0032】

この第4実施の形態によれば、第2ゲート信号線路22が断線していれば、還流用FET4がオンのタイミング中(駆動信号AがHi)に第1、第2、第3スイッチ48、49、50を切替えて(第1、第2、第3スイッチ48、49、50を夫々、閉、開、閉とし)、還流用FET4のゲートに定電流源51を接続した場合、還流用FET4のゲート(ゲートコンデンサ27)に充電されている電荷の影響を受けることなく、ゲート信号Bは、図7の「断線時」の部分に示すように、即座に低下し、断線判定信号EはLoレベルになる。

40

これにより、第1実施の形態と同様にして、第2ゲート信号線路22に断線故障が発生している場合に、第2ゲート信号線路22の断線故障を、適切に検出することができるので、これにより断線故障に対する対策を施すことが可能になる。

【0033】

上記各実施の形態では、通電用、還流用スイッチング手段が通電用、還流用FET3、

50

4である場合を例にしたが、これに代えて、図8 (A) に示すように、夫々、バイポーラトランジスタ (以下、通電用、還流用バイポーラトランジスタという。) 3 A, 4 Aを用いてもよい。バイポーラトランジスタには寄生ダイオードがないので、図8 (A) に示す場合、通電用、還流用バイポーラトランジスタ 3 A, 4 Aに夫々、ダイオード 5 Aを接続することとする。

また、図8 (A) に示す場合と同様に、図8 (B) に示すように、通電用、還流用スイッチング手段として、夫々、I G B T (絶縁ゲートバイポーラトランジスタ) [以下、通電用、還流用 I G B Tという。] 3 B, 4 Bを用いてもよい。I G B Tには寄生ダイオードがないので、図8 (B) に示す場合、通電用、還流用 I G B T 3 B, 4 Bに夫々、ダイオード 5 Bを接続することとする。

10

【図面の簡単な説明】

【0034】

【図1】本発明の第1実施の形態に係る故障検出回路を模式的に示す回路図である。

【図2】図1の故障検出回路の作用を説明するための信号波形図である。

【図3】本発明の第2実施の形態に係る故障検出回路を模式的に示す回路図である。

【図4】図3の故障検出回路の第2ドライバを示す回路図である。

【図5】本発明の第3実施の形態に係る故障検出回路を模式的に示す回路図である。

【図6】本発明の第4実施の形態に係る故障検出回路を模式的に示し、(A)は全体構成、(B)はドライバ示す回路図である。

【図7】図6の故障検出回路の作用を説明するための信号波形図である。

20

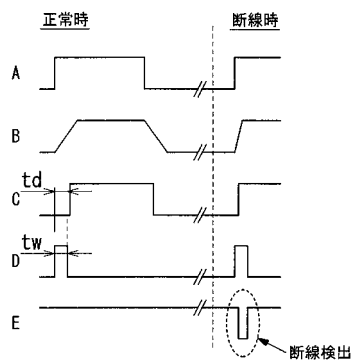
【図8】通電用、還流用スイッチング手段としてF E Tに代わる他の例を示し、(A)は、バイポーラトランジスタを用いる場合、(B)はI G B Tを用いる場合を示す回路図である。

【符号の説明】

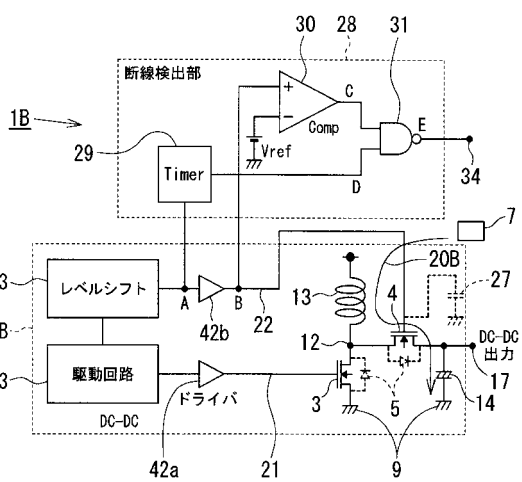
【0035】

1…故障検出回路、2…降圧型D C - D Cコンバータ、3…通電用F E T (通電用スイッチング手段)、4…還流用F E T (還流用スイッチング手段)、20…還流回路、27…ゲートコンデンサ、28…断線検出部。

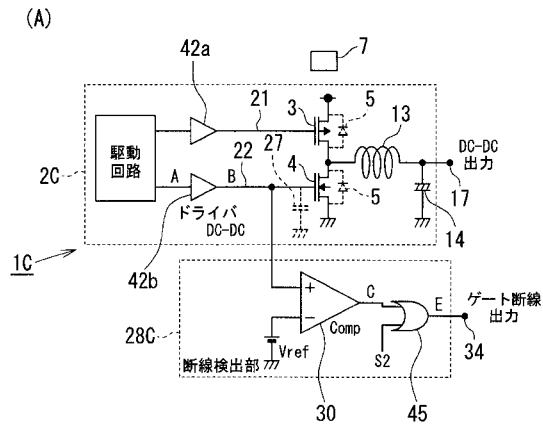
【図 2】



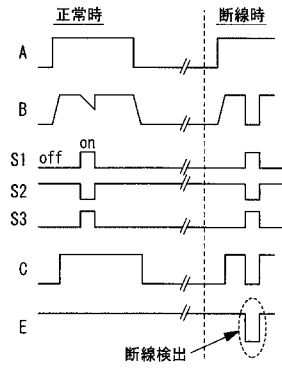
【図 5】



【図 6】

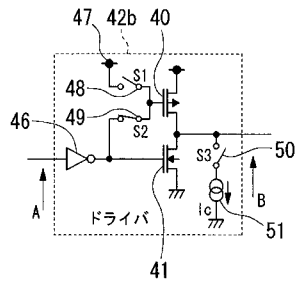


【図 7】

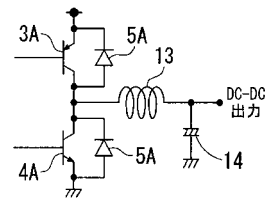


【図 8】

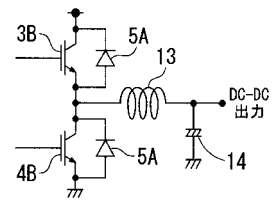
(B)



(A)



(B)



フロントページの続き

(72)発明者 伊藤 文彦

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

Fターム(参考) 5H730 AA12 AA14 AA20 AS05 BB13 BB57 DD04 DD32 EE13 EE19
FD51 FG05 XX04 XX13 XX26 XX30