

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7432845号  
(P7432845)

(45)発行日 令和6年2月19日(2024.2.19)

(24)登録日 令和6年2月8日(2024.2.8)

(51)国際特許分類

F I

G 0 9 F	9/33 (2006.01)	G 0 9 F	9/33		
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00	3 3 8	
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 4 9 C	
H 0 1 L	33/00 (2010.01)	G 0 9 F	9/30	3 4 8 A	
		G 0 9 F	9/30	3 3 8	

請求項の数 21 (全40頁) 最終頁に続く

(21)出願番号 特願2021-519382(P2021-519382)  
 (86)(22)出願日 令和2年5月1日(2020.5.1)  
 (86)国際出願番号 PCT/JP2020/018398  
 (87)国際公開番号 WO2020/230668  
 (87)国際公開日 令和2年11月19日(2020.11.19)  
 審査請求日 令和5年4月12日(2023.4.12)  
 (31)優先権主張番号 特願2019-90020(P2019-90020)  
 (32)優先日 令和1年5月10日(2019.5.10)  
 (33)優先権主張国・地域又は機関  
 日本国(JP)

(73)特許権者 000226057  
 日亜化学工業株式会社  
 徳島県阿南市上中町岡4 9 1 番地 1 0 0  
 (74)代理人 100108062  
 弁理士 日向寺 雅彦  
 (74)代理人 100168332  
 弁理士 小崎 純一  
 (74)代理人 100172188  
 弁理士 内田 敬人  
 (72)発明者 秋元 肇  
 徳島県阿南市上中町岡4 9 1 番地 1 0 0  
 日亜化学工業株式会社内  
 審査官 村川 雄一

最終頁に続く

(54)【発明の名称】 画像表示装置の製造方法および画像表示装置

(57)【特許請求の範囲】

【請求項 1】

発光層を含む半導体層を第1基板上に有する基板を準備する工程と、  
 回路素子を含む回路が形成された第2基板を準備する工程と、  
 前記第2基板上に遮光性を有する層を形成する工程と、  
 前記遮光性を有する層上に絶縁膜を形成する工程と、  
 前記半導体層を、前記絶縁膜が形成された前記第2基板に貼り付ける工程と、  
 前記半導体層をエッチングして発光素子を形成する工程と、  
 前記発光素子を覆う絶縁層を形成する工程と、  
 前記発光素子を前記回路素子に電気的に接続する工程と、  
 を備え、  
 前記遮光性を有する層は、前記発光素子と前記回路素子との間に設けられ、  
 前記遮光性を有する層は、平面視で前記回路素子を覆うように設けられた画像表示装置  
 の製造方法。

【請求項 2】

前記半導体層を前記第2基板に貼り合わせる前に前記第1基板を除去する工程をさらに  
 備えた請求項1記載の画像表示装置の製造方法。

【請求項 3】

前記半導体層を前記第2基板に貼り合わせた後に前記第1基板を除去する工程をさらに  
 備えた請求項1記載の画像表示装置の製造方法。

## 【請求項 4】

前記半導体層は、前記第 1 基板の側から、第 1 導電形の第 1 半導体層、前記発光層および前記第 1 導電形とは異なる第 2 導電形の第 2 半導体層の順に積層され、

前記第 1 導電形は、n 形であり、

前記第 2 導電形は、p 形である請求項 1 ~ 3 のいずれか 1 つに記載の画像表示装置の製造方法。

## 【請求項 5】

前記発光素子を前記回路素子に電氣的に接続する工程は、前記絶縁層、前記絶縁膜および前記遮光性を有する層を貫通するビアを形成する工程を含む請求項 1 ~ 4 のいずれか 1 つに記載の画像表示装置の製造方法。

10

## 【請求項 6】

前記発光素子の表面を前記絶縁層から露出させる工程をさらに備えた請求項 1 ~ 5 のいずれか 1 つに記載の画像表示装置の製造方法。

## 【請求項 7】

露出された前記発光素子の露出面に透明電極を形成する工程をさらに備えた請求項 6 記載の画像表示装置の製造方法。

## 【請求項 8】

前記第 1 基板は、シリコンまたはサファイアを含む請求項 1 ~ 7 のいずれか 1 つに記載の画像表示装置の製造方法。

## 【請求項 9】

前記半導体層は、窒化ガリウム系化合物半導体を含み、  
前記第 2 基板は、シリコンを含む請求項 1 ~ 8 のいずれか 1 つに記載の画像表示装置の製造方法。

20

## 【請求項 10】

前記発光素子上に波長変換部材を形成する工程をさらに備えた請求項 1 ~ 9 のいずれか 1 つに記載の画像表示装置の製造方法。

## 【請求項 11】

回路素子と、  
前記回路素子に電氣的に接続された第 1 配線層と、  
前記回路素子および前記第 1 配線層を覆う第 1 絶縁膜と、  
前記第 1 絶縁膜上に設けられた発光素子と、  
前記第 1 絶縁膜内で前記回路素子と前記発光素子との間に設けられた遮光性を有する層と、  
前記発光素子の少なくとも一部を覆う第 2 絶縁膜と、  
前記発光素子に電氣的に接続され、前記第 2 絶縁膜上に配設された第 2 配線層と、  
を備え、  
前記発光素子は、第 1 導電形の第 1 半導体層と、前記第 1 半導体層上に設けられた発光層と、前記発光層上に設けられ、前記第 1 導電形と異なる第 2 導電形の第 2 半導体層を含み、

30

前記遮光性を有する層は、平面視で前記回路素子を覆うように設けられた画像表示装置。

40

## 【請求項 12】

前記第 1 絶縁膜は、前記第 1 配線層を覆う第 1 絶縁層と、前記遮光性を有する層上に配設された第 2 絶縁層と、を含み、

前記遮光性を有する層は、前記第 1 絶縁層と前記第 2 絶縁層との間に設けられた請求項 11 記載の画像表示装置。

## 【請求項 13】

前記遮光性を有する層は、導電性を有し、基準電位に対して一定の電位を有する電圧が印加され得る請求項 11 または 12 に記載の画像表示装置。

## 【請求項 14】

前記第 1 導電形は、p 形であり、

50

前記第 2 導電形は、n 形である請求項 1 1 ~ 1 3 のいずれか 1 つに記載の画像表示装置。  
【請求項 1 5】

前記第 1 絶縁膜および前記第 2 絶縁膜を貫通するビアをさらに備えた請求項 1 1 ~ 1 4 のいずれか 1 つに記載の画像表示装置。

【請求項 1 6】

前記遮光性を有する層は、前記ビアが貫通する貫通孔を含む請求項 1 5 記載の画像表示装置。

【請求項 1 7】

前記第 2 絶縁膜は、前記発光素子の前記第 1 絶縁膜の側の面に対向する側の面である発光面を露出させる開口を有しており、前記発光面上に透明電極が設けられた請求項 1 1 ~ 1 6 のいずれか 1 つに記載の画像表示装置。

10

【請求項 1 8】

前記発光素子は、窒化ガリウム系化合物半導体を含み、

前記回路素子は、基板に形成され、前記基板は、シリコンを含む請求項 1 1 ~ 1 7 のいずれか 1 つに記載の画像表示装置。

【請求項 1 9】

前記発光素子上に波長変換部材をさらに備えた請求項 1 1 ~ 1 8 のいずれか 1 つに記載の画像表示装置。

【請求項 2 0】

複数のトランジスタと、

前記複数のトランジスタに電氣的に接続された第 1 配線層と、

前記複数のトランジスタおよび前記第 1 配線層を覆う第 1 絶縁膜と、

前記第 1 絶縁膜上に配設された第 1 導電形の第 1 半導体層と、

前記第 1 半導体層上に配設された発光層と、

前記発光層上に配設され、前記第 1 導電形とは異なる第 2 導電形の第 2 半導体層と、

前記第 1 絶縁膜内に設けられ、前記複数のトランジスタと前記第 1 半導体層との間に設けられた遮光性を有する層と、

前記第 1 絶縁膜を覆うとともに前記第 2 半導体層の少なくとも一部を覆う第 2 絶縁膜と、

前記複数のトランジスタに応じて前記第 2 絶縁膜からそれぞれ露出された、前記第 2 半導体層の複数の露出面上に配設された透明電極に接続された第 2 配線層と、

30

前記第 1 絶縁膜および前記第 2 絶縁膜を貫通し、前記第 1 配線層の配線および前記第 2 配線層の配線を電氣的に接続するビアと、

を備え、

前記遮光性を有する層は、平面視で前記複数のトランジスタを覆うように設けられた画像表示装置。

【請求項 2 1】

前記第 2 半導体層は、前記第 2 絶縁膜によって分離された請求項 2 0 記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

40

【0 0 0 1】

本発明の実施形態は、画像表示装置の製造方法および画像表示装置に関する。

【背景技術】

【0 0 0 2】

高輝度、広視野角、高コントラストで低消費電力の薄型の画像表示装置の実現が望まれている。このような市場要求に対応するように、自発光素子を利用した表示装置の開発が進められている。

【0 0 0 3】

自発光素子として、微細発光素子であるマイクロ LED を用いた表示装置の登場が期待されている。マイクロ LED を用いた表示装置の製造方法として、個々に形成されたマイ

50

クロLEDを駆動回路に順次転写する方法が紹介されている。しかしながら、フルハイビジョンや4K、8K等と高画質になるにつれて、マイクロLEDの素子数が多くなると、多数のマイクロLEDを個々に形成して、駆動回路等を形成した基板に順次転写するのは、転写工程に膨大な時間を要する。さらに、マイクロLEDと駆動回路等との接続不良等が発生し、歩留りの低下を生じるおそれがある。

【0004】

Si基板上に発光層を含む半導体層を成長させ、半導体層に電極を形成した後、駆動回路が形成された回路基板に貼り合わせる技術が知られている（たとえば、特許文献1）。

【先行技術文献】

【特許文献】

10

【0005】

【文献】特開2002-141492号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一実施形態は、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法および画像表示装置を提供する。

【課題を解決するための手段】

【0007】

本発明の一実施形態に係る画像表示装置の製造方法は、発光層を含む半導体層を第1基板上に有する基板を準備する工程と、回路素子を含む回路が形成された第2基板を準備する工程と、前記第2基板上に遮光性を有する層を形成する工程と、前記遮光性を有する層上に絶縁膜を形成する工程と、前記半導体層を、前記絶縁膜が形成された前記第2基板に貼り付ける工程と、前記半導体層をエッチングして発光素子を形成する工程と、前記発光素子を覆う絶縁層を形成する工程と、前記発光素子を前記回路素子に電氣的に接続する工程と、を備える。前記遮光性を有する層は、前記発光素子と前記回路素子との間に設けられる。前記遮光性を有する層は、平面視で前記回路素子を覆うように設けられる。

20

【0008】

本発明の一実施形態に係る画像表示装置は、回路素子と、前記回路素子に電氣的に接続された第1配線層と、前記回路素子および前記第1配線層を覆う第1絶縁膜と、前記第1絶縁膜上に設けられた発光素子と、前記第1絶縁膜内で前記回路素子と前記発光素子との間に設けられた遮光性を有する層と、前記発光素子の少なくとも一部を覆う第2絶縁膜と、前記発光素子に電氣的に接続され、前記第2絶縁膜上に配設された第2配線層と、を備える。前記発光素子は、第1導電形の第1半導体層と、前記第1半導体層上に設けられた発光層と、前記発光層上に設けられ、前記第1導電形と異なる第2導電形の第2半導体層を含む。前記遮光性を有する層は、平面視で回路素子を覆うように設けられる。

30

【0009】

本発明の一実施形態に係る画像表示装置は、複数のトランジスタと、前記複数のトランジスタに電氣的に接続された第1配線層と、前記複数のトランジスタおよび前記第1配線層を覆う第1絶縁膜と、前記第1絶縁膜上に配設された第1導電形の第1半導体層と、前記第1半導体層上に配設された発光層と、前記発光層上に配設され、前記第1導電形とは異なる第2導電形の第2半導体層と、前記第1絶縁膜内に設けられ、前記複数のトランジスタと前記第1半導体層との間に設けられた遮光性を有する層と、前記第1絶縁膜を覆うとともに前記第2半導体層の少なくとも一部を覆う第2絶縁膜と、前記複数のトランジスタに応じて前記第2絶縁膜からそれぞれ露出された、前記第2半導体層の複数の露出面上に配設された透明電極に接続された第2配線層と、前記第1絶縁膜および前記第2絶縁膜を貫通し、前記第1配線層の配線および前記第2配線層の配線を電氣的に接続するビアと、を備える。前記遮光性を有する層は、前記発光素子と前記複数のトランジスタとの間に設けられる。前記遮光性を有する層は、平面視で回路素子を覆うように設けられる。

40

【発明の効果】

50

## 【 0 0 1 0 】

本発明の一実施形態によれば、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法および画像表示装置が実現される。

## 【 図面の簡単な説明 】

## 【 0 0 1 1 】

【 図 1 】 第 1 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【 図 2 A 】 第 1 の実施形態の画像表示装置の変形例の 1 つの一部を例示する模式的な断面図である。

【 図 2 B 】 第 1 の実施形態の画像表示装置の変形例の 1 つの一部を例示する模式的な断面図である。

【 図 3 】 第 1 の実施形態の画像表示装置を例示する模式的なブロック図である。

【 図 4 A 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 4 B 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 5 A 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 5 B 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 5 C 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 5 D 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 6 A 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 6 B 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 7 A 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 7 B 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 8 A 】 第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【 図 8 B 】 第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【 図 8 C 】 第 1 の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

【 図 9 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な斜視図である。

【 図 1 0 】 第 1 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 1 A 】 第 1 の実施形態の画像表示装置の製造方法の変形を例示する模式的な断面図である。

【 図 1 1 B 】 第 1 の実施形態の画像表示装置の製造方法の変形を例示する模式的な断面図である。

【 図 1 1 C 】 第 1 の実施形態の画像表示装置の製造方法の変形を例示する模式的な断面図である。

【 図 1 1 D 】 第 1 の実施形態の画像表示装置の製造方法の変形を例示する模式的な断面図である。

【 図 1 2 】 第 2 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【 図 1 3 】 第 2 の実施形態の画像表示装置を例示する模式的なブロック図である。

【 図 1 4 A 】 第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 4 B 】 第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 4 C 】 第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 5 A 】 第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 5 B 】 第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 5 C 】 第 2 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 6 】 第 3 の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

【 図 1 7 A 】 第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 7 B 】 第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 8 A 】 第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

【 図 1 8 B 】 第 3 の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

10

20

30

40

50

【図 19】第 3 の実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

【図 20A】第 3 の実施形態の変形例の画像表示装置の製造方法を例示する模式的な断面図である。

【図 20B】第 3 の実施形態の変形例の画像表示装置の製造方法を例示する模式的な断面図である。

【図 21】画素 LED 素子の特性を例示するグラフである。

【図 22】第 4 の実施形態に係る画像表示装置を例示するブロック図である。

【図 23】第 4 の実施形態の変形例に係る画像表示装置を例示するブロック図である。

【図 24】第 1 ~ 第 3 の実施形態およびこれらの変形例の画像表示装置を模式的に例示する斜視図である。

10

【発明を実施するための形態】

【0012】

以下、図面を参照しつつ、本発明の実施形態について説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して詳細な説明を適宜省略する。

【0013】

20

(第 1 の実施形態)

図 1 は、実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図 1 には、本実施形態の画像表示装置のサブピクセル 20 の構成が模式的に示されている。画像表示装置に表示される画像を構成するピクセル 10 は、複数のサブピクセル 20 によって構成されている。

以下では、XYZ の 3 次元座標系を用いて説明することがある。サブピクセル 20 は、2 次元平面上に配列されている。サブピクセル 20 が配列された 2 次元平面を XY 平面とする。サブピクセル 20 は、X 軸方向および Y 軸方向に沿って配列されている。

【0014】

サブピクセル 20 は、XY 平面にほぼ平行な発光面 153S を有している。発光面 153S は、主として、XY 平面に直交する Z 軸の正方向に向かって光を出力する。

30

【0015】

図 1 は、サブピクセル 20 を XZ 平面に平行な面で切断した場合の断面を模式的に示している。

図 1 に示すように、画像表示装置のサブピクセル 20 は、トランジスタ 103 と、第 1 の配線層 (第 1 配線層) 110 と、第 1 の層間絶縁膜 (第 1 絶縁膜) 112 と、遮光層 120 と、発光素子 150 と、第 2 の層間絶縁膜 (第 2 絶縁膜) 156 と、第 2 の配線層 (第 2 配線層) 160 と、ビア 161d と、を備える。サブピクセル 20 は、カラーフィルタ 180 をさらに備える。カラーフィルタ (波長変換部材) 180 は、表面樹脂層 170 上に、透明薄膜接着層 188 を介して設けられている。表面樹脂層 170 は、発光素子 150、層間絶縁膜 156 および配線層 160 上に設けられている。

40

【0016】

トランジスタ 103 は、基板 102 に形成されている。基板 102 には、トランジスタ 103 のほか、他のトランジスタや抵抗、キャパシタ等の回路素子が形成され、配線等によって回路 101 を構成している。たとえば、トランジスタ 103 は、後述する図 3 に示された駆動トランジスタ 26 に対応し、そのほか選択トランジスタ 24 やキャパシタ 28 等が回路素子である。以下では、回路 101 は、回路素子が形成された素子形成領域 104、絶縁層 105、配線層 110、配線層 110 と回路素子を接続するビアおよび回路素子間等を絶縁する絶縁膜 108 を含むものとする。

【0017】

50

基板 102、回路 101 および層間絶縁膜 112 等のその他の構成要素を含めて回路基板 100 と呼ぶことがある。また、後に詳述するが、層間絶縁膜 112 中には、遮光層 120 が設けられており、回路基板 100 は、遮光層 120 を含んでいる。

【0018】

トランジスタ 103 は、p 形半導体領域 104b と、n 形半導体領域 104s, 104d と、ゲート 107 と、を含む。ゲート 107 は、絶縁層 105 を介して、p 形半導体領域 104b の上に設けられている。絶縁層 105 は、素子形成領域 104 とゲート 107 とを絶縁するとともに、隣接する他の回路素子との絶縁を十分にとるために設けられている。ゲート 107 に電圧が印加されると、p 形半導体領域 104b にチャネルが形成され得る。トランジスタ 103 は、n チャネルトランジスタであり、たとえば n チャネル MOSFET である。

10

【0019】

素子形成領域 104 は、基板 102 に設けられている。基板 102 は、たとえば Si 基板である。素子形成領域 104 は、p 形半導体領域 104b と n 形半導体領域 104s, 104d とを含む。p 形半導体領域 104b は、基板 102 の表面付近に設けられている。n 形半導体領域 104s, 104d は、p 形半導体領域 104b 内で p 形半導体領域 104b の表面付近に互いに離隔して設けられている。

【0020】

基板 102 の表面には、絶縁層 105 が設けられている。絶縁層 105 は、素子形成領域 104 も覆っており、p 形半導体領域 104b および n 形半導体領域 104s, 104d の表面も覆っている。絶縁層 105 は、たとえば  $\text{SiO}_2$  である。絶縁層 105 は、覆っている領域に応じて  $\text{SiO}_2$  や  $\text{Si}_3\text{N}_4$  等を含む多層の絶縁層であってもよい。絶縁層 105 は、高誘電率を有する絶縁材料の層を含んでもよい。

20

【0021】

絶縁層 105 を介して、p 形半導体領域 104b の上にゲート 107 が設けられている。ゲート 107 は、n 形半導体領域 104s, 104d の間に設けられている。ゲート 107 は、たとえば多結晶 Si である。ゲート 107 は、多結晶 Si よりも低抵抗のシリサイド等を含んでもよい。

【0022】

この例では、ゲート 107 および絶縁層 105 は、絶縁膜 108 で覆われている。絶縁膜 108 は、たとえば  $\text{SiO}_2$  や  $\text{Si}_3\text{N}_4$  等である。配線層 110 を形成するのに表面を平坦化するために、さらに PSG (Phosphorus Silicon Glass) や BPSG (Boron Phosphorus Silicon Glass) 等の有機絶縁膜を設けるようにしてもよい。

30

【0023】

絶縁膜 108 には、ビア 111s, 111d が形成されている。絶縁膜 108 上には、第 1 の配線層 (第 1 配線層) 110 が形成されている。第 1 の配線層 110 は、電位の異なり得る複数の配線を含んでおり、配線 110s, 110d を含んでいる。なお、このように、図 1 以降の断面図においては、配線層は、その配線層に含まれる 1 つの配線の横の位置に符号を表示するものとする。

【0024】

ビア 111s, 111d は、配線層 110 の配線 110s, 110d と n 形半導体領域 104s, 104d との間にそれぞれ設けられ、これらを電氣的に接続している。配線層 110 およびビア 111s, 111d は、たとえば Al や Cu 等の金属によって形成されている。配線層 110 およびビア 111s, 111d は、高融点金属等を含んでもよい。

40

【0025】

絶縁膜 108 および配線層 110 上には、第 1 の層間絶縁膜 112 が設けられている。第 1 の層間絶縁膜 112 は、回路基板 100 においてその表面を保護する保護膜としても機能する。

【0026】

第 1 の層間絶縁膜 112 は、複数の絶縁層を含む。複数の絶縁層は、第 1 絶縁層 112

50

aおよび第2絶縁層112bである。第1絶縁層112aは、絶縁膜108および第1の配線層110を覆っている。第1絶縁層112a上には、遮光層120が設けられている。第2絶縁層112bは、遮光層120上に設けられている。遮光層120は、第1絶縁層112aと第2絶縁層112bとの間に設けられている。

【0027】

第1絶縁層112aおよび第2絶縁層112bは、同一の材料で形成されていてもよいし、異なる材料で形成されてもよい。たとえば、第1絶縁層112aは、PSGやBPSG等で形成されており、第2絶縁層112bは、SOG(Spin On Glass)等で形成されていてもよい。第2絶縁層112bは、遮光層120が導電性を有する場合に、遮光層120上に設けられた発光素子150と遮光層120とを絶縁する。第2絶縁層112bは、  
10、ウェハボンディングのために平坦化された面を有する。

【0028】

遮光性を有する層である遮光層120は、XY平面にほぼ平行な平面を有する。遮光層120は、トランジスタ103や光の照射により誤動作等する回路素子の全体を覆うように設けられている。この例では、遮光層120は、発光素子150を駆動するトランジスタ103の全体を少なくとも覆っている。好ましくは、遮光層120は、サブピクセル20全体を覆い、さらに好ましくは、回路基板100全体を覆っている。

【0029】

遮光層120は、発光素子150から発光された散乱光が、遮光層120の下方に設けられているトランジスタ103等の回路素子へ到達するのを抑制して、回路素子が誤動作等するのを防止する。好ましくは、遮光層120は光反射性を有する。遮光層120が光反射性を有することによって、発光素子150から下方へ散乱された光を上方の発光面側へ反射することによって、発光素子150の発光効率を向上させることができる。  
20

【0030】

遮光層120は、発光素子150から発光される散乱光を遮光する材料により形成されている。遮光層120は、たとえばAlやAg等の金属材料を含むことによって、光反射性を有することができる。

【0031】

遮光層120は、金属等の導電性材料の場合には、いずれの電位に接続されなくてもよいし、いずれかの適切な電位に接続されてもよい。たとえば、この例において、遮光層120にGND線4(図3)の電位に接続したり、電源線3(図3)の電位に接続したりしてもよい。この場合には、遮光層120をGND線4や電源線3の補助的配線としても活用することができる。  
30

【0032】

基準電位であるGND線に対する電圧値は、上述に限らず適切値を任意に設定することができる。遮光層120は、すべてのサブピクセル20にわたって設けることができるので、基準電位に対して一定の電位を有する電圧を遮光層120に印加することによって、回路素子の動作による電磁輻射を抑制する効果をもたせることができる。

【0033】

遮光層120は、貫通孔121を有する。貫通孔121は、XY平面視で、配線110dに対応する位置に設けられている。貫通孔121には、ビア161dが挿通されている。貫通孔121とビア161dの間には、第2絶縁層112bの材料が充填されており、ビア161dおよび遮光層120は電氣的に絶縁されている。  
40

【0034】

発光素子150は、n形半導体層(第1半導体層)151と、発光層152と、p形半導体層(第2半導体層)153と、を含む。n形半導体層151、発光層152およびp形半導体層153は、回路基板100の層間絶縁膜112からZ軸の正方向、つまり発光面153Sに向かってこの順に積層されている。つまり、この例では、層間絶縁膜112の第2絶縁層112b上には、発光素子150のn形半導体層151が設けられている。

【0035】

10

20

30

40

50

発光素子 150 は、XY 平面視で、たとえばほぼ正方形または長形状を有しているが、角部は丸くなっていてもよい。発光素子 150 は XY 平面視で、たとえば楕円形状や円形状を有していてもよい。平面視での発光素子の形状や配置等を適切に選定することによって、レイアウトの自由度が向上する。n 形半導体層 151 は、この例では、第 2 絶縁層 112 b 上を X 軸方向に延伸する段差部 151 a を有している。

【0036】

発光素子 150 には、たとえば、 $In_xAl_{1-y}Ga_{1-x-y}N$  ( $0 < x, 0 < y, x + y < 1$ ) 等の窒化物半導体が好適に用いられる。本発明の一実施形態における発光素子 150 は、いわゆる青色発光ダイオードであり、発光素子 150 が発光する光の波長は、たとえば  $467\text{ nm} \pm 20\text{ nm}$  程度である。発光素子 150 が発光する光の波長は、 $410\text{ nm} \pm 20\text{ nm}$  程度の青紫発光としてもよい。発光素子 150 が発光する光の波長は、上述の値に限らず、適切なものとすることができる。

10

【0037】

第 2 の層間絶縁膜 156 は、第 1 の層間絶縁膜 112 および発光素子 150 を覆っている。第 2 の層間絶縁膜 156 は、好ましくは白色樹脂によって形成されている。白色樹脂は、たとえば有機材料中に適切な粒径に微細化した酸化チタン等の散乱粒子を分散することで実現することができる。層間絶縁膜 156 を白色樹脂とすることによって、発光素子 150 が横方向や下方向に発光する光を反射させて、実質的に発光素子 150 の輝度を向上させることができる。

【0038】

第 2 の層間絶縁膜 156 は、黒色樹脂であってもよい。層間絶縁膜 156 を黒色樹脂とすることによって、サブピクセル内における光の散乱が抑制され、迷光がより効果的に抑制される。迷光が抑制された画像表示装置は、よりシャープな画像を表示することが可能である。

20

【0039】

層間絶縁膜 156 は、発光素子 150 を保護するとともに、第 2 の層間絶縁膜 156 上に形成される配線層 160 のために表面を平坦化する機能も有する。

【0040】

第 2 の層間絶縁膜 156 は、開口 158 を有している。開口 158 は、発光素子 150 の上方の層間絶縁膜 156 の一部を除去することによって形成されている。開口 158 は、発光面 153 S が層間絶縁膜 156 から露出するように形成されている。発光面 153 S は、p 形半導体層 153 の面のうち発光層 152 に接する面に対向する面である。発光面 153 S は、好ましくは粗面加工されている。発光素子 150 は、発光面 153 S が粗面とされている場合には、光の取出効率を向上させることができる。

30

【0041】

第 2 の層間絶縁膜 156 を貫通して、ビア 161 k が設けられている。ビア 161 k の一端は、段差部 151 a に接続されている。

【0042】

ビア 161 d は、層間絶縁膜 112, 156 および遮光層 120 を貫通して設けられている。上述したように、ビア 161 d は、層間絶縁膜 112 によって遮光層 120 から絶縁されており、ビア 161 d の一端は、配線 110 d に接続されている。

40

【0043】

配線層 160 は、平坦化された層間絶縁膜 156 上に設けられている。配線層 160 は、配線 160 a, 160 k を含んでいる。配線 160 a は、開口 158 まで延伸して形成され、配線 160 a の先端が発光面 153 S に接続されている。配線 160 a は、この図には示されないが、サブピクセル 20 に電源を供給する電源線に接続されている。

【0044】

配線 160 k は、ビア 161 k, 161 d の他端に接続されている。したがって、発光素子 150 の n 形半導体層 151 は、ビア 161 k, 161 d および配線 160 k, 110 d を介して、トランジスタ 103 の主電極に電氣的に接続される。

50

## 【0045】

このようにして、発光素子150のp形半導体層153は、配線160aを介して、電源線に接続される。発光素子150のn形半導体層151は、ビア161k、配線160k、ビア161dおよび配線110dを介して、トランジスタ103のドレイン電極に接続される。

## 【0046】

表面樹脂層170は、第2の層間絶縁膜156および第2の配線層160を覆っている。表面樹脂層170は、透明樹脂であり、層間絶縁膜156および配線層160を保護するとともに、カラーフィルタ180を接着するための平坦化面を有する。

## 【0047】

カラーフィルタ180は、遮光部181と色変換部182とを含む。色変換部182は、発光素子150の発光面153Sの直上に発光面153Sの形状に応じて設けられている。カラーフィルタ180では、色変換部182以外の部分は、遮光部181とされている。遮光部181は、いわゆるブラックマトリクスであり、隣接する色変換部182から発光される光の混色等によるにじみを低減し、シャープな画像を表示することを可能にする。

## 【0048】

色変換部182は、1層または2層とされる。図1には、2層の部分が示されている。1層であるか2層であるかは、サブピクセル20が発光する光の色、すなわち波長によって決定される。サブピクセル20の発光色が赤または緑の場合には、色変換部182は、好ましくは2層とされる。サブピクセル20の発光色が青の場合には、好ましくは1層とされる。

## 【0049】

色変換部182が2層の場合には、発光素子150により近い1層目が色変換層183であり、2層目がフィルタ層184である。つまり、フィルタ層184は、色変換層183上に積層されている。

## 【0050】

色変換層183は、発光素子150が発光する光の波長を所望の波長に変換する層である。赤色を発光するサブピクセル20の場合には、発光素子150の波長、 $467\text{nm} \pm 20\text{nm}$ の光を、たとえば $630\text{nm} \pm 20\text{nm}$ 程度の波長の光に変換する。緑色を発光するサブピクセル20の場合には、発光素子150の波長、 $467\text{nm} \pm 20\text{nm}$ の光を、たとえば $532\text{nm} \pm 20\text{nm}$ 程度の波長の光に変換する。

## 【0051】

フィルタ層184は、色変換層183で色変換されずに残存した青色発光の波長成分を遮断する。

## 【0052】

サブピクセル20が発光する光の色が青色の場合には、サブピクセル20は、色変換層183を介して光を出力してもよいし、色変換層183を介さずにそのまま光を出力するようにしてもよい。発光素子150が発光する光の波長が $467\text{nm} \pm 20\text{nm}$ 程度の場合には、サブピクセル20は、色変換層183を介さずに光を出力してもよい。発光素子150が発光する光の波長を $410\text{nm} \pm 20\text{nm}$ とする場合には、出力する光の波長を $467\text{nm} \pm 20\text{nm}$ 程度に変換するために、1層の色変換層183を設けることが好ましい。

## 【0053】

青色のサブピクセル20の場合であっても、サブピクセル20は、フィルタ層184を有していてもよい。青色のサブピクセル20にフィルタ層184を設けることによって、発光素子150の表面で生じる微小な外光反射が抑制される。

## 【0054】

(変形例)

サブピクセルの構成の変形例について説明する。

10

20

30

40

50

図 2 A および図 2 B は、本実施形態の画像表示装置の変形例の一部をそれぞれ例示する模式的な断面図である。

図 2 A 以降のサブピクセルの断面図では、煩雑さを避けるため、表面樹脂層 170 およびカラーフィルタ 180 の表示が省略されている。特に記載のない場合には、第 2 の層間絶縁膜および第 2 の配線層上には、表面樹脂層およびカラーフィルタが設けられる。後述の他の実施形態およびその変形例の場合についても同様である。

【0055】

図 2 A の場合には、変形例 1 のサブピクセル 20 a は、発光素子 150 と配線 160 a 1 との接続が第 1 の実施形態の場合と相違する。図 2 B の場合には、変形例 2 のサブピクセル 20 b は、層間絶縁膜 156 a の構成が第 1 の実施形態の場合と相違し、発光素子 150 と配線 160 a 2 との接続方法が相違する。いずれの例も他の構成要素は、上述の第 1 の実施形態の場合と同一であり、同一の構成要素には同一の符号を付して詳細な説明を適宜省略する。

10

【0056】

図 2 A に示すように、サブピクセル 20 a は、配線 160 a 1 および配線 160 k と、透明電極 159 a および透明電極 159 k と、を含む。発光素子 150 の発光面 153 S は、第 1 の実施形態の場合と同様に、好ましくは、粗面化されている。

【0057】

配線 160 a 1 は、後述する図 3 に示された電源線 3 に接続されている。配線 160 a 1 上には、透明電極 159 a が設けられている。透明電極 159 a は、発光面 153 S 上の全体にわたって設けられている。透明電極 159 a は、配線 160 a 1 と発光面 153 S との間に設けられており、透明電極 159 a は、配線 160 a 1 と発光面 153 S とを電氣的に接続している。透明電極 159 k は、配線 160 k 上に設けられている。

20

【0058】

本変形例のサブピクセル 20 a では、発光面 153 S 上に透明電極 159 a を設けることによって、p 形半導体層 153 との接続面積を大きくすることができ、発光効率を向上させることができる。発光面 153 S が粗面とされている場合には、発光面 153 S と透明電極 159 a との接続面積を増大させることができ、接触抵抗を低減することができる。

【0059】

図 2 B に示すように、サブピクセル 20 b では、第 2 の層間絶縁膜 156 a が透明樹脂である。発光素子 150 は、透明な層間絶縁膜 156 a を介して、発光面 153 S から発光する。発光面 153 S は、コンタクトホールを介して第 2 の配線層 160 の配線 160 a 2 に接続されている。

30

【0060】

本変形例のサブピクセル 20 b では、発光素子 150 は、層間絶縁膜 156 a を介して、発光面 153 S から発光するので、層間絶縁膜 156 a に開口を形成する工程および発光面 153 S を粗面化する工程を省略することができる。

【0061】

本実施形態では、上述に示したサブピクセル 20, 20 a, 20 b の構成のいずれかを含むことができる。

40

【0062】

図 3 は、本実施形態に係る画像表示装置を例示する模式的なブロック図である。

図 3 に示すように、本実施形態の画像表示装置 1 は、表示領域 2 を備える。表示領域 2 には、サブピクセル 20 が配列されている。サブピクセル 20 は、たとえば格子状に配列されている。たとえば、サブピクセル 20 は、X 軸に沿って n 個配列され、Y 軸に沿って m 個配列される。

【0063】

ピクセル 10 は、異なる色の光を発光する複数のサブピクセル 20 を含む。サブピクセル 20 R は、赤色の光を発光する。サブピクセル 20 G は、緑色の光を発光する。サブピクセル 20 B は、青色の光を発光する。3 種類のサブピクセル 20 R, 20 G, 20 B が

50

所望の輝度で発光することによって、1つのピクセル10の発光色および輝度が決定される。

**【0064】**

1つのピクセル10は、3つのサブピクセル20R, 20G, 20Bを含み、サブピクセル20R, 20G, 20Bは、たとえばこの例のように、X軸上を直線状に配列されている。各ピクセル10は、同じ色のサブピクセルが同じ列に配列されていてもよいし、この例のように、列ごとに異なる色のサブピクセルが配列されていてもよい。

**【0065】**

画像表示装置1は、電源線3および接地線4をさらに有する。電源線3および接地線4は、サブピクセル20の配列に沿って、格子状に布線されている。電源線3および接地線4は、各サブピクセル20に電氣的に接続され、電源端子3aとGND端子4aとの間に接続された直流電源から各サブピクセル20に電力を供給する。電源端子3aおよびGND端子4aは、電源線3および接地線4の端部にそれぞれ設けられ、表示領域2の外側に設けられた直流電源回路に接続される。電源端子3aは、GND端子4aを基準にして正の電圧が供給される。

10

**【0066】**

画像表示装置1は、走査線6および信号線8をさらに有する。走査線6は、X軸に平行な方向に布線されている。つまり、走査線6は、サブピクセル20の行方向の配列に沿って布線されている。信号線8は、Y軸に平行な方向に布線されている。つまり、信号線8は、サブピクセル20の列方向の配列に沿って布線されている。

20

**【0067】**

画像表示装置1は、行選択回路5および信号電圧出力回路7をさらに有する。行選択回路5および信号電圧出力回路7は、表示領域2の外縁に沿って設けられている。行選択回路5は、表示領域2の外縁のY軸方向に沿って設けられている。行選択回路5は、各列のサブピクセル20に走査線6を介して電氣的に接続され、各サブピクセル20に選択信号を供給する。

**【0068】**

信号電圧出力回路7は、表示領域2の外縁に沿って設けられている。信号電圧出力回路7は、表示領域2の外縁のX軸方向に沿って設けられている。信号電圧出力回路7は、各行のサブピクセル20に信号線8を介して電氣的に接続され、各サブピクセル20に信号電圧を供給する。

30

**【0069】**

サブピクセル20は、発光素子22と、選択トランジスタ24と、駆動トランジスタ26と、キャパシタ28と、を含む。図3において、選択トランジスタ24はT1と表示され、駆動トランジスタ26はT2と表示され、キャパシタ28はCmと表示されることがある。

**【0070】**

発光素子22は、駆動トランジスタ26と直列に接続されている。本実施形態では、駆動トランジスタ26はnチャンネルMOSFETであり、駆動トランジスタ26の主電極であるドレイン電極に発光素子22のn電極であるカソード電極が接続されている。発光素子22および駆動トランジスタ26の直列回路は、電源線3と接地線4との間に接続されている。駆動トランジスタ26は、図1等におけるトランジスタ103に対応し、発光素子22は、図1等における発光素子150に対応する。駆動トランジスタ26のゲートソース間に印加される電圧によって、発光素子22に流れる電流が決定され、発光素子22は、流れる電流に応じた輝度で発光する。

40

**【0071】**

選択トランジスタ24は、駆動トランジスタ26のゲート電極と信号線8との間に主電極を介して接続されている。選択トランジスタ24のゲート電極は、走査線6に接続されている。駆動トランジスタ26のゲート電極と接地線4との間には、キャパシタ28が接続されている。

50

## 【 0 0 7 2 】

行選択回路 5 は、m 行のサブピクセル 2 0 の配列から、1 行を選択して走査線 6 に選択信号を供給する。信号電圧出力回路 7 は、選択された行の各サブピクセル 2 0 に必要なアナログ電圧値を有する信号電圧を供給する。選択された行のサブピクセル 2 0 の駆動トランジスタ 2 6 のゲート - ソース間には、信号電圧が印加される。信号電圧は、キャパシタ 2 8 によって保持される。駆動トランジスタ 2 6 は、信号電圧に応じた電流を発光素子 2 2 に流す。発光素子 2 2 は、発光素子 2 2 に流れる電流に応じた輝度で発光する。

## 【 0 0 7 3 】

行選択回路 5 は、選択する行を順次切り替えて選択信号を供給する。つまり、行選択回路 5 は、サブピクセル 2 0 が配列された行を走査する。順次走査されたサブピクセル 2 0 の発光素子 2 2 には、信号電圧に応じた電流が流れて発光する。R G B 各色のサブピクセル 2 0 が発光する発光色および輝度によって決定された発光色および輝度で各ピクセル 1 0 が発光して表示領域 2 に画像が表示される。

10

## 【 0 0 7 4 】

本実施形態の画像表示装置 1 の製造方法について説明する。

図 4 A ~ 図 7 B は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図 4 A に示すように、半導体成長基板 1 1 9 4 が準備される。半導体成長基板 1 1 9 4 は、結晶成長用基板（第 1 基板）1 0 0 1 上に成長させた半導体層 1 1 5 0 を有する。結晶成長用基板 1 0 0 1 は、たとえば S i 基板やサファイア基板等である。好ましくは、S i 基板が用いられる。

20

## 【 0 0 7 5 】

この例では、結晶成長用基板 1 0 0 1 の一方の面には、バッファ層 1 1 4 0 が形成されている。バッファ層 1 1 4 0 は、A l N 等のナイトライドが好適に用いられる。バッファ層 1 1 4 0 は、G a N をエピタキシャル成長させるときに、G a N の結晶と結晶成長用基板 1 0 0 1 との界面での不整合を緩和するために用いられる。

## 【 0 0 7 6 】

半導体成長基板 1 1 9 4 では、バッファ層 1 1 4 0 上に、p 形半導体層 1 1 5 3、発光層 1 1 5 2 および n 形半導体層 1 1 5 1 が、バッファ層 1 1 4 0 側からこの順に積層される。半導体層 1 1 5 0 の成長には、たとえば気相成長法（Chemical Vapor Deposition、C V D 法）が用いられ、有機金属気相成長法（Metal Organic Chemical Vapor Deposition、M O C V D 法）が好適に用いられる。半導体層 1 1 5 0 は、たとえば、 $I n_x A l_y G a_{1-x-y} N$ （ $0 < x$ 、 $0 < y$ 、 $x + y < 1$ ）等である。

30

## 【 0 0 7 7 】

半導体層 1 1 5 0 は、バッファ層 1 1 4 0 を介さずに結晶成長用基板 1 0 0 1 上に形成されてもよい。

図 4 B に示すように、半導体成長基板 1 1 9 4 a では、半導体層 1 1 5 0 は、結晶成長用基板 1 0 0 1 上に、p 形半導体層 1 1 5 3、発光層 1 1 5 2 および n 形半導体層 1 1 5 1 が、結晶成長用基板 1 0 0 1 の側からこの順に積層されている。以下では、バッファ層 1 1 4 0 を介して、半導体層 1 1 5 0 が積層された場合の半導体成長基板 1 1 9 4 の場合について説明するが、バッファ層 1 1 4 0 がない半導体成長基板 1 1 9 4 a の場合でも同様に製造することができる。

40

## 【 0 0 7 8 】

図 5 A に示すように、回路基板（第 2 基板）1 1 0 0 が準備される。回路基板 1 1 0 0 は、サブピクセル 2 0 の構成について図 1 等で説明した回路 1 0 1 を有する。回路基板 1 1 0 0 では、回路 1 0 1 は第 1 絶縁層 1 1 1 2 a によって覆われている。第 1 絶縁層 1 1 1 2 a の表面は平坦化されている。

## 【 0 0 7 9 】

図 5 B に示すように、第 1 絶縁層 1 1 1 2 a 上に遮光層 1 1 2 0 が形成される。遮光層 1 1 2 0 が金属の場合には、遮光層 1 1 2 0 は、スパッタ等によって形成される。遮光層

50

1 1 2 0 が金属以外の場合には、遮光層 1 1 2 0 は、適切な方法で回路基板 1 1 0 0 上に形成される。

【 0 0 8 0 】

遮光層 1 1 2 0 は、好ましくは、回路基板 1 1 0 0 の全面にわたって形成される。回路基板 1 1 0 0 が複数の画像表示装置のための回路 1 0 1 を有する場合には、回路 1 0 1 ごとに回路 1 0 1 の全面にわたって形成される。

【 0 0 8 1 】

図 5 C に示すように、図 5 B の遮光層 1 1 2 0 には、X Y 平面視で適切な位置に貫通孔 1 2 1 が形成され、貫通孔 1 2 1 を有する遮光層 1 2 0 とされる。この例では、貫通孔 1 2 1 の位置は、ビア 1 6 1 d (図 1 ) を挿通する位置である。貫通孔 1 2 1 の形成は、遮光層 1 1 2 0 の材質によって適切な手法が選択される。遮光層 1 1 2 0 が A l や A g 等の金属の場合には、露光現像後にドライエッチングを用いて貫通孔 1 2 1 が形成される。

10

【 0 0 8 2 】

図 5 D に示すように、遮光層 1 2 0 および貫通孔 1 2 1 から露出された第 1 絶縁層 1 1 2 a を覆うように第 2 絶縁層 1 1 2 b を形成する。なお、第 1 絶縁層 1 1 2 a は、第 1 絶縁層 1 1 1 2 a 上に遮光層 1 2 0 が形成処理された後の絶縁層である。第 2 絶縁層 1 1 2 b は、遮光層 1 2 0 および層間絶縁膜 1 1 2 上に塗布された後、焼成される。その後、さらに平坦化が必要な場合には、C M P ( Chemical Mechanical Polishing ) 等を用いて、さらに表面を平坦化してもよい。このようにして、回路基板 1 1 0 0 a が準備される。回路基板 1 1 0 0 a は、回路基板 1 1 0 0 上に遮光層 1 2 0 および第 2 絶縁層 1 1 2 b が形成された基板である。

20

【 0 0 8 3 】

図 6 A に示すように、回路基板 1 1 0 0 a の一方の面と、半導体層 1 1 5 0 の n 形半導体層 1 1 5 1 の開放された面とを合わせて、両者を貼り合わせる。回路基板 1 1 0 0 a の貼り合わせ面は、遮光層 1 2 0 上に形成された第 2 絶縁層 1 1 2 b の露出面である。

【 0 0 8 4 】

2 つの基板を貼り合わせるウェハボンディングでは、たとえば、2 つの基板を加熱して熱圧着により 2 つの基板を貼り合わせる。加熱圧着する際に、低融点金属や低融点合金を用いてもよい。低融点金属は、たとえば S n や I n 等であり、低融点合金は、たとえば Z n や I n 、 G a 、 S n 、 B i 等を主成分とした合金とすることができる。

30

【 0 0 8 5 】

ウェハボンディングでは、上述のほか、それぞれの基板の貼り合わせ面を化学機械研磨 ( Chemical Mechanical Polishing 、 C M P ) 等を用いて平坦化した上で、真空中で貼り合わせ面をプラズマ処理により清浄化して密着させるようにしてもよい。

【 0 0 8 6 】

図 6 B に示すように、ウェハボンディングによって、回路基板 1 1 0 0 a および半導体層 1 1 5 0 が接合された後、結晶成長用基板 1 0 0 1 は、除去される。結晶成長用基板 1 0 0 1 の除去には、ウェットエッチングやレーザ照射によるリフトオフ技術等が用いられる。

【 0 0 8 7 】

図 7 A に示すように、図 6 B に示された半導体層 1 1 5 0 は、発光素子 1 5 0 の形状に成形される。発光素子 1 5 0 の成形には、たとえばドライエッチングプロセスが用いられ、好適には、異方性プラズマエッチング ( Reactive Ion Etching 、 R I E ) が用いられる。

40

【 0 0 8 8 】

図 7 B に示すように、発光素子 1 5 0 を覆って層間絶縁膜 1 5 6 が形成される。層間絶縁膜 1 5 6 は、発光面 1 5 3 S に対応する位置に開口 1 5 8 が形成される。好ましくは、開口 1 5 8 から露出された発光面 1 5 3 S は粗面化される。

【 0 0 8 9 】

層間絶縁膜 1 5 6 には、ビアホールが形成される。その後、ビアホールに導電性の材料

50

が充填される。ビアホールの形成にはウェットエッチングまたはドライエッチングいずれかを用いることができる。

【0090】

その後、スパッタ等によって、配線層160が形成される。ビアホールを形成した後、ビアおよび配線層160を同時に形成するようにしてもよい。

【0091】

配線層160の配線160aは、その先端が発光面153Sに電氣的に接続される。配線層160の配線160kは、ビア161k, 161dと電氣的に接続される。

【0092】

図8A~図8Cは、本実施形態の変形例の画像表示装置の製造方法を例示する模式的な断面図である。

10

図8Aおよび図8Bは、サブピクセル20aを形成するための製造工程を示している。本変形例では、発光素子150を形成し、第2の層間絶縁膜156を形成するまでは、第1の実施形態の場合と同一の工程を有している。以下では、図7Aの工程以降に図8Aおよび図8Bの工程が実行されるものとして説明する。

【0093】

図8Aに示すように、第2の層間絶縁膜156を第2絶縁層112bおよび発光素子150上に形成し、形成された層間絶縁膜112にエッチングにより開口158を形成して、発光面153Sを露出させる。エッチングは、ウェットエッチングでもよいし、ドライエッチングでもよい。

20

【0094】

その後、露出されたp形半導体層153の発光面153Sは、発光効率を向上させるために粗面化される。

【0095】

図8Bに示すように、第2の配線層160の配線160a1, 160kを形成した後、これらを覆う透明導電膜が形成される。透明導電膜は、ITO膜やZnO膜等が好適に用いられる。フォトリソグラフィにより、透明電極159a, 159kが形成される。透明電極159aは、配線160a1、発光面153Sおよびこれら間をわたって形成される。

【0096】

このようにして、変形例のサブピクセル20aが形成される。

30

【0097】

図8Cは、サブピクセル20bを形成するための製造工程を示している。この例では、発光素子150を形成するまでは、上述の変形例の場合と同一の工程を有している。以下では、図7Aの工程以降に、図8Cの工程が実行されるものとして説明する。

【0098】

図8Cに示すように、第2の層間絶縁膜156aを形成した後、開口を形成することなく、第2の配線層160が形成される。配線層160のうち電源線に接続された配線160a2は、層間絶縁膜156aのコンタクトホールを介して、発光面153Sに接続される。

40

【0099】

このようにして、変形例のサブピクセル20bが形成される。

【0100】

サブピクセル20, 20a, 20b以外の回路の一部は、回路基板100中に形成されている。たとえば行選択回路5(図3)は、駆動トランジスタや選択トランジスタ等とともに、回路基板100中に形成されることができる。つまり、行選択回路5は、上述の製造工程によって同時に組み込まれている場合がある。一方、信号電圧出力回路7は、CPUや他の回路要素とともに別の基板に実装され、たとえば後述するカラーフィルタの組み込みの前に、あるいは、カラーフィルタの組み込みの後に、回路基板100の配線と相互に接続される。

50

## 【 0 1 0 1 】

好ましくは、回路基板 1 1 0 0 a は、回路 1 0 1 を含むウェハである。回路基板 1 1 0 0 a には、1 つまたは複数の画像表示装置のための回路 1 0 1 が形成されている。あるいは、より大きな画面サイズ等の場合には、1 つの画像表示装置を構成するための回路 1 0 1 が複数の回路基板 1 1 0 0 a に分割されて形成されており、分割された回路のすべてを組み合わせて、1 つの画像表示装置を構成するようにしてもよい。

## 【 0 1 0 2 】

好ましくは、結晶成長用基板 1 0 0 1 は、ウェハ状の回路基板 1 1 0 0 a と同じ大きさのウェハである。

## 【 0 1 0 3 】

図 9 は、本実施形態の画像表示装置の製造方法を例示する斜視図である。

図 9 に示すように、複数の半導体成長基板 1 1 9 4 を準備して、1 つの回路基板 1 1 0 0 a に、複数の結晶成長用基板 1 0 0 1 に形成された半導体層 1 1 5 0 を接合するようにしてもよい。

## 【 0 1 0 4 】

回路基板 1 1 0 0 a には、複数の回路 1 0 1 がたとえば格子状に配置されている。回路 1 0 1 は、1 つの画像表示装置 1 に必要なすべてのサブピクセル 2 0 等を含んでいる。隣接して配置されている回路 1 0 1 の間には、スクライプライン幅の程度の間隔が設けられている。回路 1 0 1 の端部および端部付近には、回路素子等は配置されていない。

## 【 0 1 0 5 】

半導体層 1 1 5 0 は、その端部が結晶成長用基板 1 0 0 1 の端部と一致するように形成されている。そこで、半導体成長基板 1 1 9 4 の端部を、回路 1 0 1 の端部と一致するように配置し、接合することによって、接合後の半導体層 1 1 5 0 の端部と回路 1 0 1 の端部とを一致させることができる。

## 【 0 1 0 6 】

結晶成長用基板 1 0 0 1 に半導体層 1 1 5 0 を成長させるときに、半導体層 1 1 5 0 の端部およびその近傍では、結晶品位の低下が生じ易い。そのため、半導体層 1 1 5 0 の端部と回路 1 0 1 の端部とを一致させることによって、半導体成長基板 1 1 9 4 上の半導体層 1 1 5 0 の端部近傍における結晶品位の低下し易い領域を画像表示装置 1 の表示領域に使用しないようにすることができる。

## 【 0 1 0 7 】

あるいは、この逆に、複数の回路基板 1 1 0 0 a を準備して、1 つの半導体成長基板 1 1 9 4 の結晶成長用基板 1 0 0 1 上に形成された半導体層 1 1 5 0 に対して、複数の回路基板 1 1 0 0 を接合するようにしてもよい。

## 【 0 1 0 8 】

図 1 0 は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

なお、図 1 0 では、煩雑さを避けるために、回路基板 1 0 0 内や層間絶縁膜 1 1 2 , 1 5 6 内等の配線等については、表示が省略されている。また、図 1 0 には、カラーフィルタ 1 8 0 等の色変換部材の一部が表示されている。ここでは、バッファ層 1 4 0、発光素子 1 5 0、ピア 1 6 1 k , 1 6 1 d、配線層 1 6 0、層間絶縁膜 1 5 6 および表面樹脂層 1 7 0 を含む構造物を発光回路部 1 7 2 と呼ぶ。また、回路基板 1 0 0 上に発光回路部 1 7 2 を設けた構造物を構造体 1 1 9 2 と呼ぶ。

## 【 0 1 0 9 】

図 1 0 に示すように、カラーフィルタ 1 8 0 は、一方の面で構造体 1 1 9 2 に接着される。カラーフィルタ 1 8 0 の他方の面は、ガラス基板 1 8 6 に接着されている。カラーフィルタ 1 8 0 の一方の面には、透明薄膜接着層 1 8 8 が設けられており、透明薄膜接着層 1 8 8 を介して、構造体 1 1 9 2 の発光回路部 1 7 2 の側の面に接着される。

## 【 0 1 1 0 】

カラーフィルタ 1 8 0 は、この例では、赤色、緑色、青色の順に X 軸の正方向に色変換部が配列されている。赤色および緑色については、1 層目に赤色の色変換層 1 8 3 R およ

10

20

30

40

50

び緑色の色変換層 1 8 3 G がそれぞれ設けられており、2 層目にフィルタ層 1 8 4 がそれぞれ設けられている。青色については、単層の色変換層 1 8 3 B が設けられている。各色変換部の間には、遮光部 1 8 1 が設けられている。

【 0 1 1 1 】

各色の色変換層 1 8 3 R , 1 8 3 G , 1 8 3 B の位置を発光素子 1 5 0 の位置に合わせて、カラーフィルタ 1 8 0 は、構造体 1 1 9 2 に貼り付けられる。

【 0 1 1 2 】

図 1 1 A ~ 図 1 1 D は、本実施形態の画像表示装置の製造方法の変形例を示す模式的な断面図である。

図 1 1 A ~ 図 1 1 D には、カラーフィルタをインクジェットで形成する方法が示されている。

10

【 0 1 1 3 】

図 1 1 A に示すように、回路基板 1 0 0 に発光回路部 1 7 2 が貼り付けられた構造体 1 1 9 2 が準備される。

【 0 1 1 4 】

図 1 1 B に示すように、構造体 1 1 9 2 上に遮光部 1 8 1 が形成される。遮光部 1 8 1 は、たとえばスクリーン印刷やフォトリソグラフィ技術等を用いて形成される。

【 0 1 1 5 】

図 1 1 C に示すように、発光色に応じた蛍光体は、インクジェットノズルから噴出され、色変換層 1 8 3 を形成する。蛍光体は、遮光部 1 8 1 が形成されていない領域を着色する。蛍光体は、たとえば一般的な蛍光体材料や量子ドット蛍光体材料を用いた蛍光塗料が用いられる。量子ドット蛍光体材料を用いた場合には、各発光色を実現できるとともに、単色性が高く、色再現性を高くできるので好ましい。インクジェットノズルによる描画の後、適切な温度および時間で乾燥処理を行う。着色時の塗膜の厚さは、遮光部 1 8 1 の厚さよりも薄く設定されている。

20

【 0 1 1 6 】

すでに説明したように、青色発光のサブピクセルについては、色変換部を形成しない場合があるので、蛍光体は噴出されない。また、青色発光のサブピクセルについて、青色の色変換層を形成する場合には、色変換部は 1 層でよいので、好ましくは、青色の蛍光体の塗膜の厚さは、遮光部 1 8 1 の厚さと同じ程度とされる。

30

【 0 1 1 7 】

図 1 1 D に示すように、フィルタ層 1 8 4 のための塗料は、インクジェットノズルから噴出される。塗料は、蛍光体の塗膜に重ねて塗布される。蛍光体および塗料の塗膜の合計の厚さは、遮光部 1 8 1 の厚さと同じ程度とされる。

【 0 1 1 8 】

このようにして、画像表示装置 1 を製造することができる。

【 0 1 1 9 】

本実施形態の画像表示装置 1 の効果について説明する。

本実施形態の画像表示装置 1 の製造方法では、発光素子 1 5 0 を駆動するトランジスタ 1 0 3 等の回路素子を含む回路基板 1 1 0 0 a に、発光素子 1 5 0 のための発光層 1 1 5 2 を含む半導体層 1 1 5 0 を貼り合わせる。その後、半導体層 1 1 5 0 をエッチングして発光素子 1 5 0 を形成する。そのため、回路基板 1 1 0 0 a に個片化された発光素子を個々に転写するのに比べて、発光素子を転写する工程を著しく短縮することができる。

40

【 0 1 2 0 】

たとえば、4 K 画質の画像表示装置では、サブピクセルの数は 2 4 0 0 万個を超え、8 K 画質の画像表示装置の場合には、サブピクセルの数は 9 9 0 0 万個を超える。これだけ大量の発光素子を個々に回路基板に実装するのでは、膨大な時間を要することとなり、マイクロ LED による画像表示装置を現実的なコストで実現することは困難である。また、大量の発光素子を個々に実装したのでは、実装時の接続不良等による歩留りが低下し、さらなるコスト上昇が避けられない。

50

## 【0121】

これに対して、本実施形態の画像表示装置1の製造方法では、半導体層1150を個片化する前に、半導体層1150全体を回路基板1100aに貼り付けるので、転写工程が1回で完了する。

## 【0122】

回路基板上で、エッチング等により発光素子を直接形成した後に、発光素子と、回路基板1100a(100)内の回路素子とを、ビア形成により電氣的に接続するので、均一な接続構造を実現することができ、歩留りの低下を抑制することができる。

## 【0123】

さらに、半導体層1150をあらかじめ個片化したり、回路素子に対応した位置に電極を形成したりすることなく、ウェハレベルで回路基板1100aに貼り付けるので、アライメントをとる必要がない。そのため、貼り付け工程を短時間で容易に行うことが可能になる。貼り付け時にアライメントをとる必要がないので、発光素子150の小型化も容易であり、高精細化されたディスプレイに好適である。

10

## 【0124】

本実施形態の画像表示装置1では、サブピクセルは、回路素子と発光素子150との間に遮光層120を備えている。遮光層120は、すべてのサブピクセルを覆うように設けることができるので、発光素子150からの光がトランジスタ103等の回路素子に到達することを抑制して、回路素子が光の照射によって誤動作するのを防止することができる。

## 【0125】

遮光層120は、導電性の材質によって形成されることができる。遮光層120を導電性の材料によって形成することによって、光反射性をもたせることができるので、発光素子150の遮光層120側への光の散乱を、発光面153S側に反射することができる。そのため、サブピクセルの発光効率を向上させることができる。

20

## 【0126】

第2絶縁層112bは、遮光層120と発光素子150との間に設けられている。遮光層120を導電性とした場合には、第2絶縁層112bによって、回路素子と発光素子150とを絶縁することができる。遮光層120に任意の一定の電圧を印加することができ、回路素子の動作によって発生する電磁放射を抑制することができる。

## 【0127】

(第2の実施形態)

図12は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

本実施形態では、発光素子250の構成および発光素子250を駆動するトランジスタ203の構成が上述の他の実施形態の場合と相違する。上述の他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

30

## 【0128】

図12に示すように、本実施形態の画像表示装置のサブピクセル220は、トランジスタ203と、発光素子250と、を含む。トランジスタ203は、基板102に形成された素子形成領域204に形成されている。素子形成領域204は、n形半導体領域204bとp形半導体領域204s, 204dとを含む。n形半導体領域204bは、基板102の表面付近に設けられている。p形半導体領域204s, 204dは、n形半導体領域204b内でn形半導体領域204bの表面付近に互いに離隔して設けられている。

40

## 【0129】

絶縁層105を介して、n形半導体領域204bの上にゲート107が設けられている。ゲート107は、p形半導体領域204s, 204dの間に設けられている。

## 【0130】

トランジスタ203の上部の構造および配線の構造は、上述した他の実施形態の場合と同じである。本実施形態では、トランジスタ203は、pチャネルのトランジスタであり、たとえば、pチャネルMOSFETである。

## 【0131】

50

発光素子 250 は、p 形半導体層（第 1 半導体層）253 と、発光層 252 と、n 形半導体層（第 2 半導体層）251 と、を含む。p 形半導体層 253、発光層 252 および n 形半導体層 251 は、回路基板 100 の第 1 の層間絶縁膜 112 から発光面 251S に向かってこの順に積層されている。発光素子 250 は、XY 平面視で、たとえば、ほぼ正方形または長方形をしてしているが、角部は丸くなっていてもよい。発光素子 250 は XY 平面視で、たとえば楕円形状や円形状を有していてもよい。平面視での発光素子の形状や配置等を適切に選定することによって、レイアウトの自由度が向上する。p 形半導体層 253 は、この例では、第 1 の層間絶縁膜 112 上を X 軸方向に延伸する段差部 253a を有する。

【0132】

発光素子 250 は、上述の他の実施形態の場合と同じ材料でよい。発光素子 250 は、たとえば  $467\text{ nm} \pm 20\text{ nm}$  程度の青色光あるいは  $410\text{ nm} \pm 20\text{ nm}$  の波長の青紫色光を発光する。

【0133】

第 2 の層間絶縁膜（第 2 絶縁膜）156 は、第 1 の層間絶縁膜 112 および発光素子 250 を覆っている。第 2 の層間絶縁膜 156 は、開口 258 を有している。開口 258 は、発光素子 250 上に形成されており、層間絶縁膜 156 は、発光素子 250 の発光面 251S 上に設けられていない。層間絶縁膜 156 は、発光素子 250 が発光する光を反射して開口 258 から効果的に出力されるように、白色樹脂が好適に用いられる。

【0134】

発光面 251S は、n 形半導体層 251 の面のうち発光層 252 に接する面に対向する面である。発光面 251S は、粗面化されている。

【0135】

層間絶縁膜 156 を貫通して、ビア 261a が設けられている。ビア 261a の一端は、段差部 253a に接続されている。

【0136】

ビア 161d は、層間絶縁膜 112, 156 を貫通して設けられている。ビア 161d の一端は、配線 110d に接続されている。

【0137】

配線層 260 は、層間絶縁膜 156 上に設けられている。配線層 260 は、配線 260k, 260a を含む。配線 260a は、ビア 261a, 161d の他端に接続されている。したがって、発光素子 250 の p 形半導体層 253 は、ビア 261a, 161d および配線 260a を介して、トランジスタ 203 の主電極に電氣的に接続される。

【0138】

配線 260k は、図示しないが、接地線に接続されている。したがって、n 形半導体層 251 は、配線 260k を介して、接地線に接続されている。

【0139】

層間絶縁膜 156 および配線層 260 上には、表面樹脂層 170 が設けられている。

【0140】

図 13 は、本実施形態に係る画像表示装置を例示する模式的なブロック図である。

図 13 に示すように、本実施形態の画像表示装置 201 は、表示領域 2、行選択回路 205 および信号電圧出力回路 207 を備える。表示領域 2 には、上述の他の実施形態の場合と同様に、たとえばサブピクセル 220 が格子状に配列されている。

【0141】

サブピクセル 220 は、発光素子 222 と、選択トランジスタ 224 と、駆動トランジスタ 226 と、キャパシタ 228 と、を含む。図 13 において、選択トランジスタ 224 は T1 と表示され、駆動トランジスタ 226 は T2 と表示され、キャパシタ 228 は Cm と表示されることがある。

【0142】

本実施形態では、発光素子 222 が接地線 4 側に設けられており、発光素子 222 に直

10

20

30

40

50

列に接続された駆動トランジスタ 226 は、電源線 3 側に設けられている。つまり、駆動トランジスタ 226 は、発光素子 222 よりも高電位側に接続されている。駆動トランジスタ 226 は、pチャネル MOSFET である。

【0143】

駆動トランジスタ 226 のゲート電極と信号線 208 との間には、選択トランジスタ 224 が接続されている。キャパシタ 228 は、駆動トランジスタ 226 のゲート電極と電源線 3 との間に接続されている。

【0144】

行選択回路 205 および信号電圧出力回路 207 は、pチャネル MOSFET である駆動トランジスタ 226 を駆動するために、上述の他の実施形態と異なる極性の信号電圧を、走査線 206 および信号線 208 に供給する。

【0145】

本実施形態では、駆動トランジスタ 226 の極性が pチャネルであることから、信号電圧の極性等が上述の他の実施形態の場合と相違する。すなわち、行選択回路 205 は、m 行のサブピクセル 220 の配列から、順次 1 行を選択するように走査線 206 に選択信号を供給する。信号電圧出力回路 207 は、選択された行の各サブピクセル 220 に必要なアナログ電圧値を有する信号電圧を供給する。選択された行のサブピクセル 220 の駆動トランジスタ 226 は、信号電圧に応じた電流を発光素子 222 に流す。発光素子 222 は、流れた電流に応じた輝度で発光する。

【0146】

本実施形態の画像表示装置 201 の製造方法について説明する。

図 14A ~ 図 15C は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

本実施形態では、図 5A においてすでに説明した半導体成長基板 1194 を用いる。以下では、結晶成長用基板 1001 上にバッファ層 1140 を介してエピタキシャル成長された半導体層 1150 を有する半導体成長基板 1194 を準備した以降の工程について説明する。

【0147】

図 14A に示すように、本実施形態では、半導体層 1150 は、結晶成長用基板 1001 上に、結晶成長用基板 1001 の側から、バッファ層 1140 を介して、p 形半導体層 1153、発光層 1152 および n 形半導体層 1151 の順に成長、積層される。

【0148】

図 14B に示すように、n 形半導体層 1151 の開放された面に支持基板 1190 が接着される。支持基板 1190 は、たとえば Si や石英等によって形成されている。その後、結晶成長用基板 1001 は、除去される。結晶成長用基板 1001 の除去には、たとえばウェットエッチングやレーザが用いられる。また、バッファ層 1140 は、結晶成長用基板 1001 の除去時、あるいは結晶成長用基板 1001 の除去後に除去される。

【0149】

第 1 の層間絶縁膜 112 中に遮光層 120 が形成された回路基板 1100a が準備され、支持基板 1190 に接着された半導体層 1150 は、回路基板 1100a に貼り合わされる。回路基板 1100a は、図 5A ~ 図 5D を用いて上述した製造工程によって準備される。半導体層 1150 の貼り合わせ面は、p 形半導体層 1153 の開放された面であり、回路基板 1100a の貼り合わせ面は、第 2 絶縁層の平坦化された面である。

【0150】

図 14C に示すように、本実施形態では、半導体成長基板 1194 に代えて、半導体成長基板 1294 を用いてもよい。半導体成長基板 1294 は、結晶成長用基板 1001 にバッファ層 1140 を介して、結晶成長用基板 1001 の側から n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 の順に積層されている。半導体成長基板 1294 を用いる場合には、上述した第 1 の実施形態における製造方法で説明したように、半導体成長基板 1294 の n 形半導体層 1151 の露出している面を回路基板 1100a の

10

20

30

40

50

面に貼り合わせる。バッファ層 1 1 4 0 を介さずに、結晶成長用基板 1 0 0 1 に半導体層 1 1 5 0 を成長させてもよいのは、第 1 の実施形態における製造方法で説明した場合と同様である。

【 0 1 5 1 】

結晶成長の初期には結晶格子定数の不整合に起因する結晶欠陥が生じ易く、そのような結晶は n 形を呈する。そのため、n 形半導体層 1 1 5 1 から積層する半導体成長基板 1 2 9 4 を用いた場合には、生産プロセス上のマージンを大きくとれて歩留りを向上し易いという長所がある。

【 0 1 5 2 】

図 1 5 A に示すように、半導体層 1 1 5 0 および回路基板 1 1 0 0 a を貼り合わせた後、支持基板 1 1 9 0 が除去される。

10

【 0 1 5 3 】

図 1 5 B に示すように、半導体層 1 1 5 0 は、発光素子 2 5 0 の形状に成形される。発光素子 1 5 0 の成形には、たとえばドライエッチングプロセスが用いられ、好適には、異方性プラズマエッチング (Reactive Ion Etching、R I E ) が用いられる。

【 0 1 5 4 】

図 1 5 C に示すように、第 1 の層間絶縁膜 1 1 2 および発光素子 2 5 0 を覆う第 2 の層間絶縁膜 1 5 6 が形成される。層間絶縁膜 1 5 6 は、発光面 2 5 1 S に対応する位置に開口 2 5 8 が形成され、発光面 2 5 1 S が露出され、発光面 2 5 1 S は、好ましくは粗面化される。

20

【 0 1 5 5 】

層間絶縁膜 1 5 6 には、ビアホールが形成される。導電性の金属材料がビアホールに充填される。

【 0 1 5 6 】

その後、スパッタ等によって、配線層 2 6 0 が形成される。フォトリソグラフィによって各配線 2 6 0 k , 2 6 0 a を形成する。配線 2 6 0 a は、ビア 2 6 1 a , 1 6 1 d に接続される。配線 2 6 0 k は、図 1 3 に示された接地線 4 に接続される。

【 0 1 5 7 】

本実施形態の画像表示装置 2 0 1 の効果について説明する。

本実施形態においても、上述の他の実施形態の場合と同様の効果を有する。すなわち、回路基板 1 1 0 0 a に半導体層 1 1 5 0 を貼り合わせた後、個別の発光素子 2 5 0 をエッチングにより形成するので、発光素子の転写工程を著しく短縮することができる。

30

【 0 1 5 8 】

上述の他の実施形態の場合の効果に加えて、本実施形態では、n 形半導体層 2 5 1 を発光面 2 5 1 S とすることによって、より容易に粗面化することができ、発光面 2 5 1 S に配線 2 6 0 k 1 を接続することによって、発光効率の高いサブピクセルを形成することができる。

【 0 1 5 9 】

( 第 3 の実施形態 )

本実施形態では、発光層を含む単一の半導体層に、複数の発光素子に相当する複数の発光面を形成することによって、より発光効率の高い画像表示装置を実現する。以下の説明では、上述の他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

40

図 1 6 は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図 1 6 に示すように、画像表示装置は、サブピクセル群 3 2 0 を備える。サブピクセル群 3 2 0 は、トランジスタ 2 0 3 - 1 , 2 0 3 - 2 と、第 1 の配線層 3 1 0 と、第 1 の層間絶縁膜 1 1 2 と、遮光層 1 2 0 と、半導体層 3 5 0 と、第 2 の層間絶縁膜 3 5 6 と、第 2 の配線層 3 6 0 と、ビア 3 6 1 d 1 , 3 6 1 d 2 と、を含む。

【 0 1 6 0 】

本実施形態では、p チャンネルのトランジスタ 2 0 3 - 1 , 2 0 3 - 2 をオンすることに

50

よって、ビア361d1, 361d2を介して半導体層350に正孔を注入し、第2の配線層360を介して半導体層350に電子を注入して、発光層352を発光させる。駆動回路は、図13の回路構成が適用される。上述の他の実施形態を用いて、半導体層のn形半導体層とp形半導体層を上下入れ替えてもよい。nチャンネルのトランジスタによって、半導体層を駆動する。その場合には、駆動回路は、図3の回路構成が適用される。

【0161】

半導体層350は、2つの発光面351S1, 351S2を含んでおり、サブピクセル群320は実質的に2つのサブピクセルを含む。本実施形態では、上述の他の実施形態の場合と同様に、実質的に2つのサブピクセルを含むサブピクセル群320が格子状に配列されることによって、表示領域が形成される。

10

【0162】

トランジスタ203-1, 203-2は、素子形成領域204-1, 204-2にそれぞれ形成されている。この例では、素子形成領域204-1, 204-2は、n形の半導体層であり、n形の半導体層に離隔してp形の半導体層が形成されている。n形の半導体層はチャンネル領域を含んでおり、p形の半導体層は、ソース領域およびドレイン領域をそれぞれ含んでいる。

【0163】

素子形成領域204-1, 204-2上には、絶縁層105が形成され、絶縁層105を介して、ゲート107-1, 107-2がそれぞれ形成されている。ゲート107-1, 107-2は、トランジスタ203-1, 203-2のゲートである。トランジスタ203-1, 203-2は、pチャンネルのトランジスタであり、たとえばpチャンネルMOSFETである。

20

【0164】

2つのトランジスタ203-1, 203-2上には、絶縁膜108が覆っている。絶縁膜108上に配線層310が形成されている。

【0165】

トランジスタ203-1のp形の半導体層と配線層310との間には、ビア111s1, 111d1がそれぞれ設けられている。トランジスタ203-2のp形の半導体層と配線層310との間には、ビア111s2, 111d2が設けられている。

【0166】

第1の配線層310は、配線310s, 310d1, 310d2を含む。配線310sは、ビア111s1, 111s2を介して、トランジスタ203-1, 203-2のソース電極に対応するp形の半導体層に電氣的にそれぞれ接続されている。配線310sは、図示しないが、電源線に接続されている。

30

【0167】

配線310d1, 310d2は、ビア111d1, 111d2を介して、トランジスタ203-1, 203-2のドレイン電極に対応するp形の半導体層にそれぞれ接続されている。

【0168】

第1の層間絶縁膜112は、第1絶縁層112aと、第2絶縁層112bと、を含んでいる。第1絶縁層112aは、配線層310および絶縁膜108を覆っている。第1絶縁層112a上には、遮光層120が設けられている。遮光層120は、貫通孔321-1, 321-2を有している。第2絶縁層112bは、遮光層120および貫通孔321-1, 321-2から露出する第1絶縁層112aを覆っている。

40

【0169】

遮光層120の貫通孔321-1, 321-2は、XY平面視で、トランジスタ203-1, 203-2のドレイン電極に接続されている配線310d1, 310d2にそれぞれ対応する位置に設けられている。貫通孔321-1, 321-2には、ビア361d1, 361d2がそれぞれ挿通されている。貫通孔321-1とビア161d1の間には、第2絶縁層112bの材料が充填されており、貫通孔321-1とビア161d1は電気

50

的に絶縁されている。貫通孔 3 2 1 - 2 とビア 1 6 1 d 2 の間には、第 2 絶縁層 1 1 2 b の材料が充填されており、貫通孔 3 2 1 - 2 とビア 1 6 1 d 2 は電氣的に絶縁されている。

【 0 1 7 0 】

遮光層 1 2 0 上には、第 2 絶縁層 1 1 2 b を介して半導体層 3 5 0 が設けられている。半導体層 3 5 0 は、p 形半導体層 3 5 3 と、発光層 3 5 2 と、n 形半導体層 3 5 1 と、を含む。半導体層 3 5 0 は、層間絶縁膜 1 1 2 の側から発光面 3 5 1 S 1 , 3 5 1 S 2 の側に向かって、p 形半導体層 3 5 3、発光層 3 5 2 および n 形半導体層 3 5 1 の順に積層されている。

【 0 1 7 1 】

遮光層 1 2 0 の構成や機能は上述した他の実施形態の場合と同様である。すなわち、遮光層 1 2 0 は、X Y 平面にほぼ平行して設けられおり、トランジスタ 2 0 3 - 1 , 2 0 3 - 2 を含め、回路素子全体を覆うように設けられている。そのため、半導体層 3 5 0 の発光層 3 5 2 から遮光層 1 2 0 に向かう散乱光は、遮光層 1 2 0 によって、回路素子への到達が抑制される。遮光層 1 2 0 が金属等の光反射性を有する材料で形成されている場合には、遮光層 1 2 0 に到達した散乱光は、遮光層 1 2 0 によって反射されて、発光面 2 5 1 S 側に向かうので、半導体層 3 5 0 の発光効率を向上させることができる。

【 0 1 7 2 】

遮光層 1 2 0 は、第 2 絶縁層 1 1 2 b によって半導体層 3 5 0 とは絶縁される。そのため、遮光層 1 2 0 は金属等の導電性を有する材料によって形成されてもよく、接地線や電源線等の固定された電位に接続して、回路素子の動作による電磁輻射を抑制する効果をもたせることができる。

【 0 1 7 3 】

第 2 の層間絶縁膜 ( 第 2 絶縁膜 ) 3 5 6 は、第 2 絶縁層 1 1 2 b および半導体層 3 5 0 上を覆っている。層間絶縁膜 3 5 6 は、半導体層 3 5 0 の一部を覆っている。好ましくは、層間絶縁膜 3 5 6 は、半導体層 3 5 0 の発光面 ( 露出面 ) 3 5 1 S 1 , 3 5 1 S 2 を除き、n 形半導体層 5 5 1 の面を覆っている。層間絶縁膜 3 5 6 は、半導体層 3 5 0 の側面を覆っている。層間絶縁膜 3 5 6 は、好ましくは白色樹脂である。

【 0 1 7 4 】

半導体層 3 5 0 のうち層間絶縁膜 3 5 6 で覆われていない部分は、開口 3 5 8 - 1 , 3 5 8 - 2 が形成されている。開口 3 5 8 - 1 , 3 5 8 - 2 は、発光面 3 5 1 S 1 , 3 5 1 S 2 に対応する位置に形成されている。発光面 3 5 1 S 1 , 3 5 1 S 2 は、n 形半導体層 3 5 1 上の離隔した位置に形成される。発光面 3 5 1 S 1 は、n 形半導体層 3 5 1 上のトランジスタ 2 0 3 - 1 により近い位置に設けられている。発光面 3 5 1 S 2 は、n 形半導体層 3 5 1 上のトランジスタ 2 0 3 - 2 により近い位置に設けられている。

【 0 1 7 5 】

開口 3 5 8 - 1 , 3 5 8 - 2 は、X Y 平面視で、たとえば正方形または長形状である。方形に限らず、円形、楕円形あるいは六角形等の多角形であってもよい。発光面 3 5 1 S 1 , 3 5 1 S 2 も X Y 平面視で、正方形や長方形、その他の多角形や円形等である。発光面 3 5 1 S 1 , 3 5 1 S 2 の形状は、開口 3 5 8 - 1 , 3 5 8 - 2 の形状と相似であってもよいし、異なる形状としてもよい。

【 0 1 7 6 】

第 2 の配線層 3 6 0 は、層間絶縁膜 3 5 6 上に設けられている。配線層 3 6 0 は、配線 3 6 0 k を含む。配線 3 6 0 k は、開口 3 5 8 - 1 , 3 5 8 - 2 の間で n 形半導体層 3 5 1 上に設けられている第 2 の層間絶縁膜 3 5 6 上に設けられている。配線 3 6 0 k は、図示しないが、接地線に接続されている。

【 0 1 7 7 】

透明電極 3 5 9 k は、開口 3 5 8 - 1 , 3 5 8 - 2 から露出された n 形半導体層 3 5 1 の発光面 3 5 1 S 1 , 3 5 1 S 2 上にわたってそれぞれ設けられている。透明電極 3 5 9 k は、配線 3 6 0 k 上に設けられている。透明電極 3 5 9 k は、発光面 3 5 1 S 1 と配線 3 6 0 k との間に設けられるとともに、発光面 3 5 1 S 2 と配線 3 6 0 k との間に設けら

10

20

30

40

50

れている。透明電極 359k は、発光面 351S1, 351S2 および配線 360k を電氣的に接続している。

【0178】

上述したように、開口 358-1, 358-2 から露出されている発光面 351S1, 351S2 には、透明電極 359k が接続されている。そのため、透明電極 359k から供給された電子は、それぞれ露出された発光面 351S1, 351S2 から n 形半導体層 351 に供給される。一方、p 形半導体層 353 には、配線 310d1、ビア 361d1、配線 360a1 およびビア 361a1 を介して、あるいは、配線 310d2、ビア 361d2、配線 360a2 およびビア 361a2 を介して、正孔が供給される。

【0179】

トランジスタ 203-1, 203-2 は、隣接するサブピクセルの駆動トランジスタであり、順次駆動される。したがって、2つのトランジスタ 203-1, 203-2 のいずれか一方から供給された正孔が発光層 352 に注入され、配線 360k から供給された電子が発光層 352 に注入されて、発光層 352 は発光する。

【0180】

開口 358-1 および発光面 351S1 は、n 形半導体層 351 のトランジスタ 203-1 により近い位置に設けられている。そのため、トランジスタ 203-1 がオンしたときには、配線 310d1、ビア 361d1、配線 360a1 およびビア 361a1 を介して、正孔が注入されて発光面 351S1 が発光する。

【0181】

一方、開口 358-2 および発光面 351S2 は、n 形半導体層 351 のトランジスタ 203-2 により近い位置に設けられている。そのため、トランジスタ 203-2 がオンしたときには、配線 310d2、ビア 361d2、配線 360a2 およびビア 361a2 を介して、正孔が注入されて発光面 351S2 が発光する。

【0182】

本実施形態の画像表示装置の製造方法について説明する。

図 17A ~ 図 18B は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図 17A に示すように、半導体成長基板 1294 および回路基板 3100a が準備され、互いに貼り合わされる。

【0183】

半導体成長基板 1294 は、半導体層 1150 がエピタキシャル成長された結晶成長用基板 1001 を含む。半導体成長基板 1294 では、結晶成長用基板 1001 にバッファ層 1140 を介して、結晶成長用基板 1001 の側から n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 の順に積層されている。

【0184】

回路基板 3100a は、図 5A ~ 図 5D においてすでに説明したように、回路基板 1100 上に遮光層 120 および第 2 絶縁層 112b が形成されている。なお、回路基板 3100a は、回路の構成が上述の他の実施形態の場合と相違するが、他のほとんどの部分ですでに説明した構造と同様である。以下では、符号のみを代えて、詳細な説明を適宜省略する。

【0185】

図 17B に示すように、回路基板 3100a の第 2 絶縁層 112b の面に半導体層 1150 の p 形半導体層 1153 の面が接合された後に、結晶成長用基板 1001 は除去される。

【0186】

図 18A に示すように、半導体層 1150 はエッチングされて、半導体層 350 が形成される。バッファ層 340 は、半導体層 1150 のエッチング後に除去されてもよいし、半導体層 1150 のエッチング前に除去されてもよい。

【0187】

10

20

30

40

50

図18Bに示すように、第2絶縁層112bおよび半導体層350を覆う層間絶縁膜356が形成される。その後、層間絶縁膜356上に配線層360が形成され、エッチングによって配線360a1, 360a2, 360k等が形成される。

【0188】

発光面351S1, 351S2に対応する位置の層間絶縁膜356を除去することによって、開口358-1, 358-2がそれぞれ形成される。

【0189】

開口358-1, 358-2によって露出された発光面351S1, 351S2は、それぞれ粗面化される。その後、発光面351S1, 351S2と配線360kとを電氣的に接続するように、透明電極359a1, 359a2, 359kが形成される。

10

【0190】

このようにして、2つの発光面351S1, 351S2を共用する半導体層350を有するサブピクセル群320が形成される。

【0191】

本実施例では、1つの半導体層350に2つの発光面351S1, 351S2を設けたが、発光面の数は2つに制限されることはなく、3つあるいはそれ以上の発光面を1つの半導体層350に設けることも可能である。一例として、1列あるいは2列分のサブピクセルを、単一の半導体層350で実現してもよい。これによって後述するように、発光面1つあたりの発光に寄与しない再結合電流を削減するとともに、より微細な発光素子を実現する効果を増大させることができる。

20

【0192】

(変形例)

図19は、本実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

本変形例では、発光層352上に2つのn形半導体層3351a1, 3351a2を設けた点で上述の第3の実施形態の場合と異なっている。他の点では、第3の実施形態の場合と同じであり、同一の構成要素に同一の符号を付して詳細な説明を適宜省略する。

【0193】

図19に示すように、本変形例の画像表示装置は、サブピクセル群320aを備える。サブピクセル群320aは、半導体層350aを含む。半導体層350aは、p形半導体層353と、発光層352と、n形半導体層3351a1, 3351a2と、を含む。p形半導体層353、発光層352およびn形半導体層3351a1, 3351a2は、層間絶縁膜356から発光面3351S1, 3351S2の側に向かってこの順に積層されている。

30

【0194】

n形半導体層3351a1, 3351a2は、発光層352上をX軸方向に沿って離隔して配置されている。n形半導体層3351a1, 3351a2の間には、層間絶縁膜356が設けられ、n形半導体層3351a1, 3351a2は、層間絶縁膜356によって分離されている。

【0195】

n形半導体層3351a1, 3351a2は、XY平面視で、ほぼ同一の形状を有しており、その形状は、ほぼ正方形または長方形であり、他の多角形状や円形等であってもよい。

40

【0196】

n形半導体層3351a1, 3351a2は、発光面3351S1, 3351S2をそれぞれ有する。発光面3351S1, 3351S2は、開口358-1, 358-2によってそれぞれ露出されたn形半導体層3351a1, 3351a2の面である。

【0197】

発光面3351S1, 3351S2のXY平面視での形状は、第3の実施形態の場合の発光面の形状と同様に、ほぼ同一の形状を有し、ほぼ正方形等の形状を有する。発光面3

50

351S1, 3351S2の形状は、本実施形態のような方形に限らず、円形、楕円形あるいは六角形等の多角形であってもよい。発光面3351S1, 3351S2の形状は、開口358-1, 358-2の形状と相似であってもよいし、異なる形状としてもよい。

【0198】

発光面3351S1, 3351S2上には、透明電極359kがそれぞれ設けられている。透明電極359kは、配線360k上にも設けられている。透明電極359kは、配線360kと発光面3351S1との間に設けられるとともに、配線360kと発光面3351S2との間に設けられている。透明電極359kは、配線360kおよび発光面3351S1, 3351S2を電氣的に接続している。

【0199】

図20Aおよび図20Bは、本変形例の画像表示装置の製造方法を例示する模式的な断面図である。

本変形例では、半導体層1150に、回路基板3100aを接合するまでは、第3の実施形態の場合の図16Aおよび図16Bにおいて説明した工程と同様の工程が適用される。以下では、それ以降の工程について説明する。

【0200】

図20Aに示すように、本変形例では、図17Bにおけるp形半導体層1153、発光層1152およびn形半導体層1151をエッチングして、発光層352およびp形半導体層353を形成した後、さらにエッチングして、2つのn形半導体層3351a1, 3351a2を形成する。その後、バッファ層340aを除去してもよいし、n形半導体層1151をエッチングする前にバッファ層を除去してもよい。

【0201】

n形半導体層3351a1, 3351a2は、さらに深いエッチングによって形成されてもよい。たとえば、n形半導体層3351a1, 3351a2を形成するためのエッチングは、発光層352内やp形半導体層353内に到達する深さまで行ってもよい。このように、n形半導体層を深くエッチングする場合には、n形半導体層1151のエッチング位置は、後述するn形の半導体層の発光面3351S1, 3351S2の外周から1μm以上離すことが望ましい。エッチング位置を発光面3351S1, 3351S2の外周から離すことによって、再結合電流を抑制することができる。

【0202】

図20Bに示すように、第2絶縁層112bおよび半導体層350aを覆う層間絶縁膜356が形成される。層間絶縁膜356上には、配線層360が形成され、エッチングによって配線360a1, 360a2, 360k等が形成される。

【0203】

層間絶縁膜の発光面3351S1, 3351S2に対応する位置に開口358-1, 358-2がそれぞれ形成される。開口358-1, 358-2によって露出されたn形半導体層の発光面3351S1, 3351S2は、それぞれ粗面化される。その後、透明電極359a, 359kが形成される。

【0204】

このようにして、2つの発光面3351S1, 3351S2を有するサブピクセル群320aが形成される。

【0205】

本変形例の場合も、第3の実施形態の場合と同様に、発光面の数は2つに限定されることはなく、3つあるいはそれ以上の発光面を1つの半導体層350aに設けてもよい。

【0206】

本実施形態の画像表示装置の効果について説明する。

図21は、画素LED素子の特性を例示するグラフである。

図21の縦軸は、発光効率[%]を表している。横軸は、画素LED素子に流す電流の電流密度を相対値によって表している。

図21に示すように、電流密度の相対値が1.0より小さい領域では、画素LED素子

10

20

30

40

50

の発光効率は、ほぼ一定か、単調に増加する。電流密度の相対値が1.0よりも大きい領域では、発光効率は単調に減少する。つまり、画素LED素子には、発光効率が最大になるような適切な電流密度が存在する。

【0207】

発光素子から十分な輝度を得られる程度に電流密度を抑制することによって、高効率な画像表示装置を実現することが期待される。しかしながら、低電流密度では、電流密度の低下とともに、発光効率が低下する傾向にあることが、図21によって示されている。

【0208】

第1の実施形態や第2の実施形態において説明したように、発光素子は、発光層を含む半導体層1150の全層をエッチング等で個別に分離することによって形成される。このとき、発光層とn形の半導体層との接合面が端部に露出する。同様に、発光層とp形半導体層との接合面が端部に露出する。

10

【0209】

このような端部が存在する場合には、端部において電子および正孔が再結合する。一方で、このような再結合は、発光に寄与しない。端部での再結合は、発光素子に流す電流とはほとんど関係なく発生する。再結合は、端部の発光に寄与する接合面の長さに応じて発生するものと考えられる。

【0210】

同一寸法の立方体形状の発光素子を2個発光させる場合には、端部は、発光素子ごとに四方に形成されるため、合計8つの端部において再結合が発生し得る。

20

【0211】

これに対して、本実施形態では、2つの発光面を有する半導体層350, 350aでは、端部は4つである。開口358-1, 358-2の間の領域は、電子や正孔の注入が少なく、発光にほとんど寄与しないので、発光に寄与する端部としては、6個となる可以考虑することができる。このように、本実施形態では、端部の数が実質的に低減されることによって、発光に寄与しない再結合を低減し、その分、駆動電流を引き下げることが可能になる。

【0212】

高精細化等のために、サブピクセル間の距離を短縮するような場合や電流密度が比較的高い場合等には、第3の実施形態のサブピクセル群320では、発光面351S1, 351S2の距離が短くなる。この場合に、n形半導体層351が共有されていると、隣接する発光面の側に注入された電子の一部が分流して、駆動されていない側の発光面が微発光するおそれがある。変形例では、n形半導体層を発光面ごとに分離しているため、駆動されていない側の発光面に微発光を生じることを低減させることができる。

30

【0213】

本実施形態では、発光層を含む半導体層は、層間絶縁膜の側から、p形半導体層、発光層およびn形半導体層の順に積層するものであり、n形半導体層の露出面を粗面化して発光効率を向上させる観点からは好ましい。第1の実施形態の場合と同様に、p形半導体層とn形半導体層の積層順を代えて、n形半導体層、発光層およびp形半導体層の順に積層するようにしてもよい。

40

【0214】

(第4の実施形態)

上述した画像表示装置は、適切なピクセル数を有する画像表示モジュールとして、たとえばコンピュータ用ディスプレイ、テレビ、スマートフォンのような携帯用端末、あるいは、カーナビゲーション等とすることができる。

【0215】

図22は、本実施形態に係る画像表示装置を例示するブロック図である。

図22には、コンピュータ用ディスプレイの構成の主要な部分が示されている。

図22に示すように、画像表示装置401は、画像表示モジュール402を備える。画像表示モジュール402は、たとえば上述した第1の実施形態の場合の構成を備えた画像

50

表示装置である。画像表示モジュール402は、サブピクセル20が配列された表示領域2、行選択回路5および信号電圧出力回路7を含む。

【0216】

画像表示装置401は、コントローラ470をさらに備えている。コントローラ470は、図示しないインタフェース回路によって分離、生成される制御信号を入力して、行選択回路5および信号電圧出力回路7に対して、各サブピクセルの駆動および駆動順序を制御する。

【0217】

(変形例)

図23は、本変形例の画像表示装置を例示するブロック図である。

10

図23には、高精細薄型テレビの構成が示されている。

図23に示すように、画像表示装置501は、画像表示モジュール502を備える。画像表示モジュール502は、たとえば上述した第1の実施形態の場合の構成を備えた画像表示装置1である。画像表示装置501は、コントローラ570およびフレームメモリ580を備える。コントローラ570は、バス540によって供給される制御信号にもとづいて、表示領域2の各サブピクセルの駆動順序を制御する。フレームメモリ580は、1フレーム分の表示データを格納し、円滑な動画再生等の処理のために用いられる。

【0218】

画像表示装置501は、I/O回路510を有する。I/O回路510は、外部の端末や装置等と接続するためのインタフェース回路等を提供する。I/O回路510には、たとえば外付けのハードディスク装置等を接続するUSBインタフェースや、オーディオインタフェース等が含まれる。

20

【0219】

画像表示装置501は、受信部520および信号処理部530を有する。受信部520には、アンテナ522が接続され、アンテナ522によって受信された電波から必要な信号を分離、生成する。信号処理部530は、DSP(Digital Signal Processor)やCPU(Central Processing Unit)等を含んでおり、受信部520によって分離、生成された信号は、信号処理部530によって、画像データや音声データ等に分離、生成される。

【0220】

受信部520および信号処理部530を、携帯電話の送受信やWi-Fi用、GPS受信器等の高周波通信モジュールとすることによって、他の画像表示装置とすることもできる。たとえば、適切な画面サイズおよび解像度の画像表示モジュールを備えた画像表示装置は、スマートフォンやカーナビゲーションシステム等の携帯情報端末とすることができる。

30

【0221】

本実施形態の場合の画像表示モジュールは、第1の実施形態の場合の画像表示装置の構成に限らず、その変形例や他の実施形態の場合としてもよい。

【0222】

図24は、第1～第3の実施形態およびこれらの変形例の画像表示装置を模式的に例示する斜視図である。

40

図24に示すように、第1～第3の実施形態の画像表示装置は、上述したように、回路基板100上に、多数のサブピクセルを有する発光回路部172が設けられている。発光回路部172上には、カラーフィルタ180が設けられている。なお、第6の実施形態においては、回路基板100、発光回路部172およびカラーフィルタ180を含む構造物は、画像表示モジュール402、502とされ、画像表示装置401、501に組み込まれている。

【0223】

以上説明した実施形態によれば、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法および画像表示装置を実現することができる。

【0224】

50

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他のさまざまな形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明およびその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

【符号の説明】

【0225】

1, 201, 401, 501 画像表示装置、2 表示領域、3 電源線、4 接地線、  
 5, 205 行選択回路、6, 206 走査線、7, 207 信号電圧出力回路、8 信号  
 線、10 ピクセル、20, 20a, 20b, 20c サブピクセル、22, 222 発光  
 素子、24, 224 選択トランジスタ、26, 226 駆動トランジスタ、28, 228  
 キャパシタ、100 回路基板、101 回路、103, 103-1, 103-2 トラン  
 ジスタ、104, 104-1, 104-2 素子形成領域、105 絶縁層、107, 10  
 7-1, 107-2 ゲート、108 絶縁膜、110, 210, 310 第1の配線層、  
 112 第1絶縁膜、112a 第1絶縁層、112b 第2絶縁層、120 遮光層、1  
 21, 321-1, 321-2 貫通孔、150, 250 発光素子、156, 256, 3  
 56 第2絶縁膜、160, 260, 360 第2の配線層、161d, 161k, 261  
 a, 361a1, 361a2, 361d1, 361d2 ピア、180 カラーフィルタ、  
 320, 320a サブピクセル群、470, 570 コントローラ、1001 結晶成長  
 用基板、1100, 1100a, 3100a 回路基板、1140 バッファ層、1150  
 半導体層、1190 支持基板、1192 構造体、1194, 1294 半導体成長基板

10

20

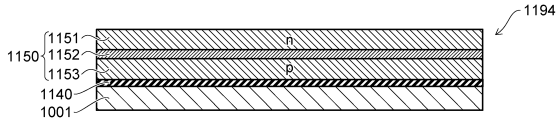
30

40

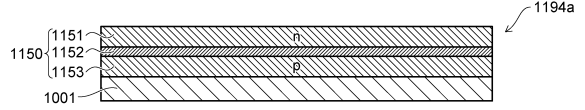
50



【図 4 A】

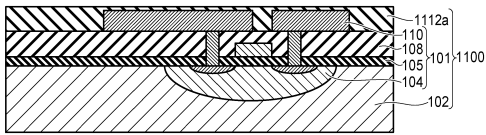


【図 4 B】

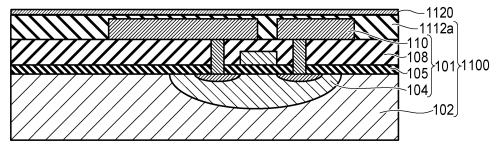


10

【図 5 A】

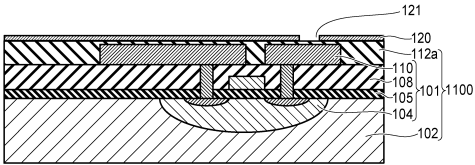


【図 5 B】

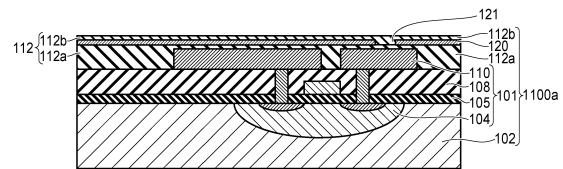


20

【図 5 C】



【図 5 D】

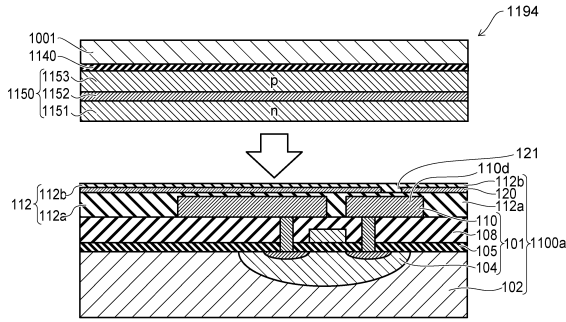


30

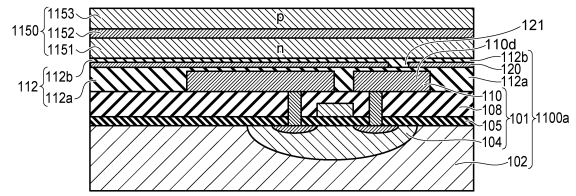
40

50

【図 6 A】

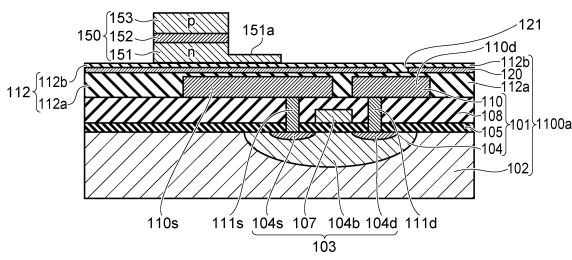


【図 6 B】

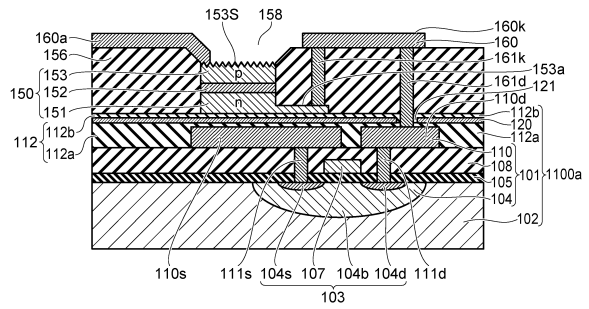


10

【図 7 A】

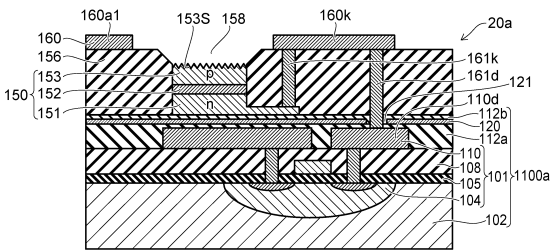


【図 7 B】

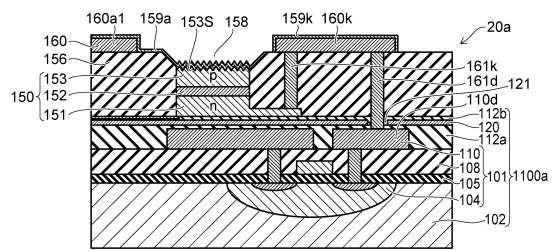


20

【図 8 A】



【図 8 B】

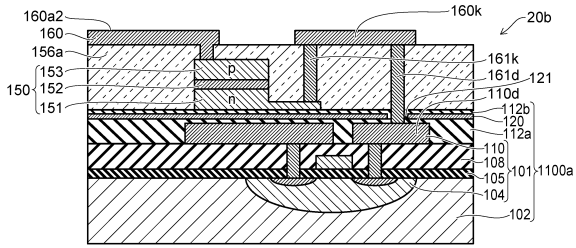


30

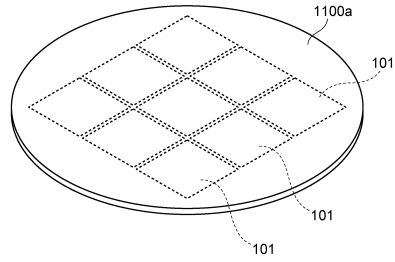
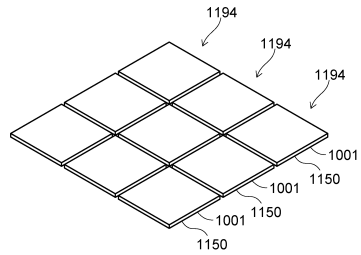
40

50

【 8 C 】



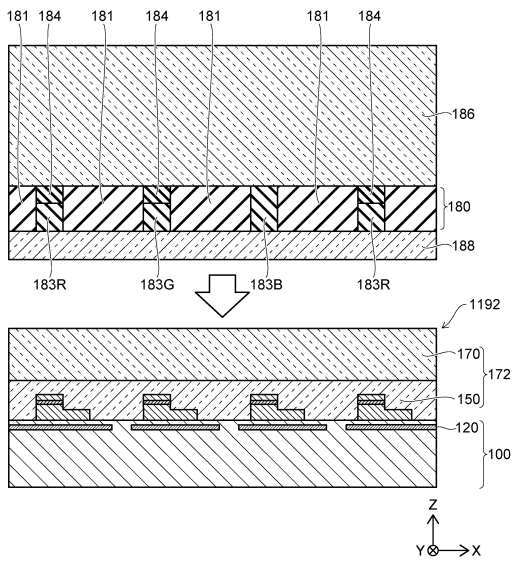
【 9 】



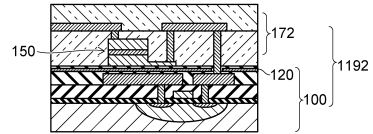
10

20

【 10 】



【 11 A 】

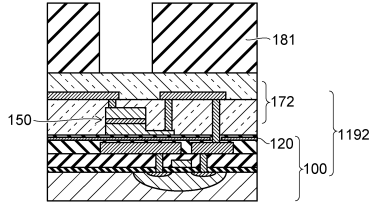


30

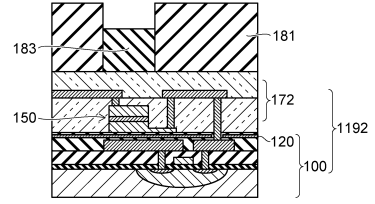
40

50

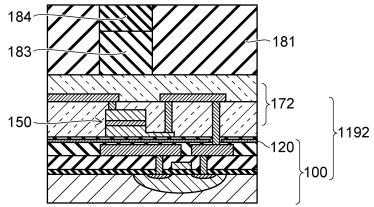
【図 1 1 B】



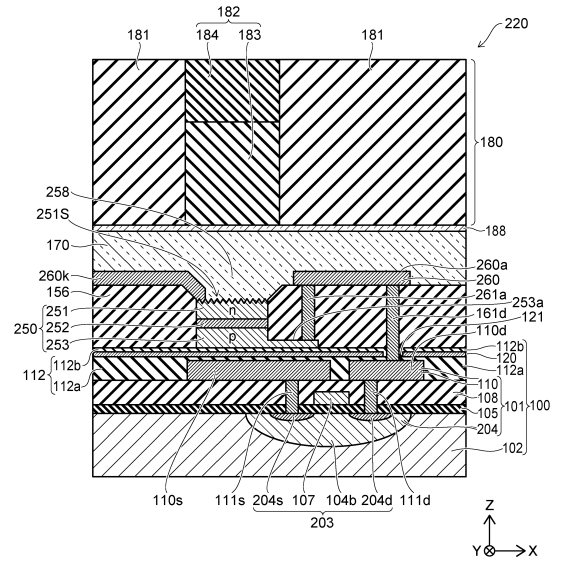
【図 1 1 C】



【図 1 1 D】



【図 1 2】



10

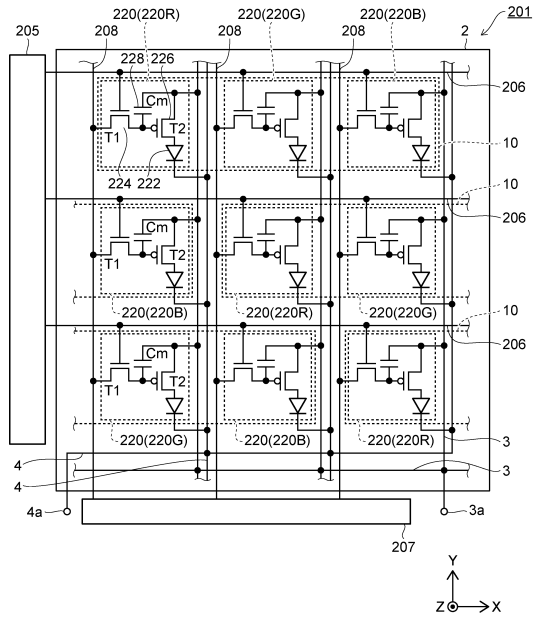
20

30

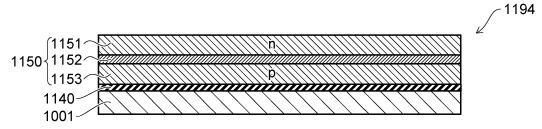
40

50

【 図 1 3 】



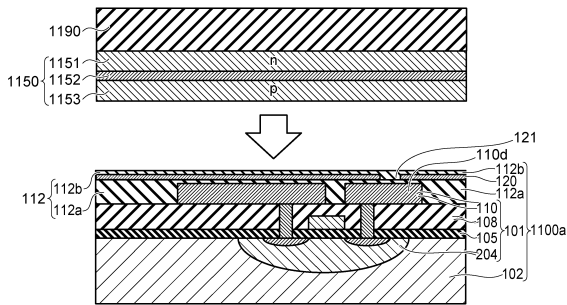
【 図 1 4 A 】



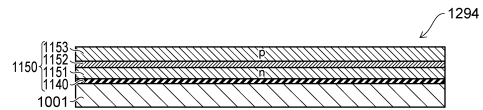
10

20

【 図 1 4 B 】



【 図 1 4 C 】



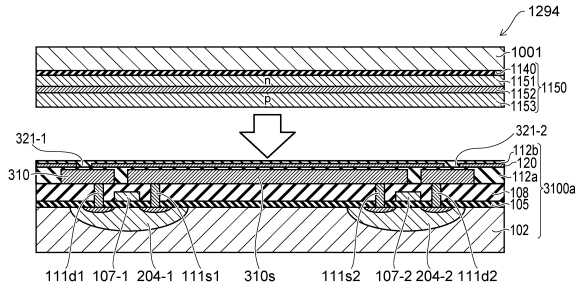
30

40

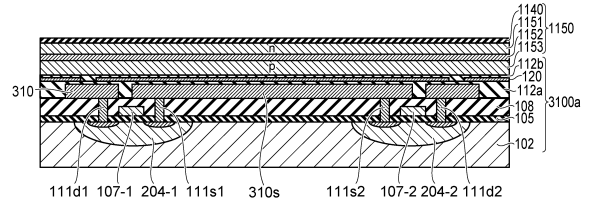
50



【 17 A 】

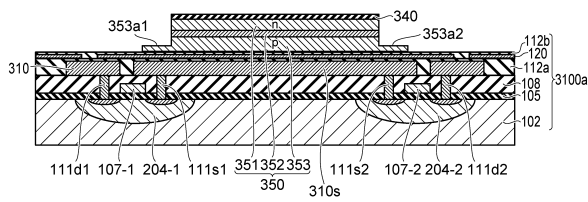


【 17 B 】

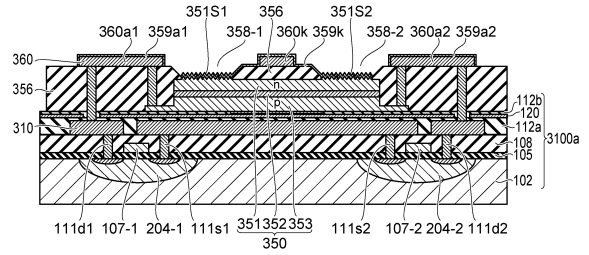


10

【 18 A 】



【 18 B 】



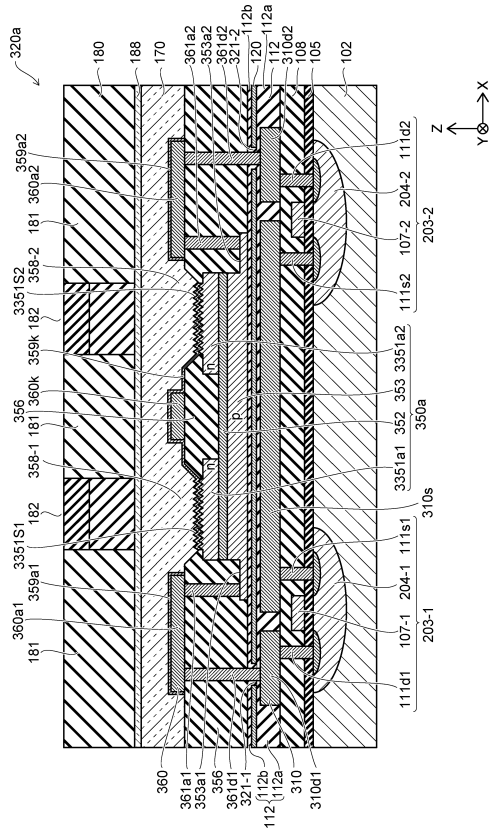
20

30

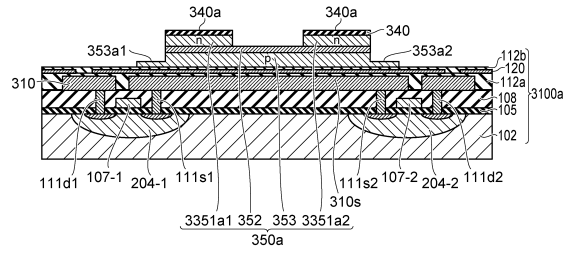
40

50

【図 19】



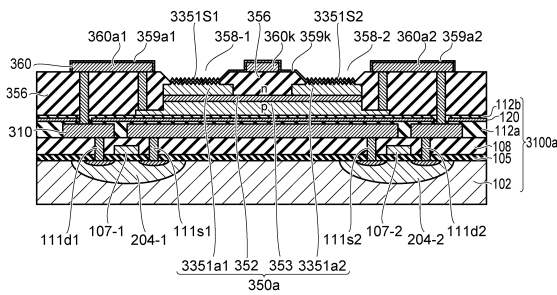
【図 20 A】



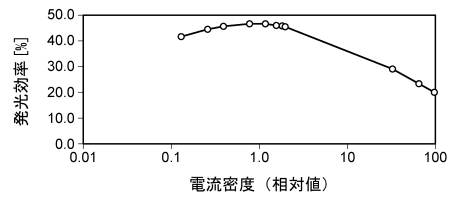
10

20

【図 20 B】



【図 21】

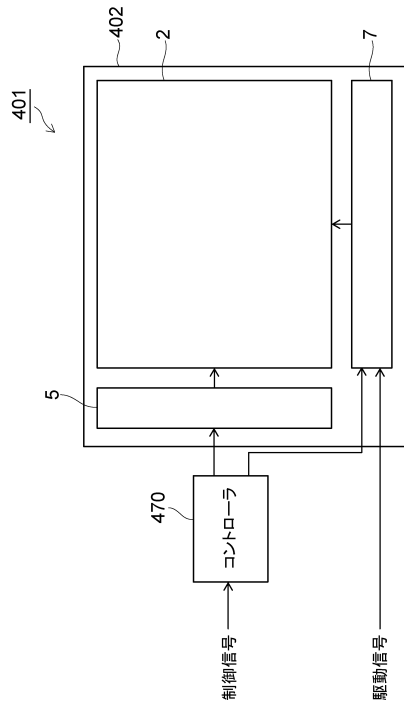


30

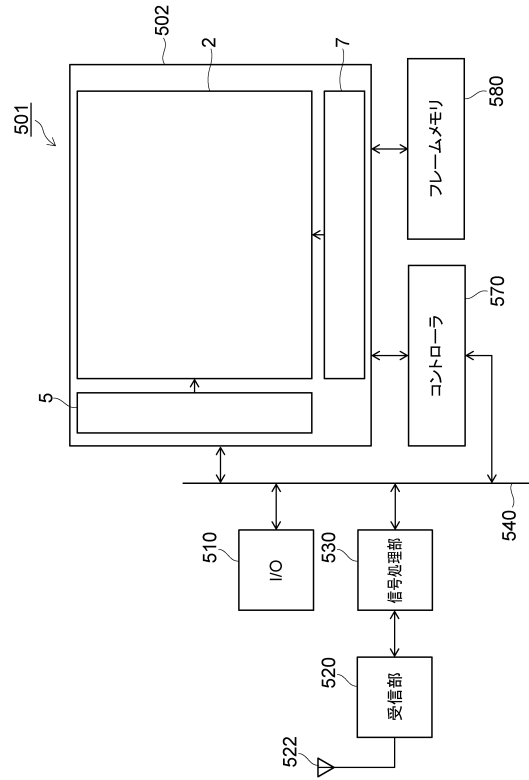
40

50

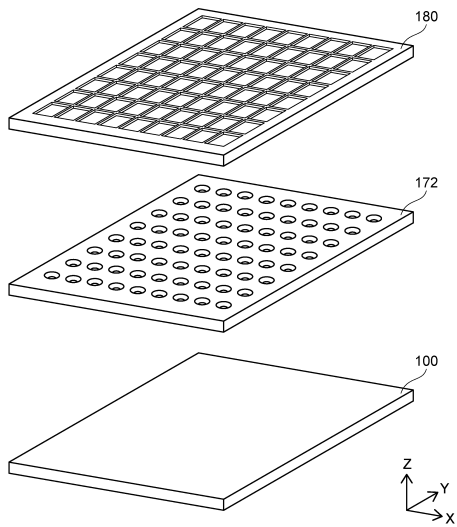
【図 2 2】



【図 2 3】



【図 2 4】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I  
G 0 9 F 9/30 3 4 9 B  
H 0 1 L 33/00 L

## (56)参考文献

特開 2 0 0 8 - 1 3 5 4 1 9 ( J P , A )  
特開 2 0 1 3 - 0 3 7 1 3 9 ( J P , A )  
米国特許出願公開第 2 0 1 9 / 0 0 7 4 3 2 4 ( U S , A 1 )  
米国特許出願公開第 2 0 1 8 / 0 1 7 4 5 1 9 ( U S , A 1 )

## (58)調査した分野 (Int.Cl., D B 名)

G 0 9 F 9 / 0 0 - 9 / 4 6  
H 0 1 L 3 3 / 0 8  
H 0 1 L 3 3 / 3 2  
H 0 1 L 3 3 / 3 4  
H 0 1 L 3 3 / 4 2  
H 0 1 L 3 3 / 5 0