

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7631353号  
(P7631353)

(45)発行日 令和7年2月18日(2025.2.18)

(24)登録日 令和7年2月7日(2025.2.7)

(51)国際特許分類

F I

H 1 0 D	30/01	(2025.01)	H 1 0 D	30/01	3 0 1 A
H 1 0 D	30/66	(2025.01)	H 1 0 D	30/01	3 0 1 F
H 1 0 D	12/00	(2025.01)	H 1 0 D	30/01	3 0 1 G
			H 1 0 D	30/66	1 0 1 H
			H 1 0 D	30/66	1 0 1 F

請求項の数 18 (全21頁) 最終頁に続く

(21)出願番号 特願2022-545043(P2022-545043)  
 (86)(22)出願日 令和3年3月19日(2021.3.19)  
 (65)公表番号 特表2024-529567(P2024-529567 A)  
 (43)公表日 令和6年8月7日(2024.8.7)  
 (86)国際出願番号 PCT/US2021/023142  
 (87)国際公開番号 WO2021/155386  
 (87)国際公開日 令和3年8月5日(2021.8.5)  
 審査請求日 令和5年4月27日(2023.4.27)

(73)特許権者 501315784  
 パワー・インテグレーションズ・インコーポレーテッド  
 アメリカ合衆国・95138・カリフォルニア州・サンホゼ・ヘリヤーアベニュー・5245  
 (74)代理人 100125818  
 弁理士 立原 聡  
 (72)発明者 アレクセイ アンコウディノフ  
 アメリカ合衆国 95122 カリフォルニア州 サンノゼ、#1、ルクレティアアベニュー 2260  
 (72)発明者 ソリン エス ジョージェスク  
 アメリカ合衆国 95020 カリフォルニア州 ギルロイ、ゴールドフィンチ  
 最終頁に続く

(54)【発明の名称】 スーパージャンクションデバイスのための工程及び構造物

(57)【特許請求の範囲】

【請求項1】

スーパージャンクションデバイス構造物を形成する方法であって、前記方法が、  
N型基材の上方にエピタキシャルN型層を堆積させることと、  
前記エピタキシャルN型層の上方にハードマスク層を堆積させることと、  
前記エピタキシャルN型層において傾斜角度をもつトレンチをエッチングすることと、  
前記ハードマスク層を通じた注入及び拡散による前記トレンチに近接したコラムへの縦方向の注入により第1の導電型の注入された、及び拡散された層を形成することと、  
前記ハードマスク層を通じた注入による、前記第1の導電型の注入された、及び拡散された前記層に近接した前記コラムへの縦方向の注入により、第2の導電型の注入された、及び拡散された層を形成することであって、前記第1の導電型の前記層及び前記第2の導電型の前記層におけるドーパントが、電荷平衡にされている、形成することと、  
絶縁材料により前記トレンチを充填することと、  
前記第1の導電型の前記層と前記第2の導電型の前記層と前記エピタキシャルN型層との上方における絶縁材料を除去するために、化学機械平坦化(CMP)を実施することと、  
ゲート酸化物と多結晶シリコン層とを堆積させることと、  
ゲートを形成するために、前記多結晶シリコン層の上方におけるゲートマスクを使用し  
て前記ゲート酸化物と前記多結晶シリコン層とをエッチングすることと、  
前記ゲート酸化物の下方にソースを埋め込むことと、  
前記ソースの下方にP型ボディ領域を埋め込むことと、

10

20

ソース電極とゲート接点とを形成することと、  
前記N型基材の下方にドレイン接点を形成することと、  
を含む、スーパージャンクションデバイス構造物を形成する方法。

【請求項2】

前記トレンチ内に半絶縁材料を堆積させることを更に含む、  
請求項1に記載の方法。

【請求項3】

前記第1の導電型の前記層が、P型半導体であり、  
前記第2の導電型の前記層が、N型半導体である、  
請求項1に記載の方法。

10

【請求項4】

前記第1の導電型の前記層の注入量と前記第2の導電型の前記層の注入量とが等しい、  
請求項3に記載の方法。

【請求項5】

前記第1の導電型の前記層又は前記第2の導電型の前記層の一部として、ホウ素を注入す  
ること、及び拡散させることを更に含む、  
請求項1に記載の方法。

【請求項6】

前記第1の導電型の前記層又は前記第2の導電型の前記層の一部として、リンを注入する  
こと、及び拡散させることを更に含む、  
請求項1に記載の方法。

20

【請求項7】

閾値電圧を調節するために、チャンネルマスクを堆積させることと、前記P型ボディ領域  
の上部に注入することとを更に含む、  
請求項1に記載の方法。

【請求項8】

スーパージャンクションデバイスであって、  
ドレイン接点と、  
前記ドレイン接点の上方における基材層と、  
前記基材層の上方におけるエピタキシャル層と、  
前記スーパージャンクションデバイスのトレンチの底部に対するP型注入により形成さ  
れた、前記基材層の上方におけるP+層と、  
傾斜角度をもつトレンチであって、前記トレンチが、絶縁材料により充填されており、  
前記トレンチが、前記基材層まで延びた、前記トレンチと、  
前記トレンチに近接したコラムに形成された第1の導電型の注入された、及び拡散された  
層と、

30

前記第1の導電型の前記層に近接して前記コラムに形成された第2の導電型の注入された  
、及び拡散された層であって、前記第1の導電型の前記層及び前記第2の導電型の前記層  
におけるドーパントが、電荷平衡にされている、前記第2の導電型の注入された、及び拡  
散された前記層と、

40

前記第1の導電型の前記層と前記第2の導電型の前記層とに結合されたソースと、

前記ソースに結合されたP型ボディ領域と、  
前記ソースと前記エピタキシャル層との上方に形成されたゲート酸化物と、  
前記ゲート酸化物の上方に形成されたゲートと、  
を備える、スーパージャンクションデバイス。

【請求項9】

前記トレンチ内に堆積させられた半絶縁材料を更に備え、  
前記半絶縁材料が、前記エピタキシャル層の上部においてソース接点に結合された、又  
は前記基材層に結合された、

請求項8に記載のスーパージャンクションデバイス。

50

## 【請求項 10】

前記半絶縁材料が、前記トレンチ内に u 字型を形成し、  
 前記半絶縁材料が、前記エピタキシャル層の前記上部において前記ソースに結合された、  
 又は前記基材層に結合された、  
 請求項 9 に記載のスーパージャンクションデバイス。

## 【請求項 11】

前記基材層と前記トレンチの底部との間に形成されたエピタキシャルバッファ層を更に備える、  
 請求項 9 に記載のスーパージャンクションデバイス。

## 【請求項 12】

前記第 1 の導電型の前記層が、P 型半導体であり、  
 前記第 2 の導電型の前記層が、N 型半導体である、  
 請求項 8 に記載のスーパージャンクションデバイス。

## 【請求項 13】

前記第 1 の導電型の前記層が、N 型半導体であり、  
 前記第 2 の導電型の前記層が、P 型半導体である、  
 請求項 8 に記載のスーパージャンクションデバイス。

## 【請求項 14】

前記ゲートが、DMOS ゲートである、  
 請求項 8 に記載のスーパージャンクションデバイス。

## 【請求項 15】

前記ゲートが、UMOS ゲートである、  
 請求項 8 に記載のスーパージャンクションデバイス。

## 【請求項 16】

前記ゲートの上方に形成されたパッシベーション層を更に備える、  
 請求項 8 に記載のスーパージャンクションデバイス。

## 【請求項 17】

前記ゲートが、前記トレンチ内に形成された、  
 請求項 15 に記載のスーパージャンクションデバイス。

## 【請求項 18】

前記トレンチが、V 字型である、  
 請求項 8 に記載のスーパージャンクションデバイス。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は概して、高電圧集積回路又は電力トランジスタデバイスを製造するための半導体デバイス、デバイス構造物、及び工程に関する。

## 【背景技術】

## 【0002】

モーター駆動部、無停電電源、及びソーラーインバーターなどの高電圧用途は、電力半導体デバイスを使用し得る。用途の特定の要求に応じて、例えば電力ダイオード、電力金属 - 酸化物 - 半導体電界効果トランジスタ (MOSFET: metal - oxide - semiconductor field - effect transistor)、バイポーラ接合トランジスタ (BJT: bipolar - junction transistor)、絶縁ゲートバイポーラトランジスタ (IGBT: insulated gate bipolar transistor)、サイリスタなど、種々の電力半導体デバイスが利用可能である。

## 【0003】

電力半導体デバイスのパフォーマンス尺度は、動作電流及び電圧、入力インピーダンス及び出力インピーダンス、スイッチング速度、逆バイアス絶縁破壊電圧などを含み得る。

10

20

30

40

50

使用される電力半導体デバイスの種類は、これらのパフォーマンス尺度に部分的に基づき得る。コスト及びデバイス面積などの更なる因子も、使用される電力半導体デバイスの種類の特定に寄与し得る。

【0004】

縦型デバイスの絶縁破壊電圧を高くするために、縦型デバイスのエピタキシャル層の厚さも大きくなり、及び、エピタキシャル層におけるドーピング濃度が小さくなる。しかし、これは、ドレイン・ソース抵抗 ( $R_{DS(ON)}$ ) の不均衡な増加をもたらし、このことが、縦型デバイスがオン状態にあるときの伝導損を大きくする。スーパージャンクションデバイスとして知られる別のタイプのデバイスは、電荷補償を使用することにより高い絶縁破壊電圧を伴うデバイスに対する  $R_{DS(ON)}$  を改善し得る。同じ伝導損 ( $R_{DS(ON)}$ ) に対して、スーパージャンクションデバイスは、より小さいエリアしか必要とせず、このことが、より小さい出力静電容量をもたらし、及び、スイッチング遷移中により小さいエネルギーが蓄積されること、及び失われることをもたらす。

10

【発明の概要】

【0005】

以下の図を参照しながら、本発明の非限定的かつ非網羅的な実施形態が説明される。異なる図の中の同様の参照符号は、別段の指定がない限り同様の部分を示す。

【図面の簡単な説明】

【0006】

【図1】図1は、本開示の実施形態による、注入 (implantation) のためのマスクを使用してスーパージャンクションデバイスを形成するための工程の一例を示す。

20

【図2】図2は、本開示の実施形態による、Vトレンチを含むスーパージャンクションデバイスの一例を示す。

【図3A】図3Aは、本開示の実施形態による、トレンチとDMOSゲートとを含むスーパージャンクションデバイスの別の例を示す。

【図3B】図3Bは、本開示の実施形態による、図3Aのスーパージャンクションデバイスの平面図を示す。

【図4A】図4Aは、本開示の実施形態による、トレンチとUMOSゲートとを含むスーパージャンクションデバイスの別の例を示す。

【図4B】図4Bは、本開示の実施形態による、図4Aにおけるスーパージャンクションデバイスの平面図を示す。

30

【図4C】図4Cは、本開示の実施形態による、図4Aにおけるスーパージャンクションデバイスのチャンネルを通る断面を示す。

【図5A】図5Aは、本開示の実施形態による、トレンチとDMOSゲートとを含むスーパージャンクションデバイスを示す。

【図5B】図5Bは、本開示の実施形態による、図5Aにおけるスーパージャンクションデバイスの平面図を示す。

【図6A】図6Aは、本開示の実施形態による、UMOSゲートを含むスーパージャンクションデバイスの別の例を示す。

【図6B】図6Bは、本開示の実施形態による、図6Aにおけるスーパージャンクションデバイスの平面図を示す。

40

【図7A】図7Aは、本開示の実施形態による、絶縁されたレジスタ (resistor) を含むスーパージャンクションデバイスの別の例を示す。

【図7B】図7Bは、本開示の実施形態による、図7Aにおけるスーパージャンクションデバイスの平面図を示す。

【図8A】図8Aは、本開示の実施形態による、トレンチと半絶縁材料とを含むスーパージャンクションデバイスの別の例を示す。

【図8B】図8Bは、本開示の実施形態による、図8Aにおけるスーパージャンクションデバイスの平面図を示す。

【図9A】図9Aは、本開示の実施形態による、トレンチと半絶縁材料とを含むスーパー

50

ジャンクションデバイスの別の例を示す。

【図 9 B】図 9 B は、本開示の実施形態による、図 9 A におけるスーパージャンクションデバイスの平面図を示す。

【図 10 A】図 10 A は、本開示の実施形態による、UMOS ゲートと半絶縁材料とを含むスーパージャンクションデバイスの別の例を示す。

【図 10 B】図 10 B は、本開示の実施形態による、図 10 A におけるスーパージャンクションデバイスの平面図を示す。

【図 11 A】図 11 A は、本開示の実施形態による、トレンチとDMOS ゲートと半絶縁材料とを含むスーパージャンクションデバイスを示す。

【図 11 B】図 11 B は、本開示の実施形態による、図 11 A におけるスーパージャンクションデバイスの平面図を示す。

【図 12 A】図 12 A は、本開示の実施形態による、UMOS ゲートと半絶縁材料とを含むスーパージャンクションデバイスの別の例を示す。

【図 12 B】図 12 B は、本開示の実施形態による、図 12 A におけるスーパージャンクションデバイスの平面図を示す。

【発明を実施するための形態】

【0007】

図面中の複数の図にわたり、対応する参照符号が対応するコンポーネントを示す。当業者は、図中の要素が簡潔かつ明確であるように描かれること、及び、一定の縮尺で描かれるとは限らないことを理解する。例えば、図中の幾つかの要素の寸法は、本発明の様々な実施形態をより理解しやすくするために、他の要素より誇張される場合がある。更に、市販に適した実施形態において有用な又は必要な、一般的だが良く理解される要素は、多くの場合、本発明に係るこれらの様々な実施形態の図が見づらくなならないように、描かれな

【0008】

トレンチを含むスーパージャンクションデバイスの例が本明細書において説明されている。以下の説明では、本発明を十分に理解してもらうために、多くの特定の詳細事項が記載される。しかし、本発明を実施するために特定の詳細事項が使用されるとは限らないことが当業者に明らかである。他の例を挙げると、よく知られた材料又は方法については、本発明が理解しにくくなるのを防ぐために、詳細には説明されていない。

【0009】

本明細書中での「一実施形態」、「実施形態」、「一例」、又は「例」についての言及は、実施形態又は例との関連で説明される特定の特徵、構造、又は特性が本発明の少なくとも1つの実施形態に含まれることを意味する。したがって、本明細書中の様々な場所における「一実施形態において」、「実施形態において」、「一例」、又は「例」という表現の使用は、すべてが同じ実施形態又は例に関連するとは限らない。更に、特定の特徵、構造、又は特性は、1つ又は複数の実施形態又は例において、任意の適切な組み合わせ、及び/又は部分的組み合わせで組み合わせられてもよい。特定の特徵、構造、又は特性は、説明される機能を提供する集積回路、電子回路、結合論理回路、又は他の適切なコンポーネントに含まれてもよい。加えて、本明細書とともに提供される図が当業者への説明を目的としていること、及び図面が一定の縮尺で描かれるとは限らないことが理解される。

【0010】

スーパージャンクションデバイスは、同じ絶縁破壊電圧を伴う縦型デバイスと比較して、より低いオン抵抗率 ( $R_{DS(ON)}$ ) 及びより小さい出力静電容量 ( $C_{OSS}$ ) パフォーマンスを提供し得る。一例において、縦型デバイスは、金属 - 酸化物 - 半導体電界効果トランジスタ (MOSFET) であり得る。オン抵抗率は、製品のドレイン・ソースオン抵抗及びデバイスの面積から導出される。400ボルトの絶縁破壊電圧を伴う縦型デバイスに対する一例において、それは360ピコファラッド (pf) の出力静電容量、 $13.8 \text{ m}^2$  の面積、及び0.2オームの抵抗をもち得る。オン抵抗率は、 $2.76 \text{ オーム/mm}^2$  と計算される。

10

20

30

40

50

## 【 0 0 1 1 】

縦型デバイスの代わりとしてスーパージャンクションデバイスの使用は多くの利点を提供し得る。上述の縦型M O S F E Tと同じ絶縁破壊電圧を伴うスーパージャンクションデバイスに対して、スーパージャンクションデバイスはより小さい面積を使用して構築され得、このことが、全体的なオン抵抗率を小さくし、各オフ切り替え事象中のスイッチング損失を小さくする。一例において、スーパージャンクションデバイスは、 $8.0\text{ mm}^2$ の面積及び $0.2$ オームの抵抗を伴い得る。オン抵抗率は $1.6$ オーム/ $\text{mm}^2$ と計算され、これは、プレーナ縦型デバイスと比較して42パーセントぶんのオン抵抗率の低下である。

## 【 0 0 1 2 】

本開示におけるスーパージャンクションデバイスは、シリコン表面にエッチングされたトレンチの縦型コラムに形成され得る。縦型コラムの形成は、電荷平衡を達成するために、実質的に等しいドーピング濃度の近接したPコラムとNコラムを伴う。Pコラムからの正電荷とNコラムからの負電荷とがドリフト領域においてゼロという正味の電荷を提供する。PコラムとNコラムとにより提供される電荷平衡は、スーパージャンクションデバイスの絶縁破壊電圧を最大化するために一定した電界を生成するために重要である。Nコラムにおける高いドーピング濃度は、目標とされる絶縁破壊電圧に対して抵抗率 $R_{on}$ の低減を可能にする。

## 【 0 0 1 3 】

加えて、トレンチは、電荷平衡を更に補助するためにソース・ドレイン間の高電圧耐性をもたらすために、例えば半絶縁性多結晶シリコン(SIPOS: semi-insulating polycrystalline silicon)又は別の同等な絶縁材料といった半絶縁材料により充填され得る。半絶縁性レジスタにおける縦方向電界は略一定であると想定されるので、絶縁されたレジスタはスーパージャンクションデバイスにわたって一定した電界を提供することに役立ち得る。

## 【 0 0 1 4 】

スーパージャンクションデバイスは、酸化物により充填されたトレンチを含む。一例において、スーパージャンクションデバイスは、U字形トレンチを含んで構築され得る。しかし、酸化物によるトレンチの不均一な充填に起因してボイドがトレンチ内に形成された場合、スーパージャンクションデバイスのパフォーマンス及び信頼性が下げられる。ボイドは、オフ状態中に高電界中を動き得る可動電荷の存在に起因してデバイスの信頼性に悪影響を及ぼし得る。後述のように、トレンチがU字型の代わりにV字形である場合、酸化物によりトレンチを充填するとき、ボイドの形成を減らすスーパージャンクション縦型トランジスタデバイスが形成され得る。

## 【 0 0 1 5 】

図1は、本開示の実施形態による、注入のためのハードマスクを使用してスーパージャンクションデバイスを形成するための工程の一例を示す。スーパージャンクションデバイス100は、基材102、N型エピタキシャル層108、第1のタイプの縦型コラム110、第2のタイプの縦型コラム111、注入のためのハードマスク層120、及び、任意選択的なスクリーン酸化物層123を備える。

## 【 0 0 1 6 】

スーパージャンクションデバイス構造物100を形成するために、N型基材102が使用され得、N型基材102上にN型エピタキシャル層108が形成される。次に、エピタキシャル層N型層の上方にハードマスク層120が形成される。N型エピタキシャル層108において傾斜角度を伴ってトレンチがエッチングされる。一例において、トレンチの角度は、 $85$ 度 $\sim 95$ 度の間であり得る。 $90$ 度未満のトレンチの角度が、Vトレンチのために形成されてもよい。注入122及び拡散を使用して、第1のタイプの縦型コラム110がトレンチに近接して形成される。同様に注入122及び拡散により、第2のタイプの縦型コラム111が第1の縦型コラム110に近接して形成される。第1の縦型コラム110はP型半導体であり得、第2の縦型コラム111はN型半導体であり得る。他の例

10

20

30

40

50

において、第1の縦型コラム110がN型半導体であり得、第2の縦型コラム111がP型半導体であり得ることが理解される。第1の縦型コラム及び第2の縦型コラムの注入量は、電荷補償を提供するために、おおむね等しい。注入及び拡散は、第1のタイプの縦型コラム又は第2のタイプの縦型コラムの形成の一部としてホウ素及びリン酸塩 ( phosphate ) を含み得る。

【0017】

図2は、本開示の実施形態による、Vトレンチを含むスーパージャンクションデバイスの一例を示す。図2において言及されている要素が図1の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。スーパージャンクションデバイス200は、基材層202、P+層204、エピタキシャル層208、第1の縦型コラム210、第2の縦型コラム211、ソース接点214、p型ボディ領域212、ゲート酸化物216、ゲート接点218、及びソース電極219を備える。基材層202はシリコン材料を含み得、ドレイン接点203の上方にある。エピタキシャル層は基材層202の上方に形成されている。P+層204はスーパージャンクションデバイス200の底部にP型注入により形成され、エピタキシャル層208の上方に位置する。上述のように、第1の縦型コラム210及び第2の縦型コラム211は、注入及び拡散により形成される。トレンチが形成され、絶縁材料206により充填される。絶縁材料206は、例えばテトラトキシシラン ( TEOS: tetrahydroxysilane )、熱酸化物、ボロホスホシリケートガラス ( BPSG: borophosphosilicate glass )、非ドーピングシリカガラス ( NSG: nondoped silica glass ) といった酸化物を使用し得る。トレンチの角度は85度から95度の間であり得る。図2において、V型トレンチが好ましく、これは、ボイドを含まずに絶縁材料が充填されることを可能にし、及び、第1の縦型コラム210及び第2の縦型コラム211の領域が縦方向 ( ゼロ度 ) の注入により形成されることを可能にする。P型ボディ領域212がソース接点214に結合される。ゲート酸化物216がエピタキシャル層208の上方に堆積させられる。ゲート218がゲート酸化物の上方に形成される。他の例において、ゲート218が、トレンチ内に形成され得る。ソース電極219が、ソース接点214の上方に形成される。加えて、絶縁層 ( 図示されていない ) は、ゲート218の上方に形成され得る。

【0018】

図3Aは、本開示の実施形態による、トレンチとDMOSゲートとを含むスーパージャンクションデバイスの別の例を示す。図3Aにおいて言及されている要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。図3A~図6Bは、ボイドを含まずに絶縁材料の充填を可能にする縦トレンチを使用するスーパージャンクションデバイスの幾つかの実施形態を表す。スーパージャンクション300は、前述の図と同様の要素を備える。違いは、ゲート318の下方におけるチャネルがソース接点314と第1の縦型コラム310とを結合することである。

【0019】

図3Bは、図2及び図3Aのスーパージャンクションデバイスの平面図を示す。スーパージャンクションデバイスの平面図は、絶縁材料306、エピタキシャル層308、第2の縦型コラム311、Pボディ312、N+ソース314、及びゲート318を示す。ゲート318の下方におけるチャネルは、( 図2に示されているように ) N-エピタキシャル層308に結合し、及び、( 図3Aに示されているように ) N型コラムに結合する。

【0020】

図4Aは、本開示の実施形態による、トレンチとUMOSゲートとを含むスーパージャンクションデバイスの別の例を示す。図4Aにおいて言及されている要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解さ

10

20

30

40

50

れる。スーパージャンクションデバイス400は、前述の図と同様の要素を備える。違いは、ゲート418がUMOSゲートであることである。

【0021】

図4Bは、図4Aのスーパージャンクションデバイスの平面図を示す。スーパージャンクションデバイスの平面図は、絶縁材料406、エピタキシャル層408、Pボディ412、N+ソース414、及びゲート418を示す。点で満たされたエリアは、ソース接点414を第1の縦型コラム410に結合するチャンネルを示す。

【0022】

図4Cは、図4Aにおけるスーパージャンクションデバイスのチャンネルを通る断面を示す。スーパージャンクションデバイスのチャンネルを通る断面は、電子がソース419からN+ソース414まで、及び更に(ゲート418に電圧が印加されたとき)第1の縦型コラム410まで、及び、更に基材402及びドレインまで、スーパージャンクションデバイスをどのように横断するかを示す。

10

【0023】

図5Aは、本開示の実施形態による、トレンチとDMOSゲートとを含むスーパージャンクションデバイスを示す。図5Aに示される要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。図5Bは、本開示の実施形態による、図5Aにおけるスーパージャンクションデバイスの平面図を示す。図は、ゲート518の下方におけるチャンネルがソース接点514を第1の縦型コラム510に結合することを示す。

20

【0024】

図6Aは、本開示の実施形態による、UMOSゲートを含むスーパージャンクションデバイスの別の例を示す。図6Aに示される要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。図6Bは、本開示の実施形態による、図6Aにおけるスーパージャンクションデバイスの平面図を示す。

【0025】

図7Aは、本開示の実施形態による、絶縁されたレジスタを含むスーパージャンクションデバイスの別の例を示す。図7Aに示される要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。上述のように、縦トレンチは、電荷平衡を更に補助するためにソース・ドレイン間に高電圧耐性経路をもたらし、例えば半絶縁性多結晶シリコン(SIPOS)又は別の同等な絶縁材料といった半絶縁材料734により充填され得る。スーパージャンクションデバイス700は、基材層702、エピタキシャル層708、第1の縦型コラム710、第2の縦型コラム711、ソース接点714、P型ボディ領域712、ゲート酸化物716、ゲート接点718、ソース電極719、及び半絶縁材料734を備える。基材層702は、シリコン材料を含み得、ドレイン接点703の上方にある。半絶縁材料734は、ほぼ一定の電界を提供するためにトレンチ内に堆積させられ得、エピタキシャル層708の底部又は基材層702の底部に結合され得る。絶縁されたレジスタ内では電界が略一定であると想定されるので、絶縁されたレジスタとして機能する半絶縁材料734は、スーパージャンクションデバイスにわたってほぼ一定の電界を提供することに役立ち得る。更なる利点は、電荷の非平衡に対して、より高い許容度を提供することである。エピタキシャル層708は、基材層702の上方に形成される。上述のように、第1の縦型コラム710と第2の縦型コラム711とは、注入及び拡散により形成される。トレンチは絶縁材料706により充填される。絶縁材料706は、例えばテトラトキシラン(TEOS)、熱酸化物、ボロホスホシリケートガラス(BPSG)、非ドーブシリカガラス(NSG)といった酸化物を使用し得る。トレンチの角度は、85度から95度の間であり得る。図7Aにおいて、トレンチは実質的にV字型であり、このことが、絶縁材料がポイドを含まずに充填される

30

40

50

ことを可能にし、第1の縦型コラム710及び第2の縦型コラム711の領域が縦方向（ゼロ度）の注入により形成されることを可能にする。ソース接点714は、第1の縦型コラム710及び第2の縦型コラム711に結合される。P型ボディ領域712は、ソース接点714に結合される。ゲート酸化物716は、ソース接点714及びエピタキシャル層708の上方に形成される。ゲート718は、ゲート酸化物の上方に形成される。他の例において、ゲート718は、トレンチ内に形成され得る。ソース電極719は、ソース接点714の上方に形成される。加えて、パッシベーション層（図示されていない）が、ゲート718の上方に形成され得る。

【0026】

図7Bは、図7Aのスーパージャンクションデバイスの平面図を示す。スーパージャンクションデバイスの平面図は、絶縁材料706、エピタキシャル層708、第2の縦型コラム711、P型ボディ領域712、N+ソース714、ゲート718、及び半絶縁層734を示す。

10

【0027】

図8Aは、本開示の実施形態による、トレンチと半絶縁材料とを含むスーパージャンクションデバイスの別の例を示す。図8Aにおいて言及されている要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。図7A～図12Bは、ポイドを含まずに絶縁材料の充填を可能にするために縦トレンチを使用した、及び、半絶縁材料を更に備えたスーパージャンクションデバイスの幾つかの実施形態を表す。スーパージャンクションデバイス800は、前述の図と同様の要素を備える。違いは半絶縁材料がV字型であることである。

20

【0028】

図8Bは、図8Aのスーパージャンクションデバイスの平面図を示す。スーパージャンクションデバイスの平面図は、絶縁材料806、エピタキシャル層808、第2の縦型コラム811、P型ボディ領域812、N+ソース814、ゲート818、及び半絶縁層834を示す。

【0029】

図9Aは、本開示の実施形態による、トレンチと半絶縁材料とを含むスーパージャンクションデバイスの別の例を示す。図9Aにおいて言及されている要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。スーパージャンクションデバイス900は、前述の図と同様の要素を備える。違いは、半絶縁材料934がエピタキシャル層908に結合されていることである。

30

【0030】

図9Bは、図9Aのスーパージャンクションデバイスの平面図を示す。スーパージャンクションデバイスの平面図は、絶縁材料906、エピタキシャル層908、第2の縦型コラム911、P型ボディ領域912、N+ソース914、ゲート918、及び半絶縁層934を示す。

【0031】

図10Aは、本開示の実施形態による、UMOSゲートと半絶縁材料とを含むスーパージャンクションデバイスの別の例を示す。図10Aに示される要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。スーパージャンクションデバイス1000は前述の図と同様の要素を備える。違いは半絶縁材料1034がP+層1004に結合されていることである。

40

【0032】

図10Bは、図10Aのスーパージャンクションデバイスの平面図を示す。スーパージャンクションデバイスの平面図は、絶縁材料1006、エピタキシャル層1008、第2の縦型コラム1011、P型ボディ領域1012、N+ソース1014、ゲート1018

50

、及び半絶縁層 1034 を示す。

【0033】

図11Aは、本開示の実施形態による、トレンチとDMOSゲートと半絶縁材料とを含むスーパージャンクションデバイスを示す。図11Aに示される要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。

【0034】

図12Aは、本開示の実施形態による、UMOSゲートと半絶縁材料とを含むスーパージャンクションデバイスの別の例を示す。図12Aに示される要素が前述の図の要素の一例であり得ること、及び、以下で参照される同様に命名された、及び番号付けされた要素が上述のものと同様に結合されており、上述のものと同様に機能することが理解される。

10

【0035】

図12Bは、本開示の実施形態による、図12Aにおけるスーパージャンクションデバイスの平面図を示す。

【0036】

本発明に関して示される例についての上述の説明は、要約で説明される事項を含め、網羅的であることを意図したものではなく、開示される形態そのものへの限定であることを意図したものでもない。本発明の特定の実施形態及び例が本明細書において例示を目的として説明されるが、本発明のより広い趣旨及び範囲から逸脱することなく様々な同等な変更が可能である。実際、具体的で例示的な電圧、電流、周波数、出力範囲値、時間などが説明のために提示されること、及び、本発明の教示による他の実施形態及び例において他の値が使用されてもよいことが理解される。

20

【0037】

本発明は請求項において規定されるが、本発明が代替的に以下の例により規定され得ることが理解されなければならない。

【0038】

例1：N型基材の上方にエピタキシャルN型層を堆積させることと、エピタキシャルN型層の上方にハードマスク層を堆積させることと、エピタキシャルN型層において傾斜角度をもつトレンチをエッチングすることと、注入及び拡散によりトレンチに近接した第1の縦型コラムを形成することと、注入及び拡散により第1の縦型コラムに近接した第2の縦型コラムを形成することと、キーホールが避けられるように、絶縁材料によりトレンチを充填することと、第1の縦型コラムと第2の縦型コラムとエピタキシャルN型層との上方における絶縁材料を除去するために化学機械平坦化(CMP: chemical-mechanical planarization)を実施することと、ゲート酸化物と多結晶シリコン層とを堆積させることと、ゲートを形成するために多結晶シリコン層の上方におけるゲートマスクを使用してゲート酸化物と多結晶シリコン層とをエッチングすることと、ゲート酸化物の下方にソース接点を埋め込むこと(implanting)と、ソース接点の下方にP型ボディ領域を埋め込むことと、ソース電極とゲート接点とを形成することと、N型基材の下方にドレイン接点を形成することを含む、スーパージャンクションデバイス構造物を形成する方法。

30

40

【0039】

例2：略一定の電界を提供するためにトレンチ内に半絶縁材料を堆積させることを更に含む、例1に記載の方法。

【0040】

例3：85度から95度の間の角度にトレンチをエッチングすることを更に含む、前述の例のいずれか1つに記載の方法。

【0041】

例4：第1の縦型コラムが、P型半導体であり、第2の縦型コラムが、N型半導体である、前述の例のいずれか1つに記載の方法。

【0042】

50

例 5 : 第 1 の縦型コラムの注入量と第 2 の縦型コラムの注入量とがおおむね等しい、前述の例のいずれか 1 つに記載の方法。

【 0 0 4 3 】

例 6 : 第 1 の縦型コラムの注入量と第 2 の縦型コラムの注入量とがおおむね等しい、前述の例のいずれか 1 つに記載の方法。

【 0 0 4 4 】

例 7 : 第 1 の縦型コラム又は第 2 の縦型コラムの一部としてリン酸塩を注入すること及び拡散させることを更に含む、前述の例のいずれか 1 つに記載の方法。

【 0 0 4 5 】

例 8 : チャネルマスクを堆積させることと、及び、閾値電圧を調節するために p 型ボディ領域の上部に注入することとを更に含む、前述の例のいずれか 1 つに記載の方法。

【 0 0 4 6 】

例 9 : ドレイン接点と、ドレイン接点の上方における基材層と、基材層の上方におけるエピタキシャル層と、スーパージャンクションデバイスの底部に対する P 型注入により形成されたエピタキシャル層の上方における P + 層と、ハードマスク層の使用により形成された傾斜角度をもつトレンチであって、トレンチが、絶縁材料により充填された、トレンチと、トレンチに近接して形成された第 1 の縦型コラムと、第 1 の縦型コラムに近接して形成された第 2 の縦型コラムと、第 1 の縦型コラムと第 2 の縦型コラムとに結合されたソース接点と、ソース接点に結合された P 型ボディ領域と、ソース接点とエピタキシャル層との上方に形成されたゲート酸化物とゲート酸化物の上方に形成されたゲートとを備える、スーパージャンクションデバイス。

【 0 0 4 7 】

例 10 : トレンチが基材層まで延びた、例 9 に記載のスーパージャンクションデバイス。

【 0 0 4 8 】

例 11 : トレンチ内に堆積させられた半絶縁材料であって、半絶縁材料が、エピタキシャル層の上部においてソース接点に結合された、又は、基材層に結合された、半絶縁材料を更に備える、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【 0 0 4 9 】

例 12 : 半絶縁材料が、トレンチ内において u 字型を形成する、半絶縁材料が、エピタキシャル層の上部においてソース接点に結合された、又は、基材層に結合された、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【 0 0 5 0 】

例 13 : 基材層とトレンチの底部との間に形成されたエピタキシャルバッファ層を更に備える、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【 0 0 5 1 】

例 14 : 第 1 の縦型コラムが、P 型半導体であり、第 2 の縦型コラムが、N 型半導体である、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【 0 0 5 2 】

例 15 : 第 1 の縦型コラムが、N 型半導体であり、第 2 の縦型コラムが、P 型半導体である、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【 0 0 5 3 】

例 16 : ゲートが、DMOS ゲートである、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【 0 0 5 4 】

例 17 : ゲートが、UMOS ゲートである、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【 0 0 5 5 】

例 18 : トレンチの傾斜角度が、85 度から 95 度の間である、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【 0 0 5 6 】

10

20

30

40

50

例 19：ゲートの上方に形成されたパッシベーション層を更に備える、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【0057】

例 20：ゲートが、トレンチ内に形成された前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

【0058】

例 21：トレンチがボイドを含まずに酸化物により充填されることを可能にするために、及び、2つのコラム領域が縦の実質的にゼロ度の注入により形成されることを可能にするために、トレンチが、V字型である、前述の例のいずれか 1 つに記載のスーパージャンクションデバイス。

10

(付記項 1)

N型基材の上方にエピタキシャルN型層を堆積させることと、  
前記エピタキシャルN型層の上方にハードマスク層を堆積させることと、  
前記エピタキシャルN型層において傾斜角度をもつトレンチをエッチングすることと、  
注入及び拡散により前記トレンチに近接した第1の縦型コラムを形成することと、  
注入及び拡散により前記第1の縦型コラムに近接した第2の縦型コラムを形成することと、

キーホールの形成が避けられるように、絶縁材料により前記トレンチを充填することと、  
前記第1の縦型コラムと前記第2の縦型コラムと前記エピタキシャルN型層との上方に  
おける前記絶縁材料を除去するために、化学機械平坦化(CMP)を実施することと、  
ゲート酸化物と多結晶シリコン層とを堆積させることと、

20

ゲートを形成するために、前記多結晶シリコン層の上方におけるゲートマスクを使用し  
て前記ゲート酸化物と前記多結晶シリコン層とをエッチングすることと、  
前記ゲート酸化物の下方にソース接点を埋め込むことと、  
前記ソース接点の下方にP型ボディ領域を埋め込むことと、  
ソース電極とゲート接点とを形成することと、  
前記N型基材の下方にドレイン接点を形成することと、  
を含む、スーパージャンクションデバイス構造物を形成する方法。

(付記項 2)

略一定の電界を提供するために、前記トレンチ内に半絶縁材料を堆積させることを更に  
含む、

30

付記項 1 に記載の方法。

(付記項 3)

85度から95度の間の角度に前記トレンチをエッチングすることを更に含む、  
付記項 1 に記載の方法。

(付記項 4)

前記第1の縦型コラムが、P型半導体であり、  
前記第2の縦型コラムが、N型半導体である、  
付記項 1 に記載の方法。

(付記項 5)

前記第1の縦型コラムの注入量と前記第2の縦型コラムの注入量とがおおむね等しい、  
付記項 4 に記載の方法。

40

(付記項 6)

前記第1の縦型コラム又は前記第2の縦型コラムの一部として、ホウ素を注入する、及  
び拡散させることを更に含む、  
付記項 1 に記載の方法。

(付記項 7)

前記第1の縦型コラム又は前記第2の縦型コラムの一部として、リン酸を注入すること  
及び拡散させることを更に含む、  
付記項 1 に記載の方法。

50

## (付記項 8)

閾値電圧を調節するために、チャンネルマスクを堆積させることと、前記 P 型ボディ領域の上部に注入することとを更に含む、  
付記項 1 に記載の方法。

## (付記項 9)

スーパージャンクションデバイスであって、  
ドレイン接点と、  
前記ドレイン接点の上方における基材層と、  
前記基材層の上方におけるエピタキシャル層と、  
前記スーパージャンクションデバイスの底部に対する P 型注入により形成された、前記  
エピタキシャル層の上方における P + 層と、  
ハードマスク層の使用により形成された傾斜角度をもつトレンチであって、前記トレン  
チが、絶縁材料により充填された、トレンチと、  
前記トレンチに近接して形成された第 1 の縦型コラムと、  
前記第 1 の縦型コラムに近接して形成された第 2 の縦型コラムと、  
前記第 1 の縦型コラムと前記第 2 の縦型コラムとに結合されたソース接点と、  
前記ソース接点に結合された P 型ボディ領域と、  
前記ソース接点と前記エピタキシャル層との上方に形成されたゲート酸化物と、  
前記ゲート酸化物の上方に形成されたゲートと、  
を備える、スーパージャンクションデバイス。

10

## (付記項 10)

前記トレンチが、前記基材層まで延びた、  
付記項 9 に記載のスーパージャンクションデバイス。

20

## (付記項 11)

前記トレンチ内に堆積させられた半絶縁材料を更に備え、  
前記半絶縁材料が、前記エピタキシャル層の上部において前記ソース接点に結合された  
、又は前記基材層に結合された、  
付記項 10 に記載のスーパージャンクションデバイス。

## (付記項 12)

前記半絶縁材料が、前記トレンチ内に u 字型を形成し、  
前記半絶縁材料が、前記エピタキシャル層の前記上部において前記ソース接点に結合さ  
れた、又は前記基材層に結合された、  
付記項 11 に記載のスーパージャンクションデバイス。

30

## (付記項 13)

前記基材層と前記トレンチの底部との間に形成されたエピタキシャルバッファ層を更に  
備える、  
付記項 11 に記載のスーパージャンクションデバイス。

## (付記項 14)

前記第 1 の縦型コラムが、P 型半導体であり、  
前記第 2 の縦型コラムが、N 型半導体である、  
付記項 9 に記載のスーパージャンクションデバイス。

40

## (付記項 15)

前記第 1 の縦型コラムが、N 型半導体であり、  
前記第 2 の縦型コラムが、P 型半導体である、  
付記項 9 に記載のスーパージャンクションデバイス。

## (付記項 16)

前記ゲートが、DMOSゲートである、  
付記項 9 に記載のスーパージャンクションデバイス。

## (付記項 17)

前記ゲートが、UMOSゲートである、

50

付記項 9 に記載のスーパージャンクションデバイス。

( 付記項 1 8 )

前記トレンチの前記傾斜角度が、85度から95度の間である、

付記項 9 に記載のスーパージャンクションデバイス。

( 付記項 1 9 )

前記ゲートの上方に形成されたパッシベーション層を更に備える、

付記項 9 に記載のスーパージャンクションデバイス。

( 付記項 2 0 )

前記ゲートが、前記トレンチ内に形成された、

付記項 1 7 に記載のスーパージャンクションデバイス。

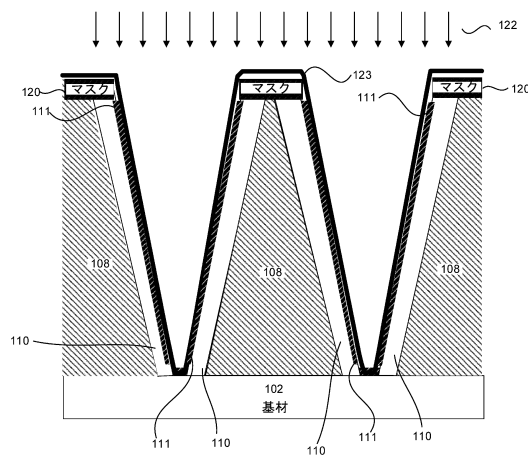
( 付記項 2 1 )

前記トレンチがボイドを含まずに酸化物により充填されることを可能にするために、及び、2つのコラム領域が縦の実質的にゼロ度の注入により形成されることを可能にするために、前記トレンチが、V字型である、

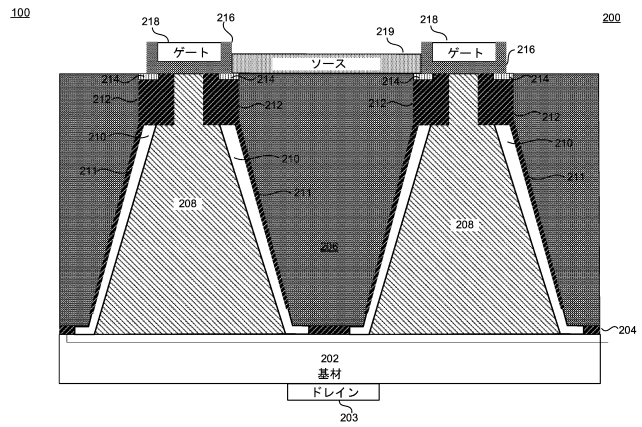
付記項 9 に記載のスーパージャンクションデバイス。

【 図 面 】

【 図 1 】



【 図 2 】



10

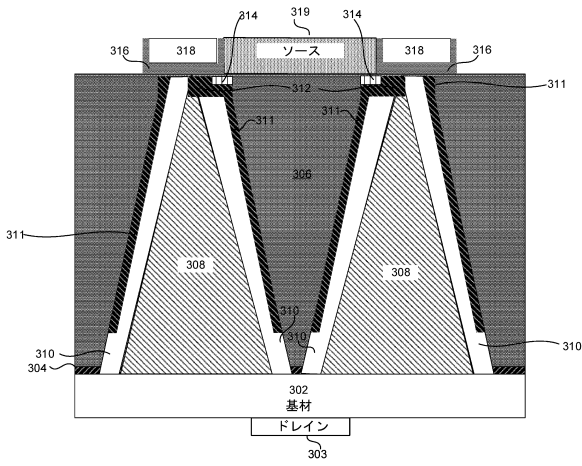
20

30

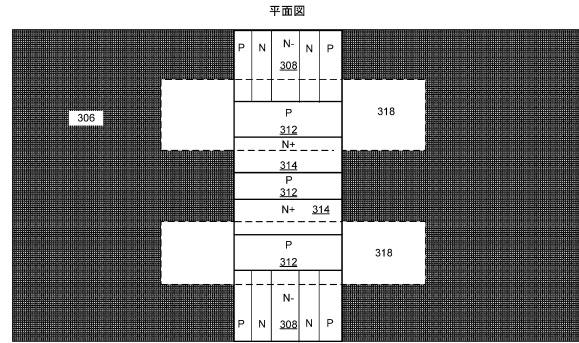
40

50

【図3A】

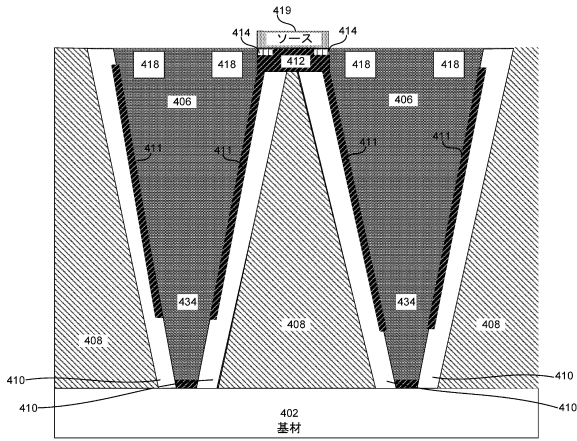


【図3B】

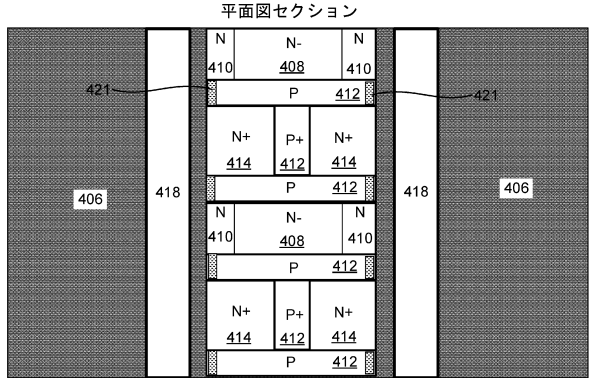


10

【図4A】



【図4B】



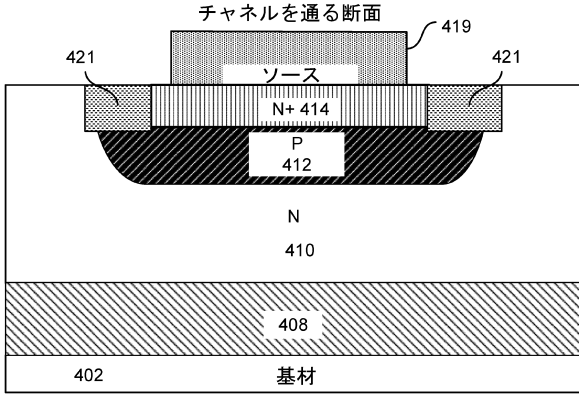
20

30

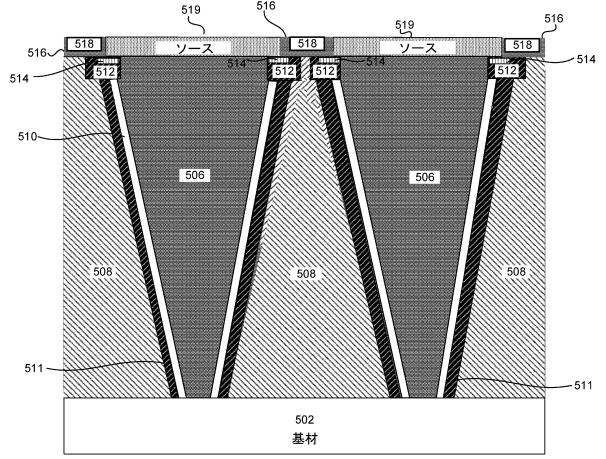
40

50

【図 4 C】

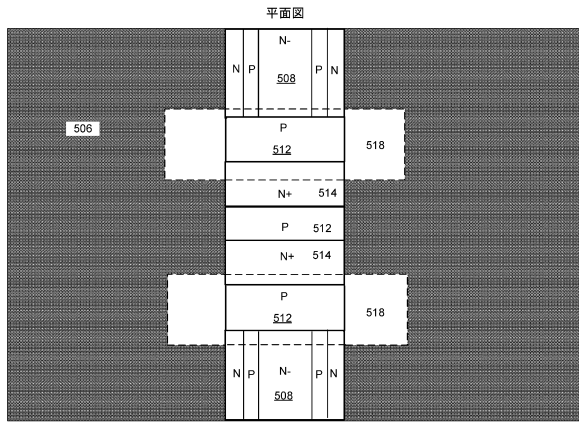


【図 5 A】

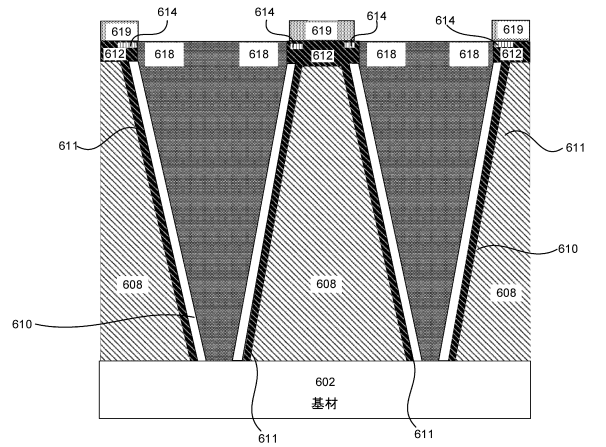


10

【図 5 B】



【図 6 A】



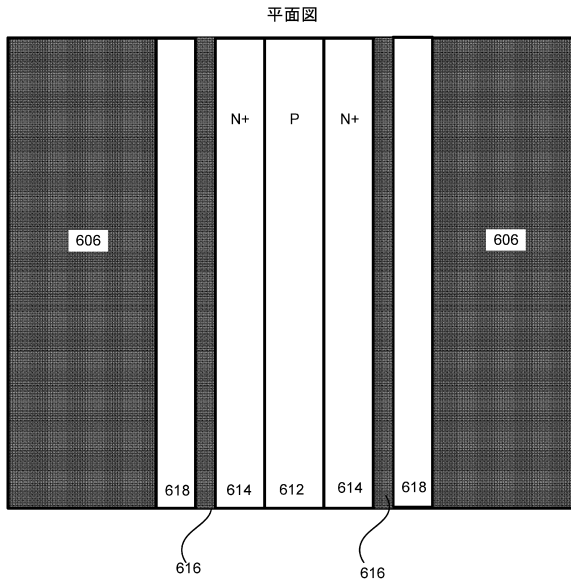
20

30

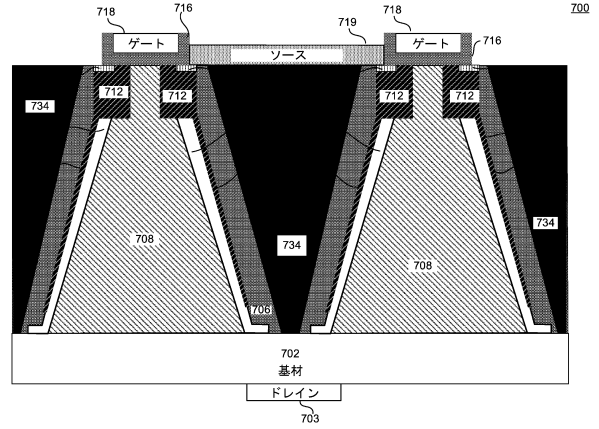
40

50

【図 6 B】

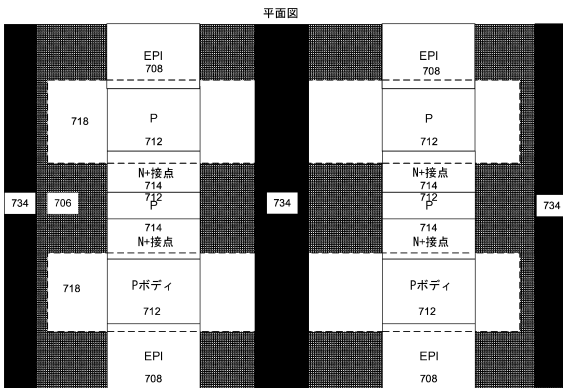


【図 7 A】

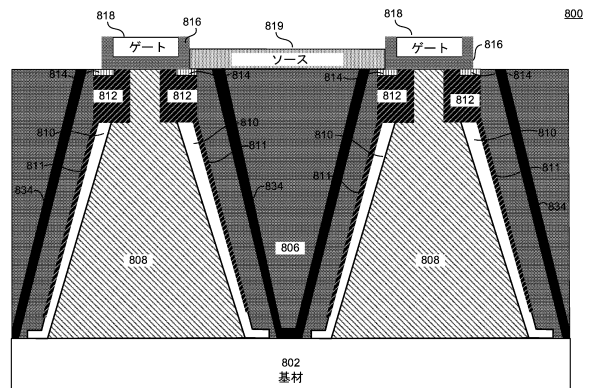


10

【図 7 B】



【図 8 A】



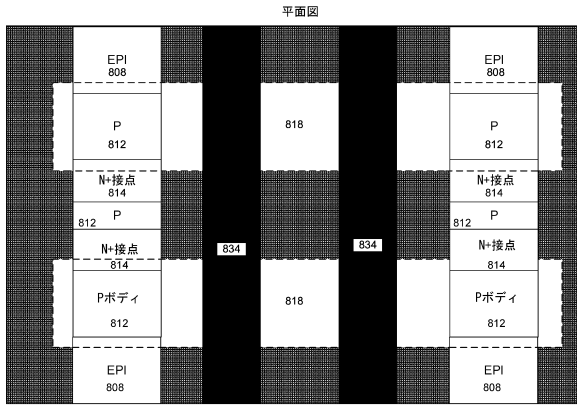
20

30

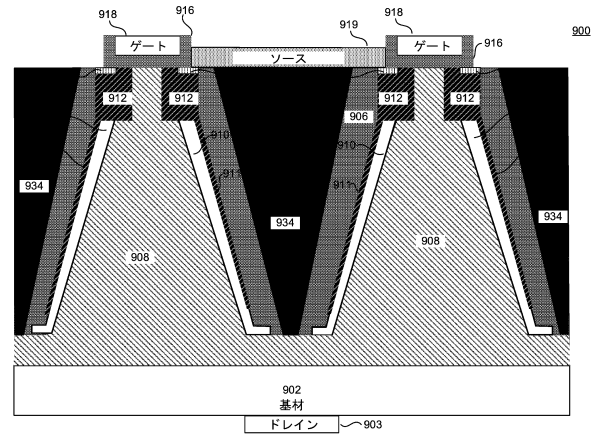
40

50

【図 8 B】

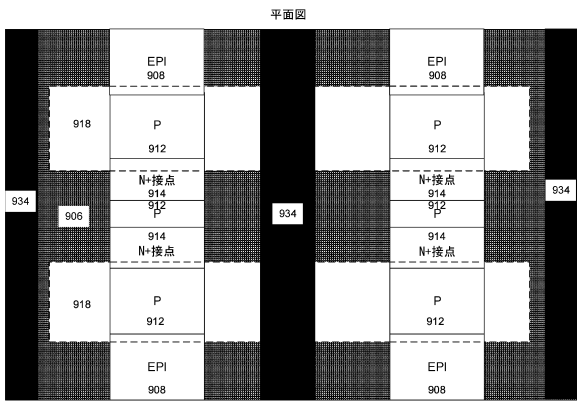


【図 9 A】

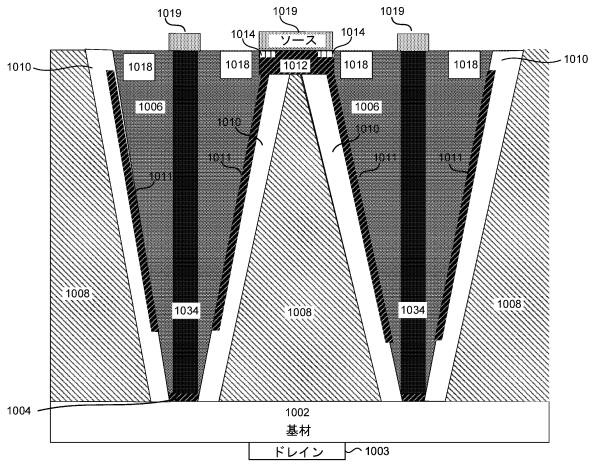


10

【図 9 B】



【図 10 A】



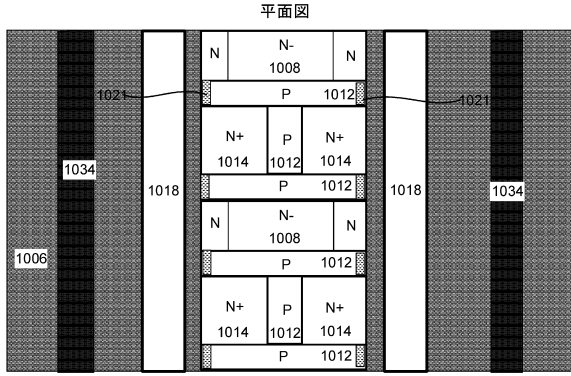
20

30

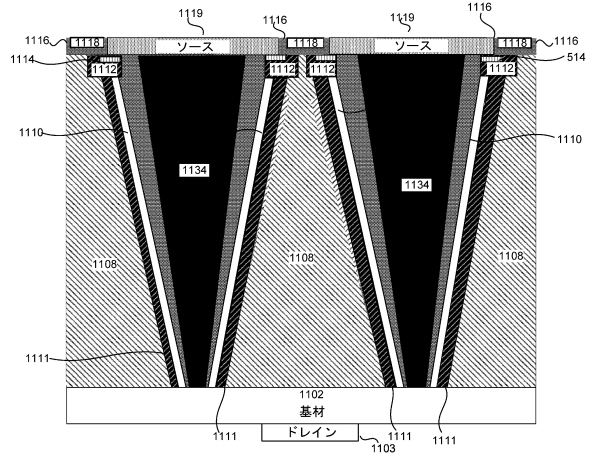
40

50

【図 10 B】

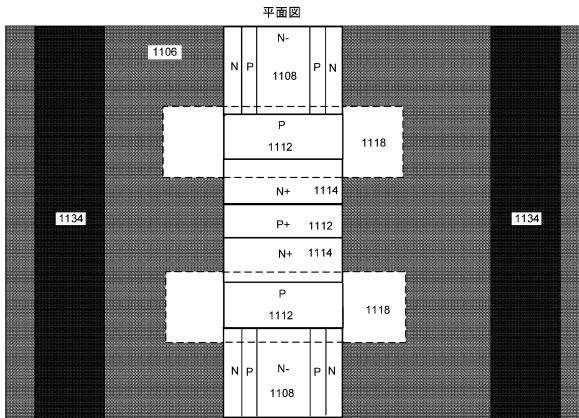


【図 11 A】

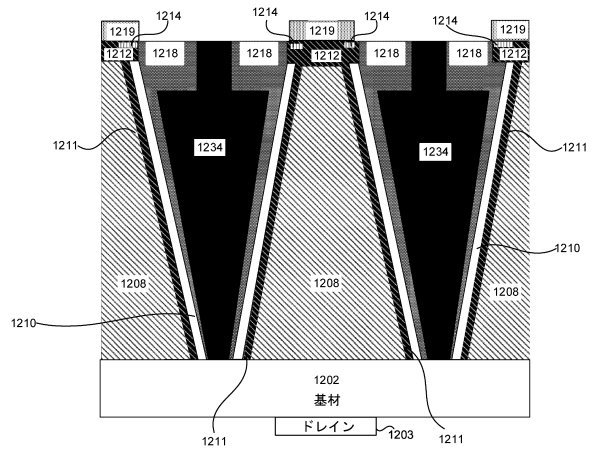


10

【図 11 B】



【図 12 A】



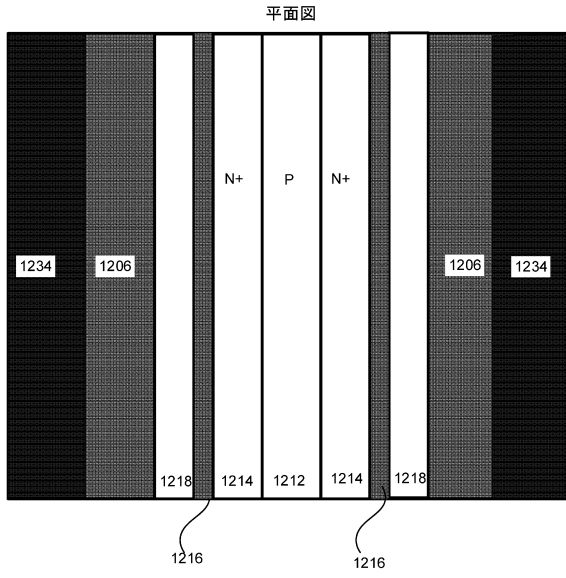
20

30

40

50

【 図 1 2 B 】



10

20

30

40

50

---

フロントページの続き

(51)国際特許分類

F I

H 1 0 D 30/66 1 0 3 S

H 1 0 D 12/00 1 0 1 A

コート 1 5 2 0

審査官 杉山 芳弘

(56)参考文献 米国特許出願公開第 2 0 1 7 / 0 1 4 8 6 3 2 ( U S , A 1 )  
特開 2 0 0 3 - 1 7 9 2 2 9 ( J P , A )  
米国特許出願公開第 2 0 0 9 / 0 2 6 9 8 9 6 ( U S , A 1 )  
米国特許出願公開第 2 0 1 2 / 0 0 6 4 6 8 4 ( U S , A 1 )  
米国特許出願公開第 2 0 1 1 / 0 1 2 7 5 8 6 ( U S , A 1 )  
国際公開第 2 0 0 0 / 0 7 0 6 8 4 ( W O , A 2 )  
米国特許出願公開第 2 0 1 9 / 0 0 5 1 7 4 3 ( U S , A 1 )  
米国特許出願公開第 2 0 1 0 / 0 0 1 3 0 1 0 ( U S , A 1 )  
米国特許出願公開第 2 0 1 4 / 0 1 2 4 8 5 1 ( U S , A 1 )

(58)調査した分野 (Int.Cl. , D B 名)

H 1 0 D 3 0 / 0 1

H 1 0 D 3 0 / 6 6

H 1 0 D 1 2 / 0 0