(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/60

(45) 공고일자 2003년08월25일
(11) 등록번호 10-0384745
(24) 등록일자 2003년05월09일

(21) 출원번호 10-1997-0012350
(22) 출원일자 1997년04월03일

(65) 공개번호 특1997-0072228
(43) 공개일자 1997년11월07일

(30) 우선권주장 96-94970 1996년04월17일 일본(JP)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
미키 타다야스
일본국 야마나시켄 나카코마군 류우오오죠오 니시하타 3656-1

오가사하라 시게오
일본국 도오쿄오토 히가시무라야사마시 온타죠오 1-59-2-A319

오카노리아키
일본국 도오쿄오토 코다이라시 오가와죠오 2-2023-206

다카하시 시게루
일본국 도오쿄오토 다찌카와시 스나가와죠오 8-21-3-206

가타기리 미쯔아키
일본국 도오쿄오토 히가시무라야마시 온타죠오 1-59-2-B324

(74) 대리인
특허법인 원전

심사관 : 송원선

(54) 반도체집적회로장치

요약

본 발명의 반도체 집적회로장치는, 반도체 칩의 바깥 둘레부에 따라 본딩패드를 복수열 배치하고, 내측열의 본딩패드와 외측열의 본딩패드를 지그재그 모양으로 배치한, 3층 이상의 배선층을 가지는 반도체 집적회로장치에 있어서, (1) 상기 내측열의 본딩패드와 내부회로(입출력 버퍼회로)를 전기적으로 접속하는 제1 인출배선을, 적어도 최상층의 배선을 포함하는 1층 또는 복수 층의 배선으로 구성하고, 상기 외측열의 본딩패드와 내부회로(입출력 버퍼회로)를 전기적으로 접속하는 제2 인출배선을, 상기 제1 인출배선과는 별개 층의 복수 층의 배선으로 구성한다. 또한, (2)상기 제1 인출배선과 제 2 인출배선을 별개 층의 배선으로 구성하고, 적어도 한쪽의 인출배선을 복수 층의 배선으로 구성한다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 제1실시형태인 반도체 집적회로장치가 형성된 반도체 칩의 사시도,
제2(a)도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 내측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 평면도,
제2(b)도는 제2(a)도의 주요부 단면도,
제2(c)도는 제2(a)도의 주요부 단면도,
제3도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 내측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제4도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 내측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제5(a)도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 입출력 버퍼회로의 평면도,
제5(b)도는 제5(a)도의 주요부 단면도,
제6도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 출력 버퍼회로의 회로도,
제7(a)도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 외측 열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 평면도,
제7(b)도는 제7(a)도의 주요부 단면도,
제8도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 외측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제9도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 외측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제10도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 입력 버퍼회로의 회로도,
제11도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제12도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제13도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 인출배선의 구성을 나타내는 단면도,
제14도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 본딩패드 및 그들을 접속하는 인출배선의 배치의 일례를 나타내는 평면도,
제15도는 본 발명의 제2실시형태인 반도체 집적회로장치에 있어서의 내측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제16도는 본 발명의 제2실시형태인 반도체 집적회로장치에 있어서의 내측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제17도는 본 발명의 제2실시형태인 반도체 집적회로장치에 있어서의 외측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제18도는 본 발명의 제2실시형태인 반도체 집적회로장치에 있어서의 외측열의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제19도는 본 발명의 제2실시형태인 반도체 집적회로장치에 있어서의 본딩패드, 입출력 버퍼회로 및 그들을 접속하는 인출배선을 나타내는 사시도,
제20도는 본 발명의 제2실시형태인 반도체 집적회로장치에 있어서의 인출배선의 구성을 나타내는 단면도,
제21도는 본 발명의 다른 실시형태인 반도체 집적회로장치에 있어서의 본딩패드 및 인출배선을 나타내는 사시도,
제22도는 본 발명의 제1실시형태인 반도체 집적회로장치에 있어서의 외측열의 본딩패드, 인출배선, 전원배선을 나타내는 평면도,
제23도는 본 발명의 다른 실시형태인 반도체 집적회로장치에 있어서의 본딩패드 및 인출배선을 나타내는 사시도이다.

*** 도면의 주요부분에 대한 부호의 설명 ***

1 ... 반도체칩, 1A ... 반도체기판,
2 ... 기본셀, 3 ... 입출력버퍼회로,
4 ... 본딩패드(외부단자), 4A ... 본딩패드(외부단자),
4B ... 본딩패드(외부단자), 4C ... 본딩패드(외부단자),
5A ... 인출배선, 6 ... 필드절연막,
5B ... 인출배선, 7n ... n형 확산층,
7p ... P형 확산층 8n ... 게이트 전극,
8p ... 게이트전극, 9 ... 제1층째 배선,
9B ... 배선, 10 ... 제2층째 배선,
10A ... 패드배선, 10B ... 배선,
12A,12B,13A,13B ... 접속구멍, 14 ... 산화실리콘막,
15 ... 제1층간절연막, 16 ... 플러그,
17 ... 제2층간절연막, 19 ... 패시베이션막,

20A,20B,20C ... 인출배선, 21A,21B,22A ... 배선,
23A,23B ... 접속구멍, 24A,25A,26A ... 패드배선,
24B, 24C ... 배선, 25B,26B,26C ... 배선,
27A,28A,29A ... 접속구멍, 30 ... 제3층간 절연막,
31 ... 제4층간 절연막.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로장치에 관한 것이며, 특히, 지그재그 배열 방식의 본딩패드를 가지는 반도체 집적회로장치에 적용하는데 유용한 기술에 관한 것이다.
게이트 어레이방식을 채용하는 논리LSI는, 반도체 칩의 주면의 중앙부에 매트릭스 모양으로 배치된 다수의 기본 셀로 논리부를 구성하고 있다. 이 논리부의 외측에는, 복수의 입출력(I/O) 버퍼회로가 논리부를 둘러싸도록 배치되어 있다. 입출력 버퍼회로의 더욱 외측, 즉 반도체 칩의 가장 바깥둘레부에는, 외부장치와의 전기적인 접속을 하기 위한 본딩패드(외부단자)가 복수 배치되어 있다. 이들 본딩패드는, 입출력 버퍼회로의 배열에 대응하는 위치에 배치되어 있다. 게이트 어레이방식을 채용하는 논리LSI에 대해서는 예컨대, U.S.P.NO. 5,075,753에 기재되어 있다.
최근에, 이러한 게이트 어레이방식을 채용하는 논리LSI는, 게이트(논리 회로)의 대규모화에 따른 외부단자수의 증가에 대응하기 위해, 본딩패드를 반도체 칩의 바깥둘레에 따라 2열 혹은 3열로 배치함과 동시에, 각 열 사이에서 본딩패드의 위치를 반(半)피치 어긋나게 하는 지그재그 배열 방식을 채용하고 있다. 이 지그재그 배열 방식에 의하면, 본딩패드의 실효적인 피치가 축소되기 때문에, 같은 사이즈의 반도체 칩에 보다 많은 본딩패드를 형성할 수 있게 된다.
상기 지그재그 배열 방식의 본딩패드를 구비한 논리LSI에 대해서는, 예컨대 일본 특개평 5-29377호 공보에 기재된 것이 있다.
이 공보에 기재된 논리LSI는, 예컨대 3층 배선구조의 경우, 본딩패드를 반도체 칩의 바깥둘레에 따라 2열로 배치함과 동시에, 각 열 사이에서 본딩 패드의 위치를 반 피치 어긋나게 하는 지그재그 배열 방식을 채용하고 있다. 그리고, 본딩패드를 폭이 넓은 제3층째의 배선과 폭이 좁은 제2층째의 배선의 2층으로 구성하고, 본딩패드와 내부회로를 접속하는 인출배선을 제1층째의 배선으로 구성하고 있다.
2열의 본딩패드를 지그재그 모양으로 배치한 경우, 본딩패드의 피치를 좁게 해가면, 외측열의 본딩패드의 인출배선의 일부와 내측열의 본딩패드의 일부가 겹쳐지게 된다. 그러면 겹쳐진 본딩패드와 인출배선의 사이에 결합 용량이 형성되어, 인출배선의 배선지연이 문제로 된다.
그러나, 상기 공보와 같이, 본딩패드를 폭이 넓은 제3층째의 배선과 폭이 좁은 제2층째의 배선의 2층으로 구성한 경우는, 본딩패드의 일부를 구성하는 폭이 넓은 제3층째의 배선과 인출배선을 구성하는 제1층째의 배선의 사이에 2층의 층간절연막(제1층째의 배선과 제2층째의 배선을 전기적으로 분리하는 제1 층간절연막 및 제2층째의 배선과 제3층째의 배선을 전기적으로 분리하는 제2 층간절연막)이 사이에 개재되게 되므로, 겹쳐진 본딩패드와 인출배선과의 사이의 결합용량이 저감된다. 또한, 본딩패드의 다른 일부를 구성하는 제2층째의 배선은 그 폭이 좁기 때문에, 인출배선과 겹쳐지는 일이 없고, 따라서, 제2층째의 배선과 인출배선과의 결합용량이 문제가 되는 일은 없다.
상기 공보에 기재된 논리LSI는, 본딩패드와 내부회로를 접속하는 인출배선을 제1층째의 배선으로 구성하고 있기 때문에, 반도체소자의 미세화에 따라서 배선이 미세화되면, 인출배선의 허용전류가 작아지게 되어, 이 본딩 패드를 전원(Vcc, GND)선이나 대전류가 흐르는 신호선에 접속할 수 없게 된다.
이에 대한 대책으로서, 예컨대 내측열의 본딩패드의 인출배선을 제1층째의 배선과 제2층째의 배선의 2층으로 구성하면, 이 인출배선의 허용전류를 크게 할 수 있다. 그러나 이 경우 전원(Vcc, GND)선이나 대전류가 흐르는 신호선에 접속할 수 있는 본딩패드는 내측열의 본딩패드에 한정되어 버리기 때문에, 내부회로와 본딩패 드를 접속하는 배선의 연장이 곤란하게 된다는 문제가 발생한다. 또, 게이트 어레이방식을 채용하는 논리LSI에서는, 어느 핀을 전원(Vcc, GND) 또는 신호선으로 하는가는 사용자에 의해 결정되는 것이므로 외측 또는 내측열의 본딩패드에 한정을 가하는 것은, 사용자의 설계의 자유도를 크게 저하시키는 것이 된다.
본 발명의 목적은, 본딩패드의 피치를 좁게 할 수 있는 기술을 제공하는 데 있다.
본 발명의 다른 목적은, 반도체 칩에 형성되는 모든 본딩패드의 전류밀도를 거의 같게 할 수 있는 기술을 제공하는데 있다.
본 발명의 상기 및 그 외의 다른 목적과 신규한 특징은, 본 명세서의 기술(記述) 및 첨부도면으로부터 명백히 밝혀질 것이다.
본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면, 다음과 같다.
본 발명의 반도체 집적회로장치는, 반도체 칩의 바깥 둘레부에 따라서 본딩패드를 복수 열로 배치하고, 내측열의 본딩패드와 외측열의 본딩패드를 지그재그 모양으로 배치한, 3층 이상의 배선층을 가지는 반도체 집적회로장치에 있어서, (1) 상기 내측열의 본딩패드와 내부회로(입출력 버퍼회로)를 전기적으로 접속하는 제1 인출배선을, 적어도 최상층의 배선을 포함하는 1층 또는 복수층의 배선으로 구성하고, 상기 외측열의 본딩패드와 내부회로(입출력 버퍼회로)

를 전기적으로 접속하는 제2 인출배선을, 상기 제1 인출배선과는 별개 층의 복수층의 배선으로 구성한다. 또한, (2) 상기 제1 인출배선과 제2 인출배선을 별개 층의 배선으로 구성하고, 적 어도 한쪽의 인출배선을 복수층의 배선으로 구성한다.

예컨대, 배선층이 3층인 경우는, 최상층인 제3층째 배선으로 상기 제1 인출배선을 구성하고, 제2층째 배선과 제1층째 배선으로 상기 제2 인출배선을 구성한다. 또한, 배선층이 5층인 경우는, 예컨대 최상층인 제5층째 배선과 제4층째 배선으로 상기 제1 인출배선을 구성하고, 제3층째 배선과 제2층째 배선과 제1층째 배선으로 상기 제2 인출배선을 구성한다.

본 발명의 반도체 집적회로장치는, 상기 제1 인출배선의 단면적과 상기 제2 인출배선의 단면적을 거의 같게 함으로써, 각각의 인출배선에 흐르는 전류의 밀도가 거의 같게 되도록 한다.

본 발명에 의하면, 본딩패드와 내부회로를 접속하는 인출배선의 폭 및 피치를 좁게 할 수 있기 때문에, 본딩패드의 피치를 좁게 할 수 있다. 이것에 의해, 동일 사이즈의 반도체 칩에 보다 많은 본딩패드를 형성할 수 있기 때문에, 외부단자수가 많은(다수 핀의) 대규모 CMOS 게이트 어레이를 실현할 수 있다.

또한 본 발명에 의하면, 반도체 칩의 바깥둘레에 배치되는 모든 본딩패드의 인출배선의 전류밀도를 거의 같게 할 수 있고, 또, 모든 본딩패드의 인출배선에 대전류를 흐르게 할 수 있기 때문에, 전원(Vcc, GND)선이나 대전류가 흐르는 신호선에 접속하는 본딩패드를 자유롭게 선택할 수 있어, 자동 배치배선 시스템을 사용한 논리설계의 자유도를 향상시킬 수 있다.

이하, 본 발명의 실시형태를 도면을 사용하여 상세히 설명한다. 또 실시형태를 설명하기 위한 모든 도면에 있어서 동일 기능을 갖는 것은 동일 부호를 부여하 고, 그의 반복설명은 생략한다.

(제 1 실시형태)

본 실시형태의 반도체 집적회로장치는, 3층 배선구조를 갖는 CMOS(Complementary Metal Oxide Semiconductor) 게이트 어레이이다. 이 CMOS 게이트 어레이가 형성된 반도체 칩을 제1도에 나타낸다.

단결정 실리콘으로 이루어지는 반도체 칩(1)의 주면의 중앙부에는, 게이트 어레이의 논리부(논리회로부)를 구성하는 다수의 기본 셀(2)이 도면의 X 방향 및 Y방향을 따라 매트릭스 모양으로 배치되어 있다. 다수의 기본 셀(2)은 시 오브 게이트(Sea of gate)방식으로 구성된다. 각 기본 셀(2)은, 도시하지 않은 n채널형 MISFET(Metal Insulator Semiconductor Field Effect Transistor) 및 p채널형 MISFET의 소정 수 조합에 의해 구성되며 각 기본 셀(2)내의 MISFET 사이 및 기본 셀(2)사이를 논리설계에 의거하여 결선(結線)함으로써, 소망하는 논리기능을 실현하고 있다.

상기 논리기능을 실현하기 위한 결선은, CAD(Computer Aided Design)를 이용한 자동 배치배선 시스템(DA ; Design Automation)에 의해 행하여 진다. 자동 배치배선 시스템은, 매크로셀 등을 사용하여 설계, 검정된 논리 회로를 반도체 칩(1)상에 자동적으로 레이아웃함과 동시에, 이 논리회로 상에 가상적으로 설정된 X-Y 격자좌표에 배선을 자동적으로 레이아웃함으로써 논리회로간을 결선한다. 3층 배선구조의 게이트 어레이에서는, 예컨대 제1층째 배선과 제3층째 배선이 주로 X 격자좌표에 배치되고, 제2층째 배선이 주로 Y 격자좌표에 배치된다. 본 실시형태의 게이 트 어레이의 경우, 예컨대 제1층째 배선은 신호용배선 및 전원용 배선(Vcc 및 GND)을 구성하고, 제2층째 배선은 전원용 배선(Vcc 및 GND) 및 신호용 배선을 구성하며, 제3 층째 배선은 후술하는 본딩패드(외부단자)용의 도전층 전원용 배선, 신호용 배선을 구성하고 있다. 제1 제3층째 배선은, 예컨대 알루미늄(Al)합금으로 이루어진다.

상기 논리부의 주위에는, 복수의 입출력(I/O) 버퍼회로(3)가 논리부를 둘러싸듯이 배치되어 있다. 각 입출력 버퍼회로(3)는, 상기 기본 셀(2)과 마찬가지로 n채널형 MISFET와 p채널형 MISFET의 소정 수 조합에 의해 구성되어 있으며, 이들 MISFET간의 결선패턴을 변경함으로써, 입력버퍼회로, 출력버퍼회로 또는 양방향성 버퍼회로 등의 회로기능을 형성할 수 있도록 되어 있다.

상기 입출력 버퍼회로(3)의 주위, 즉 반도체 칩(1)의 주변부에는, 외부장치와의 전기적인 접속을 하기 위한 본딩패드(외부단자)(4)가 복수 배치되어 있다. 이들 본딩패드(4)는, 입출력 버퍼회로(3)의 배열에 대응하는 위치에 배치되어 있고, 각 본딩패드(4)와 그것에 대응하는 입출력 버퍼회로(3)는, 후술하는 인출배선을 통해 전기적으로 접속되어 있다.

본 실시형태의 CMOS 게이트 어레이는, 논리회로의 대규모화에 따른 외부단자수의 증가에 대응하기 위해, 상기 본딩패드(4)를 반도체 칩(1)의 각 변을 따라서 2열로 배치함과 동시에, 각 열 사이에서 본딩패드(4)의 위치를 반 피치 어긋나게 하는 지그재그 배열 방식을 채용하고 있다.

또한, 본 실시형태의 CMOS 게이트 어레이는, 상기 3열로 배치된 본딩 패드(4)(본딩패드(4A) 및 본딩패드(4B))를 제3층째 배선으로 구성함과 동시에, 내측열의 본딩패드(4A)와 그것에 대응하는 입출력 버퍼회로(3)를 접속하는 인출배선을 제3층째 배선으로 구성하고, 외측열의 본딩패드(4B)와 그것에 대응하는 입출력 버퍼회로(3)를 접속하는 인출배선을 제1층째 배선과 제2층째 배선으로 구성하고 있다. 즉, 본 실시형태의 CMOS 게이트 어레이는, 내측열의 본딩패드(4A)의 인출배선과, 외측열의 본딩패드(4B)의 인출배선을 별개 층의 배선으로 구성하고 있다. 또, 외측열의 본딩패드(4B)의 인출배선을 2층의 배선으로 구성한다.

다음으로, 상기 2열로 배치된 본딩패드(4A,4B)와 그들에 접속된 인출배선의 구성을 구체적으로 설명한다.

제2(a)도는 내측열의 본딩패드(4A), 입출력 버퍼회로(3)및 그들을 접속하는 인출배선(5A)을 나타내는 평면도, 제2(b)도의 우측은 제2(a)도의 A-A 단면도, 제2(b)도의 좌측은 제2(a)도의 B-B 단면도, 제2(c)도는 제2(a)도의 C-C 단면도, 제3도 및 제4도는, 같은 사시도이다. 이들 도면에는 도면을 보기 쉽게 하기 위해, 본딩패드(4A), 입출력 버퍼회로(3) 및 인출배선(5A)을 구성하는 도전층과 그들을 전기적으로 접속하는 접속구멍만을 나타내고, 도전층을 전기적으로 분리하는 층간절연막의 도시는 생략하고 있다. 또, 제3도 및 제4도에서는, 도면을 보기 쉽게 하기 위해, 전원용 배선(10)의 일부의 도시를 생략하고 있다.

입출력 버퍼회로(3)는 n채널형 MISFET(Qn)와 p채널형 MISFET(Qp)의 소정 수 조합에 의해 구성된다. 입출력 버퍼회로(3)의 형성영역에는, 미리 제5(a)도, 제5(b)도에 나타내는 바와 같은 패턴을 가지는 필드절연막(6)에 의해 서로

분리되 고, 또 소스 드레인 영역으로서 작용하는 한 쌍의 확산층(n형 확산층(7n) 및 p형 확산층(7p))이 형성됨과 동시에, n형 확산층(7n) 사이에 형성된 채널형성영역의 상부에 게이트 절연막을 통해서 n채널형 MISFET의 게이트전극(8n)이, p형 확산층(7p)사이에 형성된 채널 형성영역의 상부에 게이트 절연막을 통해 p채널형 MISFET의 게이트전극(8p)이 각각 X방향(또는 Y방향)을 따라 복수개 배치된다. 또, 제5(b)도의 우측은 제5(a)도의 A-A단면도, 제5(b)도의 좌측은 제5(a)도의 B-B단면도를 나타낸다. 이들 게이트전극(8n, 8p)은, 예컨대 다결정 실리콘으로 이루어진다. 또한, 게이트전극(8n)의 양측의 n형 확산층(7n)은 n채널형 MISFET의 소스영역, 드레인 영역을 구성하고, 게이트전극(8p)의 양측의 p형 확산층(7p)은 p채널형 MISFET의 소스영역, 드레인영역을 구성하고 있다. 그리고, 이들 n채널형 MISFET와 p채널형 MISFET를, 신호용 배선인 제1층째 배선(9)과 전원용 배선(Vcc 및 GND)인 제2층째 배선(10)을 사용하여, 제2도 제4도에 나타내는 것과 같은 패턴으로 결선함으로써, 예컨대 제6도에 나타내는 것과 같은 출력버퍼회로를 형성한다. 즉, 전원배선(10)(Vcc)은, 제1층째 배선(9)을 통해 p채널 MISFET(Qp)의 소스영역인 p형 확산층(7p)에 전기적으로 접속하며, p채널 MISFET(Qp)의 드레인영역인 p형 확산층(7p)은 입출력 버퍼회로(3)의 제1층째 배선(9)에 전기적으로 접속된다. 또한, 전원배선(10)(Vcc)은, 제1층째 배선(9)을 통해 n채널 MISFET(Qn)의 소스영역인 n형 확산층(7n)에 전기적으로 접속되며, n채널 MISFET(Qn)의 드레인영역인 n형 확산층(7n)은 입출력 버퍼회로(3)의 제1층째 배선(9)에 전기적으로 접속된다.

제2(a)도, 제2(b)도, 제3도, 제4도에 나타내는 것과 같이, 상기 입출력 버퍼 회로(3)와 본딩패드(4A)를 접속하는 인출배선(5A)은, 제3층째 배선으로 구성되고, 본딩패드(4A)와 일체로 형성되어 있다. 이 인출배선(5A)과 입출력 버퍼회로(3)의 제1층째 배선(9)은, 입출력 버퍼회로(3)의 한쪽 단부에서, 전원용 배선(Vcc, GND)인 제2층째 배선(10)과 같은 층의 패드배선(10A)을 통해서 전기적으로 접속되어 있다. 제1층째 배선(9)과 그 상부의 패드 배선(10A)은, 그들을 전기적으로 분리하는 제1 층간절연막(15)에 뚫려 있는 접속구멍(12A)을 통해 전기적으로 접속되어 있다. 또, 패드배선(10A)과 그 상부의 인출배선(5A)은, 그들을 전기적으로 분리하는 제2 층간절연막(17)에 뚫려 있는 접속구멍(13A)을 통해 전기적으로 접속되어 있다.

전원배선(10(Vcc), 10(Vss))은, 반도체 칩(1)의 주변부에 따라 배치된 입출력 버퍼회로(3) 상의 논리부를 둘러싸듯이 연재하여 배치된다. 또한, 도시하지 않았지만, 전원배선(10(Vcc),10(Vss))의 상부에는 층간절연막을 통해서 제3층째의 배선으로 형성된 전원배선(Vcc 및 GND)이 아래의 전원배선과 동일한 패턴으로 배치된다.

제2층째 배선 및 제3층째 배선으로 구성된 전원배선(Vcc 및 GND)에 대해서는, 예컨대 U.S.P. NO. 5,075,753에 기재되어 있고, 여기에 이 참조의 내용을 도입한다.

제7(a)도는 외측열의 본딩패드(4B), 입출력 버퍼회로(3) 및 그들을 접속하는 인출배선(5B)을 나타내는 평면도, 제7(b)도는 제7(a)도의 B-B단면도, 제8도 및 제9도는, 같은 사시도이다. 상기 제2도 제4도와 마찬가지로, 이들 도면에는, 본딩패드(4B), 입출력 버퍼회로(3) 및 인출배선(5B)을 구성하는 도전층과 그들을 전기 적으로 접속하는 접속구멍만을 나타내고, 도전층을 전기적으로 분리하는 층간절연막의 도시는 생략하고 있다. 또한 제8도 및 제9도에서 도면을 보기 쉽게 하기 위해, 전원용배선(10)의 일부의 도시를 생략하고 있다.

입출력 버퍼회로(3)는 상기 내측열의 본딩패드(4B)에 접속된 입출력 버퍼회로(3)와 마찬가지로, n채널형 MISFET(Qn)와 p채널형 MISFET(Qp)의 소정 수 조합에 의해 구성되어 있다. 그리고, 이들 n채널형 MISFET(Qn)와 p채널형 MISFET(Qp)를 신호용 배선인 제1층째 배선(9)과 전원용 배선(Vcc 및 GND)인 제2층째 배선(10)을 사용하여, 제7도 제9도에 나타내는 것과 같은 패턴으로 결선함으로써, 예컨대 제10도에 나타내는 것과 같은 입력버퍼회로가 형성되어 있다. 즉, 입출력 버퍼회로(3)의 제1층째 배선(9)은, n채널 및 p채널형 MISFET(Qn,Qp)의 게이트전극(8p,8n)에 전기적으로 접속되고, n채널형 MISFET(Qn)의 소스영역은 제1층째 배선(9)을 통하여 전원배선(10)(Vss)에, p채널형 MISFET(Qp)의 소스영역은 제1층째 배선(9)을 통해 전원배선(10)(Vcc)에 전기적으로 접속된다. 입출력 버퍼회로(3)는, 결선패턴을 변경함으로써, 예컨대 상기 제6도에 나타내는 것과 같은 출력버퍼회로로 하는 것도 가능하다. 결국, 입출력 버퍼회로(3)는, 논리기능에 따라 결선패턴을 변경함으로써, 입력버퍼회로, 출력버퍼회로(혹은 양방향성 버퍼회로) 등의 여러가지 회로기능을 형성할 수 있다.

제7(a)도, 제7(b)도, 제8도, 제9도에 나타내는 것과 같이, 상기 입출력 버퍼회로(3)와 본딩패드(4B)를 접속하는 인출배선(5B)은, 신호용 배선인 제1층째 배선(9)과 일체로 형성되고, 입출력 버퍼회로(3)의 한쪽 단부에서 본딩패드(4B)의 하부까지 연재하는 배선(9B)과, 전원용 배선(Vcc, GND)인 제2층째 배선(10)과 같은 층의 배선(10B)으로 구성되어 있다. 배선(10B)은 배선(9B)과 예컨대 동일 패턴으로 형성되고, 배선(9B)과 서로 겹치도록 배치되어 있다.

인출배선(5B)을 구성하는 상기 2층의 배선(9B, 10B)은, 입출력 버퍼회로(3)의 한쪽 단부 및 본딩패드(4B)의 하부에서, 그들을 전기적으로 분리하는 제1 층간절연막(15)에 개공된 접속구멍(12B)을 통해 전기적으로 접속되어 있다. 또한, 배선(10B)과 제3층째 배선으로 구성된 본딩패드(4B)는, 본딩패드(4B)의 하부에서, 그들을 전기적으로 분리하는 제2 층간절연막(17)에 개공된 접속구멍(13B)을 통해 전기적으로 접속되어 있다. 이와 같이, 외측열의 본딩패드(4B)의 인출배선(5B)은, 2층의 배선(9B, 10B)으로 구성된다. 또한, 인출배선(5B)은 인출배선(5A)과 다른 층의 배선으로 구성된다.

제11도 및 제12도는 상기와 같이 구성된 입출력 버퍼회로(3), 인출배선(5A, 5B) 및 본딩패드(4A, 4B)의 3개분의 배치를 나타내는 사시도이다. 제22도는 외측의 본딩패드(4B)를 전원전압(Vcc)용 패드로서 이용한 경우의 레이아웃이다. 인출배선(5B)은, 제1층째 배선(9)을 통해 제2층째 배선(10(Vcc))에 전기적으로 접속된다. 또한, 본딩패드(4B)를 기준전압(GND)용 패드로서 이용한 경우는, 인출배선(5B)은 제1층째 배선(9)을 통해, 제2층째 배선(10(GND))에 전기적으로 접속된다.

다음에, 상기 인출배선(5A, 5B)이 형성된 영역의 반도체 칩(1)의 단면구조를 제13도(인출배선(5A, 5B)의 한쪽 단부의 단면도), 제2(c)도, 제7(b)도를 이용하여 설명한다.

예컨대, p형의 단결정 실리콘으로 이루어지는 반도체 기판(1A)상에는, 산화실리콘으로 이루어지는 소자분리용 필드절연막(6)이 형성되어 있고, 이 필드절연막(6)의 상부에는 산화실리콘막(14)이 형성되어 있다. 산화실리콘막(14)은, 이 영역에는 형성되어 있지 않은 MISFET와 그의 상부의 배선을 전기적으로 분리하는 절연막을 구성하고 있다.
상기 산화실리콘막(4)의 상부에는, 제1층째 배선(9) 및 배선(9B)이 형성되어 있다. 도면의 중앙의 제1층째 배선(9)은, 내측의 본딩패드(4A)의 인출 배선(5A)에 접속되는 신호용 배선의 한쪽 단부이고, 그의 양측의 2개의 배선(9B, 9B)은, 각각 외측의 본딩패드(4B)에 접속되는 인출배선(5B)의 일부를 구성하고 있다. 제1층째 배선(9)및 배선(9B)은, 예컨대 산화실리콘막(14) 상에 스퍼터링(sputtering)법으로 퇴적시킨 Al합금막을 패터닝(patterning)하여 형성한다. 제1층째 배선(9) 및 배선(9B)의 폭, 막두께는, 예컨대 20㎛, 0.5㎛이다.
상기 제1층째 배선(9) 및 배선(9B)의 상부에는, 제1 층간절연막(15)이 형성되어 있다. 제1 층간절연막(15)은, CVD(Chemical Vapor Deposition)법으로 퇴적시킨 산화실리콘으로 이루어지며, 예컨대 CMP(Chemical Mechanical Polishing;화학적 기계연마)법에 의해 그 표면이 평탄화되어 있다. 제1 층간절연막(15)은, 반도체 기판(1A)의 주면을 덮도록 주면 전(全)면에 형성된다.
상기 제1 층간절연막(15)의 상부에는, 패드배선(10A) 및 배선(10B)이 형성되어 있다. 패드배선(10A)은, 제1층째 배선(9)과 내측의 본딩패드(4A)의 인출배선(5A)을 접속하기 위한 중간배선이고, 배선(10B)은, 외측의 본딩패드(4B)에 접속되는 인출배선(5B)의 다른 일부를 구성하고 있다. 패드배선(10A) 및 배선(10B)은, 예컨대 제1 층간절연막(15) 상에 스퍼터링법으로 퇴적시킨 Al합금막을 패터닝하여 형성한다. 패드배선(10A) 및 배선(10B)은, 하층의 제1층째 배선(9) 및 배선(9B)과 동일한 폭, 동일한 막두께로 형성되어 있다.
패드배선(10A)과 그의 하부의 제1층째 배선(9)은, 제1 층간절연막(15)에 개공된 복수의 접속구멍(12A)을 통해 전기적으로 접속되어 있다. 마찬가지로, 배선(10B)과 그의 하부의 배선(9B)은, 제1 층간절연막(15)에 개공된 복수의 접속구멍(12B)을 통해 전기적으로 접속되어 있다. 이들의 접속구멍(12A, 12B)의 내부에는, 예컨대 텅스텐(W)으로 이루어지는 플러그(plug)(16)가 매립되어 있다. 플러그(16)의 매립은, 제1 층간절연막(15)상에 스퍼터링법(또는 CVD법)으로 퇴적시킨 텅스텐(W)막을 에칭백(etching-back)하는 것에 의해 행한다.
상기 패드배선(10A) 및 배선(10B)의 상부에는, 제2 층간절연막(17)이 형성되어 있다. 제2 층간절연막(17)은, 상기 제1 층간절연막(15)과 마찬가지로 CVD법으로 퇴적시킨 산화실리콘으로 이루어지며, 예컨대 CMP법에 의해 표면이 평탄화되어 있다.
상기 제2 층간절연막(17)의 상부에는, 내측의 본딩패드(4A)와 일체로 구성된 인출배선(5A)이 형성되어 있다. 인출배선(5A)은, 예컨대 제2 층간절연막(17)상에 스퍼터링법으로 퇴적시킨 Al합금막을 패터닝하여 형성한다. 인출배선(5A)의 폭은, 인출배선(5B)을 구성하는 상기 배선(9B)이나 배선(10B)과 동일(20㎛)하지만, 막두 께는 그들의 2배(1.0㎛)이다.
여기서, 상기 인출배선(5B)을 구성하는 2층의 배선(9B, 10B)의 각각의 막두께를 0.5㎛로 한 경우, 이 인출배선(5B)의 실효적인 막두께는, 0.5 + 0.5 = 1.0㎛으로 된다. 따라서, 또 다른 인출배선(5A)의 막두께를 1.0㎛로 한 경우, 인출배선(5A)과 인출배선(5B)의 실효적인 막두께는 동일(1.0㎛)하게 된다. 게다가, 인출배선(5A)과 인출배선(5B)(배선(9B) 및 배선(10B))의 폭이 동일(20㎛)하다면, 인출배선(5A)과 인출배선(5B)의 실효적인 단면적도 동일($20\mu m \times 1.0\mu m = 20\mu m^2$)하게 된다. 따라서, 이 경우는 표1에 나타난 바와 같이, 인출배선(5A)에 흐르는 전류밀도와 인출배선(5B)(배선(9B, 10B))에 흐르는 전류밀도는 거의 동일하게 된다.

[표 1]

배선층	배선막두께	배선밀도
제3층째 배선(5B)	1.0(㎛)	20(mA/㎛)
제2층째 배선(10B)	0.5(㎛)	10(mA/㎛)
제1층째 배선(9B)	0.5(㎛)	10(mA/㎛)

인출배선(5A)과 그의 하부의 패드배선(10A)은, 제2 층간절연막(17)에 개공된 복수의 접속구멍(13A)을 통해 전기적으로 접속되어 있다. 이들 접속구멍(13A)의 내부에는, 예컨대 텅스텐(W)으로 이루어지는 플러그(16)가 매립되어 있다. 플러그(16)의 매립은, 제2 층간절연막(17)상에 스퍼터링법(또는 CVD법)으로 퇴적시킨 텅스텐(W)막을 에칭백하는 것에 의해 행한다.
본 실시형태에서는, 패드배선(10A)과 그의 하부의 제1층째 배선(9)을 접속하 는 접속구멍(12A)의 바로 위에 접속구멍(13A)을 배치하는, 소위 스택드 비아(Stacked Via)구조를 채용하고 있다. 스택드 비아구조는, 전술한 CMP법에 의한 층간절연막의 평탄화와 텅스텐(W) 플러그에 의한 접속구멍의 매립에 의해 형성한다.
상기 인출배선(5A)의 상부에는, 패시베이션(passivation)막(19)이 형성되어 있다. 패시베이션막(19)은, 반도체 칩(1)의 표면보호막이며, 예컨대 CVD법으로 퇴적시킨 산화실리콘과 질화실리콘의 적층막으로 구성되어 있다.
이와 같이 구성된 본 실시형태의 CMOS 게이트 어레이에 의하면, 다음과 같은 효과가 얻어진다.
(1) 본딩패드(4A ,4B)를 지그재그 배열로 하고, 내측의 본딩패드(4A)의 인출배선(5A)과 외측의 본딩패드(4B)의 인출배선(5B)을 별개 층의 배선으로 구성함으로써, 본딩패드(4A, 4B)의 피치를 좁게 하더라도, 외측의 본딩패드(4B)의 인출배선(5B)이 내측의 본딩패드(4A)에 접촉하는 일이 없다. 따라서, 예컨대, 제14도에 나타내는 바와 같이, 외측의 본딩패드(4B)의 인출배선(5B)의 일부와 내측의 본딩패드(4A)의 일부를 겹치게 하는 것도 가능하다.

내측의 본딩패드(4A)의 인출배선(5A)은, 최상층 배선인 제3층째 배선으로 구성하므로, 그 폭을 좁게 하더라도 막 두께를 두껍게 함으로써 일렉트로마이그레이션(electromigration)에 대한 내성을 확보할 수 있어, 대전류를 흐르게 하는 것이 가능하게 된다. 또한, 외측의 본딩패드(4B)의 인출배선(5B)은 2층의 배선(9B, 10B)으로 구성하기 때문에, 배선(9B) 및 배선(10B)의 폭을 좁게 하여도 일렉트로마이그 레이션에 대한 내성을 확보할 수 있어, 대전류를 흐르게 하는 것이 가능하게 된다.

이것에 의해, 인출배선(5A, 5B)의 폭 및 피치를 좁게 할 수 있기 때문에, 본딩패드(4A, 4B)의 피치를 좁게 할 수 있다. 따라서, 동일한 사이즈의 반도체 칩에 보다 많은 본딩패드를 형성할 수 있어, 외부단자수가 많은(다수핀의) 대규모 CMOS 게이트 어레이를 실현할 수 있다.

(2) 제3층째 배선으로 구성되는 인출배선(5A)의 단면적과, 제1층째 배선 및 제2층째 배선으로 구성되는 인출배선(5B)의 단면적을 동일하게 할 수 있기 때문에, 인출배선(5A)에 흐르는 전류밀도와 인출배선(5B)에 흐르는 전류 밀도를 거의 같게 할 수 있다. 즉, 반도체 칩(1)의 바깥둘레에 배치되는 모든 본딩패드(4)의 인출배선의 전류밀도를 거의 같게 할 수 있다. 더욱이, 전술한 바와 같이, 제3층째 배선으로 구성되는 인출배선(5A)은 그 막두께를 두껍게 함으로써, 또는 인출배선(5B)을 2층의 배선(9B, 10B)으로 구성함으로써 각각 충분한 전류밀도를 확보할 수 있기 때문에, 모든 본딩패드(4)의 인출배선에 대전류를 흐르게 할 수 있다.

이것에 의해, 전원(Vcc, GND)선이나 대전류가 흐르는 신호선에 접속하는 본딩패드를 자유롭게 선택할 수 있으므로, 자동 배치배선 시스템을 사용한 논리설계의 자유도가 향상한다. 즉, CAD를 사용한 자동 배치배선에 필요한 시간을 단축할 수 있으므로, 게이트 어레이의 개발기간을 단축할 수 있다. 또한, 논리회로와 본딩패드를 접속하는 배선길이를 짧게 할 수 있기 때문에 배선지연을 저감할 수 있어, 고속, 고성능의 게이트 어레이를 실현할 수 있다.

(제 2 실시형태)

본 실시형태의 반도체 집적회로장치는, 5층 배선구조를 갖는 CMOS 게이트 어레이이고, 상기 제1실시형태와 마찬가지로, 본딩패드(4A, 4B)를 지그재그 배열로 하여, 내측의 본딩패드(4A)의 인출배선과 외측의 본딩패드(4B)의 인출배선을 별개 층의 배선으로 구성하고 있다.

본 실시형태에서는, 내측의 본딩패드(4A)의 인출배선을 제5층째 배선과 제4층째 배선의 2층으로 구성하고, 외측의 본딩패드(4B)의 인출배선을 제3층째 배선과 제2층째 배선과 제1층째 배선의 3층으로 구성하고 있다. 또한, 본딩패드(4A, 4B)는 제5층째 배선으로 구성하고 있다.

제15도 및 제16도는, 내측열의 본딩패드(4A), 입출력 버퍼회로(3) 및 그들을 접속하는 인출배선(20A)을 나타내는 사시도이다.

인출배선(20A)을 구성하는 2층의 배선(21A, 22A) 중, 제5층째 배선인 배선(22A)은, 본딩패드(4A)와 일체로 구성되어 있다. 제4층째 배선인 배선(21A)은 배선(22A)과 동일한 패턴으로 형성되고, 배선(22A)과 서로 겹쳐지도록 배치되어 있다. 배선(22A)과 배선(21A)은, 그들 양 단부에서, 접속구멍(23A)을 통해 전기적으로 접속되어 있다.

상기 배선(21A)은, 제3층째 배선인 패드배선(24A), 제2층째 배선인 패드 배선(25A) 및 제1층째 배선인 패드배선(26A)을 통해 입출력 버퍼회로(3)에 접속되어 있다. 배선(21A)과 패드배선(24A), 패드배선(24A)과 패드배선(25A), 패드배선(25A)과 패드배선(26A)은, 각각 접속구멍(27A, 28A, 29A)을 통해 전기적으로 접속되어 있다.

제17도 및 제18도는, 외측열의 본딩패드(4B), 입출력 버퍼회로(3) 및 그들을 접속하는 인출배선(20B)을 나타내는 사시도이다.

인출배선(20B)을 구성하는 3층의 배선(24B, 25B 및 26B)은, 동일한 패턴으로 형성되고, 서로 겹쳐지도록 배치되어 있다. 제3층째 배선인 배선(24B)과 제2층째 배선인 배선(25B), 배선(25B)과 제1층째 배선인 배선(26B)은, 그들 양 단부에서 각각 접속구멍(28B, 29B)을 통해 전기적으로 접속되어 있다. 또한, 제5층째 배선인 본딩패드(4B)와 인출배선(20B)은, 본딩패드(4B)의 하부에서, 접속구멍(23B) 및 접속구멍(27B)을 통해 전기적으로 접속되어 있다.

상기와 같이 구성된 입출력 버퍼회로(3), 인출배선(20A, 20B) 및 본딩패드(4A, 4B)의 3개의 배치를 제19도에 나타낸다. 또한, 입출력 버퍼회로(3)측의 한쪽 단부에서의 인출배선(20A, 20B)의 단면 구조를 제20도에 나타낸다. 제20도의 부호 30은 제3 층간절연막, 31은 제4 층간절연막이다. 제3 층간절연막(30) 및 제4 층간절연막(31)은, 예컨대 CVD법으로 퇴적시킨 산화실리콘으로 이루어지고, 그들 표면은, 예컨대 CMP법에 의해 평탄화되어 있다. 또한, 제3 층간절연막(30)에 개공된 접속구멍(27A, 27B)의 내부, 및 제4 층간절연막(32)에 개공된 접속구멍(23A, 23B)의 내부에는, 예컨대 텅스텐(W)으로 이루어지는 플러그(16)가 매립되어 있다.

여기서, 상기 인출배선(20B)을 구성하는 3층의 배선(24B, 25B, 26B)의 각각의 막 두께를 0.4㎛로 한 경우, 이 인출배선(20B)의 실효적인 막 두께는, 0.4 + 0.4 + 0.4 = 1.2㎛으로 된다. 이 때, 또 다른 인출배선(20A)을 구성하는 2층의 배선(21A, 22A)의 각각의 막 두께를 0.6㎛로 하면, 이 인출배선(20A)의 실효적인 막 두께는, 0.6 + 0.6=1.2㎛로 되어, 인출배선(20A)(배선(21A, 22A))과 인출배선(20B)(배선(24B, 25B, 26B))의 실효적인 막 두께는 동일하게 된다. 게다가, 인출배선(20A)의 폭과 인출배선(20B)의 폭이 동일하다면, 인출배선(20A)의 실효적인 단면적과 인출배선(20B)의 실효적인 단면적도 동일하게 된다. 따라서, 이 경우는 표2에 나타내는 바와 같이, 인출배선(25A)에 흐르는 전류밀도와 인출배선(25B)에 흐르는 전류밀도는 거의 동일하게 된다.

[표 2]

배선층	배선막두께	배선밀도
제5층째 배선(22A)	0.6(㎛)	12(mA/㎛)
제4층째 배선(21A)	0.6(㎛)	12(mA/㎛)
제3층째 배선(24B)	0.4(㎛)	8(mA/㎛)
제2층째 배선(25B)	0.4(㎛)	8(mA/㎛)
제1층째 배선(26B)	0.4(㎛)	8(mA/㎛)

상기와 같이 구성된 본 실시형태의 CMOS 게이트 어레이에 의하면, 상기 제1실시형태와 거의 같은 효과가 얻어진다.

(제 3 실시형태)

본 실시형태의 반도체 집적회로장치는, 제2실시형태에서의 내측의 본딩 패드(4A)의 인출배선을 제4층째 배선만으로 구성한 점 외에는, 실질적으로 제2실시형태와 동일하다.

제23도는 내측열의 본딩패드(4A), 입출력 버퍼회로(3) 및 그들을 접속하는 인출배선(21A)을 나타내는 사시도이다. 인출배선(21A)은, 제4층째 배선으로 형성되고, 제5층째 배선으로 형성되는 본딩패드(4A)와는 접속구멍(23A)을 통해 전기적으로 접속되어 있다.

상기 배선(21A)은, 제3층째 배선인 패드배선(24A), 제2층째 배선인 패드배선(25A) 및 제1층째 배선인 패드배선(26A)을 통해 입출력 버퍼회로(3)에 접속되어 있다. 배선(21A)과 패드배선(24A), 패드배선(24A)과 패드배선(25A), 패드배선(25A)과 패드배선(26A)은, 각각 접속구멍(27A, 28A, 29A)을 통해 전기적으로 접속되어 있다.

외측열의 본딩패드(4B), 입출력 버퍼회로(3) 및 그들을 접속하는 인출배선(20B)은 제17도 및 제18도에 나타내는 제2실시형태와 마찬가지로 구성된다.

본 실시형태에 있어서, 인출배선(21A)의 실효적인 단면적은, 인출배선(20B)의 실효적인 단면적이 동일하게 되도록 구성된다.

상기와 같이 구성된 본 실시형태의 CMOS 게이트 어레이에 의하면, 전술한 제2실시형태와 거의 동일한 효과가 얻어진다.

이상, 본 발명자에 의해 이루어진 발명을 실시형태에 의거하여 구체적으로 설명했지만, 본 발명은 상기 실시형태에 한정되지 않고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경 가능한 것은 말할 것도 없다.

상기 실시형태에서는 3층 배선구조의 게이트 어레이 및 5층 배선구조의 게이트 어레이에 대하여 설명했지만, 4층 배선구조의 게이트 어레이나 6층 이상의 배선구조의 게이트 어레이에 적용하는 것도 가능하다.

배선층이 4층의 경우는, 내측열의 본딩패드에 접속하는 제1 인출배선을 예컨대 제4층째 배선과 제2층째 배선으로 구성하고, 외측열의 본딩패드에 접속하는 제2 인출배선을 예컨대 제3층째 배선과 제1층째 배선으로 구성한다. 이때, 제1 인출배선의 폭과 제2 인출배선의 폭을 동일하게 하고, 제4층째 배선의 막 두께와 제3층째 배선의 막 두께를 동일하게 하여, 제2층째 배선의 막 두께와 제1층째 배선의 막 두께를 동일하게 하면, 제1 인출배선의 전류밀도와 제2 인출배선의 전류밀도를 거의 동일하게 할 수 있다. 배선층이 6층 이상의 경우는, 제1 인출배선을 구성하는 배선과 제2 인출배선을 구성하는 배선의 조합은 여러 가지로 구상할 수 있다.

또한, 상기 실시형태에서는, 본딩패드를 2열로 배치한 경우에 대하여 설명하였으나, 3열로 배치하는 경우에도 적용할 수 있다. 예컨대 배선층이 5층인 경우는, 제21도에 나타내는 바와 같이, 가장 내측열의 본딩패드(4A)의 인출배선(20A)을 본딩패드(4A)(제5층째 배선)와 일체로 구성하고, 중앙열의 본딩패드(4B)의 인출배선(20B)을 제4층째 배선(배선(21B))과 제2층째 배선(배선(25B))으로 구성하며, 가장 외측열의 본딩패드(4C)의 인출배선(20C)을 제3층째 배선(배선(24C))과 제1층째 배선(배선(26C))으로 구성하면 된다.

상기 실시형태에서는 CMOS 게이트 어레이에 대하여 설명하였으나, 본 발명은, 엠베디드 어레이(embedded array), 셀 베이스(sell base) IC등의 각종 특정 용도용 IC에 적용할 수 있다. 본 발명은, 적어도 3층 이상의 배선 층을 가지고, 본딩패드를 지그재그 모양으로 배치하는 다수 핀 LSI에 적용할 수 있다.

본원에 의하여 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단 하게 설명하면, 이하와 같다.

(1) 본 발명에 의하면, 본딩패드와 내부회로를 접속하는 인출배선의 폭 및 피치를 좁게 할 수 있기 때문에, 본딩패드의 피치를 좁게 할 수 있다. 이것에 의해, 동일한 사이즈의 반도체 칩에 보다 많은 본딩패드를 형성할 수 있기 때문에, 외부단자수가 많은(다수 핀의) 대규모 CMOS 게이트 어레이를 실현할 수 있다.

(2) 본 발명에 의하면, 반도체 칩의 바깥둘레에 배치되는 모든 본딩패드의 인출배선의 전류밀도를 거의 동일하게 할 수 있고, 더욱이, 모든 본딩패드의 인출배선에 대전류를 흐르게 할 수 있기 때문에, 전원(Vcc, GND)선이나 대전류가 흐르는 신호선에 접속하는 본딩패드를 자유롭게 선택할 수 있어, 자동 배치배선 시스템을 이용한 논리설계의 자유도를 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

3층 이상의 배선층을 가지는 반도체 집적회로장치에 있어서,

복수의 본딩패드는, 반도체 칩의 바깥 둘레부를 따라 지그재그 모양으로 배치되고,
상기 지그재그 모양으로 배치된 본딩패드는, 내측열의 본딩패드와 외측열의 본딩패드를 가지며,
상기 내측열의 본딩패드는 상기 외측열의 본딩패드와 입출력 버퍼회로와의 사이에 배치되고,
상기 내측열의 본딩패드와 입출력 버퍼회로는 제1 인출배선에 의해 전기적으로 접속되며,
상기 외측열의 본딩패드와 입출력 버퍼회로는 제2 인출배선에 의해 전기적으로 접속되고,
상기 제1 인출배선은, 적어도 최상층의 배선을 포함하는 1층 또는 복수층의 배선으로 구성되며,
상기 제2 인출배선은, 상기 제1 인출배선과는 별개 층의 복수층의 배선으로 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 2.
상기 제1 인출배선의 단면적은 상기 제2 인출배선의 단면적과 거의 동일한 것을 특징으로 하는 반도체 집적회로장치.

청구항 3.
제2항에 있어서,
상기 제1 인출배선은, 상기 제2 인출배선보다도 상층의 배선층으로 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 4.
제3항에 있어서,
상기 외측열의 본딩패드와 상기 내측열의 본딩패드의 각각은 입출력 버퍼회로의 배열에 대응되는 위치에 배치되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 5.
제3항에 있어서,
상기 배선층은 3층 구조이고,
최상층인 제3층째 배선으로 상기 제1 인출배선을 구성하며,
제1층째 배선과 제2층째 배선으로 상기 제2 인출배선을 구성하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 6.
제3항에 있어서,
상기 배선층은 5층 구조이고,
최상층인 제5층째 배선과 제4층째 배선으로 상기 제1 인출배선을 구성하고,
제1층째 배선과 제2층째 배선과 제3층째 배선으로 상기 제2 인출배선을 구성하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 7.
제6항에 있어서,
상기 제1 인출배선을 구성하는 복수 층의 배선사이 및 상기 제2 인출배선을 구성하는 복수 층의 배선사이는, 각각 스택드 비아(Stacked Via) 방식의 접속구멍을 통해 전기적으로 접속되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 8.
제3항에 있어서,
상기 본딩패드는, 상기 반도체 칩의 바깥 둘레부를 따라 2열 또는 3열로 배치되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 9.
제4항에 있어서,
상기 제1 및 제2의 인출배선은, 알루미늄을 주체로 하는 도전재료로 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 10.
제3항에 있어서,
상기 반도체 집적회로장치는 게이트 어레이인 것을 특징으로 하는 반도체 집적회로장치.

청구항 11.
제3항에 있어서,
상기 반도체 집적회로장치는 특정용도용 IC인 것을 특징으로 하는 반도체 집 적회로장치.

청구항 12.
제1항에 있어서,
상기 제1 인출배선은, 상기 제2 인출배선보다도 상층의 배선층으로 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 13.
3층 이상의 배선층을 가지는 반도체 집적회로장치에 있어서,
반도체 칩의 중앙부에 내부 논리회로부가 구성되고,
복수의 본딩패드는, 반도체 칩의 바깥 둘레부를 따라 지그재그 모양으로 배치되며,
복수의 입출력 버퍼회로는 상기 본딩패드와 상기 내부 논리회로부와의 사이에, 상기 내부 논리회로부를 둘러싸도록 배치되고,
지그재그 모양으로 배치된 본딩패드는, 내측열의 본딩패드와, 외측열의 본딩패드를 가지며,

상기 내측열의 본딩패드는, 상기 외측열의 본딩패드와 상기 출력버퍼회로와의 사이에 배치되고,
상기 내측열의 본딩패드와 상기 입출력 버퍼회로는 제1 인출배선에 의해 전기적으로 접속되며,
상기 외측열의 본딩패드와 상기 입출력 버퍼회로는 제2 인출배선에 의해 전기적으로 접속되고,
상기 제1 인출배선은, 적어도 최상층의 배선을 포함하는 1층 또는 복수 층의 배선으로 구성되며,
상기 제2 인출배선은 상기 제1 인출배선과는 별개 층의 복수 층의 배선으로 구성되고,
상기 제1 인출배선은 상기 제2 인출배선보다도 상층의 배선층으로 구성되며,
상기 제1 인출배선의 단면적은 상기 제2 인출배선의 단면적과 거의 동일한 것을 특징으로 하는 반도체 집적회로장치.

청구항 14.

제13항에 있어서,
상기 배선층은 3층 구조이고,
최상층인 제3층째 배선으로 상기 제1 인출배선을 구성하며,
제1층째 배선과 제2층째 배선으로 상기 제2 인출배선을 구성한 것을 특징으로 하는 반도체 집적회로장치.

청구항 15.

제13항에 있어서,
상기 배선층은 5층 구조이고,
최상층인 제5층째 배선과 제4층째 배선으로 상기 제1 인출배선을 구성하며,
제1층째 배선과 제2층째 배선과 제3층째 배선으로 상기 제2 인출배선을 구성하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 16.

제13항에 있어서,
상기 반도체 집적회로장치는 게이트 어레이인 것을 특징으로 하는 반도체 집적회로장치.

청구항 17.

3층 이상의 배선층을 가지는 반도체 집적회로장치에 있어서,
복수의 본딩패드는, 반도체 칩의 바깥 둘레부를 따라 지그재그 모양으로 배치되고,
상기 지그재그 모양으로 배치된 본딩패드는, 내측열의 본딩패드와 외측열의 본딩패드를 가지며,
상기 내측열의 본딩패드는 상기 외측열의 본딩패드와 입출력 버퍼회로와의 사이에 배치되고,
상기 내측열의 본딩패드와 입출력 버퍼회로는 제1 인출배선에 의해 전기적으로 접속되며,
상기 외측열의 본딩패드와 입출력 버퍼회로는 제2 인출배선에 의해 전기적으로 접속되고,
상기 제1 인출배선과 상기 제2 인출배선은 별개 층의 배선으로 구성되며,
상기 제1 인출배선과 상기 제2 인출배선 중의 한쪽은, 적어도 복수 층의 배선으로 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 18.

제17항에 있어서,
상기 제1 인출배선의 단면적은 상기 제2 인출배선의 단면적과 거의 동일한 것을 특징으로 하는 반도체 집적회로장치.

청구항 19.

제18항에 있어서,
상기 복수 층의 배선으로 구성되는 인출배선은, 다른 쪽의 인출배선보다도 하층의 배선층으로 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 20.

제19항에 있어서,
상기 제1 인출배선은, 적어도 최상층의 배선을 포함하는 1층 또는 복수층의 배선으로 구성되고,
상기 제2 인출배선은, 상기 제1 인출배선보다 하층의 배선으로 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 21.

제17항에 있어서,
상기 제1 인출배선의 전류밀도와, 상기 제2 인출배선의 전류밀도가 동등해지도록, 그들의 단면적이 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 22.

제17항 또는 제21항에 있어서,
상기 내측열의 본딩패드는, 상기 제2 인출배선의 상부를 연재하도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 23.

제13항에 있어서,
상기 제1 인출배선의 전류밀도와, 상기 제2 인출배선의 전류밀도가 동등해지도록, 그들의 단면적이 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 24.

제13항 또는 제23항에 있어서,
상기 내측열의 본딩패드는, 상기 제2 인출배선의 상부를 연재하도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 25.
제1항에 있어서,
상기 제1 인출배선의 전류밀도와, 상기 제2 인출배선의 전류밀도가 동등해지도록, 그들의 단면적이 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 26.
제1항 또는 제25항에 있어서,
상기 내측열의 본딩패드는, 상기 제2 인출배선의 상부를 연재하도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 27.
반도체 집적회로장치에 있어서,
복수의 외부단자는 지그재그 모양으로 배치되며,
상기 지그재그 모양으로 배치된 외부단자는, 제1 열의 외부단자와, 제2 열의 외부단자를 가지고,
상기 제1 열의 외부단자는, 상기 제2 열의 외부단자와 입력 또는 출력용 버퍼회로와의 사이에 배치되며,
상기 제1 열의 외부단자와 상기 입력 또는 출력용 버퍼회로는 제1 인출배선에 의해 전기적으로 접속되고,
상기 제2 열의 외부단자와 상기 입력 또는 출력용 버퍼회로는 제2 인출배선에 의해 전기적으로 접속되며,
상기 제1 인출배선과 상기 제2 인출배선은 별개 층의 배선으로 구성되고,
상기 제1 인출배선의 전류밀도와, 상기 제2 인출배선의 전류밀도가 동등해지도록, 그들의 단면적이 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 28.
제27항에 있어서,
상기 제1 인출배선은, 상기 제2 인출배선보다도 상층의 배선층으로 구성되고,
상기 제1 열의 외부단자는, 상기 제2 인출배선의 상부를 연재하도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 29.
제28항에 있어서,
입력 또는 출력용 버퍼회로 상을 전원배선이 연재하고,
상기 전원배선은 상기 제2 인출배선과 동층의 배선을 포함하는 것을 특징으 로 하는 반도체 집적회로장치.

청구항 30.
제27항에 있어서,
상기 외부단자는 본딩패드인 것을 특징으로 하는 반도체 집적회로장치.

청구항 31.
반도체 집적회로장치에 있어서,
제1 열의 외부단자와, 제2 열의 외부단자가 지그재그 모양으로 배치되고,
상기 제1 열의 외부단자는, 상기 제2 열의 외부단자와 입력 또는 출력용 버퍼회로와의 사이에 배치되며,
상기 제1 열의 외부단자와 상기 입력 또는 출력용 버퍼회로는, 제1 인출배선에 의해 전기적으로 접속되고,
상기 제2 열의 외부단자와 상기 입력 또는 출력용 버퍼회로는 제2 인출배선에 의해 전기적으로 접속되며,
상기 제1 인출배선은 상기 제2 인출배선과는 별개 층의 배선층으로 구성되고,
상기 제1 인출배선의 전류밀도와, 상기 제2 인출배선의 전류밀도가 동등해지도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 32.
제31항에 있어서,
상기 제1 인출배선은 상기 제2 인출배선보다도 상층의 배선층으로 구성되며,
상기 제2 인출배선은 복수의 배선층을 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 33.
제32항에 있어서,
상기 제1 열의 외부단자는, 상기 제2 인출배선의 상부를 연재하도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 34.
제31항에 있어서,
입력 또는 출력용 버퍼회로 상을 전원배선이 연재하고,
상기 전원배선은 상기 제2 인출배선과 동층의 배선을 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 35.
제31항에 있어서,
상기 외부단자는 본딩패드인 것을 특징으로 하는 반도체 집적회로장치.

청구항 36.
반도체 집적회로장치에 있어서,
제1 열의 외부단자와, 제2 열의 외부단자가 지그재그 모양으로 배치되며,
상기 제1 열의 외부단자는 상기 제2 열의 외부단자와 입력 또는 출력용 버퍼회로와의 사이에 배치되고,

상기 제1 열의 외부단자와 상기 입력 또는 출력용 버퍼회로는 제1 인출배선 에 의해 전기적으로 접속되며,
상기 제2 열의 외부단자와 상기 입력 또는 출력용 버퍼회로는 제2 인출배선에 의해 전기적으로 접속되고,
상기 제1 인출배선은 상기 제2 인출배선과 별개 층의 배선층으로 구성되며,
상기 제2 인출배선은 복수의 배선층을 포함하고,
상기 제1 인출배선은 상기 제2 인출배선보다도 상층의 배선층으로 구성되며,
상기 제1 인출배선의 단면적은 상기 제2 인출배선의 복수의 배선층의 각각의 단면적보다도 크게 구성되고,
상기 제1 인출배선의 전류밀도와, 상기 제2 인출배선의 전류밀도가 동등해지도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 37.

제36항에 있어서,
상기 제1 열의 외부단자는 상기 제2 인출배선의 상부를 연재하도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 38.

제34항에 있어서,
입력 또는 출력용 버퍼회로 상을 전원배선이 연재하고,
상기 전원배선은 상기 제2 인출배선과 동층의 배선을 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 39.

제36항에 있어서,
상기 외부단자는 본딩패드인 것을 특징으로 하는 반도체 집적회로장치.

청구항 40.

반도체 집적회로장치에 있어서,
제1 열의 외부단자와, 제2 열의 외부단자가 하프피치 어긋나게 배치되며,
상기 제1 열 및 제2 열의 외부단자의 각각에 대응하여 입력 또는 출력용 버퍼회로가 배치되고,
상기 제1 열의 외부단자는, 상기 제2 열의 외부단자와 상기 입력 또는 출력용 버퍼회로와의 사이에 배치되며,
상기 제1 열의 외부단자와 상기 입력 또는 출력용 버퍼회로는 제1 인출배선에 의해 전기적으로 접속되고,
상기 제2 열의 외부단자와 상기 입력 또는 출력용 버퍼회로는 제2 인출배선에 의해 전기적으로 접속되며,
상기 제1 인출배선은 상기 제2 인출배선과는 별개 층의 배선층으로 구성되고,
상기 제1 인출배선의 전류밀도와, 상기 제2 인출배선의 전류밀도가 동등해지도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 41.

제40항에 있어서,
상기 제1 인출배선은 상기 제2 인출배선보다도 상층의 배선층으로 구성되고,
상기 제2 인출배선은 복수의 배선층을 포함하며,
상기 제1 열의 외부단자는, 상기 제2 인출배선의 상부를 연재하도록 구성되는 것을 특징으로 하는 반도체 집적회로장치.

청구항 42.

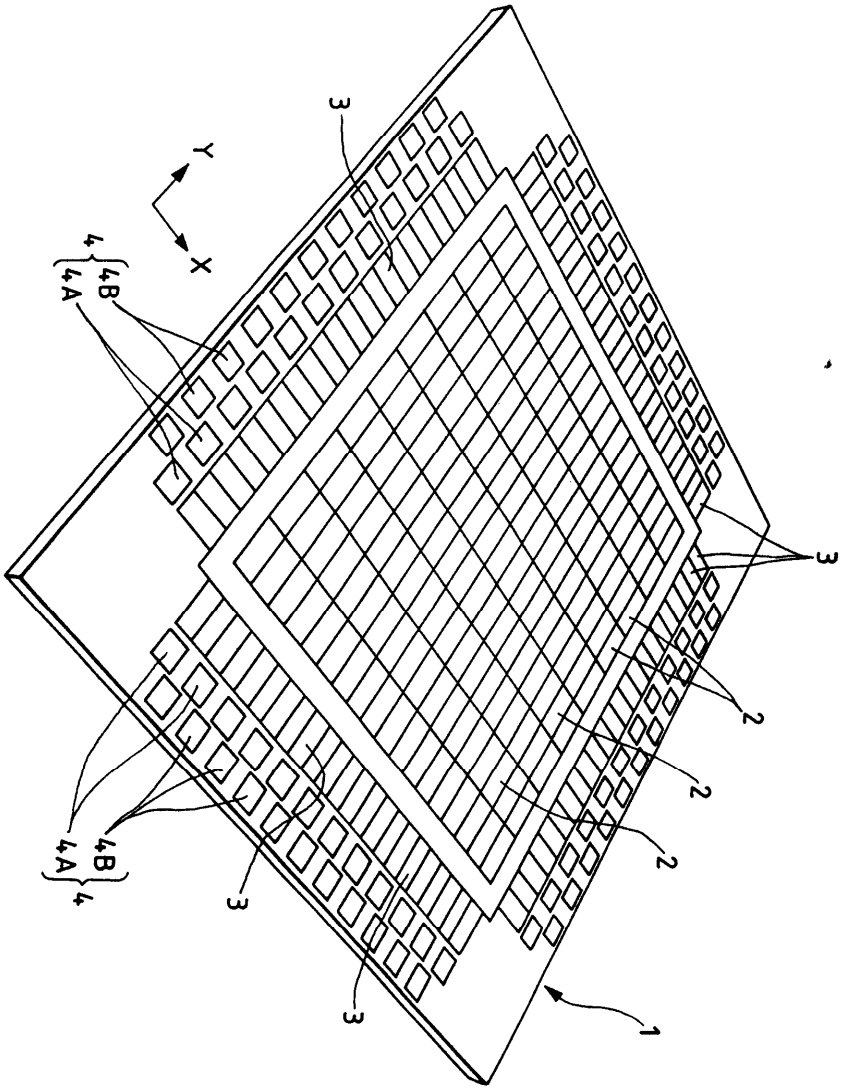
제40항에 있어서,
입력 또는 출력용 버퍼회로 상을 전원배선이 연재하고,
상기 전원배선은 상기 제2 인출배선과 동층의 배선을 포함하는 것을 특징으로 하는 반도체 집적회로장치.

청구항 43.

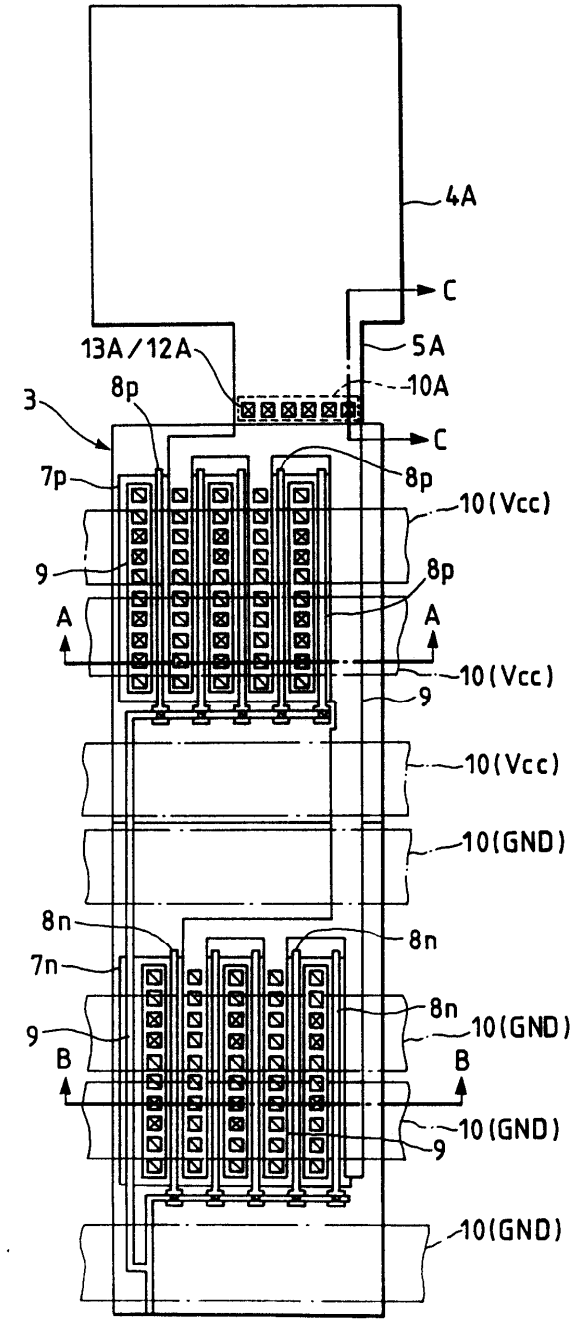
제40항에 있어서,
상기 외부단자는 본딩패드인 것을 특징으로 하는 반도체 집적회로장치.

도면

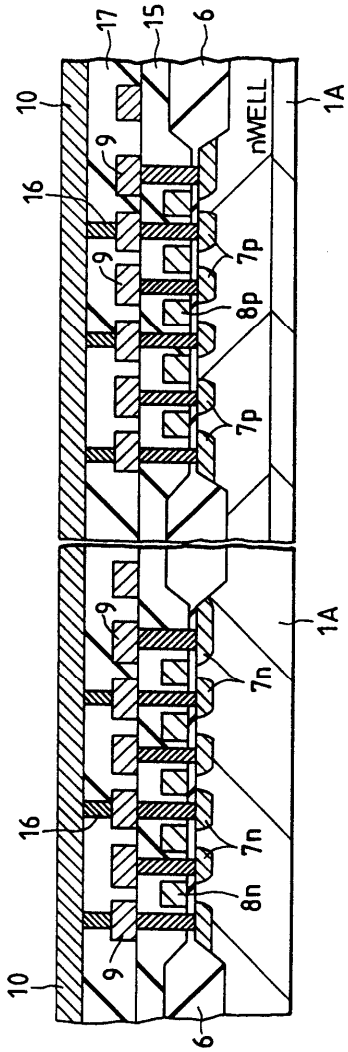
도면1



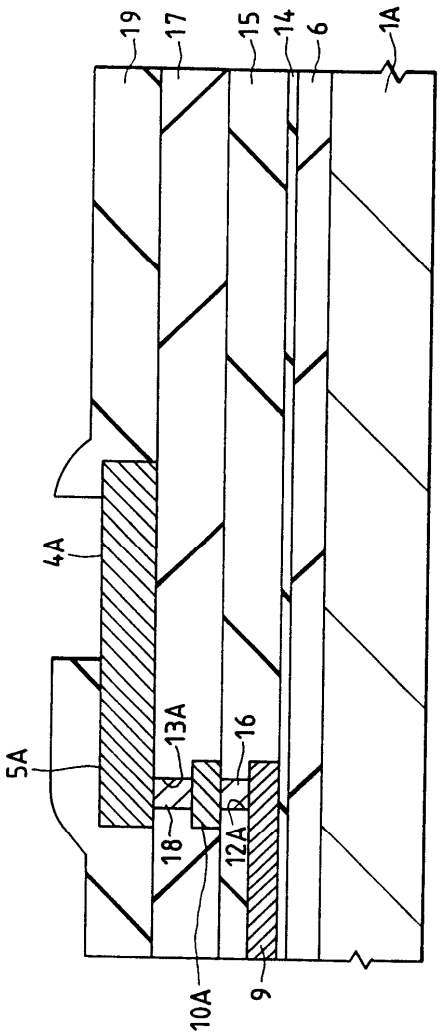
도면2a


4A
C
13A/12A
5A
10A
3
8p
C
7p
8p
10(Vcc)
9
8p
A
A
10(Vcc)
9
10(Vcc)
10(GND)
8n
8n
7n
8n
10(GND)
9
B
B
10(GND)
9
10(GND)

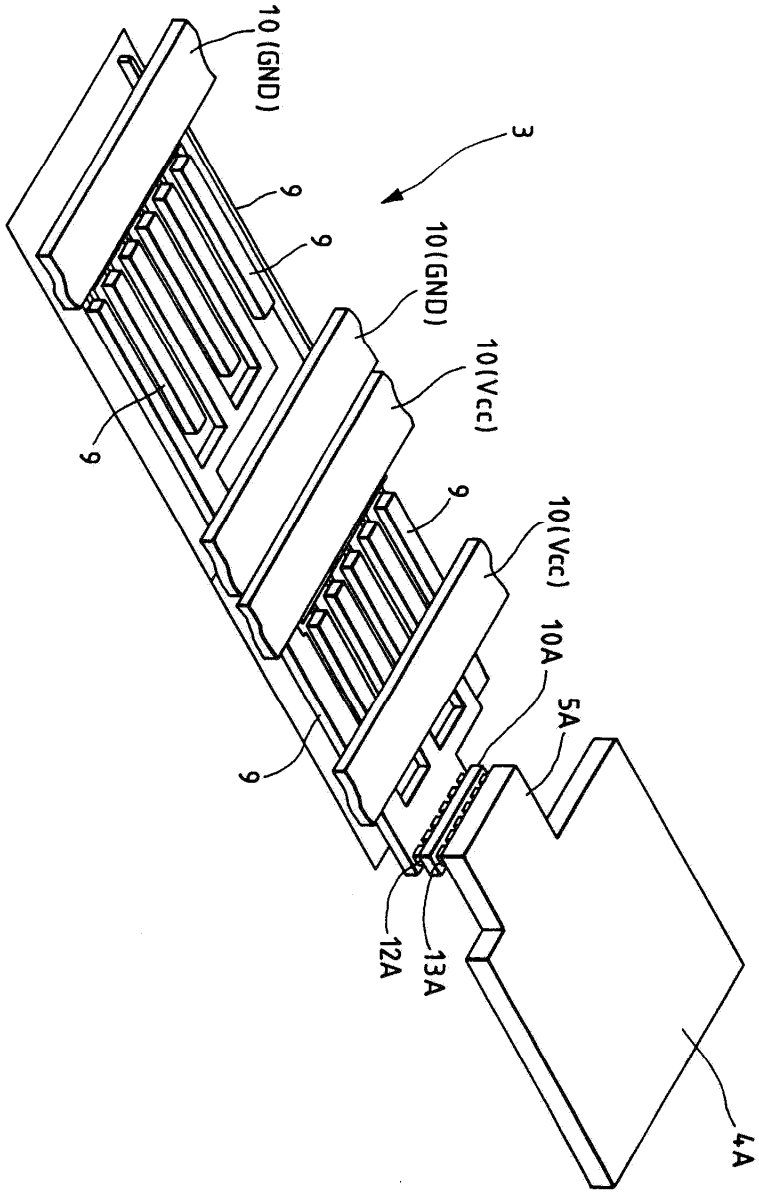
도면2b



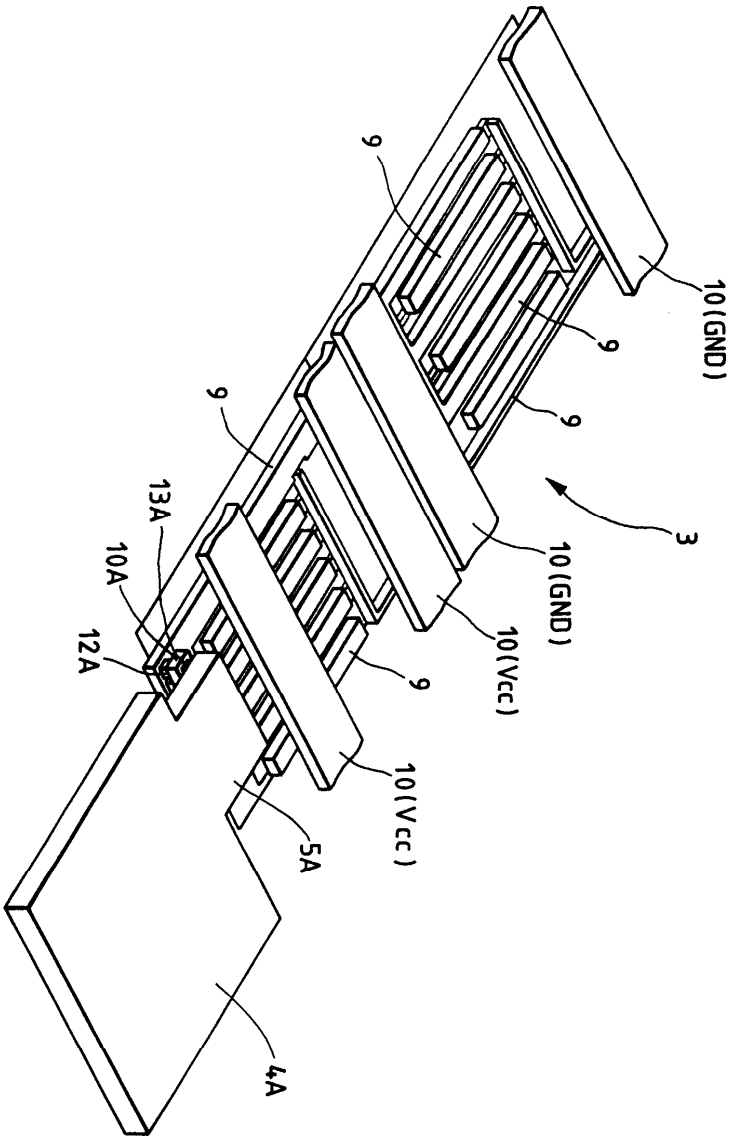
도면2c



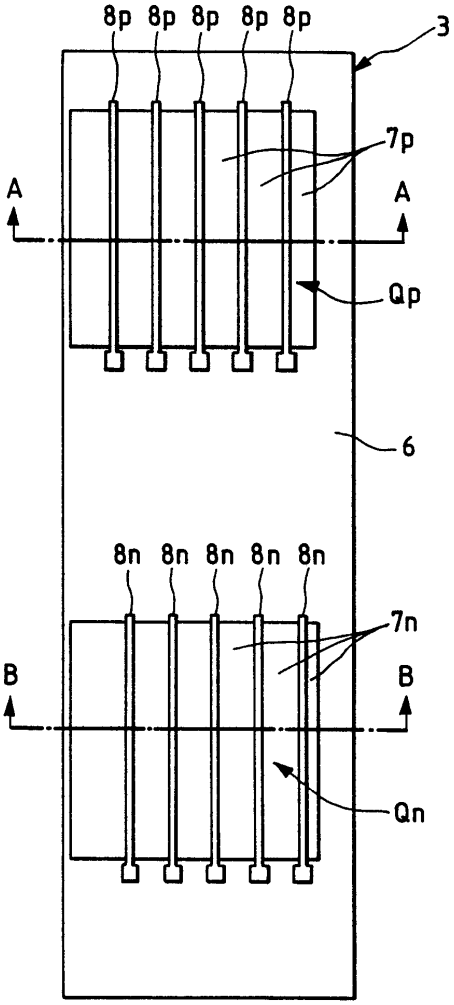
도면3



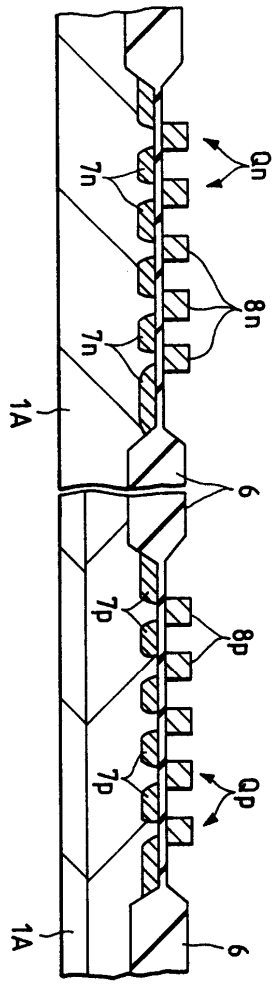
도면4



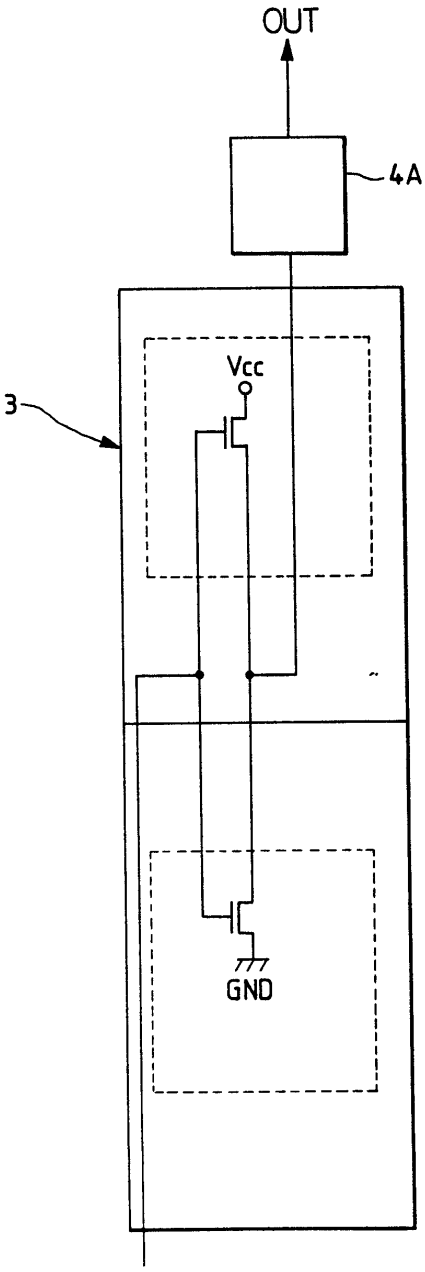
도면5a



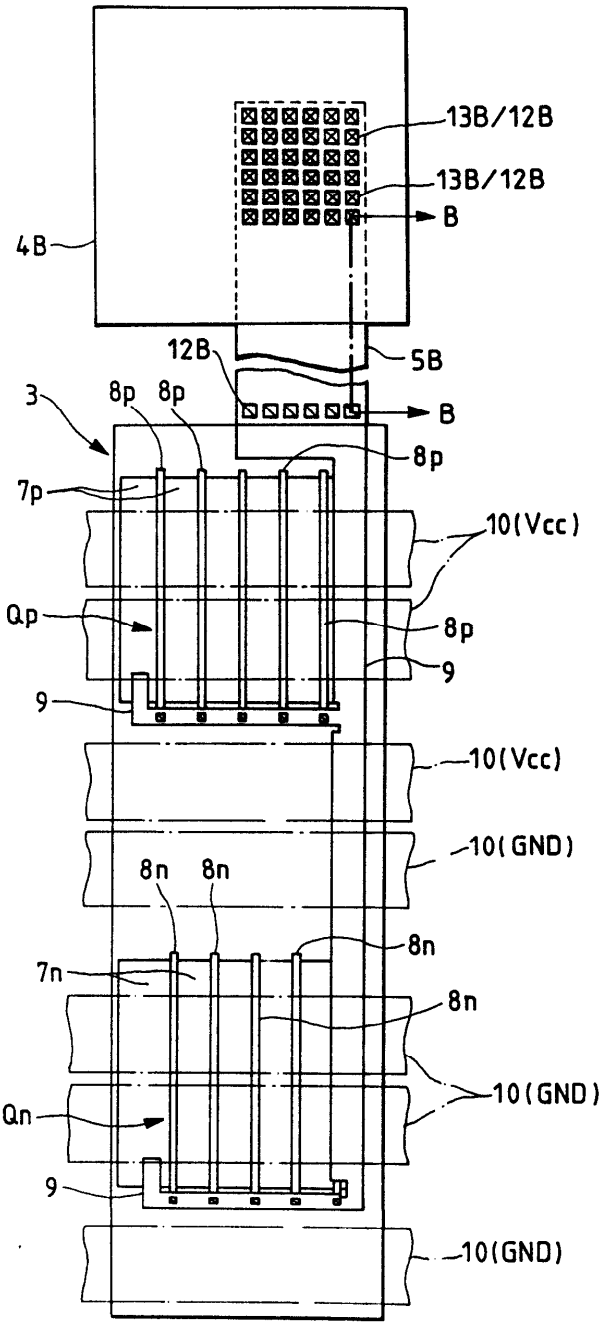
도면5b



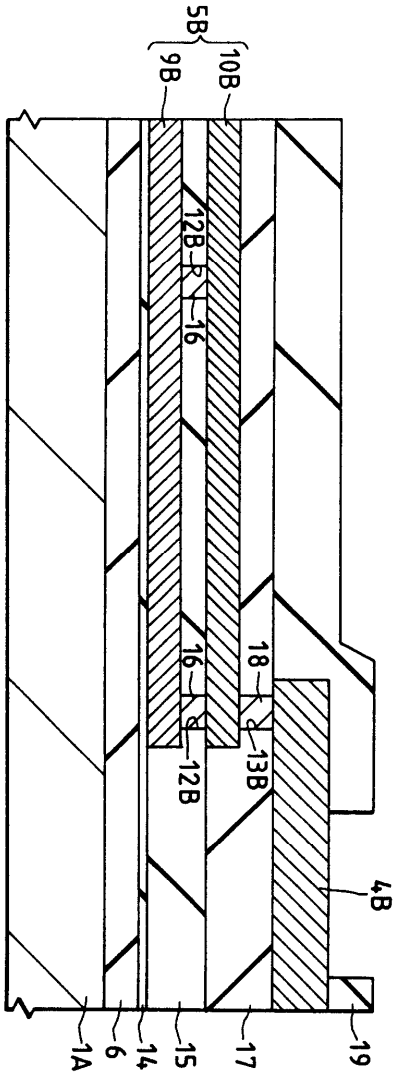
도면6



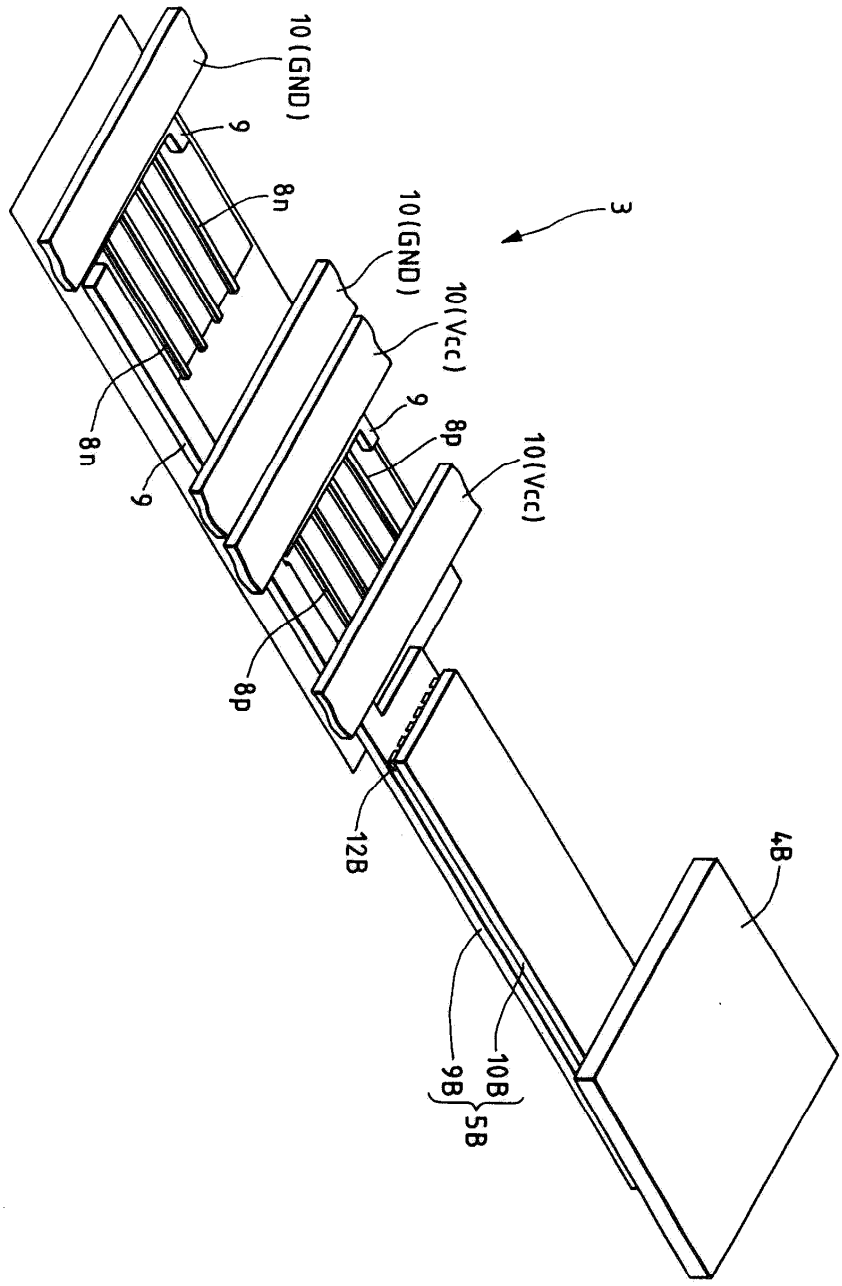
도면7a


13B/12B
13B/12B
B
4B
12B
5B
3
8p
8p
B
8p
7p
10(Vcc)
Qp
8p
9
9
10(Vcc)
10(GND)
8n
8n
8n
7n
8n
10(GND)
Qn
9
10(GND)

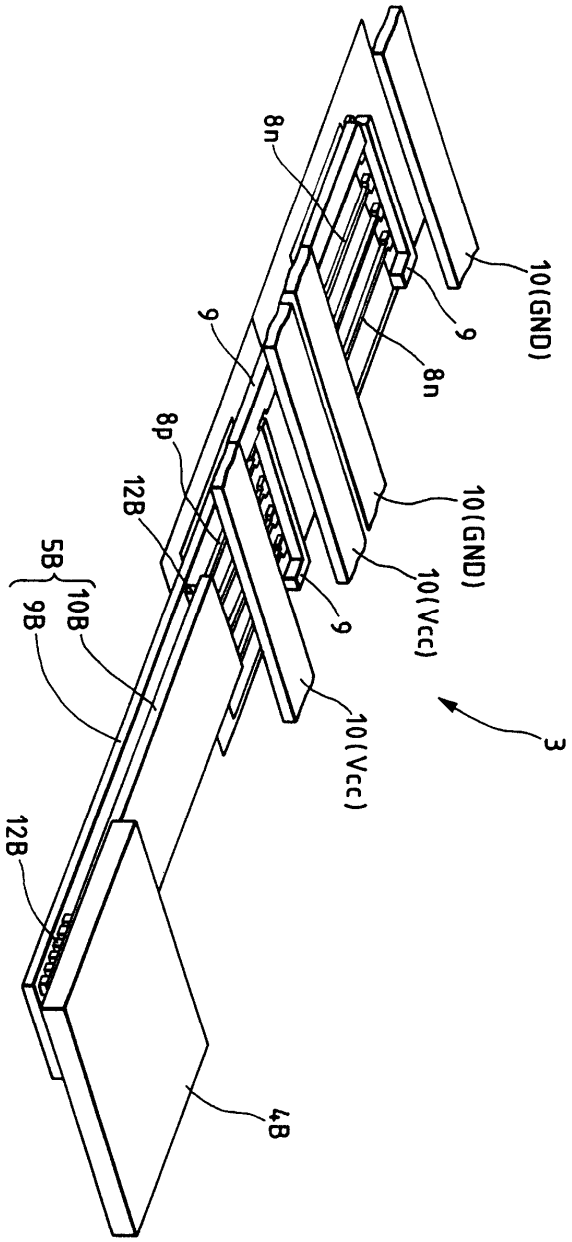
도면7b



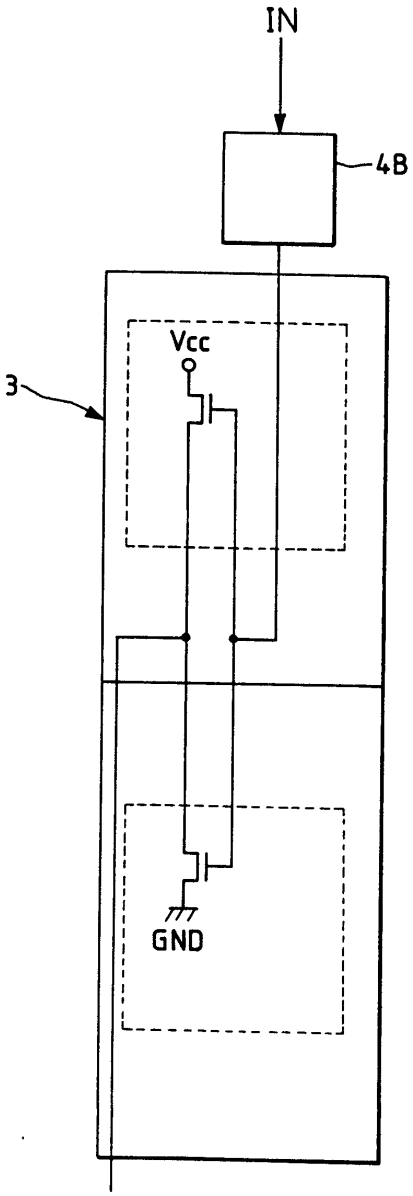
도면8



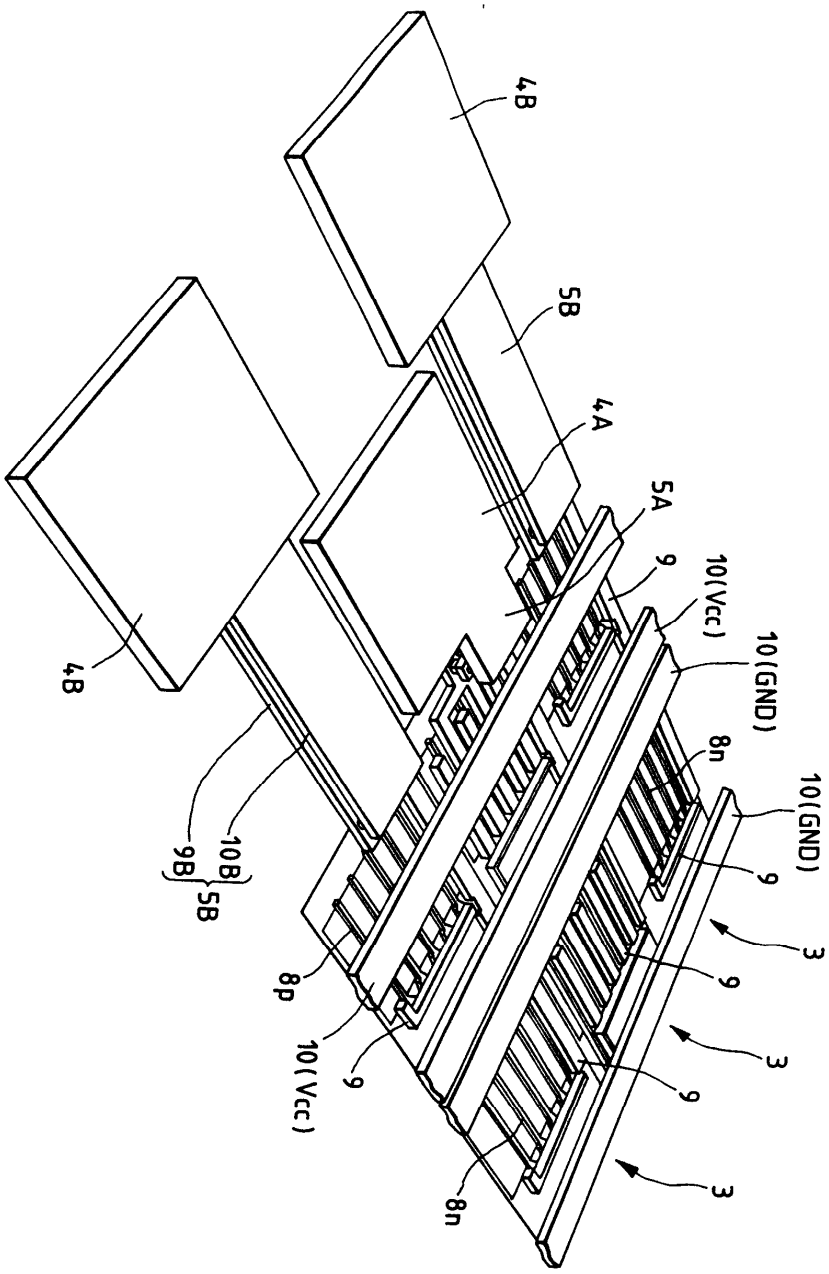
도면9



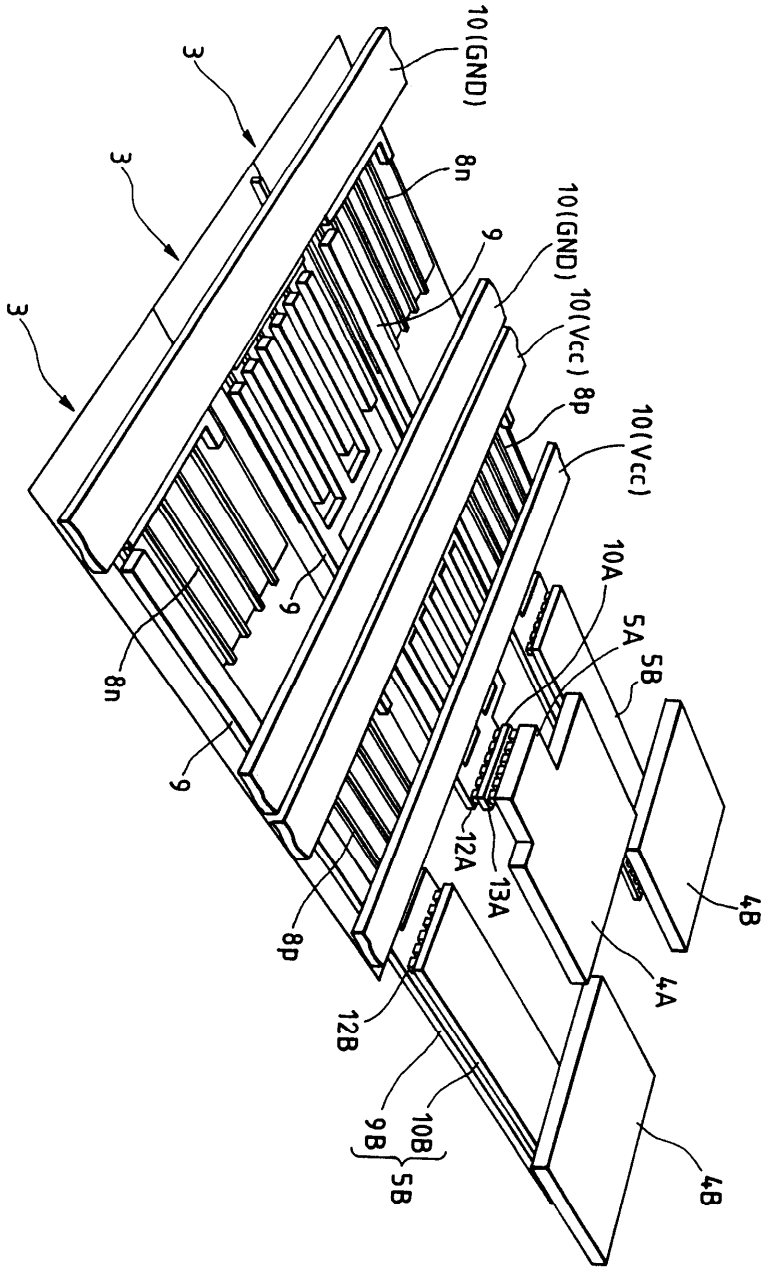
도면10



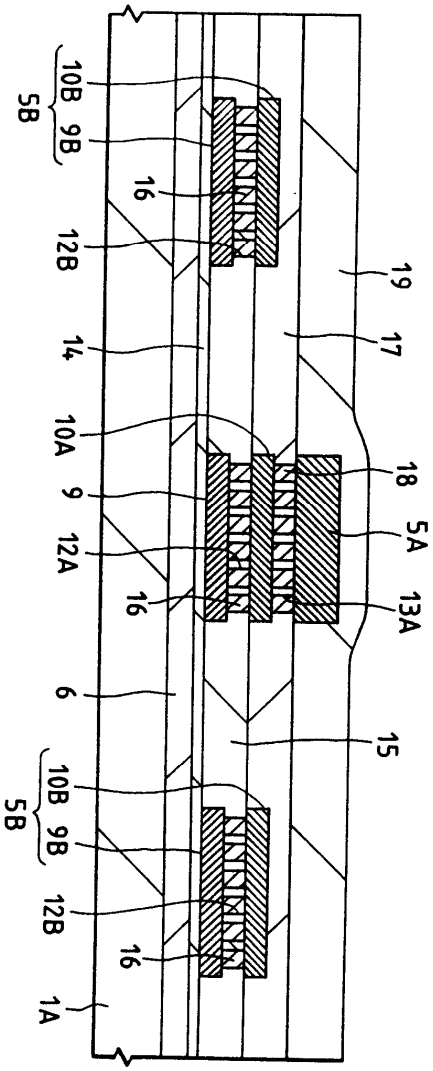
도면11


4B
5B
4A
5A
9
10(Vcc)
10(GND)
8n
10(GND)
9
3
9
3
9
3
8n
10(Vcc)
9
8p
9B
10B
5B
4B

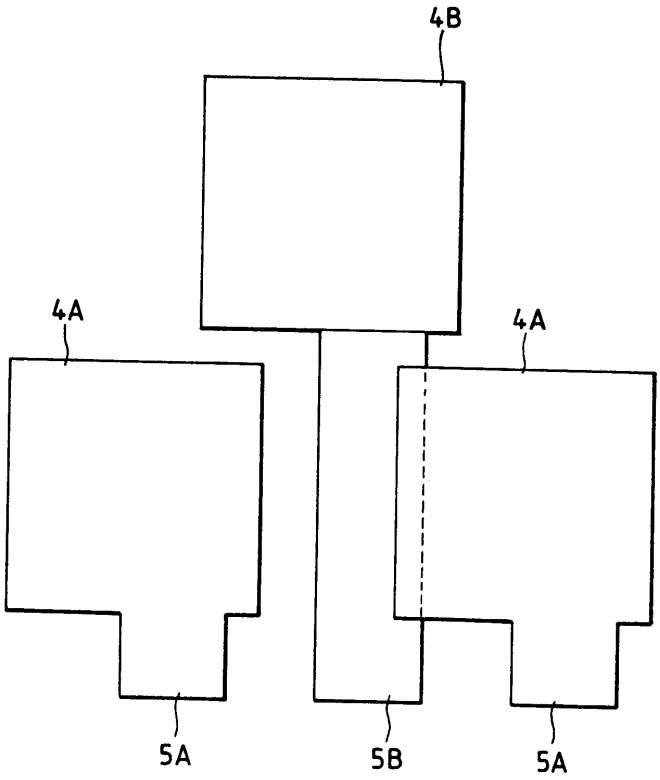
도면12


10(GND)
3
3
8n
9
10(GND)
10(Vcc)
8p
3
10(Vcc)
10A
5A
5B
8n
9
9
12A
13A
4B
8p
4A
12B
9B
10B
5B
4B

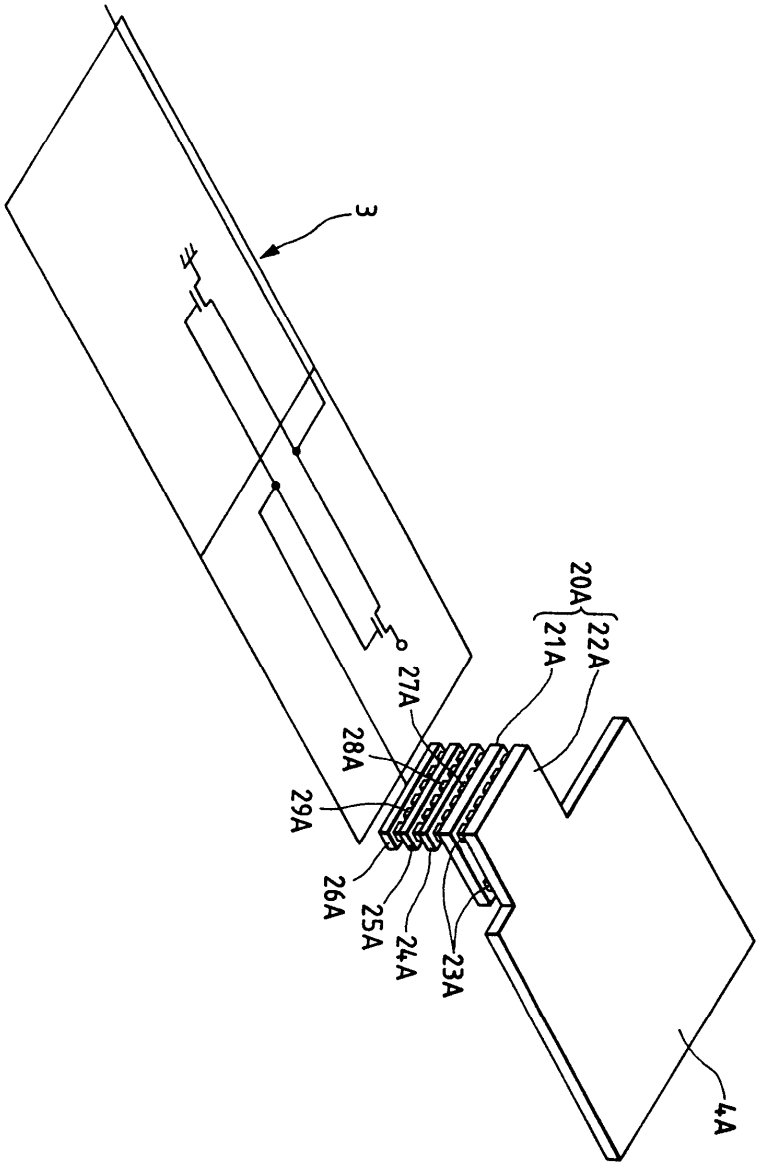
도면13


10B
9B
5B
16
12B
14
10A
9
12A
16
6
10B
9B
5B
12B
16
1A
19
17
18
5A
13A
15

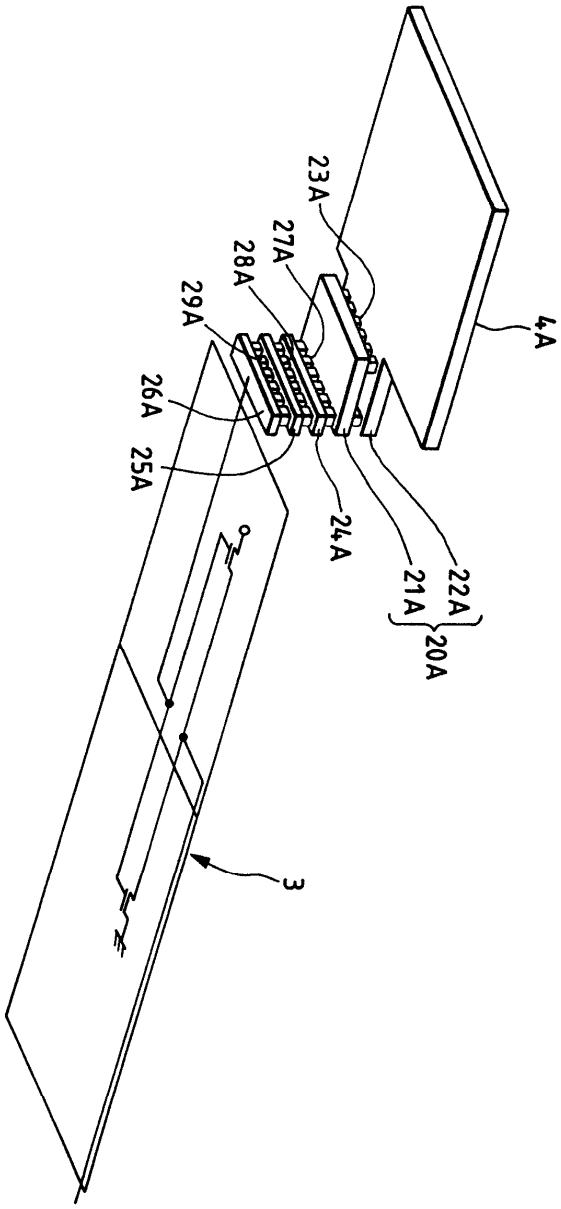
도면14



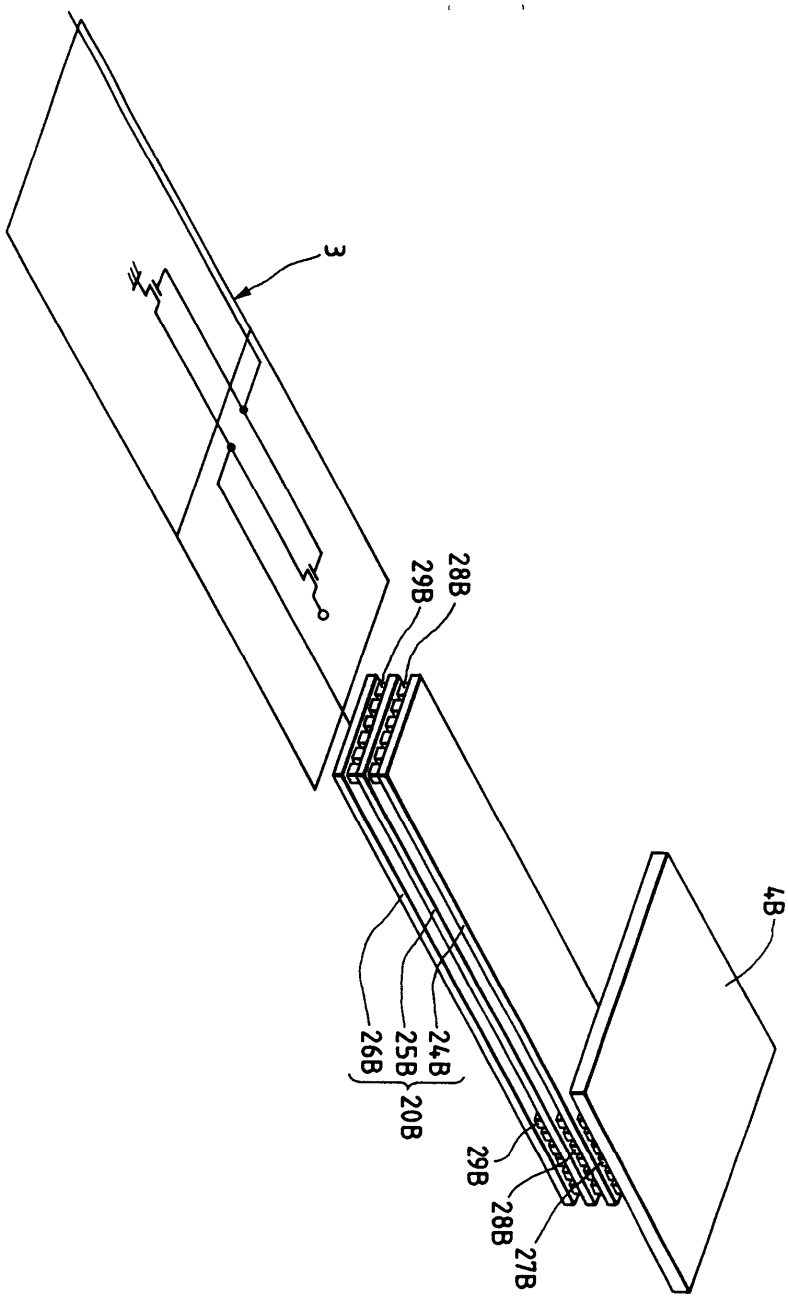
도면15



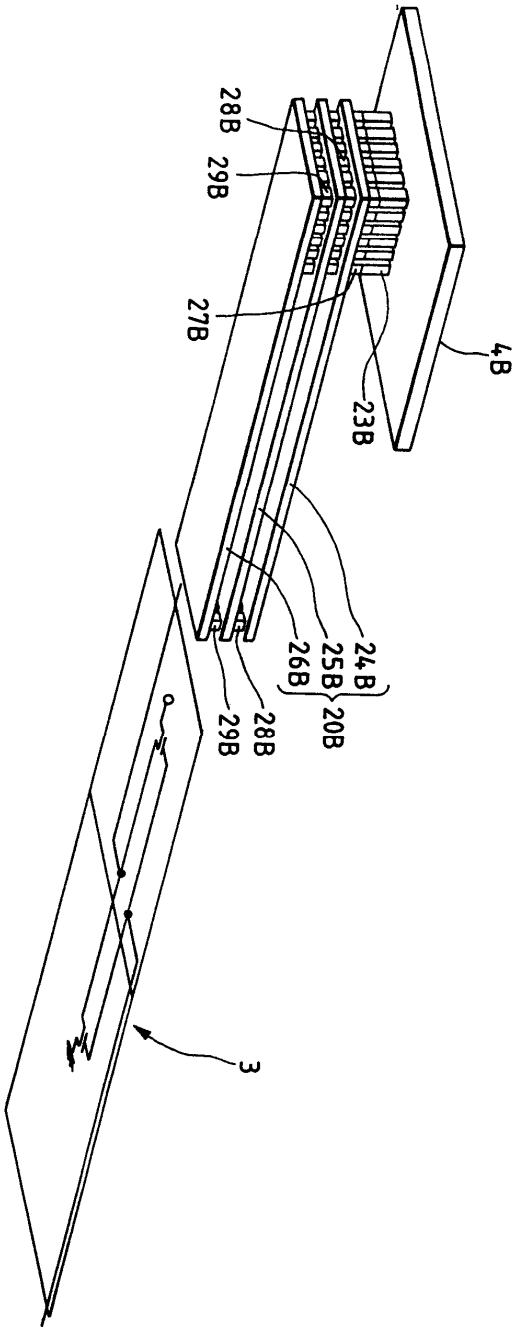
도면16



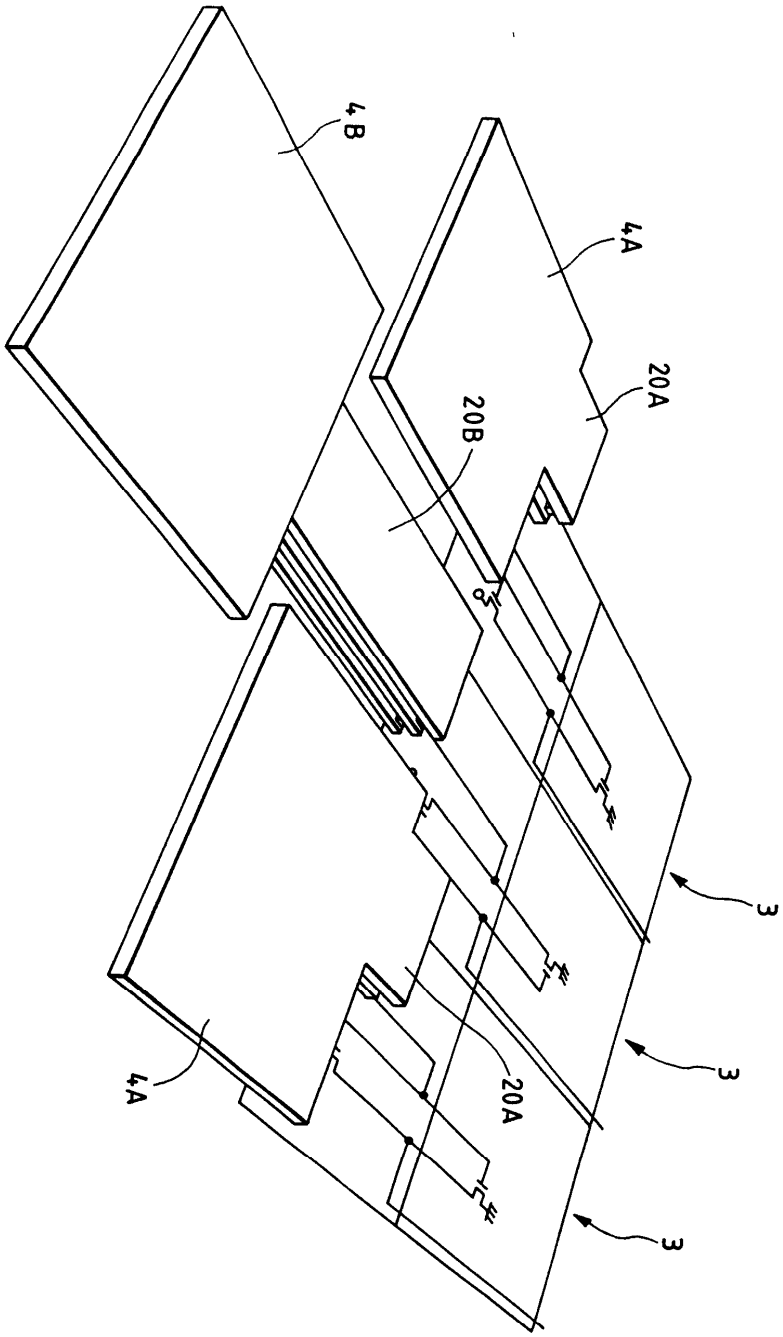
도면17



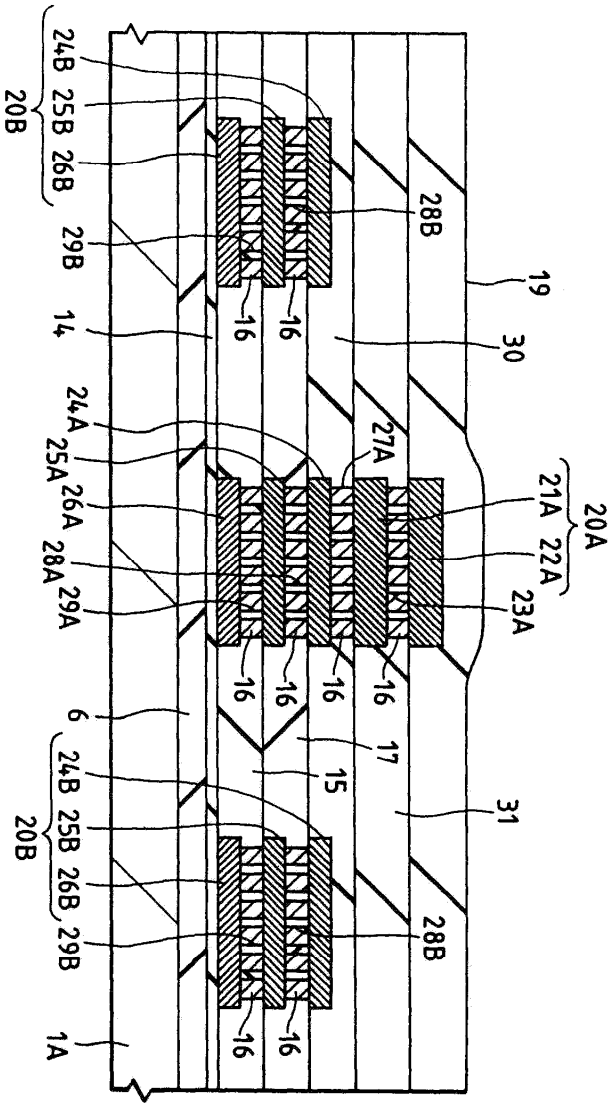
도면18



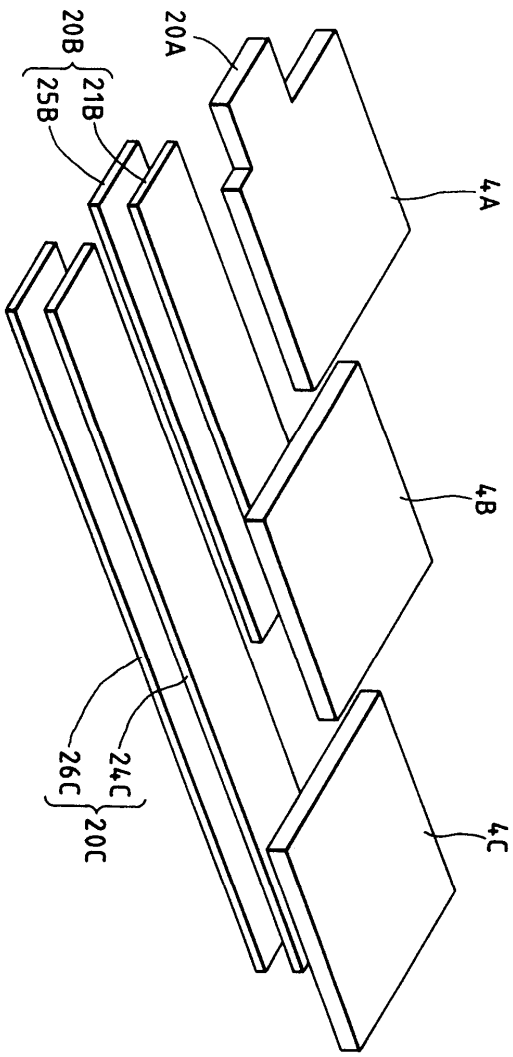
도면19



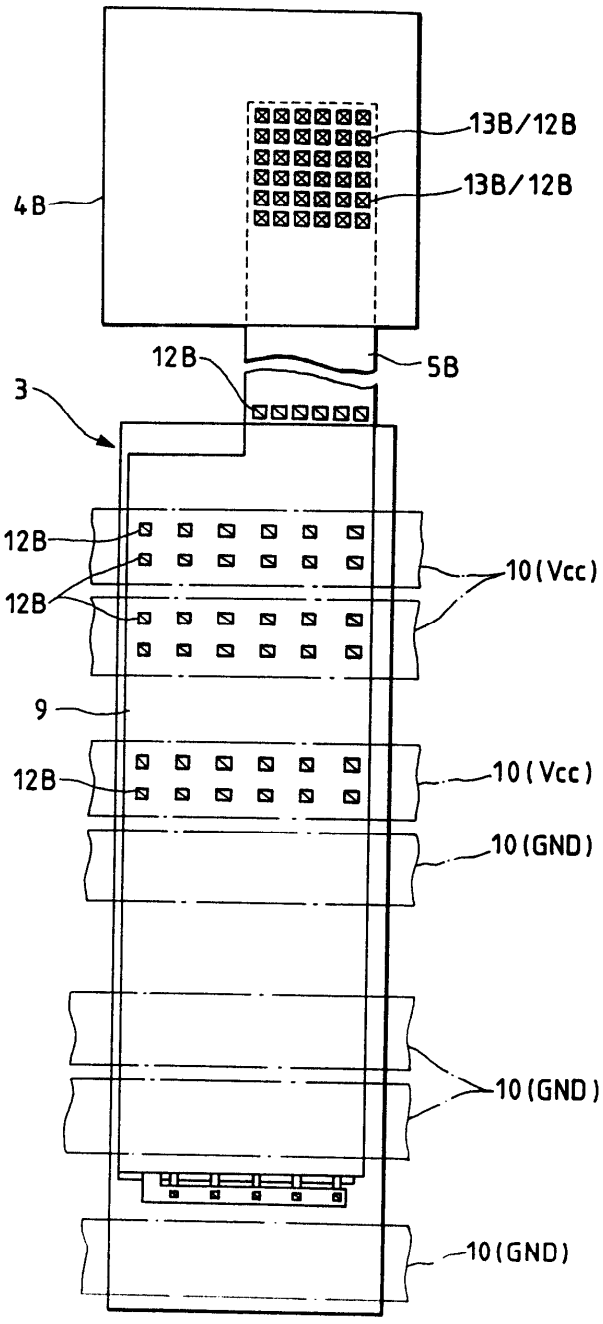
도면20


24B
25B
26B
20B
29B
14
24A
25A
26A
28A
29A
6
24B
25B
26B
20B
29B
1A
16
28B
19
30
27A
21A
22A
20A
23A
17
15
31
28B

도면21



도면22


13B/12B
13B/12B
4B
12B
5B
3
12B
12B
10(Vcc)
9
12B
10(Vcc)
10(GND)
10(GND)
10(GND)

도면23

