



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/40 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월26일 10-0698987 2007년03월16일
---	-------------------------------------	--

(21) 출원번호	10-2001-0018003	(65) 공개번호	10-2001-0095332
(22) 출원일자	2001년04월04일	(43) 공개일자	2001년11월03일
심사청구일자	2006년04월03일		

(30) 우선권주장 2000-104015 2000년04월05일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자 노구찌준지
일본도쿄도지요다구마루노우치1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적소유권본부내

오하시나오후미
일본도쿄도지요다구마루노우치1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적소유권본부내

사이또다쓰유키
일본도쿄도지요다구마루노우치1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적소유권본부내

(74) 대리인 장수길
 구영창

(56) 선행기술조사문헌	
KR1019990081775 A	KR100161883 B1
JP11204523 A	JP09069522 A
KR200000017634	
* 심사관에 의하여 인용된 문헌	

심사관 : 배진용

전체 청구항 수 : 총 32 항

(54) 반도체 집적 회로 장치의 제조 방법

(57) 요약

상감법을 이용하여 형성된 구리 배선의 절연 파괴내성(신뢰성)을 향상한다.

산화 실리콘막(39)의 배선흘(40)에 매립하는 Cu 배선(46a ~ 46e)을 CMP를 이용한 연마로 형성하고, CMP 후의 세정 공정을 거친 후에 산화 실리콘막(39) 및 Cu 배선(46a ~ 46e)의 표면을 환원성 플라즈마(암모니아 플라즈마)로 처리한다. 그 후, 진공 파괴하지 않고 연속적으로 캡막(질화 실리콘막)을 형성한다.

대표도

도 16

특허청구의 범위

청구항 1.

반도체 집적 회로 장치의 제조 방법으로서,

- (a) 웨이퍼의 제1 주면 위에 제1 절연막을 형성하는 단계,
 - (b) 상기 제1 절연막 내에 홈을 형성하고, 상기 제1 절연막 내에 상기 홈의 저면에 접속되는 관통 구멍을 형성하는 단계,
 - (c) 상기 홈과 상기 관통 구멍의 내측 표면들 위와, 상기 제1 절연막의 상면 위에 배리어 금속막을 형성하는 단계,
 - (d) 99.999% 이상의 순도를 갖는 구리 타겟을 이용한 구리 스퍼터링에 의해 상기 홈과 상기 관통 구멍의 내부 및 외부의 상기 배리어 금속막 위에 구리 시드층을 형성하는 단계,
 - (e) 상기 홈과 상기 관통 구멍을 충전하도록 전기 도금에 의해 상기 홈과 상기 관통 구멍의 내부 및 외부의 상기 구리 시드층 상에 구리를 주성분으로 함유하는 구리막을 형성하는 단계,
 - (f) 상기 홈과 상기 관통 구멍 내에 구리 배선을 남기도록 상기 홈과 상기 관통 구멍 외부의 상기 배리어 금속막, 상기 구리 시드층, 및 상기 구리 시드층 상에 형성된 상기 구리막을 제거함으로써, 상기 제1 절연막을 노출시키는 단계,
 - (g) 노출된 상기 제1 절연막의 표면 및 상기 구리 배선의 상면에 암모니아 플라즈마 처리를 수행하는 단계, 및
 - (h) 노출된 상기 제1 절연막의 표면 및 상기 구리 배선의 상면 상에 플라즈마 CVD에 의해 절연성 배리어막을 형성하는 단계
- 를 포함하고,

상기 구리 배선 내의 구리 이외의 다른 성분들의 총 농도는, 상기 단계 (h)가 완료될 때, 0.8 At% 이하이고, 상기 홈과 상기 관통 구멍 내의 상기 배리어 금속막의 가장 얇은 부분의 막 두께는 10nm 미만인 반도체 집적 회로 장치의 제조 방법.

청구항 2.

제1항에 있어서, 상기 구리 타겟의 순도는 99.9999% 이상인 반도체 집적 회로 장치의 제조 방법.

청구항 3.

제1항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.2 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 4.

제1항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.08 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 5.

제1항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.05 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 6.

제1항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.02 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 7.

제1항에 있어서, 상기 홈과 상기 관통 구멍 내의 상기 배리어 금속막의 가장 얇은 부분의 막 두께는 5nm 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 8.

제1항에 있어서, 상기 홈과 상기 관통 구멍 내의 상기 배리어 금속막의 가장 얇은 부분의 막 두께는 3nm 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 9.

제1항에 있어서, 상기 홈과 상기 관통 구멍 내의 상기 배리어 금속막의 가장 얇은 부분의 막 두께는 2nm 이하이거나, 배리어 금속막이 존재하지 않는 반도체 집적 회로 장치의 제조 방법.

청구항 10.

제1항에 있어서, 상기 홈의 폭은 $0.4\mu\text{m}$ 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 11.

제1항에 있어서, 상기 홈의 폭은 $0.25\mu\text{m}$ 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 12.

제1항에 있어서, 상기 홈의 폭은 $0.2\mu\text{m}$ 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 13.

반도체 집적 회로 장치의 제조 방법으로서,

(a) 웨이퍼의 제1 주면 위에 제1 절연막 및 제2 절연막을 형성하는 단계,

- (b) 상기 제2 절연막 내에 홈을 형성하고, 상기 제1 절연막 내에 관통 구멍을 형성하는 단계 - 상기 관통 구멍은 상기 홈의 저면에 접속됨 -,
- (c) 상기 홈과 상기 관통 구멍의 노출된 표면과, 상기 제2 절연막의 상면에 암모니아 플라즈마 처리를 수행하는 단계,
- (d) 상기 홈과 상기 관통 구멍의 내측 표면 및 상기 제2 절연막의 상면 위에 배리어 금속막을 형성하는 단계,
- (e) 99.999% 이상의 순도를 갖는 구리 타겟을 이용한 구리 스퍼터링에 의해 상기 홈과 상기 관통 구멍의 내부 및 외부의 상기 배리어 금속막 위에 구리 시드층을 형성하는 단계,
- (f) 상기 홈 및 상기 관통 구멍을 충전하도록 전기 도금에 의해 상기 홈과 상기 관통 구멍 내부 및 외부의 상기 구리 시드층 상에 구리를 주성분으로 함유한 구리막을 형성하는 단계,
- (g) 상기 홈 및 상기 관통 구멍 내에 구리 배선을 남기도록, 상기 홈과 상기 관통 구멍의 외부의 상기 배리어 금속막, 상기 구리 시드층, 및 상기 구리 시드층 상에 형성된 상기 구리막을 제거함으로써, 상기 제2 절연막을 노출시키는 단계,
- (h) 노출된 상기 제2 절연막의 표면 및 상기 구리 배선의 상면에 암모니아 플라즈마 처리를 수행하는 단계, 및
- (i) 노출된 상기 제2 절연막의 표면 및 상기 구리 배선의 상면 상에 플라즈마 CVD에 의해 절연성 배리어막을 형성하는 단계
- 를 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 14.

제13항에 있어서, 상기 구리 타겟의 순도는 99.9999% 이상인 반도체 집적 회로 장치의 제조 방법.

청구항 15.

제13항에 있어서, 상기 구리 배선 내의 구리 이외의 다른 성분들의 총 농도는, 상기 단계 (h)가 완료될 때, 0.8 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 16.

제15항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.08 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 17.

제15항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.05 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 18.

제15항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.02 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 19.

제13항에 있어서, 상기 홈과 상기 관통 구멍 내의 상기 배리어 금속막의 가장 얇은 부분의 막 두께는 10nm 미만인 반도체 집적 회로 장치의 제조 방법.

청구항 20.

제19항에 있어서, 상기 막 두께는 3nm 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 21.

제19항에 있어서, 상기 막 두께는 2nm 이하이거나, 배리어 금속막이 존재하지 않는 반도체 집적 회로 장치의 제조 방법.

청구항 22.

제13항에 있어서, 상기 홈의 폭은 $0.4\mu\text{m}$ 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 23.

제13항에 있어서, 상기 홈의 폭은 $0.25\mu\text{m}$ 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 24.

제13항에 있어서, 상기 홈의 폭은 $0.2\mu\text{m}$ 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 25.

반도체 집적 회로 장치의 제조 방법으로서,

- (a) 웨이퍼의 제1 주면 위에 제1 절연막 및 제2 절연막을 형성하는 단계,
- (b) 상기 제2 절연막 내에 홈을 형성하고, 상기 제1 절연막 내에 관통 구멍을 형성하는 단계 - 상기 관통 구멍은 상기 홈의 저면에 접속됨 -,
- (c) 상기 홈과 상기 관통 구멍의 노출된 표면과, 상기 제2 절연막의 상면에 수소 플라즈마 처리를 수행하는 단계,
- (d) 상기 홈과 상기 관통 구멍의 내측 표면 및 상기 제2 절연막의 상면 위에 배리어 금속막을 형성하는 단계,
- (e) 99.999% 이상의 순도를 갖는 구리 타겟을 이용한 구리 스퍼터링에 의해 상기 홈과 상기 관통 구멍의 내부 및 외부의 상기 배리어 금속막 위에 구리 시드층을 형성하는 단계,
- (f) 상기 홈 및 상기 관통 구멍을 충전하도록 전기 도금에 의해 상기 홈과 상기 관통 구멍 내부 및 외부의 상기 구리 시드층 상에 구리를 주성분으로 함유한 구리막을 형성하는 단계,
- (g) 상기 홈 및 상기 관통 구멍에 구리 배선을 남기도록, 상기 홈과 상기 관통 구멍의 외부의 상기 배리어 금속막, 상기 구리 시드층, 및 상기 구리 시드층 상에 형성된 상기 구리막을 제거함으로써, 상기 제2 절연막을 노출시키는 단계,
- (h) 노출된 상기 제2 절연막의 표면 및 상기 구리 배선의 상면에 암모니아 플라즈마 처리를 수행하는 단계, 및

(i) 노출된 상기 제2 절연막의 표면 및 상기 구리 배선의 상면 상에 플라즈마 CVD에 의해 절연성 배리어막을 형성하는 단계

를 포함하고,

상기 구리 배선 내의 구리 이외의 다른 성분들의 총 농도는, 상기 단계 (h)가 완료될 때, 0.8 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 26.

제25항에 있어서, 상기 구리 타겟의 순도는 99.9999% 이상인 반도체 집적 회로 장치의 제조 방법.

청구항 27.

제25항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.2 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 28.

제25항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.08 At%를 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 29.

제25항에 있어서, 상기 구리 이외의 다른 성분들의 총 농도는 0.05 At% 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 30.

제25항에 있어서, 상기 홈과 상기 관통 구멍 내의 상기 배리어 금속막의 가장 얇은 부분의 막 두께는 10nm 미만인 반도체 집적 회로 장치의 제조 방법.

청구항 31.

제30항에 있어서, 상기 막 두께는 5nm 이하인 반도체 집적 회로 장치의 제조 방법.

청구항 32.

제30항에 있어서, 상기 막 두께는 2nm 이하이거나, 배리어 금속막이 존재하지 않는 반도체 집적 회로 장치의 제조 방법.

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

삭제

청구항 40.

삭제

청구항 41.

삭제

청구항 42.

삭제

청구항 43.

삭제

청구항 44.

삭제

청구항 45.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치의 제조 방법 및 반도체 집적 회로 장치 기술에 관한 것으로, 특히 구리를 주도전층으로 하는 매립 배선을 갖는 반도체 집적 회로 장치의 제조 방법 및 반도체 집적 회로 장치에 적용하여 유효한 기술에 관한 것이다.

반도체 집적 회로 장치, 반도체 장치, 전자 회로 장치 또는 전자 장치 등을 구성하는 배선의 형성 기술로서는 절연막 상에, 예를 들면 알루미늄 또는 텅스텐 등과 같은 도체막을 피착한 후, 이것을 통상의 포토리소그래피 기술 및 드라이 에칭 기술에 의해서 패터닝함으로써 배선을 형성하는 기술이 확립되어 있다.

그러나, 상기 배선 형성 기술에서는 상기 반도체 집적 회로 장치 등을 구성하는 소자나 배선의 미세화에 따라 배선 저항의 증대가 현저해지고 배선 지연이 생기는 결과, 반도체 집적 회로 장치 등의 성능을 더 향상시키는데에 한계가 있다. 그래서, 최근, 예를 들면 상감(Damascene)이라고 불리는 배선 형성 기술이 검토되어 있다. 이 상감법은 단일 상감(Single-Damascene)법과 이중 상감(Dual-Damascene)법으로 크게 구별할 수 있다.

단일 상감법은, 예를 들면 절연막에 배선홈을 형성한 후, 그 절연막 상 및 배선홈 내에 배선 형성용 주도전층을 피착하고 또한 그 주도전층을, 예를 들면 화학적 기계적 연마법(CMP ; Chemical Mechanical Polishing)에 의해서 배선홈 내에만 남겨지도록 연마함으로써 배선홈 내에 매립 배선을 형성하는 방법이다.

또한, 이중 상감법은 절연막에 배선홈 및 하층 배선과의 접속을 행하기 위한 접속 구멍을 형성한 후, 그 절연막 상, 배선홈 및 접속 구멍 내에 배선 형성용 주도전층을 피착하고 또한 그 주도전층을 CMP 등에 의해서 배선홈 및 접속 구멍 내에만 남겨지도록 연마함으로써, 배선홈 및 접속 구멍 내에 매립 배선을 형성하는 방법이다.

어느 한쪽의 방법에서도, 배선의 주도전층 재료로서는 반도체 집적 회로 장치의 성능을 향상시키는 관점 등으로부터, 예를 들면 구리 등과 같은 저저항인 재료가 사용된다. 구리는 알루미늄보다도 저저항으로 신뢰성에서의 허용 전류가 2자릿수 이상크다는 이점을 갖는다. 따라서, 동일 배선 저항을 얻는데 막을 얇게 할 수 있어 인접하는 배선 간의 용량도 저감할 수 있다.

그러나, 구리는 예를 들면 알루미늄이나 텅스텐 등과 같은 다른 금속과 비교하여 절연막 중에 확산되기 쉽다. 이 때문에, 구리를 배선 재료로서 이용하는 경우, 구리로 이루어지는 주도전층 표면(저면 및 측면), 즉 배선홈 내벽면(측면 및 저면)에 구리의 확산을 방지하기 위한 얇은 도전성 배리어막을 형성할 필요성이 있다. 또한, 배선홈이 형성된 절연막의 상면 상의 전면에 상기 매립 배선의 상면을 덮도록, 예를 들면 질화 실리콘막 등으로 이루어지는 캡막을 피착함으로써, 매립 배선 중 구리가 매립 배선의 상면에서부터 절연막 중에 확산하는 것을 방지하는 기술이 있다.

또, 이러한 매립 배선 기술에 대해서는, 예를 들면 특개평 10-154709호 공보에 기재가 있고, 매립형 배선을 산소 농도 또는 유황 농도가 3ppm 이하인 고순도의 구리로 함으로써, 구리의 표면 확산성이나 유동성을 촉진시켜서, 미세하게 어스펙트비가 높은 콘택트홀의 매립성을 향상시키는 기술이 개시되고 있다.

또한, 예를 들면 특개평 11-87349호 공보에는, 절연막에 배선홈 및 접속 구멍을 형성한 후, 순도가 99.999wt%(5N) 이상의 타겟을 이용한 스퍼터링법에 의해서 구리막을 형성하는 기술이 개시되어 있다. 또한, 이 공보에는 구리의 매립성을 용이하게 하기 위해서 배선홈 및 접속 구멍의 표면에 질화 티탄/티탄막을 배리어층으로서 형성하는 기술이 개시되어 있다.

또한, 예를 들면 특개평 11-87509호 공보 또는 특개평 11-220023호 공보에는 비아의 저면의 배리어층을 제거하고, 비아의 저항을 저감하는 기술이 개시되어 있다.

또한, 예를 들면 특개평 11-16912호 공보에는 접속 구멍의 저부에서 노출하는 배선 부분에 형성된 산화층을 환원성의 분위기 중에서 열, 플라즈마 또는 자외선 조사 처리를 실시함으로써 소실시키는 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 본 발명자 등의 검토 결과에 따르면, 상기 구리를 주도전층으로 하는 매립 배선을 갖는 반도체 집적 회로 장치 기술에서는 이하의 과제가 있는 것을 발견하였다.

즉, 제1에 구리를 주도전층으로 하는 매립 배선의 치수(배선의 폭, 두께, 인접 배선의 중심에서 중심까지의 거리 및 인접 배선의 간격)가 미세화됨에 따라 배선 단면적 중에 차지하는 고저항의 도전성 배리어막의 단면적이 상대적으로 커지는 결과, 매립 배선의 저항이 증대하는 문제가 있다. 이 때문에, 성능 향상을 위해서 배선 재료로서 구리를 이용했음에도 불구하고, 반도체 집적 회로 장치의 성능 향상이 저해되는 문제가 생긴다.

제2에, 상기 제1 문제를 해결하기 위해서 아무런 기술적인 처리를 실시하지 않고, 단지 단순히 배리어막을 얇게 하거나 혹은 없애면 배선 저항의 저감은 도모할 수 있지만, 구리의 확산이 생기고, 서로 인접하는 매립 배선 간의 절연 파괴 내성이 현저하게 저하하는 문제가 있다. 이 때문에, 신뢰성이 높은 반도체 집적 회로 장치를 제공할 수 없다는 문제가 생긴다. 또한, 반도체 집적 회로 장치의 수율이 저하하는 결과, 반도체 집적 회로 장치의 비용이 비싸지는 문제가 생긴다.

제3에, 구리를 주도전층으로 하는 매립 배선 상의 캡막으로서 질화 실리콘막을 이용하면, 구리와 질화 실리콘막과의 계면에 실리사이드물이 형성되고, 그 매립 배선의 저항이 증대하는 문제가 있다. 또한, 이 실리사이드물은 후술한 바와 같이 구리의 확산이 주요한 원인 중 하나인 것이 본 발명자 등의 실험에 의해서 처음으로 발견되었다. 이 때문에, 반도체 집적 회로 장치의 성능 향상이 저해되는 문제가 있다. 또한, 반도체 집적 회로 장치의 수율 및 신뢰성이 대폭 저하하는 문제가 생긴다.

제4에, 매립 배선의 배선층과, 그 상층에 형성된 절연막(예를 들면 상기 캡막) 간에 박리가 생기는 문제가 있다. 이 때문에, 반도체 집적 회로 장치의 수율 및 신뢰성이 대폭 저하하는 문제가 생긴다.

그래서, 본 발명의 목적은 구리를 주도전층으로 하는 매립 배선의 저항을 저감시킬 수 있는 기술을 제공하는데 있다.

또한, 본 발명의 다른 목적은 구리를 주도전층으로 하는 매립 배선 간의 절연 파괴내성을 향상시킬 수 있는 기술을 제공하는데 있다.

또한, 본 발명의 다른 목적은 구리를 주도전층으로 하는 매립 배선의 배선층과 캡막과의 밀착성을 향상시킬 수 있는 기술을 제공하는데 있다.

또한, 본 발명의 다른 목적은 구리를 주도전층으로 하는 매립 배선을 갖는 반도체 집적 회로 장치의 신뢰성을 향상시킬 수 있는 기술을 제공하는데 있다.

또한, 본 발명의 다른 목적은 구리를 주도전층으로 하는 매립 배선을 갖는 반도체 집적 회로 장치의 수율을 향상시킬 수 있는 기술을 제공하는데 있다.

또한, 본 발명의 다른 목적은 구리를 주도전층으로 하는 매립 배선을 갖는 반도체 집적 회로 장치의 성능을 향상시킬 수 있는 기술을 제공하는데 있다.

본 발명의 상기 및 그 외의 목적과 신규인 특징은 본 명세서의 기술 및 첨부도면에서 밝혀질 것이다.

발명의 구성

본 원에서 개시되는 발명 중 대표적이지만 개요를 간단히 설명하면 다음과 같다.

1. 본 발명은 절연막에 형성된 오목부 내에 도전성 배리어층을 통하여 매립된 구리를 주성분으로 하는 매립 배선층, 상기 절연막 및 매립 배선층의 상면을 덮도록 형성된 캡 절연막을 포함하고, 상기 매립 배선층 중 구리 이외의 성분의 농도는 반도체 칩으로서 완성한 시점에 있어서, 0.8At.% 이하로 하는 것이다.
2. 본 발명은 상기항 1에 있어서, 상기 오목부 내의 측벽부에서 상기 도전성 배리어막의 가장 두꺼운 부분 또는 가장 얇은 부분의 막 두께는 10nm 미만으로 하는 것이다.
3. 본 발명은 상기항 1에 있어서, 상기 오목부의 측벽부에서 상기 도전성 배리어막의 가장 두꺼운 부분 또는 가장 얇은 부분의 막 두께는 2nm 이하로 하는 것이다.
4. 본 발명은 상기항 1에 있어서, 상기 오목부 내에 상기 도전성 배리어막 자체가 존재하지 않는 것이다.
5. 본 발명은 상기항 1에서 상기 오목부 내에 상기 매립 메탈 배선층이 직접 접하고 있는 것이다.
6. 본 발명은 반도체 기판 상에 형성된 절연막에 오목부를 형성하는 공정, 상기 오목부 내를 포함하는 절연막 상에 도전성 배리어막을 피착하는 공정, 상기 오목부 내를 포함하는 도전성 배리어막 상에 구리를 주성분으로 갖는 메탈막을 피착하는 공정, 상기 메탈막 및 도전성 배리어막을 제거함으로써 상기 오목부 내에 도전성 배리어막을 통하여 매립 메탈 배선층을 형성하는 공정을 포함하고, 상기 반도체 기판으로부터 형성된 반도체 칩의 완성 시점의 상기 매립 메탈 배선층에서의 구리 이외의 성분의 농도가 0.8At.% 이하로, 상기 매립 메탈 배선층을 형성하기 위해서 구리를 주성분으로 하는 메탈막을 형성한 시점에서의 상기 메탈막의 구리의 순도는 99.999% 이상으로 하는 것이다.

7. 본 발명은 상기항 6에 있어서, 상기 메탈막은 구리의 순도가 99.999% 이상인 타겟을 이용한 스퍼터링법에 의해서 형성하는 것이다.
8. 본 발명은 상기항 6에 있어서, 상기 메탈막은 구리의 순도는 99.9999% 이상인 타겟을 이용한 스퍼터링에 의해 형성하는 것이다.
9. 본 발명은 상기항 6에 있어서, 상기 메탈막을 화학 기계 연마법에 의해 제거하여 매립 배선층을 형성한 후, 상기 절연막 및 매립 배선층의 상면을 환원성을 갖는 기체의 분위기 중에서 플라즈마 처리하는 공정, 상기 플라즈마 처리 후의 상기 절연막 및 매립 메탈 배선층 상에 캡 절연막을 형성하는 공정을 포함하는 것이다.
10. 본 발명은 상기항 9에 있어서, 상기 환원성을 갖는 기체의 분위기는 수소를 주요 구성 요소로서 포함하는 것이다.
11. 본 발명은 상기항 9에 있어서, 상기 환원성을 갖는 기체의 분위기는 더욱 질화 작용을 갖는 것이다.
12. 본 발명은 상기항 9에 있어서, 상기 환원성을 갖는 기체의 분위기는 암모니아를 주요 구성 요소로서 포함하는 것이다.
13. 본 발명은 상기항 9에 있어서, 상기 메탈막을 제거하여 매립 메탈 배선층을 형성하는 공정은 지립 프리 화학 기계 연마로 행해지는 것이다.
14. 본 발명은 상기항 9에 있어서, 상기 구리 이외의 성분의 농도는 0.02At.% 이하로 하는 것이다.
15. 본 발명은 상기항 9에 있어서, 상기 오목부 내의 측벽부에서 상기 도전성 배리어막의 가장 두꺼운 부분 또는 가장 얇은 부분의 막 두께는 10nm 미만으로 하는 것이다.
16. 본 발명은 상기항 9에 있어서, 상기 오목부 내의 측벽부에서 상기 도전성 배리어막의 가장 두꺼운 부분 또는 가장 얇은 부분의 막 두께는 2nm 이하로 하는 것이다.
17. 본 발명은 상기 오목부를 형성한 후, 상기 도전성 배리어막을 피착하는 공정에 앞서서, 상기 반도체 기판에 대하여 환원성을 갖는 기체의 분위기 중에서 플라즈마 처리하는 공정을 포함하는 것이다.
18. 본 발명은 반도체 기판 상에 형성된 절연막에 오목부를 형성하는 공정, 상기 오목부 내를 포함하는 절연막 상에 구리를 주성분을 갖는 메탈막을 도전성 배리어막을 통하지 않고 피착하는 공정, 상기 메탈막을 제거함으로써 상기 오목부 내에 도전성 배리어막을 통하지 않고 매립 메탈 배선층을 형성하는 공정을 포함하고, 상기 반도체 기판으로부터 형성된 반도체 칩의 완성 시점의 상기 매립 메탈 배선층에서의 구리 이외의 성분의 농도가 0.8At.% 이하로, 상기 매립 메탈 배선층을 형성하기 위해서 구리를 주성분으로 하는 메탈막을 형성한 시점에서의 상기 메탈막의 구리의 순도를 99.999% 이상으로 하는 것이다.
19. 본 발명은 반도체 기판 상의 절연막에 오목부를 형성하는 공정, 상기 오목부를 포함하는 절연막 상에 도전성 배리어막을 피착하는 공정, 상기 오목부를 포함하는 도전성 배리어막 상에 구리를 주성분으로 하는 메탈막을 피착하는 공정, 상기 메탈막 및 도전성 배리어막을 제거함으로써 상기 오목부 내에 도전성 배리어막을 통해 매립 메탈 배선층을 형성하는 공정, 상기 절연막 및 매립 메탈 배선층 상에 캡 절연막을 형성하는 공정을 포함하는 상감 배선 형성 공정을 포함하고, 상기 반도체 기판으로부터 형성된 반도체 칩의 완성 시점의 상기 매립 메탈 배선층에서의 구리 이외의 성분의 농도를 0.8At.% 이하로 하고, 상기 매립 메탈 배선층을 형성하기 위해서 구리를 주성분으로 하는 메탈막을 형성한 시점에서의 상기 메탈막의 구리의 순도를 99.999% 이상으로 하는 것이다.
20. 본 발명은 반도체 기판 상의 절연막에 매립 배선홈 및 접속 구멍을 형성하는 공정, 상기 매립 배선홈 및 접속 구멍을 포함하는 절연막 상에 도전성 배리어막을 피착하는 공정, 상기 매립 배선홈 및 접속 구멍을 포함하는 도전성 배리어막 상에 구리를 주성분으로 하는 메탈막을 피착하는 공정, 상기 메탈막 및 도전성 배리어막을 제거함으로써 상기 매립 배선홈 및 접속 구멍 내에 도전성 배리어막을 통해 매립 메탈 배선층을 형성하는 공정, 상기 절연막 및 매립 메탈 배선층 상에 캡 절연막을 형성하는 공정을 포함하는 이중 상감 배선 형성 공정을 포함하고, 상기 반도체 기판으로부터 형성된 반도체 칩의 완성 시점의 상기 매립 메탈 배선층에서의 구리 이외의 성분의 농도를 0.8At.% 이하로 하고, 상기 매립 메탈 배선층을 형성하기 위해서 구리를 주성분으로 하는 메탈막을 형성한 시점에서의 상기 메탈막의 구리의 순도를 99.999% 이상으로 하는 것이다.

21. 본 발명은 상기 제20항에 있어서, 상기 매립 배선홈 및 접속 구멍을 형성한 후, 상기 도전성 배리어막을 피착하는 공정
에 앞서서, 상기 반도체 기판에 대하여 환원성을 갖는 기체의 분위기 중에서 플라즈마 처리하는 공정을 포함하는 것이다.

22. 본 발명은 상기 제20항에 있어서, 상기 메탈막을 화학 기계 연마법에 의해 제거하여 매립 배선층을 형성하는 공정 후,
상기 캡 절연막의 형성 공정 전에 상기 절연막 및 매립 배선층의 상면을 환원성을 갖는 기체의 분위기 중에서 플라즈마 처
리하는 공정을 포함하는 것이다.

<발명의 실시 형태>

본원 발명의 실시 형태를 설명함에 있어서 본 원에서의 용어의 기본적인 의미를 설명하면 다음과 같다.

1. TDDB(Time Dependence on Dielectric Breakdown) 수명이란, 소정의 온도(예를 들면 140℃)의 측정 조건 하에서
전극 간에 비교적 높은 전압을 가하고, 전압 인가로부터 절연 파괴까지의 시간을 인가 전계에 대하여 플롯한 그래프를 작
성하고, 이 그래프로부터 실제의 사용 전계 강도(예를 들면 0.2MV/cm)로 외삽하여 구한 시간(수명)을 말한다. 도 85는 본
원의 TDDB 수명 측정에 사용한 시료를 나타내고, 도 85의 (a)는 평면도, 도 85의 (b) 및 도 85의 (c)는 도 85의 (a)에서의
B-B'선 단면 및 C-C'선 단면을 각각 나타낸다. 이 시료는 실제로는 반도체 웨이퍼의 TEG(Test Equipment Group) 영역
에 형성할 수 있다. 도시한 바와 같이 한쌍의 빗형 배선 L을 제2 배선층 M2로 형성하고, 최상층의 P1, P2에 각각 접속한
다. 이 빗형 배선 L 간에 전계가 인가되어 전류가 측정된다. P1, P2는 측정 단자이다. 빗형 배선 L의 배선 폭, 배선 간격, 배
선 두께는 모두 0.5 μ m이다. 또한 배선 대향 길이는 1.58 $\times 10^5 \mu$ m로 하였다. 도 86은 측정의 개요를 나타낸 개념도이다. 시료
는 측정 스테이지 S에 유지되고, P1, P2 간에 전류 전압 측정기(I/V 측정기)를 접속한다. 시료 스테이지 S는 히터 H에서
가열되어 시료 온도가 140℃로 조정된다. 도 87은 전류 전압 측정 결과의 일례이다. 시료 온도 140℃, 전계 강도 5MV/cm
인 경우를 예시하였다. TDDB 수명 측정에는 정전압 스트레스법과 저전류 스트레스법이 있지만, 본원에서는 절연막에
인가되는 평균 전계가 일정해지는 정전압 스트레스법을 이용하고 있다. 전압 인가 후, 시간의 경과와 함께 전류 밀도는 감
소하고, 그 후 급격한 전류 증가(절연 파괴)가 관측된다. 여기서는 누설 전류 밀도가 1 μ A/cm²에 달한 시간을 TDDB 수명
(5MV/cm에서의 TDDB 수명)으로 하였다. 또, 본원에서 TDDB 수명이란, 특히 언급하지 않는 한 0.2MV/cm에서의 파괴 시
간(수명)을 말하지만, 광의로는 소정의 전계 강도에 언급한 후에 파괴까지의 시간으로서 TDDB 수명의 단어를 이용하는
경우도 있다. 또한, 특히 언급하지 않는 한 TDDB 수명은 시료 온도 140℃의 경우를 말한다. 또, TDDB 수명은 상기한 빗
형 배선 L에서 측정한 경우를 말하지만, 실제의 배선 간의 파괴 수명을 반영하는 것은 물론이다.

2. 플라즈마 처리란, 플라즈마 상태에 있는 환경에 기판 표면 혹은 기판 상에 절연막, 금속막 등의 부재가 형성되어 있을 때
는 그 부재 표면을 폭로하고, 플라즈마의 화학적, 기계적(충격) 작용을 표면에 주어서 처리하는 것을 말한다. 일반적으로
플라즈마는 특정한 가스(처리 가스)로 치환한 반응실 내에 필요에 따라서 처리 가스를 보충하면서, 고주파 전계 등의 작용
에 의해 가스를 전리시켜서 생성하지만, 현실적으로는 완전히 처리 가스로 치환할 수는 없다. 따라서, 본원에서는, 예를 들
면 암모니아 플라즈마라고 칭하여도 완전한 암모니아 플라즈마를 의도하는 것은 아니고, 그 플라즈마 내에 포함되는 불순
물 가스(질소, 산소, 이산화탄소, 수증기 등)의 존재를 배제할 만한 것은 아니다. 마찬가지로, 말할 필요도 없지만, 플라즈
마 중에 다른 희석 가스나 첨가 가스를 포함하는 것을 배제하는 것은 아니다.

환원성 분위기의 플라즈마란, 환원 작용, 즉, 산소를 방출하는 작용을 갖는 래디컬, 이온, 원자, 분자 등의 반응종이 지배적
으로 존재하는 플라즈마 환경을 말하며, 래디컬, 이온에는 원자 혹은 분자형 래디컬 혹은 이온이 포함된다. 또한, 환경 내
에는 단일의 반응종뿐만 아니라, 복수종의 반응종이 포함되고 있어도 된다. 예를 들면 수소 래디컬과 NH₂ 래디컬이 동시
에 존재하는 환경이라도 상관없다.

3. 본원에서 가스의 농도라는 경우에는, 질량 유량에서의 유량비를 말하는 것으로 한다. 즉, 가스 A와 가스 B와의 혼합 가
스에 있어서 가스 A의 농도가 5%라고 할 때는, 가스 A의 질량 유량을 Fa, 가스 B의 질량 유량을 Fb로서 Fa/(Fa+ Fb)
=0.05를 말한다.

4. 화학 기계 연마(CMP)란, 일반적으로 피연마면을 상대적으로 부드러운 천모양의 시트 재료 등으로 이루어지는 연마 패
드에 접촉시킨 상태에서 슬러리를 공급하면서 면방향으로 상대 이동시켜서 연마를 행하는 것을 말하며, 본원에서는 그 외
에 피연마면을 경질의 지석면에 대하여 상대 이동시킴으로써 연마를 행하는 CML(Chemical Mechanical Lapping), 그 외
의 고정 지립을 사용하는 것 및 지립을 사용하지 않은 지립 프리 CMP 등도 포함하는 것으로 한다.

지립 프리 화학 기계 연마는, 일반적으로 지립의 중량 농도가 0.5% 이하인 슬러리를 이용한 화학 기계 연마를 말하며, 유지립 화학 기계 연마란, 지립의 중량 농도가 0.5%보다도 고농도인 슬러리를 이용한 화학 기계 연마를 말한다. 그러나, 이들은 상대적인 것으로, 제1 스텝의 연마가 지립 프리 화학 기계 연마로, 그것에 이어지는 제2 스텝의 연마가 유지립 화학 기계 연마인 경우, 제1 스텝의 연마 농도가 제2 스텝의 연마 농도보다도 1자릿수 이상, 바람직하게는 2자릿수 이상 작은 경우 등에는 이 제1 스텝의 연마를 지립 프리 화학 기계 연마라는 경우도 있다. 본 명세서 중에서, 지립 프리 화학 기계 연마라고 할 때는 대상으로 하는 금속막의 단위 평탄화 공정 전체를 지립 프리 화학 기계 연마로 행하는 경우 외에, 주요 공정을 지립 프리 화학 기계 연마로 행하고, 부차적인 공정을 유지립 화학 기계 연마로 행하는 경우도 포함하는 것으로 한다.

5. 연마액(슬러리)이란, 일반적으로 화학 에칭 약제에 연마 지립을 혼합한 현탁액을 말하며, 본원에서는 발명의 성질 상 연마 지립이 혼합되어 있지 않은 것을 포함하는 것이다.

또한, 지립(슬러리 입자)이란 일반적으로 슬러리에 포함되는 알루미늄, 실리카 등의 분말을 말한다.

6. 방식제란 금속의 표면에 내식성, 소수성 혹은 그 양방의 성질을 갖는 보호막을 형성함으로써, CMP에 의한 연마의 진행을 저지 또는 억제하는 약제를 말하며, 일반적으로 벤조 트리아졸(BTA) 등이 사용된다(자세하게는 특허평 8-64594호 공보 참조)

7. 도전성 배리어막이란, 일반적으로 구리가 층간 절연막 내나 하층으로 확산하는 것을 방지하기 위해서, 매립 배선의 측면 또는 저면에 비교적 얇게 형성되는 확산 배리어성의 도전막으로, 일반적으로 질화 티탄(TiN), 탄탈(Ta), 질화 탄탈(TaN) 등과 같은 고용점 금속 또는 그 질화물 등이 사용된다.

8. 매립 배선 또는 매립 메탈 배선이란, 일반적으로 단일 상감(single damascene)이나 이중 상감(dual damascene) 등과 같이, 절연막에 형성된 홈 등의 내부에 도전막을 매립한 후, 절연막 상의 불필요한 도전막을 제거하는 배선 형성 기술에 의해서 패터닝된 배선을 말한다. 또한, 일반적으로 단일 상감이란, 플러그 메탈과, 배선용 메탈과의 2 단계로 나누어서 매립하는 매립 배선 공정을 말한다. 마찬가지로 이중 상감이란, 일반적으로 플러그 메탈과, 배선용 메탈을 한번에 매립하는 매립 배선 공정을 말한다. 일반적으로, 구리 매립 배선을 다층 구성으로 사용되는 경우가 많다.

9. 선택적 제거, 선택적 연마, 선택적 에칭, 선택적 화학 기계 연마라고 할 때는 모두 선택비가 5 이상인 것을 말한다.

10. 선택비에 대해서, 「A의 B에 대한」(또는 「B에 대한 A의」) 선택비가 X라고 할 때는 연마레이트를 예로 든 경우, B에 대한 연마레이트를 기준으로 하여 A에 대한 연마레이트를 계산했을 때에 X가 되는 것을 말한다.

11. 본원에 있어서 반도체 집적 회로 장치라고 할 때는 특히 단결정 실리콘 기판 상에 만들어지는 것뿐만 아니라, 특히 그렇지 않은 취지가 명시된 경우를 제외하여, SOI(Silicon On Insulator) 기판이나 TFT(Thin Film Transistor) 액정 제조용 기판 등과 같은 다른 기판 상에 만들어지는 것을 포함하는 것이다. 또한, 웨이퍼란 반도체 집적 회로 장치의 제조에 이용하는 단결정 실리콘 기판(일반적으로 거의 원반형), SOS 기판, 유리 기판 그 외의 절연, 반절연 또는 반도체 기판 등이나 이들을 복합한 기판을 말한다.

12. 반도체 집적 회로 웨이퍼(반도체 집적 회로 기판) 또는 반도체 웨이퍼(반도체 기판)란, 반도체 집적 회로의 제조에 이용하는 실리콘 그 외의 반도체 단결정 기판(일반적으로 거의 평면 원형상), 사파이어 기판, 유리 기판, 그 외의 절연, 반절연 또는 반도체 기판 등 및 이들의 복합적 기판을 말한다. 또, 기판 표면의 일부 또는 전부 혹은 게이트 전극의 전부 또는 일부를 다른 반도체, 예를 들면 SiGe 등으로 형성해도 된다.

또한, 반도체 집적 회로 칩(반도체 집적 회로 기판) 또는 반도체 칩(반도체 기판)이란, 웨이퍼 공정이 완료한 반도체 웨이퍼를 단위 회로군으로 분할한 것을 말한다.

13. 실리콘 니트라이드, 질화 규소 또는 질화 실리콘막이라고 할 때는 Si_3N_4 뿐만 아니라 실리콘의 질화물로 유사 조성의 절연막을 포함하는 것으로 한다.

14. 캡막은 매립 배선의 정보의 전기적 접속부 이외에 형성되는 절연성 및 확산 배리어성이 높은 절연막으로, 일반적으로 층간 절연막의 주요부와는 다른 재료, 예를 들면 질화 실리콘막으로 형성된다.

15. 웨이퍼 공정이란, 전 공정라고도 불리고, 경면 연마 웨이퍼(미러 웨이퍼)의 상태에서 출발하고, 소자 및 배선 형성 공정을 거쳐서, 표면 보호막을 형성하고, 최종적으로 프로브에 의해 전기적 시험을 행할 수 있는 상태로 하기까지의 공정을 말한다.

16. 도전성 배리어막의 배선흘(오목부) 또는 접속 구멍(오목부) 내에서의 커버리지는 사이드 커버리지와, 보텀 커버리지를 가지고 있다. 도 88은 절연막(60) 상면 및 그 절연막(60)에 형성된 배선흘(61) 내에 배리어막(62)을 스퍼터링법으로 피착한 상태를 모식적으로 나타내고 있다. 배리어막의 피착 막 두께라고 할 때는 일반적으로 절연막(60)의 상면 상의 배리어막(62)의 막 두께 D1을 말한다. 사이드 커버리지는 배선흘(61) 내의 측벽부(측면과 저면과의 교차부에서의 각부도 포함한다)에서의 배리어막(62)의 피복성을 말하고, 그 부분에서의 막 두께 D2가 가장 막 두께가 얇아진다. 또한, 보텀 커버리지는 배선흘(61) 내의 저면에서의 배리어막(62)의 피복성을 말하고, 그 부분에서의 막 두께 D3은 상기 피착 막 두께의 다음으로 두꺼워진다. 예를 들면, 본 발명자 등의 실험 결과에 따르면, 예를 들면 어스펙트비가 1인 배선흘 내에 배리어막을 지향성을 특히 고려하지 않은 통상의 스퍼터링법으로 피착한 경우에는 배리어막의 피착 막 두께가 100nm에서, 사이드 커버리지가 30nm 정도, 보텀 커버리지가 50nm 정도였다. 또한, 배리어막을 롱 스로우 스퍼터링(Long Throw Sputtering)법에 의해 피착한 경우에는 배리어막의 피착 막 두께가 100nm에서 사이드 커버리지가 20nm 정도, 보텀 커버리지가 90nm 정도였다.

17. 롱 스로우 스퍼터링(Long Throw Sputtering)법이란, 보텀 커버리지 향상의 한 방법으로써, 스퍼터링 입자의 수직 성분만을 기판에 도달시키기 때문에, 타겟과 기판 간의 거리를 떨어뜨려 저압으로 안정 방전시키는 스퍼터링법을 말한다.

18. 콜리메이트 스퍼터링법은, 어스펙트비가 큰 배선흘이나 접속 구멍 등과 같은 오목부에 성막할 때, 저부까지 충분한 막 두께가 얻어지도록 타겟과 기판 간에 격자형의 판을 삽입하고, 강제적으로 수직 성분을 높이는 기구를 갖는 스퍼터링법을 말한다.

이하의 실시 형태에서는 편의 상 그 필요가 있을 때는 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특히 명시한 경우를 제외하여 이들은 서로 무관계한 것은 아니고, 한쪽은 다른쪽의 일부 또는 모든 부분의 변형예, 상세, 보충 설명 등의 관계에 있다.

또한, 이하의 실시 형태에 있어서, 요소의 수 등(갯수, 수치, 양, 범위 등을 포함한다)에 언급하는 경우, 특히 명시한 경우 및 원리적으로 분명히 특정한 수에 한정되는 경우 등을 제외하여, 그 특정한 수에 한정되지는 않고 특정한 수 이상이나 이하도 상관없다.

또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함한다)는 특히 명시한 경우 및 원리적으로 분명히 필수라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것은 아니다.

마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은 상기 수치 및 범위에 대해서도 마찬가지이다.

또한, 실시 형태를 설명하기 위한 모든 도면에 있어서 동일 기능을 갖는 것은 동일한 부호를 붙이고, 그 반복된 설명은 생략한다.

또한, 본 실시 형태에서는 전계 효과 트랜지스터를 대표하는 MISFET(Metal Insulator Semiconductor Field Effect Transistor)를 단순히 MIS라고 약기하고, p 채널형의 MISFET를 pMIS라고 약기하고 n 채널형의 MISFET를 nMIS라고 약기한다.

(실시 형태 1)

본 실시 형태 1에서는, 예를 들면 본 발명을 CMOS(Complementary MOS)-LSI(Large Scale Integrated circuit)의 제조 방법에 적용한 경우를 도 1 ~ 도 19에 의해서 공정순으로 설명한다.

우선, 도 1에 도시한 바와 같이, 예를 들면 1 ~ 10Ωcm 정도의 비저항을 갖는 p형의 단결정 실리콘으로 이루어지는 반도체 기판(이하, 기판이라고 함; 1)에 깊이 350nm 정도의 소자 분리홈(2)을 포토리소그래피와 드라이 에칭을 이용하여 형성한 후, 홈의 내부를 포함하는 기판(1) 상에 CVD법으로 산화 실리콘막(3)을 피착한다. 계속해서 홈의 상부의 산화 실리콘막

(3)을 화학 기계 연마(CMP)에 의해서 그 표면을 평탄화한다. 이에 따라, 홈형의 소자 분리부(2A ; 트렌치아이솔레이션)를 형성한다. 그 후, 기판(1)에 p형 불순물(붕소) 및 n형 불순물(예를 들면 인)을 이온 주입함으로써, p형 웰(4) 및 n형 웰(5)을 형성한 후, 기판(1)을 스텝 산화함으로써, p형 웰(4) 및 n형 웰(5)의 표면에 막 두께 6nm 정도의 게이트 절연막(6)을 형성한다. 또, 여기서 말하는 게이트 절연막(6)의 막 두께란, 이산화 실리콘 환산 막 두께로 실제의 막 두께와 일치하지 않는 경우도 있다.

게이트 절연막(6)은 산화 실리콘막 대신에 산질화 실리콘막으로 구성해도 된다. 산질화 실리콘막은 산화 실리콘막에 비하여 막 중에서의 계면 준위의 발생을 억제하거나 전자 트랩을 저감하기도 하는 효과가 높아서 게이트 절연막(6)의 핫캐리어 내성을 향상할 수 있어 절연 내성을 향상시킬 수 있다. 산질화 실리콘막을 형성하기 위해서는, 예를 들면 기판(1)을 NO, NO₂ 또는 NH₃과 같은 질소 포함 가스 분위기 중에서 열 처리하면 된다. 또한, p형 웰(4) 및 n형 웰(5) 각각의 표면에 산화 실리콘으로 이루어지는 게이트 절연막(6)을 형성한 후, 기판(1)을 상기한 질소 포함 가스 분위기 중에서 열 처리하고, 게이트 절연막(6)과 기판(1)과의 계면에 질소를 편식시킴으로써도 상기한 바와 마찬가지로의 효과를 얻을 수 있다.

또한, 게이트 절연막(6)을, 예를 들면 질화 실리콘막 혹은 산화 실리콘막과 질화 실리콘막과의 복합 절연막으로 형성해도 된다. 산화 실리콘으로 이루어지는 게이트 절연막(6)을 이산화 실리콘 환산 막 두께로 5nm 미만, 특히 3nm 미만까지 얇게 하면, 직접 터널 전류의 발생이나 스트레스에 기인하는 핫 캐리어 등에 의한 절연 내압의 저하가 현재화한다. 질화 실리콘막은 산화 실리콘막보다도 유전율이 높아서 그 이산화 실리콘 환산 막 두께는 실제의 막 두께보다도 얇아진다. 즉, 질화 실리콘막을 갖는 경우에는 물리적으로 두꺼워도 상대적으로 얇은 이산화 실리콘막과 동등한 용량을 얻을 수 있다. 따라서, 게이트 절연막(6)을 단일의 질화 실리콘막 혹은 그것과 산화 실리콘과의 복합막으로 구성함으로써, 그 실효 막 두께를 산화 실리콘막으로 구성된 게이트 절연막보다도 두텁게 할 수 있어 터널 누설 전류의 발생이나 핫 캐리어에 의한 절연 내압의 저하를 개선할 수 있다. 또한, 산질화 실리콘막은 산화 실리콘막에 비교하여 불순물이 관통하기 어렵기 때문에, 게이트 절연막(6)을 산질화 실리콘막으로 구성함으로써 게이트 전극 재료 중의 불순물이 반도체 기판층에 확산하는 것에 기인하는 임계치 전압의 변동을 억제할 수 있다.

여기서, 단일 절연막 또는 복합 절연막의 이산화 실리콘 환산 막 두께(이하, 단순히 환산 막 두께라고도 한다) dr이란, 대상이 되는 절연막의 비유전율을 ϵ_i , 그 막 두께를 d_i , 이산화 실리콘의 비유전율을 ϵ_s 로 했을 때에, 다음 식으로 정의되는 막 두께이다.

$$\text{수학식 1} \\ dr = \sum \frac{\epsilon_i d_i}{\epsilon_s}$$

예를 들면, 산화 실리콘(SiO₂) 및 질화 실리콘(Si₃N₄)의 유전율은, 각각 4 ~ 4.2 및 8이다. 그래서, 질화 실리콘의 유전율을 산화 실리콘의 유전율의 2배로서 계산하면, 예를 들면 막 두께 6nm의 질화 실리콘막의 이산화 실리콘 환산 막 두께는 3nm가 된다. 즉, 막 두께 6nm의 질화 실리콘막으로 이루어지는 게이트 절연막과 막 두께 3nm의 산화 실리콘막으로 이루어지는 게이트 절연막과는 용량이 같다. 또한, 막 두께 2nm의 산화 실리콘막과 막 두께 2nm의 질화 실리콘막(환산 막 두께=1nm)과의 복합막으로 이루어지는 게이트 절연막의 용량은, 막 두께 3nm의 단일 산화 실리콘막으로 이루어지는 게이트 절연막의 용량과 동일하다.

다음에, 도 2에 도시한 바와 같이, 게이트 절연막(6) 상부에 저저항 다결정 실리콘막, WN(질화 텅스텐)막 및 W(텅스텐)막으로 이루어지는 게이트 전극(7)을 형성한다. 다결정 실리콘막은 CVD법에 의해, WN막 및 W막은 스퍼터법에 의해 형성할 수 있다. 게이트 전극(7)은 이들 피착막의 패터닝에 의해 형성한다. 게이트 전극(7)은 저저항 다결정 실리콘막 상에 W 실리사이드막 또는 코발트(Co) 실리사이드막을 피착한 적층막 등을 사용하여 형성해도 된다. 또한, 게이트 전극(7)의 재료로서 다결정 또는 단결정의 실리콘(Si)과 게르마늄(Ge)과의 합금을 이용해도 된다. 이러한 게이트 전극(7)을 형성한 후, 이온 주입함으로써 p형 웰(4)에 저불순물 농도의 n⁻형 반도체 영역(11)을, n형 웰(5)에 저불순물 농도의 p⁻형 반도체 영역(12)을 형성한다.

다음에, 도 3에 도시한 바와 같이, 예를 들면 질화 실리콘막을 CVD법으로 피착하고, 이것을 이방적으로 에칭함으로써, 게이트 전극(7)의 측벽에 측벽 스페이서(13)를 형성한다. 이 후, 이온 주입함으로써, p형 웰(4)에 고불순물 농도의 n⁺형 반도체 영역(14 ; 소스, 드레인)을 형성하고, n형 웰(5)에 고불순물 농도의 p⁺형 반도체 영역(15 ; 소스, 드레인)을 형성한다. 또, n형 불순물에는 인 또는 비소를, p형 불순물에는 붕소를 예시할 수 있다. 그 후, 티탄, 코발트 등의 금속막을 피착하고,

열처리 후에 미반응의 금속막을 제거하는 소위 살리사이드법을 이용하여, n^+ 형 반도체 영역(14; 소스, 드레인)의 표면 및 p^+ 형 반도체 영역(15; 소스, 드레인)의 표면에 실리사이드층(9)을 형성한다. 여기까지의 공정에서, n 채널형 MISFET Qn 및 p 채널형 MISFET Qp가 완성된다.

다음에, 도 4에 도시한 바와 같이, 기판(1) 상에 CVD법으로 산화 실리콘막(18)을 피착하고, 계속해서 포토 레지스트막을 마스크로 하여 산화 실리콘막(18)을 드라이 에칭함으로써, n^+ 형 반도체 영역(14; 소스, 드레인)의 상부에 콘택트홀(20)을 형성하고, p^+ 형 반도체 영역(15; 소스, 드레인)의 상부에 콘택트홀(21)을 형성한다. 또한 이 때, 게이트 전극(7)의 상부에도 콘택트홀(22)을 형성한다.

산화 실리콘막(18)은 게이트 전극(7, 7)의 좁은 스페이스를 매립할 수 있는 리플로우성이 높은 막, 예를 들면 BPSG (Boron-doped Phospho Silicate Glass)막으로 구성한다. 또한, 스핀도포법에 의해서 형성되는 SOG(Spin On Glass)막으로 구성해도 된다.

다음에, 콘택트홀(20, 21, 22)의 내부에 플러그(23)를 형성한다. 플러그(23)를 형성하기 위해서는, 예를 들면 콘택트홀(20, 21, 22)의 내부를 포함하는 산화 실리콘막(18)의 상부에 CVD법으로 TiN막 및 W막을 피착한 후, 산화 실리콘막(18) 상부의 불필요한 TiN막 및 W막을 화학 기계 연마(CMP)법 또는 에치백법에 의해서 제거하고 콘택트홀(20, 21, 22)의 내부에만 이들의 막을 남긴다.

다음에, 도 5에 도시한 바와 같이 산화 실리콘막(18)의 상부에 제1층재의 배선이 되는 W 배선(24 ~ 30)을 형성한다. W 배선(24 ~ 30)을 형성하기 위해서는, 예를 들면 산화 실리콘막(18)의 상부에 스퍼터링법으로 W막을 피착한 후, 포토레지스트막을 마스크로 하여 이 W막을 드라이 에칭한다. 제1층재의 W 배선(24 ~ 30)은 콘택트홀(20, 21, 22)을 통하여 n 채널형 MISFET Qn의 소스, 드레인(n^+ 형 반도체 영역), p 채널형 MISFET Qp의 소스, 드레인(p^+ 형 반도체 영역) 혹은 게이트 전극(7)과 전기적으로 접속된다.

다음에, 도 6의 (a), 도 6의 (b)에 도시한 바와 같이, 제1층재의 W 배선(24 ~ 30)의 상부에 산화 실리콘막(31)을 피착하고, 계속해서 포토 레지스트막을 마스크로 한 드라이 에칭으로 산화 실리콘막(31)에 관통 구멍(32 ~ 36)을 형성한 후, 관통 구멍(32 ~ 36)의 내부에 플러그(37)를 형성한다. 또, 도 6의 (a)는 반도체 기판의 주면의 주요부 평면도, 도 6의 (b)는 (a)의 A-A선의 단면도이다.

산화 실리콘막(31)은, 예를 들면 오존(또는 산소)과 테트라 에톡시 실란(TEOS)을 소스 가스에 이용한 플라즈마 CVD법으로 피착한다. 또한, 플러그(37)는, 예를 들면 W막으로 구성하고, 상기 콘택트홀(20, 21, 22)의 내부에 플러그(23)를 형성한 방법과 동일 방법으로 형성한다.

다음에, 도 7의 (a), 도 7의 (b)에 도시한 바와 같이, 산화 실리콘막(31)의 상부에 플라즈마 CVD법으로 막 두께 50nm의 얇은 질화 실리콘막(38)을 피착하고, 계속해서 질화 실리콘막(38)의 상부에 플라즈마 CVD법으로 막 두께 450nm 정도의 산화 실리콘막(39)을 피착한다. 그 후, 포토 레지스트막을 마스크로 한 드라이 에칭으로 관통 구멍(32 ~ 36) 상부의 산화 실리콘막(39) 및 질화 실리콘막(38)을 제거하고, 배선홀(40 ~ 44)을 형성한다. 또, 도 7의 (a)는 반도체 기판의 주면의 주요부 평면도, 도 7의 (b)는 도 7의 (a)의 A-A선의 단면도이다.

배선홀(40 ~ 44)을 형성하기 위해서는, 우선 질화 실리콘막(38)을 에칭 스톱퍼로 하여 산화 실리콘막(39)을 선택적으로 에칭하고, 그 후 질화 실리콘막(38)을 에칭한다. 이와 같이, 배선홀(40 ~ 44)이 형성되는 산화 실리콘막(39)의 하층에 얇은 질화 실리콘막(38)을 형성해두고, 이 질화 실리콘막(38)의 표면에서 에칭을 일단 정지한 후, 질화 실리콘막(38)을 에칭함으로써, 배선홀(40 ~ 44)을 지나치게 팔 수 없게 하여 그 깊이를 정밀도 좋게 제어할 수 있다.

다음에, 상기 배선홀(40 ~ 44)의 내부에 이하와 같은 방법으로 제2층재의 배선이 되는 매립 Cu 배선을 형성한다.

우선, 도 8에 도시한 바와 같이 배선홀(40 ~ 44)의 내부를 포함하는 산화 실리콘막(39)의 상부에 스퍼터링법으로, 얇은 TiN(질화 티탄)막(45)을 피착한 후, TiN막(45)의 상부에 배선홀(40 ~ 44)의 깊이보다도 충분히 두꺼운 막 두께(예를 들면 800nm 정도)의 Cu막(46)을 스퍼터링법으로 피착한다. 이 TiN막(45) 및 Cu막(46) 스퍼터링법으로서는, 통상의 스퍼터링법이라도 좋고, 예를 들면 롱 스로우 스퍼터링법이나 콜리메이트 스퍼터링법 등과 같은 지향성이 높은 스퍼터링법이라도 좋다.

계속해서, 예를 들면 475℃ 정도의 비산화성 분위기(예를 들면, 수소 분위기) 중에서 기판(1)을 열 처리함으로써 Cu막(46)을 리플로우시켜서, 배선홈(40 ~ 44)의 내부에 간극없이 Cu막(46)을 매립한다. 또, 여기서는 스퍼터링법에 의한 Cu막(46)과, 그 후의 리플로우에 의한 매립을 설명하였지만, 얇은 Cu막을 스퍼터링법에 의해 형성하고, 그 후 Cu막(46)에 상당하는 고순도의 Cu막을 도금법으로 형성해도 된다.

TiN막(45)은 Cu의 확산을 방지하는 기능을 가지고 있다. 또한, TiN막(45)은 Cu막(46)과 산화 실리콘막(39)과의 밀착성을 향상시키는 기능을 가지고 있다. 또한, TiN막(45)은 상기 Cu막(46)의 리플로우 시에 Cu막(46)의 습윤성을 향상시키는 기능을 가지고 있다.

본 실시 형태 1에서는, TiN막(45)의 가장 두꺼운 부분의 두께가 50nm인 경우를 예시하지만, 본 발명자 등의 검토 결과에 따르면, 이 TiN막(45)을 더 얇게 또는 없애는 것이 판명되었다. 이에 대해서는 후의 실시 형태 6 이후에서 설명한다.

이러한 기능을 갖는 막으로서는, TiN 대신에, Cu와 거의 반응하지 않는 WN, TaN(질화 탄탈) 등의 고용점 금속 질화물을 이용하는 것이 바람직하다. 또한, 그 TiN 대신에, 고용점 금속 질화물에 Si(실리콘)를 첨가한 재료나 Cu와 반응하기 어려운 Ta, Ti, W, TiW 합금 등의 고용점 금속을 이용할 수 있다.

다음에, 이러한 Cu막(46) 및 TiN막(45)을 상기 CMP법 등에 의해서 연마한다. 이 연마 공정에 사용하는 CMP 장치의 전체 구성의 일례를 도 9에 도시한다.

이 CMP 장치(100)는 상기 Cu막(46)의 연마에 이용하는 웨이퍼형 CMP 장치로, 표면에 Cu막(46)이 형성된 기판(1)을 복수매 수용하는 로더(120), Cu막(46)을 연마, 평탄화하는 연마 처리부(130), 연마가 종료한 기판(1)의 표면에 방식 처리를 실시하는 방식 처리부(140), 방식 처리가 종료한 기판(1)을 후세정하기까지의 동안에, 그 표면이 건조하지 않도록 유지해 두는 침지 처리부(150), 방식 처리가 종료한 기판(1)을 후세정하는 후세정 처리부(160) 및 후세정이 종료한 기판(1)을 복수매 수용하는 언로더(170)를 구비하고 있다.

도 10에 도시한 바와 같이, CMP 장치(100)의 연마 처리부(130)는 상부가 개구된 케이싱(101)을 구비하고 있고, 이 케이싱(101)에 부착된 회전축(102)의 상단부에는 모터(103)에 의해서 회전 구동되는 연마반(플라텐; 104)이 부착되어 있다. 이 연마반(104)의 표면에는 다수의 공기 구멍을 갖는 합성 수지를 균일하게 접착하여 형성한 연마 패드(105)가 부착되어 있다.

또한, 이 연마 처리부(130)는 기판(1)을 유지하기 위한 웨이퍼 캐리어(106)를 구비하고 있다. 웨이퍼 캐리어(106)를 부착한 구동축(107)은 웨이퍼 캐리어(106)와 일체가 되어 모터(도시하지 않음)에 의해 회전 구동되며 또한 연마반(104)의 상측에서 상하로 움직이게 되어 있다.

기판(1)은 웨이퍼 캐리어(106)에 설치된 진공 흡착 기구(도시하지 않음)에 의해, 그 주면 즉 피연마면을 하향으로 하여 웨이퍼 캐리어(106)에 유지된다. 웨이퍼 캐리어(106)의 하단부에는 기판(1)이 수용되는 오목부(106a)가 형성되어 있고, 이 오목부(106a) 내에 기판(1)을 수용하면, 그 피연마면이 웨이퍼 캐리어(106)의 하단면과 거의 동일하거나 약간 돌출된 상태가 된다.

연마반(104)의 상측에는 연마 패드(105)의 표면과 기판(1)의 피연마면 간에 연마 슬러리(S)를 공급하기 위한 슬러리 공급관(108)이 설치되어 있고, 그 하단에서 공급되는 연마 슬러리(S)에 의해서 기판(1)의 피연마면이 화학적 및 기계적으로 연마된다. 연마 슬러리(S)로서는, 예를 들면 알루미늄나 등의 지럽과 과산화 수소수 또는 질산 제2철 수용액 등의 산화제를 주성분으로 하고, 이들을 물에 분산 또는 용해시킨 것이 사용된다.

또한, 이 연마 처리부(130)는 연마 패드(105)의 표면을 정형(드레싱)하기 위한 공구인 드레서(109)를 구비하고 있다. 이 드레서(109)는, 연마반(104)의 상측에서 상하로 움직이는 구동축(110)의 하단부에 부착되고, 모터(도시하지 않음)에 의해 회전 구동되도록 되어 있다.

연마가 종료한 기판(1)은 방식 처리부(140)에 있어서, 그 표면에 방식 처리가 실시된다. 방식 처리부(140)는 상기한 연마 처리부(130)의 구성과 유사한 구성으로 되어 있고, 여기서는, 우선 연마반(플라텐)의 표면에 부착한 연마 패드에 기판(1)의 주면이 압박되어 연마 슬러리가 기계적으로 제거된 후, 예를 들면 벤조트리아졸(BTA) 등의 방식제를 포함한 약액이 기판(1)의 주면에 공급됨으로써 기판(1)의 주면에 형성된 Cu 배선의 표면 부분에 소수성 보호막이 형성된다.

연마 슬러리의 기계적 세정(전세정)은, 예를 들면 도 11에 도시한 바와 같이, 수평면 내에서 회전시킨 기관(1)의 양면을 PVA(폴리비닐 알콜) 등의 합성 수지의 다공질체로 이루어지는 원통형의 브러시(121A, 121B)로 끼워서, 브러시(121A, 121B)를 기관(1)의 면에 대하여 수직인 면 내에서 회전하면서 기관(1)의 양면을 동시에 세정한다. 또한, 전세정 후의 방식 처리에 있어서는, 필요에 따라 순수 스크립 세정, 순수 초음파 세정, 순수 유수 세정 또는 순수 스핀 세정 등을 방식 처리에 선행 또는 병행하여 행함으로써, 연마 처리부(130)에서 기관(1)의 주변에 부착한 연마 슬러리 중의 산화제를 충분히 제거하고, 산화제가 실질적으로 작용하지 않은 조건 하에서 소수성의 보호막을 형성하도록 한다.

방식 처리가 종료한 기관(1)은, 그 표면의 건조를 막기 위해서, 침지 처리부(150)에 일시적으로 보관된다. 침지 처리부(150)는 방식 처리가 종료한 기관(1)을 후세정하기까지의 동안에, 그 표면이 건조하지 않도록 유지하기 위한 것으로, 예를 들면 순수를 오버 플로우시킨 침지 조(스토커) 중에 소정 매수의 기관(1)을 침지시켜서 보관하는 구조로 되어 있다. 이 때, Cu 배선(28 ~ 30)의 전기 화학적 부식 반응이 실질적으로 진행하지 못하는 정도의 저온에 냉각한 순수를 침지조에 공급함으로써, Cu 배선(28 ~ 30)의 부식을 보다 한층 확실하게 방지할 수 있다.

기관(1)의 건조 방지는, 예를 들면 순수 샤워의 공급 등, 적어도 기관(1)의 표면을 습윤 상태로 유지할 수 있는 방법이면, 상기한 침지조 중에서의 보관 이외의 방법으로 행해도 된다.

후세정 처리부(160)로 반송된 기관(1)은, 그 표면의 습윤 상태가 유지된 상태에서 즉시 후세정에 첨부된다. 여기서는, 산화제를 중화하기 위해서 NH_4OH 를 포함하는 세정액 등의 약알칼리 물약을 공급하면서, 기관(1)의 표면을 스크립 세정(또는 브러시 세정)한 후, 불산 수용액을 기관(1)의 표면에 공급하여 에칭에 의한 이물 입자(파티클)의 제거를 행한다. 또한, 상기한 스크립 세정에 선행 또는 병행하여, 기관(1)의 표면을 순수 스크립 세정, 순수 초음파 세정, 순수 유수 세정 또는 순수 스핀 세정하거나 기관(1)의 이면을 순수 스크립 세정해도 된다.

상기 후세정 처리가 종료한 기관(1)은 순수 린스 및 스핀 드라이 후, 건조한 상태에서 언로더(170)에 수용되며, 복수매 단위로 일괄하여 다음 공정으로 반송된다.

또, 도 12에 도시한 바와 같이 방식 처리가 종료한 기관(1)의 표면 건조를 막기 위한 침지 처리부(웨이퍼 보관부; 150)를 차광 구조로 하고, 보관 중인 기관(1)의 표면에 조명광 등이 조사되지 않도록 할 수 있다. 이에 따라, 광기전력 효과에 의한 단락 전류의 발생을 막도록 할 수 있다. 침지 처리부(150)를 차광 구조로 하기 위해서는 구체적으로는 침지조(스토커)의 주위를 차광 시트 등으로 피복함으로써, 침지조(스토커)의 내부의 조도를 적어도 500룩스 이하, 바람직하게는 300룩스 이하, 더 바람직하게는 100룩스 이하로 한다.

또한, 도 13에 도시한 바와 같이, 연마 처리 직후, 즉 그 표면에 남은 연마 슬러리 중 산화제에 의한 전기 화학적 부식 반응이 개시되기 전에 즉시 건조 처리부에 반송되며, 연마 슬러리 중의 수분이 강제 건조에 의해서 제거되어도 된다. 도 13에 도시하는 CMP 장치(200)는 표면에 Cu막이 형성된 기관(1)을 복수매 수용하는 로더(220), Cu막을 연마, 평탄화하여 배선을 형성하는 연마 처리부(230), 연마가 종료한 기관(1)의 표면을 건조시키는 건조 처리부(240), 기관(1)을 후세정하는 후세정 처리부(250) 및 후세정이 종료한 기관(1)을 복수매 수용하는 언로더(260)를 구비하고 있다. 이 CMP 장치(200)를 사용한 Cu 배선 형성 공정에서는 연마 처리부(230)에 있어서 연마 처리에 첨부된 기관(1)은, 연마 처리의 직후, 즉 그 표면에 남은 연마 슬러리 중의 산화제에 의한 전기 화학적 부식 반응이 개시되기 전에 즉시 건조 처리부(240)에 반송되고, 연마 슬러리 중의 수분이 강제 건조에 의해서 제거된다. 그 후, 기관(1)은 건조 상태가 유지된 그대로 후세정 처리부(250)에 반송되며, 후세정 처리에 첨부된 후, 순수 린스 및 스핀 드라이를 거쳐서 언로더(260)에 수용된다. 이 경우, 연마 처리 직후에서부터 후세정이 개시되기까지의 동안에 기관(1)의 표면이 건조 상태로 유지되기 때문에 전기 화학적 부식 반응의 개시가 억제되고, 이에 따라, Cu 배선의 부식을 유효하게 방지하는 것이 가능해진다.

이러한 CMP법에 의한 연마 공정을 거쳐서, 산화 실리콘막(39) 상의 Cu막(46) 및 TiN막(45)을 제거하고, 도 14에 도시한 바와 같이, 배선홈(40 ~ 44) 내에 Cu 배선(46a ~ 46e)을 형성한다.

다음에, Cu 배선(46a ~ 46e)과 산화 실리콘막(39) 표면에 플라즈마 처리를 실시한다. 도 15는 플라즈마 처리에 이용하는 처리 장치의 일례를 나타낸 단면도 (a) 및 평면도 (b)이다. 또, 이 플라즈마 처리에 대해서는, 본원 발명자 등에 의한 특원 평 11-226876호에 기재되어 있다.

이 처리 장치에는, 로드록 챔버(301)에 두개의 처리실(302a, 302b)과 카세트 인터페이스(303)가 부착되어 있다. 로드록 챔버(301) 내에는 기관(1)을 반송하는 로봇(304)을 구비한다. 로드록 챔버(301)와 처리실(302a, 302b) 간에는 처리 중에도 로드록 챔버(301) 내의 고진공 상태가 유지될 수 있도록 게이트 밸브(305)를 갖는다.

처리실(302a, 302b) 내에는 기관(1)을 보유하는 서셉터(306), 가스 흐름을 가지런히 하는 배플판(307), 서셉터(306)를 지지하는 지지 부재(308), 서셉터(306)에 대향하여 배치되는 메쉬 형상의 전극(309), 배플판(307)에 거의 대향하여 배치된 절연판(310)을 갖는다. 절연판(310)은 서셉터(306)와 전극(309) 간 이외의 불필요한 영역에서의 기생 방전을 억제하는 작용이 있다. 서셉터(306)의 이면측에는 반사 유닛(311) 내에 설치된 램프(312)가 배치되며, 램프(312)에서 내는 적외선(313)이 석영창(314)을 통과하여 서셉터(306) 및 기관(1)에 조사된다. 이에 따라 기관(1)이 가열된다. 또, 기관(1)은 서셉터(306) 상에 페이스 업으로 설치된다.

처리실(302a, 302b)은 그 내부를 고진공으로 배기하는 것이 가능하며, 처리 가스 및 고주파 전력이 가스 포트(315)로부터 공급된다. 처리 가스는 메쉬 형상의 전극(309)을 통과하여 기관(1)의 근방에 공급된다. 처리 가스는 진공 매니폴드(316)로부터 배출되어, 처리 가스의 공급 유량 및 배기 속도를 제어함으로써 압력이 제어된다. 고주파 전력은 전극(309)에 인가되며 서셉터(306)와 전극(309) 간에서 플라즈마를 생성한다. 고주파 전력은, 예를 들면 13.56MHz의 주파수를 이용한다.

처리실(302a)에서는, 예를 들면 다음에 설명하는 암모니아 플라즈마 처리가 행해진다. 또한, 처리실(302b)에서는 후에 설명하는 캡막(질화 실리콘막)의 피착이 행해진다. 처리실(302a)과 처리실(302b)은 로드록 챔버(301)를 통하여 접속되어 있어 암모니아 플라즈마 처리 후에 진공 파괴하지 않고 기관(1)을 처리실(302b)에 반송할 수 있어 암모니아 플라즈마 처리와 캡막의 형성을 연속적으로 행할 수 있다.

다음에, 상기한 플라즈마 처리 장치를 이용하여 기관(1)에 암모니아 플라즈마 처리를 실시한다. 카세트 인터페이스(303)로부터 기관(1)이 로봇(304)에 의해 로드록 챔버(301)에 반입된다. 로드록 챔버(301)를 충분한 감압 상태가 될 때까지 진공 배기하고, 로봇(304)을 이용하여 처리실(302a)에 기관(1)을 반송한다. 처리실(302a)의 게이트 밸브(305)를 닫고, 처리실(302a) 내의 충분한 진공도가 될 때까지 배기한 후, 처리실(302a)에 암모니아 가스를 도입하고, 압력 조절을 행하여 소정의 압력으로 유지한다. 그 후, 고주파 전원으로부터 전극(309)에 전계를 인가하고, 도 16에 도시한 바와 같이, 기관(1)의 표면을 플라즈마 처리한다. 소정 시간의 경과 후 고주파 전계를 정지하고 플라즈마를 정지한다. 그 후, 처리실(302a) 내를 진공 배기하고 게이트 밸브(305)를 열어서 로봇(304)에 의해 기관(1)을 로드록 챔버(301)에 반출한다. 또, 로드록 챔버(301)는 고진공 상태로 유지되어 있어 기관(1)의 표면이 대기 분위기에 노출되지 않는다.

플라즈마 처리 조건은, 예를 들면 기관(1)의 사이즈를 8인치(=20cm 정도)로 한 경우, 처리 압력을 5.0Torr (=6.6661×10²pa), RF 전력을 600W, 기관 온도를 400℃, 암모니아 유량을 200sccm, 처리 시간을 10초로 할 수 있다. 전극 간 거리는 600mils로 하였다. 또, 플라즈마 처리 조건은 이들 예시한 조건에 한정되지 않는 것은 물론이다. 본 발명자 등의 검토에서는 압력이 높을수록 플라즈마 데미지를 저감할 수 있어, 기관 온도가 높을수록 TDDB 수명의 기관 내 변동의 저감과 장기 수명화가 시도된다. 또한, 기관 온도가 높고 RF 전력이 크고, 처리 시간이 길수록 Cu의 표면에 힐록이 발생하기 쉽다는 지견이 얻어지고 있다. 이들의 지견과 장치 구성에 의한 조건의 변동을 고려하면, 처리 압력은 0.5 ~ 6Torr(=0.66661×10² ~ 7.99932×10²Pa), RF 전력은 300 ~ 600W, 기관 온도는 350 ~ 450℃, 암모니아 유량은 20 ~ 500sccm, 처리 시간은 5 ~ 180초, 전극 간 거리는 300 ~ 600mils의 범위로 설정할 수 있다.

이와 같이, Cu 배선(46a ~ 46e)과 산화 실리콘막(39)의 표면에 플라즈마 처리를 실시함으로써, Cu 배선(46a ~ 46e) 및 산화 실리콘막(39)의 표면의 극히 얇은 영역에 각각의 기초 재료의 질화막을 형성할 수 있다. 이에 따라, 다음에 설명하는 캡막(질화 실리콘막)과 Cu 배선(46a ~ 46e) 및 산화 실리콘막(39)과의 밀착성이 향상하고, TDDB 수명을 현저하게 향상할 수 있다. 이 점은 본 발명자 등의 실험 결과의 해석과 함께 후에 자세히 설명한다.

다음에, 로봇(304)을 이용하여 기관(1)을 처리실(302b)로 반송한다. 처리실(302b)의 게이트 밸브(305)를 닫고, 처리실(302b) 내의 충분한 진공도가 될 때까지 배기된 후, 처리실(302b)에 실란(SiH₄), 암모니아, 질소의 혼합 가스를 도입하고, 압력 조절을 행하여 소정의 압력으로 유지한다. 그 후, 고주파 전원으로부터 전극(309)에 전계를 인가하여 플라즈마를 발생하고, 도 17에 도시한 바와 같이, Cu 배선(46a ~ 46e) 및 산화 실리콘막(39)의 표면에 질화 실리콘막(47; 캡막)을 피착한다. 소정 시간의 경과 후 고주파 전계를 정지하고 플라즈마를 정지한다. 그 후, 처리실(302b) 내를 진공 배기하고, 게이트 밸브(305)를 열어서 로봇(304)에 의해 기관(1)을 로드록 챔버(301)로 반출한다. 또한, 로봇(304)을 이용하여 카세트 인터페이스(303)에 기관(1)을 배출한다.

질화 실리콘막(47)의 막 두께는, 예를 들면 50nm로 한다. 그 후, 제3층재의 배선과 제2층재의 배선(Cu 배선; 46a ~ 46e)을 접속하는 플러그를 형성하기 위한 산화 실리콘막을 형성하고, 상기한 바와 마찬가지로, 제3층재 이후의 매립 Cu 배선이 형성된다. 도 18은 상술한 Cu 배선(46a ~ 46e)의 형성 공정의 전체 플로우도이다.

도 19에 제7층재의 배선까지를 형성한 CMOS-LSI의 일례를 나타낸다. 제1층재의 배선(M1)은 상기한 바와 같이 텅스텐막으로 이루어진다. 제1층재의 배선의 막 두께 및 배선 피치(인접 배선의 중심에서 중심까지의 거리)는, 예를 들면 0.4 μ m 정도 또는 0.25 μ m 정도이다.

또한, 제2층 배선(M2)으로부터 제5층 배선(M5)까지는, 상기한 Cu 배선의 형성 방법으로 제조한다. 제2층 배선(M2) 및 제3층 배선(M3)의 TiN막의 두께는, 예를 들면 0.05 μ m 정도, Cu막의 두께는, 예를 들면 0.35 μ m 정도, 배선평 및 배선피치는, 예를 들면 0.5 μ m 정도 또는 0.25 μ m 정도이다. 제4층 배선(M4) 및 제5층 배선(M5)의 TiN막의 두께는, 예를 들면 0.05 μ m 정도, Cu막의 두께는, 예를 들면 0.95 μ m 정도, 배선평 및 배선피치는, 예를 들면 1.0 μ m 정도 또는 0.25 μ m 정도이다.

또한, 제6층 배선(M6)은, 예를 들면 텅스텐막, 알루미늄막 및 텅스텐막의 3층 구성으로 되어 있다. 또한, 제7층 배선(M7)은, 예를 들면 알루미늄막으로 이루어진다. 제7층 배선(M7)의 패드에는 범프 전극이 형성되거나 또는 본딩 와이어가 접속되지만 도시를 생략하고 있다. 또, 제7층 배선(M7)을 알루미늄과 텅스텐과의 적층막으로 구성하고 있는 이유 중 하나로서, 그 적층막은 상감 배선 구조를 채용하지 않은 통상의 반도체 집적 회로 장치의 최상층에 사용하고 있고, 범프 전극이나 본딩 와이어와의 접속 상의 신뢰성을 확보할 수 있는 것이 경험적으로 실증되고 있기 때문이다.

제1층 배선 M1과 제2층 배선 M2를 접속하는 관통 구멍의 직경은, 예를 들면 0.45 μ m 정도 또는 0.25 μ m 정도이다. 제2층 배선 M2와 제3층 배선 M3을 접속하는 관통 구멍의 직경은, 예를 들면 0.5 μ m 정도 또는 0.25 μ m 정도이다. 제3층 배선 M3과 제4층 배선 M4를 접속하는 관통 구멍의 직경은, 예를 들면 0.5 μ m 정도 또는 0.25 μ m 정도이다. 제4층 배선 M4와 제5층 배선 M5를 접속하는 관통 구멍의 직경은, 예를 들면 1.0 μ m 정도 또는 0.25 μ m 정도이다. 제5층 배선 M5와 제6층 배선 M6을 접속하는 관통 구멍의 직경은, 예를 들면 0.5 μ m 정도 또는 0.25 μ m 정도이다.

본 실시 형태에 따르면, TDDDB 수명이 대폭 개선된다. 도 20은 본 실시 형태의 제2층 배선 M2(Cu 배선; 46a ~ 46e)와 동층으로 형성된 TEG 샘플의 TDDDB 수명을 나타내는 그래프로, 본 실시 형태의 경우의 데이터를 라인 A로 나타낸다. 비교를 위해서 암모니아 플라즈마 처리를 하지 않은 경우의 TDDDB 수명 데이터(라인 Ref)도 동시에 나타낸다. 도면에서부터 밝힌 바와 같이 본 실시 형태에서는, 비교 데이터와 비교하여 약 6자리수의 수명 향상이 나타난다.

도 21은 본 실시 형태에서 적용한 산화 실리콘막(39)을 그것보다도 치밀하고 강고한 질화 실리콘막으로 치환한 경우의 데이터(라인 B)를 나타낸다. 절연막을 질화 실리콘으로 치환한 경우라도 암모니아 플라즈마 처리를 실시하지 않으면 절연막을 산화 실리콘막으로 한 경우와 아무런 차이는 없다(라인 Ref). 한편, 질화 실리콘막을 절연막에 적용하고, 암모니아 플라즈마 처리를 실시하면, 본 실시 형태 이상으로 TDDDB 수명이 향상된다. 그러나, 그 향상의 비율은 크지 않고 암모니아 플라즈마 처리를 행함으로써 요인쪽이 지배적인 것을 알 수 있다. 이것은 TDDDB 수명을 지배하는 요인은 절연막의 벌크보다는 그 계면이 지배적인 것을 나타내고 있다.

그래서, 본 발명자 등은 암모니아 플라즈마 처리에 의해 TDDDB 수명이 향상하는 기구를 해석하기 위해서 구리와 산화 실리콘막의 표면 분석을 하였다. 이하에 해석의 결과를 설명한다.

도 22 ~ 도 24는 Cu 배선 표면의 XPS(X-ray Photo-electron Spectroscopy) 분석의 결과를 나타낸 그래프이다. 각 도면의 (a), (c)는 Cu2p의 분광 결과를 나타내고, 각 도면의 (b), (d)는 N1s의 분광 결과를 나타낸다.

도 22의 (a), 도 22의 (b)는 피착 직후 상태의 Cu막 표면을 분석한 결과이다. Cu2p의 피크가 관찰되며, N1s의 피크는 노이즈 레벨이기 때문에, 피착 직후 상태의 Cu막에는 질소는 존재하지 않은 것을 알 수 있다. 도 22의 (c), 도 22의 (d)는 Cu막에 CMP만을 실시한 직후의 Cu 배선 표면을 분석한 결과이다. Cu2p의 피크와 함께 N1s의 피크가 관찰된다. 상기한 바와 같이 슬러리에는 BTA가 포함되기 때문에, Cu 표면에 잔류한 BTA 내의 질소를 관찰하고 있는 것으로 추찰할 수 있다. 도 23의 (a), 도 23의 (b)는, CMP 후에 후세정까지 행한 상태의 Cu 배선 표면을 분석한 결과이다. Cu2p 피크에 변화는 나타나지 않지만, N1s 피크가 저하하고 있다. 세정에 의해 BTA가 제거되었다고 생각된다. 도 23의 (c), 도 23의 (d)는 후세정 후 대기 분위기에서 24 시간 방치한 상태의 Cu 배선 표면을 분석한 결과이다. Cu2p의 피크와 함께 CuO의 피크가 관찰된다. N1s 피크에는 방치에 의한 변화는 보이지 않는다. 방치에 의해 Cu 표면이 산화되며 CuO가 생성하고 있는 것을 알 수 있다.

이와 같이 산화된 Cu 배선에 암모니아 플라즈마 처리를 실시한 상태의 Cu 배선 표면을 분석한 결과가 도 24의 (a), 도 24의 (b)이다. CuO의 피크는 거의 소실하고 있다. 한편, N1s 피크는 강하게 생기고 있다. Cu 표면이 환원되어 산소가 방출되고 있음과 함께 표면이 질화되어 있다고 생각된다. 비교를 위해서 산화된 Cu 배선에 350℃의 수소 열처리를 실시한 상태의 Cu 배선 표면을 분석하였다. 결과는 도 24의 (c), 도 24의 (d)이다. Cu2p 피크에 대해서 도 24의 (c)와 도 24의 (a)를 비교하면, 보다 피착 직후 상태[도 22의 (a)]에 가깝기 때문에 수소 열 처리 쪽이 환원성은 강하다고 생각된다. 한편, N1s 피크는 거의 관찰되지 않기 때문에 수소 열 처리로서는 Cu 표면이 환원될 뿐이다.

이상의 결과로부터, 암모니아 플라즈마 처리에 의해 Cu 배선(46a ~ 46e)의 표면은 환원됨과 함께 질화층이 형성되어 것을 알 수 있다. 이 질화층은 암모니아 플라즈마 처리 후에 질화 실리콘막을 피착할 때의 원료 가스에 포함되는 실란과 구리와 반응 방지하고, 구리의 실리사이드의 형성을 억제하는 작용을 갖는다고 생각된다. 실리사이드 형성의 방지는 배선 저항의 증가를 억제하는 효과가 있다.

도 25는 산화 실리콘막 표면의 XPS 분석을 한 결과를 나타내는 그래프이고, 도 26 및 도 27은 산화 실리콘막의 질량 분석(TDS-APIMS)을 행한 결과를 나타내는 그래프이다. 산화 실리콘막의 분석에서는, CMP 후에 세정까지 행한 상태(프로파일 C), CMP 후세정 후에 수소 플라즈마 처리를 행한 상태(프로파일 D), CMP 후세정 후에 암모니아 플라즈마 처리를 행한 상태(프로파일 E), CMP 후 세정 후에 질소 플라즈마 처리를 행한 상태(프로파일 F)에 대하여 분석하였다. 또, 프로파일 C의 1eV 정도의 고에너지 방향으로의 어긋남은 차지업의 영향에 따른 것이다.

도 25의 (a), 도 25의 (b)는 모두 Si2p 스펙트럼을 관찰한 데이터로, 도 25의 (a)는 10nm 정도의 깊이를, 도 25의 (b)는 2nm 정도의 깊이를 분석한 것이다. 도 25의 (c), 도 25의 (d), 도 25의 (e)는 각각 N1s, O1s, C1s 스펙트럼을 관찰한 데이터이다.

도 25의 (b)로부터, 수소 플라즈마 처리(프로파일 D)의 저에너지측(102eV 부근)에 넓은 피크가 보인다. 이것은 Si-H 결합이 존재한다고 생각되어, 수소 플라즈마 처리에 의해 산화 실리콘막 표면에 Si-H가 형성된다고 추찰된다.

도 25의 (a)로부터, 암모니아 플라즈마 처리(프로파일 E)와 질소 플라즈마 처리(프로파일 F)의 105eV의 피크가 저에너지측으로 넓어진 비대칭인 피크로 되어 있다. 비대칭 부분의 피크(103.5eV)는 Si-O-N 결합이라고 생각된다. 암모니아 플라즈마 처리 및 질소 플라즈마 처리에 의해 산화 실리콘막의 표면이 질화되어 있다고 추찰된다. 또한, 도 25의 (a)와 도 25의 (b)와의 비교로부터, 질화는 표면에서 보다 강해지고 있다고 생각된다. 암모니아 플라즈마 처리 및 질소 플라즈마 처리에 의한 질화는 도 25의 (c)에서도 확인할 수 있다.

도 25의 (e)로부터, 수소 플라즈마 처리(프로파일 D)에서는 탄소는 거의 검출되지 않는다. 수소 플라즈마 처리에 의해 표면의 유기물이 제거되어 있는 것을 알 수 있다. 또한, CMP 후(프로파일 C)의 289eV의 피크는 C-O 결합이라고 생각된다. CMP 후에는 슬러리가 잔류하고 있다고 생각한다.

도 25의 (f)는 Si 피크와 N 피크로부터 그들의 존재비를 구하고, N량을 추정된 값을 나타낸다. 암모니아 플라즈마 처리와 질소 플라즈마 처리에서는 거의 동등한 질화가 이루어지고 있다고 생각한다.

도 26의 (a), 도 26의 (b), 도 26의 (c), 도 26의 (d)는 각각 질량수 41(Ar-H), 질량수 27(C₂H₃), 질량수 57(C₄H₉), 질량수 59(C₃H₇O)를 측정된 그래프이다. 또한, 도 27의 (a), 도 27의 (b), 도 27의 (c), 도 27의 (d)는 각각 질량수 28(Si, C₂H₄), 질량수 44(SiO, C₃H₆), 질량수 29(SiH, C₂H₅), 질량수 31(SiH₃)을 측정된 그래프이다.

도 26의 (a)로부터, 플라즈마 처리에 의한 수소의 이탈량의 차이는 거의 없지만, 수소 플라즈마 처리(프로파일 D)의 이탈 온도가 다른 경우(560℃)와 비교하여 520℃로 낮은 것을 알 수 있다.

도 26의 (a), 도 26의 (b), 도 26의 (c)로부터, 각 공정과도 유기물의 이탈이 나타난다. 한편, 도 27의 (a) ~ 도 27의 (d)로부터 유기물의 이탈 이외의 피크의 존재가 나타난다. 즉, 300 ~ 400℃의 피크는 각각, Si, SiO, SiH, SiH₃이라고 생각된다. 각 도면을 비교하면, 수소, 암모니아, 질소의 각 플라즈마 처리로 SiO의 이탈은 나타나지만, 암모니아 플라즈마 처리로는 SiH, SiH₃의 이탈은 거의 관찰되지 않는다. 즉, 암모니아 플라즈마 처리로서는 Si-O-N이 형성되고, 비교적 낮은 에너지로 용이하게 이탈한다. 또한, 이탈에 필요한 에너지는 질소 플라즈마 처리의 경우가 가장 높고, 수소 플라즈마 처리와 암모니아 플라즈마 처리로는 거의 동일하다고 할 수 있다.

이들의 결과로부터, 산화 실리콘막 표면의 땀글링 결합의 원인이 되는 Si-OH나 Si-O-는 암모니아 플라즈마 처리에 의해, 약한 결합의 Si-O-N으로 중단된다고 생각된다. 암모니아 플라즈마 처리 후의 질화 실리콘막의 성막에 있어서 극히 표면의 Si-O-N이 이탈하고, 벌크의 Si-O 결합과 질화 실리콘막의 Si-N이 강고하게 결합하고 연속적인 계면을 형성한다. 이것이 계면의 밀착성을 향상하는 기구라고 생각된다. 한편, 암모니아 플라즈마 처리를 행하지 않은 경우에는 애당초 Si-OH 결합이 많은 산화 실리콘막의 표면과 질화 실리콘막의 원료 가스인 암모니아가 촉합 반응하고, 땀글링 결합의 원인인 Si-O- 결합이 다수 발생하고 있다고 생각된다. 산화 실리콘막과 질화 실리콘막과의 계면에 다수의 땀글링 결합이 존재하면, 거기에는 누설 패스를 형성하게 되어 배선 간의 누설 전류, 나아가서는 절연 파괴의 원인으로 되어 있다고 생각된다.

이상의 분석 결과로부터, 암모니아 플라즈마 처리에 의해 산화된 Cu 배선의 표면은 환원되어 Cu 단원소로 변환되며, 이온화된 Cu보다도 전기적으로 안정된 상태가 되고 또한 산화 실리콘막/질화 실리콘막 계면은 연속적인 강고한 막이 되기 때문에 누설 전류가 감소하고 TDDB 수명도 대폭 향상한다고 생각된다.

본 발명자 등은 암모니아 플라즈마 처리를 행한 경우와, 행하지 않은 경우에 대하여, 배선층과 질화 실리콘막(캡막)과의 계면의 TEM 사진을 촬영하였다. 그 결과, 암모니아 플라즈마 처리를 행한 본 실시 형태의 경우에는 그 계면에 얇은 피막의 존재를 확인할 수 있었다. 그 얇은 피막은 상기한 질화층이라고 생각된다. 한편, 암모니아 플라즈마 처리를 행하지 않은 경우에는 그와 같은 피막은 확인할 수 없다.

또한, 본 실시 형태에서는 Cu 배선의 저항을 저감할 수 있다. 도 28은 각 종 처리를 행한 경우의 배선 저항의 측정 결과이다. 처리없음(플라즈마 처리있음)과 암모니아 플라즈마 처리를 한 경우에는 다른 경우(수소 플라즈마 처리, 수소 어닐링, 질소 플라즈마 처리)와 비교하여 낮은 값으로 되어 있다. 도 29 및 도 30은 이들 각 처리를 실시한 경우의 Cu 배선과 캡막(질화 실리콘막)과의 계면을 관찰한 TEM 사진의 트레이스 도면이다.

처리를 하지 않은 것과 암모니아 플라즈마 처리를 한 경우(도 29)에는 계면에 특이한 것은 나타나지 않지만, 수소 어닐링, 질소 플라즈마 처리를 한 경우(도 30)에는 계면에 구리의 실리사이드(CuSi)층이 형성되어 있다. 이 실리사이드층이 저항 증가의 원인이라고 생각된다. 이러한 실리사이드층은 질화 실리콘막의 형성 시의 실란 가스와의 반응으로 형성되지만, 암모니아 플라즈마 처리를 행하고 있는 경우에는 Cu 표면에 극히 얇은 질화막이 형성되어 있고, 이 질화막이 실리사이드화의 블로킹층으로서 기능하고 있다고 생각된다. 한편, 수소 어닐링 등, 단순히 구리 표면을 환원하는 것만으로는 활성인 Cu 표면이 노출하여 실리콘과의 반응이 촉진되기 때문에, 실리사이드층이 생성되기 쉽다고 생각된다. 또한, 수소 플라즈마 처리[도 30의 (c)]인 경우에는 계면에 어떠한 생성물이 나타난다. 다만, 대부분의 경우에는 그와 같은 생성물이 형성되지 않은 경우도 있고, 수소 플라즈마 처리인 경우에는 실리사이드화의 정도는 작다고 생각된다.

상기한 분석 결과로부터, TDDB 수명의 열화 기구로서, 이하와 같은 모델이 생각되는 것이 본 발명자 등의 검토 결과에 의해서 처음으로 발견되었다. 도 31의 (a)는 TDDB 열화의 메카니즘의 개략도를 나타내고, 도 31의 (b)는 그 에너지 대역을 나타내고 있다. 즉, 본 실시 형태의 암모니아 플라즈마 처리를 실시하지 않은 경우에는 Cu 배선의 표면에는, 그 후의 표면 공정에 영향을 받아서, 산화 구리(CuO)가 형성되고 또한 캡막(질화 실리콘막; 47)의 형성 시에 구리 실리사이드(Cu 화합물)이 형성된다. 이러한 산화 구리 혹은 구리 실리사이드는 순수한 구리와 비교하여 이온화되기 쉽고, 이러한 이온화된 구리는 배선간의 전계에 의해 드리프트되어 배선간의 절연막에 확산된다.

또한, 구리 배선을 매립하여 형성하는 절연막(산화 실리콘막; 39)과 캡막[질화 실리콘막(47)]과의 계면은, 본 실시 형태의 암모니아 플라즈마 처리를 실시하지 않은 경우에는 CMP 데미지, 유기물 또는 땀글링 결합이 많이 형성되어 불연속으로 밀착성에도 부족하다. 이러한 땀글링 결합의 존재는 구리 이온의 확산을 조장하는 작용을 가지며, 구리 이온은 계면에 따라서 드리프트되어 확산한다. 즉, 배선 간의 상기 계면에 누설 패스가 형성된다. 누설 패스를 흐르는 누설 전류는 장시간의 누설 작용과 전류에 의한 열스트레스도 가해져서 그 후 가속도적으로 전류치가 증가하여 절연 파괴에 이른다(TDDB 수명의 저하)

이에 대하여, 도 32의 (a), 도 32의 (b)는, 상기 암모니아 플라즈마 처리를 실시한 경우의 TDDB 향상의 메카니즘의 개략도 및 그 에너지 대역을 나타내고 있다. 본 실시 형태에 있어서는 Cu 배선(46a ~ 46e)의 표면에 암모니아 플라즈마 처리를 실시하기 위해서 Cu 배선(46a ~ 46e) 표면의 산화층은 환원되어 소실하고, Cu 배선(46a ~ 46e)의 표면에 얇은 질화층이 형성되기 때문에 질화 실리콘막(47)의 형성 시에 구리 실리사이드가 형성되지 않는다. 이 때문에, 누설 및 절연 파괴의 원인이 되는 구리 이온을 지배적으로 공급하는 원인 물질을 생기지 않게 할 수 있다. 또한, 본 실시 형태에서는 산화 실리콘막(39)의 표면에 암모니아 플라즈마 처리를 실시하기 위해서 질화 실리콘막(47)과의 접촉을 연속적으로 하고, 땀글링 결합의 밀도를 저감하여 누설 패스의 형성을 억제할 수 있다. 또한, 산화 실리콘막(39)의 표면을 청정한 상태로 할 수 있다.

따라서, 본 실시 형태에 있어서는 TDDDB 수명 저하의 원인이 되는 구리 이온의 발생을 억제하고, 또한, 구리의 확산을 억제할 수 있는 산화 실리콘막(39)과 질화 실리콘막(47)과의 접합 계면을 형성할 수 있다. 이에 따라 TDDDB 수명을 향상할 수 있는 것이다.

또한, 상기한 해석으로부터 수소 플라즈마 처리에서도 TDDDB 수명을 향상할 수 있다고 생각된다. 즉, 수소 플라즈마 처리에 의해 Cu 표면은 환원되고, Si-O 등의 덩글링 결합이나, 그 원인이 되는 Si-OH가 Si-H로 종단된다. 그리고, 질화 실리콘막의 형성 시에, 결합이 약한 표면의 Si-H가 이탈하고 Si-N로 치환된다. 이에 따라 연속적인 산화 실리콘막과 질화 실리콘막의 계면이 형성된다. 다만 배선 저항은 상기한 바와 같이 증가한다.

도 33은 수소 플라즈마 처리를 행한 경우의 TDDDB 수명의 데이터를 나타낸 그래프이다. 참고로 라인 Ref(처리없음)와 라인 A(암모니아 플라즈마 처리)를 나타내었다. 수소 플라즈마 처리(라인 C)에서는 TDDDB 수명이 매우 향상하는 것을 알 수 있다. 수소 플라즈마 처리의 경우에는 플라즈마 데미지가 경감되는 것이 기대되므로, 캡막으로서 질화 실리콘막 대신에 다른 재료로 Cu와의 반응 생성물이 생기지 않는 재료를 적용할 수 있을 때에는 매우 유효하다. 또, 질소 플라즈마 처리(라인 D)에서는 TDDDB 수명이 오히려 저하한다. 도 26, 도 27에서도 알 수 있듯이, 질소 플라즈마 처리에 의해서 오히려 유기물의 부착이 증가하고 있는 것에 기인한다고 생각된다.

본 실시 형태에서는, 또한 Cu 배선(46a ~ 46e) 및 산화 실리콘막(39)과 캡막(47)과의 접착성이 향상하고 있기 때문에, 계면의 박리 강도가 늘고 마진이 커진다는 효과도 있다.

또, 암모니아, 수소의 단일 가스뿐만 아니라, 질소, 아르곤, 헬륨 등의 불활성 가스와의 혼합 가스 플라즈마로 처리하여도 된다. 즉, 암모니아와 수소, 질소, 아르곤 또는 헬륨과의 혼합 가스 혹은 수소와 암모니아, 질소, 아르곤 또는 헬륨과의 혼합 가스라도 좋다. 또한, 이들 가스로부터 선택된 3원계, 4원계 등 다원계의 혼합 가스라도 상관없다. 이 때, 수소, 암모니아 혹은 수소와 암모니아와의 합은 총 유량(질량 유량)에 대하여 5% 이상 혼합되어 있는 것이 필요하다.

(실시 형태 2)

본 발명의 다른 실시 형태인 CMOS-LSI의 제조 방법을 도 34 ~ 도 43을 이용하여 공정순으로 설명한다.

본 실시 형태의 제조 방법은, 실시 형태 1에서의 도 1 ~ 도 8까지의 공정에 대해서는 마찬가지로이다. 즉, Cu막의 피착 공정까지는 동일하다. 그래서, 이하 CMP 공정 이후의 공정을 설명한다.

도 34는 매립 Cu 배선의 형성에 이용하는 CMP 장치의 전체 구성의 일례를 나타낸 개략도이다.

도시한 바와 같이, CMP 장치(400)는 연마 처리부(401)와 그 후단에 설치된 후세정부(402)에 따라서 구성되어 있다. 연마 처리부(401)에는 웨이퍼(기판; 1)의 연마 처리를 행하는 2대의 정반[제1 정반(403A), 제2 정반(403B)], 연마 처리가 끝난 기판(1)을 예비 세정하고, 그 표면에 방식 처리를 실시하는 크린·스테이션(404), 기판(1)을 로더(406), 제1 정반(403A), 제2 정반(403B), 크린·스테이션(404), 언로더(407) 간에 이동시키는 회전 아암(405) 등이 설치되어 있다.

연마 처리부(401)의 후단에는 예비 세정이 끝난 기판(1)의 표면을 스크립 세정하는 후세정부(402)가 설치되어 있다. 후세정부(402)에는 로더(408), 제1 세정부(409A), 제2 세정부(409B), 스핀 드라이어(410), 언로더(411) 등이 설치되어 있다. 또한, 후세정부(402)는 세정 중의 기판(1)의 표면에 빛이 조사하는 것을 막기 위해서 전체가 차광벽(430)으로 둘러싸이고, 내부가 180룩스, 바람직하게는 100룩스 이하의 암실 상태로 되어 있다. 이것은 표면에 연마액이 부착한 기판(1)에 습윤 상태에서 빛이 조사되면, 실리콘의 광기전력에 의해서 pn 접합에 단락 전류가 흐르고, pn 접합의 p측(+측)에 접속된 Cu 배선의 표면에서부터 Cu 이온이 해리하여 배선 부식을 야기하기 때문이다.

도 35에 도시한 바와 같이, 제1 정반(403A)은 그 하부에 설치된 구동 기구(412)에 의해서 수평면 내에서 회전 구동한다. 또한, 제1 정반(403A)의 상면에는 다수의 기공을 갖는 폴리우레탄 등의 합성 수지를 균일하게 접착하여 형성한 연마 패드(413)가 부착되어 있다. 제1 정반(403A)의 상측에는 구동 기구(414)에 의해서 상하로 움직이거나 및 수평면 내에서 회전 구동하는 웨이퍼 캐리어(415)가 설치되어 있다. 기판(1)은 이 웨이퍼 캐리어(415)의 하단부에 설치된 웨이퍼 척(416) 및 리테이너링(417)에 의해서, 그 주면(피연마면)을 하향으로 하여 유지되며 소정의 하중으로 연마 패드(413)에 압박된다. 연마 패드(413)의 표면과 기판(1)의 피연마면 간에는 슬러리 공급관(418)을 통하여 슬러리(연마액) S가 공급되고, 기판(1)의 피연마면이 화학적 및 기계적으로 연마된다. 또한, 제1 정반(403A)의 상측에는 구동 기구(419)에 의해서 상하로 움직이거나 및 수평면 내에서 회전 구동하는 드레서(420)가 설치되어 있다. 드레서(420)의 하단부에는 다이아몬드 입자를

전착한 기재가 부착되고 있고, 연마 패드(413)의 표면은 연마 지립에 의한 눈 막힘을 막기 위해서 이 기재에 의해서 정기적으로 절삭된다. 또, 제2 정반(403B)은 2개의 슬러리 공급관(418a, 418b)이 설치되어 있는 점을 제외하고 제1 정반(403A)과 거의 마찬가지로의 구성으로 되어 있다.

상기 CMP 장치(400)를 사용하여 Cu 배선을 형성하기 위해서는 로더(406)에 수용된 기관(1)을 회전 아암(405)을 사용하여 연마 처리부(401)에 반입하고, 우선 도 36에 도시한 바와 같이, 제1 정반(403A) 상에서, 지립을 포함하지 않은 슬러리를 사용한 화학 기계 연마(지립 프리 화학 기계 연마; 제1 스텝의 CMP)를 행하고, 상기 배선흘(40 ~ 44)의 외부의 Cu막(46)을 제거한다(도 37)

여기서 지립 프리 화학 기계 연마란, 알루미늄, 실리카 등의 분말로 이루어지는 지립의 함유량이 0.5 중량% 이하인 연마액(슬러리)을 사용한 화학 기계 연마를 의미하고, 연마액으로서는, 특히 지립의 함유량이 0.1 중량% 이하가 바람직하며, 0.05 중량% 이하 혹은 0.01 중량% 이하는 보다 바람직하다.

또한, 연마액으로서는 Cu의 부식 영역에 속하도록 그 pH가 조정된 것이 사용되며 또한 TiN막(45; 배리어층)에 대한 Cu막(46)의 연마 선택비가 적어도 5 이상이 되도록 그 조성이 조정된 것이 사용된다. 이러한 연마액으로서, 산화제와 유기산을 포함한 슬러리를 예시할 수 있다. 산화제로서는, 과산화수소, 수산화 암모늄, 질산 암모늄, 염화 암모늄 등을 예시할 수 있고, 유기산으로서는, 구연산, 말론산, 푸마르산, 말산, 아디핀산, 벤조산, 프탈산, 타르타르산, 유산, 숙신산 등을 예시할 수 있다. 이들 중, 과산화수소는 금속 성분을 포함하지 않고, 또한 강산이 아니기 때문에, 연마액에 이용하여 적합한 산화제이다. 또한, 구연산은 식품 첨가물로서도 일반적으로 사용되고 있고, 독성이 낮고 폐액으로서의 해도 낮고 냄새도 없고 물에의 용해도도 높아서 연마액에 이용하기에 적합한 유기산이다. 본 실시 형태에서는, 예를 들면 순수에 5체적%의 과산화수소와 0.03 중량%의 구연산을 첨가하여, 지립의 함유량을 0.01 중량% 미만으로 한 연마액을 사용한다.

상기 연마액으로 화학 기계 연마를 행하면, 우선 Cu 표면이 산화제에 의해서 산화되어 표면에 얇은 산화층이 형성된다. 다음에 산화물을 수용성화하는 물질이 공급되면 상기 산화층이 수용액이 되어 용출하고 상기 산화층의 두께가 감소한다. 산화층이 얇아진 부분은 재차 산화성 물질에 노출되어 산화층의 두께가 두꺼워지고, 이 반응을 반복하여 화학 기계 연마가 진행된다. 또, 이러한 지립 프리의 연마액을 사용한 화학 기계 연마에 대해서는, 본원 발명자 등에 의한 일본 특원평 9-299937호 및 특원평 10-317233호에 자세히 기재되어 있다.

연마의 조건은, 일례로서 하중=250g/cm², 웨이퍼 캐리어 회전수=30rpm, 정반 회전수=25rpm, 슬러리 유량=150cc/min으로 하고, 연마 패드는 미국 로델(Rodel)사의 경질 패드(IC1400)를 사용한다. 연마의 종점은 Cu막(46)이 제거되어 하지인 TiN막(45)이 노출한 시점으로 하고, 종점의 검출은 연마 대상이 Cu막(46)으로부터 TiN막(45)이 되었을 때에 변화하는 정반 또는 웨이퍼 캐리어의 회전 토크 신호 강도를 검출함으로써 행한다. 또한, 연마 패드 일부에 구멍을 뚫어서 웨이퍼 표면에서의 광반사 스펙트럼 변화에 기초하여 종점을 검출하거나 슬러리의 광학적 스펙트럼 변화에 기초하여 종점을 검출하기도 해도 된다.

도 37에 도시한 바와 같이, 상기한 지립 프리 화학 기계 연마를 행함으로써, 배선흘(40 ~ 44)의 외부의 Cu막(46)은 거의 제거되어 하층의 TiN막(45)이 노출하지만, 도 38의 (a), 도 38의 (b)에 확대하여 도시한 바와 같이, 하지 단차에 기인하여 생긴 TiN막(45)의 오목부(화살표로 나타낸다) 등에는 이 연마로서는 제거할 수 없던 Cu막(46)이 잔존한다.

다음에, 배선흘(40 ~ 44)의 외부의 TiN막(45)과 그 상면에 국소적으로 남은 Cu막(46)을 제거하기 위해서, 기관(1)을 상기 도 34 ~ 도 36에 도시한 제1 정반(403A)에서 제2 정반(403B)으로 옮기고, 지립을 포함하는 연마액(슬러리)을 사용한 화학 기계 연마(유지립 화학 기계 연마; 제2 스텝의 CMP)를 행한다. 여기에서 유지립 화학 기계 연마란, 알루미늄, 실리카 등의 분말로 이루어지는 지립의 함유량이 0.5 중량%보다도 많은 연마액을 사용한 화학 기계 연마를 의미한다. 본 실시 형태에서는 연마액으로서 순수에 5체적%의 과산화수소, 0.03 중량%의 구연산 및 0.5 중량%의 지립을 혼합한 것을 사용하지만, 이에 한정되지는 않는다. 이 연마액은 상기 슬러리 공급관(418a)을 통하여 제2 정반(403B)의 연마 패드(413)에 공급된다.

또한, 이 유지립 화학 기계 연마에 있어서는 TiN막(45)의 상면에 국소적으로 남은 Cu막(46)의 제거에 이어서 배선흘(40 ~ 44)의 외부의 TiN막(45)을 제거한다. 그래서, TiN막(45; 배리어층)에 대한 Cu막(46)의 연마 선택비가 상기 지립 프리 화학 기계 연마의 그것보다도 낮은 조건, 예를 들면 선택비 3 이하의 조건으로 연마를 행하고 배선흘(40 ~ 44)의 내부의 Cu막(46)의 표면이 연마되는 것을 억제한다.

연마의 조건은, 일례로서 하중=120g/cm², 웨이퍼 캐리어 회전수=30rpm, 정반 회전수=25rpm, 슬러리 유량=150cc/min으로 하고, 연마 패드는 로텔사의 IC1400을 사용한다. 연마량은 TiN막(45)의 막 두께 상당분으로 하고 연마의 종점은 TiN막(45)의 막 두께 및 연마 속도로부터 산출한 시간에 의해서 제어한다.

도 39에 도시한 바와 같이, 상기의 유지립 화학 기계 연마를 행함으로써, 배선홈(40 ~ 44)의 외부의 TiN막(45)은 거의 제거되어 하층의 산화 실리콘막(39)이 노출되지만, 도 40의 (a), 도 40의 (b)에 확대하여 도시한 바와 같이, 하지 단차에 기인하여 생긴 산화 실리콘막(39)의 오목부(화살표로 나타낸다) 등에는 상기한 연마로 제거할 수 없던 TiN막(45)이 잔존한다.

다음에, 배선홈(40 ~ 44)의 내부의 Cu막(46)의 연마를 가능한 한 억제하면서 배선홈(40 ~ 44)의 외부의 산화 실리콘막(39) 상에 국소적으로 남은 TiN막(45; 배리어층)을 제거하기 위한 선택적 화학 기계 연마(제3 스텝의 CMP)를 행한다. 이 선택적 화학 기계 연마는 Cu막(46)에 대한 TiN막(45)의 연마 선택비가 적어도 5 이상이 되는 조건으로 행한다. 또한, 이 화학 기계 연마는 Cu막(46)의 연마 속도에 대한 산화 실리콘막(39)의 연마 속도의 비가 1보다도 커지는 조건으로 행한다.

상기 선택적 화학 기계 연마를 행하기 위해서는, 일반적으로 상기 유지립 화학 기계 연마로 사용한 바와 같은 0.5중량%보다도 많은 지립을 함유하는 연마액에 방식제를 첨가한 것을 사용한다. 방식제란, Cu막(46)의 표면에 내식성의 보호막을 형성함으로써 연마의 진행을 저지 또는 억제하는 약제를 말하며, 벤조트리아졸(BTA), BTA 카르복실산 등의 BTA유도체, 도데실메르캅탄, 트리아졸, 트릴트리아졸 등이 사용되지만, 특히 BTA를 사용한 경우에 안정된 보호막을 형성할 수 있다.

방식제로서 BTA를 사용하는 경우, 그 농도는 슬러리의 종류에도 따르지만, 통상은 0.001 ~ 1중량%, 보다 바람직하게는 0.01 ~ 1중량%, 더 바람직하게는 0.1 ~ 1중량%(3 단계)의 첨가로 충분한 효과가 얻어진다. 본 실시 형태에서는, 연마액으로서 상기 제2 스텝의 유지립 화학 기계 연마로 사용한 연마액에 방식제로서 0.1중량%의 BTA를 혼합한 것을 사용하지만, 이에 한정되지는 않는다. 또한, 방식제의 첨가에 의한 연마 속도의 저하를 피하기 위해서 폴리아크릴산, 폴리메타크릴산, 이들의 암모늄염 또는 에틸렌디아민 사아세트산(EDTA) 등을 필요에 따라 첨가해도 된다. 또, 이러한 방식제를 포함하는 슬러리를 사용한 화학 기계 연마에 대해서는, 본원 발명자 등에 의한 특원평 10-209857호, 특원평 9-299937호 및 특원평 10-317233호에 자세히 기재되어 있다.

이 선택적 화학 기계 연마(제3 스텝의 CMP)는, 상기 유지립 화학 기계 연마(제2 스텝의 CMP)가 종료한 후, 이어서 도 34 ~ 도 36에 도시한 CMP 장치의 제2 정반(403B) 상에서 행해진다. 방식제를 첨가한 연마액은 상기 슬러리 공급관(418b)을 통하여 연마 패드(413)의 표면에 공급된다. 연마의 조건은, 일례로서 하중=120g/cm², 웨이퍼 캐리어 회전수=30rpm, 정반 회전수=25rpm, 슬러리 유량=190cc/min으로 한다.

도 41 및 도 42의 (a), 도 42의 (b)에 도시한 바와 같이, 상기한 선택적 화학 기계 연마를 행함으로써, 배선홈(40 ~ 44)의 외부의 TiN막(45)이 전부 제거되며, 배선홈(40 ~ 44)의 내부에 매립 Cu 배선(46a ~ 46e)이 형성된다.

매립 Cu 배선(46a ~ 46e)의 형성이 완료한 상기 기관(1)의 표면에는 지립 등의 파티클이나 Cu 산화물 등의 금속 입자를 포함한 슬러리 잔사가 부착되어 있다. 그래서, 이 슬러리 잔사를 제거하기 위해서, 우선 상기 도 34에 도시하는 크린·스테이션(404)에 있어서 BTA를 포함하는 순수로 기관(1)을 세정한다. 이 때, 세정액에 800kHz 이상의 고주파 진동을 덧붙여 기관(1)의 표면에서 슬러리 잔사를 유리(遊離)시키는 메가소닉 세정을 병용해도 된다. 다음에, 표면의 건조를 막기 위해서 기관(1)을 습윤 상태로 유지한 상태에서 연마 처리부(401)로부터 후 세정부(402)에 반송하고, 제1 세정부(409A)에서 0.1중량%의 NH₄OH를 포함하는 세정액을 이용한 스크립 세정을 행하고, 계속해서 제2 세정부(409B)에서 순수를 이용한 스크립 세정을 행한다. 상기한 바와 같이, 후세정부(402)는 세정 중의 기관(1)의 표면에 빛이 조사하는 것에 기인하여 Cu 배선(46a ~ 46e)에 부식이 발생하는 것을 막기 위해서 전체가 차광벽(430)으로 덮여져 있다.

상기 스크립 세정(후세정)이 완료한 기관(1)은 스핀 드라이어(410)로 건조된 후, 다음 공정으로 반송된다. 그 후의 공정은 실시 형태 1과 마찬가지로이다. 도 43은 상술한 Cu 배선(46a ~ 46e)의 형성 공정의 전체 플로우도이다.

본 실시 형태에 따르면, 실시 형태 1의 경우보다 또한 TDDB 수명을 향상할 수 있다. 도 44는 본 실시 형태인 경우의 TDDB 수명을 나타낸 그래프이다. 본 실시 형태의 경우의 데이터는 라인 E로 나타내고 있다. 참고를 위해 처리를 하지 않은 것(라인 Ref)과 유지립 화학 기계 연마를 한 경우(실시 형태 1)의 데이터(라인 A)를 동시에 나타내고 있다. 또, 암모니아 플라즈마 처리를 행하지 않고 지립 프리의 화학 기계 연마만을 행한 것만으로도 라인 F로 나타낸 바와 같이 TDDB 특성이 개선된다. 이와 같이 지립 프리인 경우에 TDDB 수명이 향상되는 것은 산화 실리콘막에 미치는ダメージ를 저감할 수 있기 때문이라고 생각된다. 유지립의 경우, 슬러리에는 2 ~ 3 μ m의 입경(2차 입경)의 지립(알루미나 등)이 포함된다. 이 지립

에 의해 마이크로 스크래치가 생겨서, 산화 실리콘막(39)의 표면에 데미지를 미친다. 그러나, 지립 프리의 경우에는 슬러리에 지립이 포함되지 않거나 혹은 포함되어 있어도 극히 소수이기 때문에, 데미지를 대폭 경감할 수 있다. 이 때문에, TDDB 특성이 개선된 것이라고 생각된다.

또, 다음의 실시 형태에서 설명하는 산 처리(HF 처리)를 조합하면, 또한 TDDB 특성이 개선한다(라인 G) 산 처리는, CMP 후세정 후 또한 산성 수용액(예를 들면 HF 수용액)으로 기관(1)을 처리하고, 그 후 암모니아 플라즈마 처리를 행하는 것이다. 산 처리에 의해 표면의 데미지층이 제거되어 계면의 밀착성이 향상되어 TDDB 수명이 개선된 것이라고 생각된다.

(실시 형태 3)

도 45는 본 실시 형태 3의 Cu 배선(46a ~ 46e)의 형성 공정의 전체 플로우도이다. 도 45에 도시한 바와 같이, HF 또는 시트르산에 의한 세정 공정을 삽입한 것이외는 실시 형태 1과 마찬가지로이다.

HF 세정은, 예를 들면 브러시 스크립 세정을 이용하여, HF 농도를 0.5%, 세정 시간을 20초의 조건을 선택할 수 있다.

혹은 HF 세정 대신에 구연산 세정을 이용하여도 좋다. 구연산 세정은, 예를 들면 브러시 스크립 세정을 이용하여, 구연산 농도를 5%, 세정 시간을 45초의 조건을 선택할 수 있다.

이와 같이 HF 또는 구연산 세정을 이용함으로써, CMP 등으로 생긴 표면의 데미지층을 제거할 수 있다. 이에 따라 TDDB 수명을 향상할 수 있다. 도 46은 본 실시 형태의 경우의 TDDB 수명을 나타낸 그래프이다. 본 실시 형태인 경우의 구연산을 적용한 데이터는 라인 H, HF 세정을 적용한 데이터는 라인 I로 나타내고 있다. 참고를 위해서, 처리를 하지 않는 것(라인 Ref)과 실시 형태 1의 데이터(라인 A)를 동시에 나타내고 있다. 또, 암모니아 플라즈마 처리를 행하지 않고 HF 세정만을 행한 것만으로도 라인 J에 도시한 바와 같이 TDDB 특성이 개선된다. 이것은 데미지층의 제거에 의해 계면의 특성을 향상할 수 있기 때문이라고 생각된다.

(실시 형태 4)

도 47 ~ 도 49는 본 발명의 실시 형태 4인 반도체 집적 회로 장치의 제조 방법을 나타낸 평면도 및 단면도이다. 도 47 ~ 도 49에서는 배선부만 나타내고 있다.

도 47에 도시한 바와 같이, 절연막(501) 상에 배선 형성용 절연막(502)을 형성하고, 이 절연막(502)에 매립하여 구리 배선(503)을 형성한다. 구리 배선(503)의 형성 방법은 실시 형태 1 ~ 3과 마찬가지로이다.

또한, 질화 실리콘막(504), 저유전율의 산화 실리콘막(505) 및 TEOS를 원료 가스에 이용하여 플라즈마 CVD법에 의해 형성한 산화 실리콘막(TEOS 산화막; 506)을 형성한다.

저유전율의 산화 실리콘막(505)은, 예를 들면 수소 실세스키옥산(Hydrogen Silsesquioxane)을 원료로 하는 무기계 SOG막, 테트라알콕시실란(tetra alkoxy silane)+ 알킬알콕시실란(alkyl alkoxy silane)을 원료로 하는 유기계 SOG막 등의 도포형 절연막이나 플라즈마 CVD법으로 성막하는 플루오르 카본 폴리머막 등, 비유전율(ϵ)이 3.0 이하인 산화 실리콘계 절연막에 의해서 구성한다. 이러한 저유전율의 산화 실리콘막을 이용함으로써 배선간 기생 용량을 저감하고, 배선 지연의 문제를 회피할 수 있다.

다음에, 도 48의 (a)에 도시한 바와 같은 패턴으로, 도 48의 (b)에 도시한 바와 같이, 접속 구멍(507)을 개구한다. 접속 구멍(507)의 개구에는 포토리소그래피와 에칭을 이용한다. 그런데, 저유전율의 산화 실리콘막(505)은, 표면이 거친 막 구조를 가지며 Si-OH 결합을 많이 갖는다. 이 때문에 그 상층에 형성하는 막의 막질이나 계면 상태가 좋지 않은 것은 경험적으로 판명되고 있다. 또한, 다음 공정에서 설명하는 배리어막(질화 티탄)을 그대로 미처리로 성막하면 TDDB 특성이 좋지 않은 것도 경험적으로 판명하고 있다. 그래서, 다음에 실시 형태 1에서 설명한 암모니아 플라즈마 처리를 접속 구멍(507) 내부의 산화 실리콘막(505) 노출부에 실시한다. 이에 따라, 표면의 Si-OH 결합이 개질되어 실시 형태 1에서 설명한 바와 같이 Si-O-N 결합으로 전환된다.

다음에, 도 49에 도시한 바와 같이, 접속 구멍(507) 내에 질화 티탄 및 텅스텐으로 이루어지는 플러그(508)를 형성한다. 이 질화 티탄의 피착 시, 실시 형태 1과 마찬가지로, Si-O-N 결합이 이탈하고 질화 티탄과 저유전율의 산화 실리콘막(505)과의 계면이 개선되어 접착성이 향상된다.

또, 이러한 접속 구멍 내의 플라즈마 처리는 배선홀에도 적용할 수 있는 것은 물론이다.

또한, 암모니아 플라즈마 처리 대신에 수소 플라즈마 처리, 질소, 아르곤, 헬륨 등이 혼합된 플라즈마 처리라도 상관없다.

또, 접속 구멍(507)의 개구 후에 포토 레지스트막을 제거하기 위한 애싱 공정에서의 접속 구멍(507) 저부의 배선(503)의 표면이 산화되는 경우가 있다. 이러한 산화층을 제거하는 기술로서, 특개평 11-16912호 공보에 기재의 기술이 있다.

또한, 저유전율의 산화 실리콘막(505)은 패시베이션막으로서 형성되는 보호막에 포함되는 산화 실리콘막(예를 들면, TEOS 산화막)의 유전율보다도 낮은 유전율을 갖는 산화 실리콘막으로 정의할 수 있다.

(실시 형태 5)

상기한 매립 Cu 배선(46a ~ 46e)의 형성 방법은, 이중 상감법을 이용한 매립 Cu 배선의 형성에도 적용할 수 있다. 이 경우에는, 제1층째의 W 배선(24 ~ 30)을 형성한 후, 우선 도 50에 도시한 바와 같이, 제1층째의 W 배선(24 ~ 30)의 상부에 플라즈마 CVD법으로 막 두께 1200nm 정도의 산화 실리콘막(31), 막 두께 50nm 정도의 얇은 질화 실리콘막(38) 및 막 두께 350nm 정도의 산화 실리콘막(39)을 순차 피착한다.

다음에, 도 51에 도시한 바와 같이, 포토레지스트막을 마스크로 한 드라이 에칭으로 제1층째의 W 배선(24, 26, 27, 29, 30)의 상부의 산화 실리콘막(39), 질화 실리콘막(38) 및 산화 실리콘막(31)을 순차 제거한 후, 도 52의 (a), 도 52의 (b)에 도시한 바와 같이, 다른 포토레지스트막을 마스크에 이용하여, 질화 실리콘막(38)을 에칭 스톱퍼로 하여 드라이 에칭으로 산화 실리콘막(39)을 제거함으로써, 관통 구멍을 겸한 배선홀(50 ~ 54)을 형성한다.

다음에, 도 53에 도시한 바와 같이 배선홀(50 ~ 54)의 내부를 포함하는 산화 실리콘막(39)의 상부에 막 두께 50nm 정도의 얇은 TiN막(45)을 피착한 후, TiN막(45)의 상부에 배선홀(50 ~ 54)의 깊이보다도 충분히 두꺼운 막 두께의 Cu막(46)을 피착한다. 관통 구멍을 겸한 배선홀(50 ~ 54)은 상기 배선홀(40 ~ 44)에 비하여 어스펙트비가 크기 때문에, TiN막(45)은 CVD법으로 피착한다. 또한, Cu막(46)은 스퍼터링을 2회 이상 반복함으로써 피착한다. 또한, CVD법, 전해 도금법 혹은 무전해 도금법으로 형성해도 된다. 도금법으로 Cu막(46)을 형성하는 경우에는 배선홀(50 ~ 54)의 하층에 Cu의 시드층을 스퍼터링법 등으로 형성하는 공정이 필요해진다.

다음에, 도 54에 도시한 바와 같이, 전술한 지립 프리 화학 기계 연마, 유지립 화학 기계 연마 및 선택적 화학 기계 연마에 의해서 배선홀(50 ~ 54)의 외부의 Cu막(46)과 TiN막(45)을 제거하고, 배선홀(50 ~ 54)의 내부에 매립 Cu 배선(46a ~ 46e)을 형성한다. 그 후의 공정은 상기 단일 상감법을 이용한 매립 Cu 배선(46a ~ 46e)의 형성 방법과 동일하다.

(실시 형태 6)

상기한 바와 같이, Cu를 배선 재료에 이용한 경우에는 TDDB 수명이 다른 금속 재료(예를 들면 알루미늄, 텅스텐)보다도 현저하게 짧아지는 것이 일반적으로 알려져 있다. 여기서, 도 55는 Cu 배선, 알루미늄 배선, 텅스텐 배선의 TDDB 특성을 측정한 데이터를 나타내는 그래프이다. 종축에 TDDB 수명을 횡축에 전계 강도를 할당하고 있다.

알루미늄 배선의 특성(데이터 A) 및 텅스텐 배선의 특성(데이터 B)을 외삽하면, 전계 강도가 0.2MV/cm(통상 사용 상태)에서의 TDDB 수명은 본 발명자 등의 개발 목표인 $3 \times 10^8 \text{sec}$ (10년)을 훨씬 넘는다. 한편, Cu 배선의 특성(데이터 C)을 외삽하면, 10년의 개발 목표에 대하여 거의 마진이 없는 상태인 것을 알 수 있다.

이 시험에 있어서, 알루미늄 배선은 피막의 피착과 포토리소그래피를 이용한 패터닝에 의해 형성하고 있지만, 텅스텐 배선은 Cu 배선과 마찬가지로 상감법을 이용하여 형성하고 있다. 즉, Cu 배선과 텅스텐 배선의 차이는 재료만으로 구조 상의 차이는 없다. 그럼에도 불구하고 TDDB 특성이 현저한 차이가 있는 것은 배선 재료의 차이에 기인하는 것이 시사된다. 또, 여기서의 TDDB 특성은 140℃의 온도 하에서 행한 데이터를 나타내고 있다.

이러한 TDDB 수명의 열화 원인은 배선 재료에 적용된 Cu가 주변에 확산하고, 이것이 배선 간의 절연 내압을 저하시킨다고 일반적으로는 생각되고 있다. 따라서, Cu 배선의 실용화에 있어서는 Cu의 확산을 방지하기 위한 배리어막이 필수로 생각되고 있다. 그러나, 배선의 미세화에 따라 배선 단면적 중에 차지하는 고저항의 배리어막의 단면적이 증가함으로써 배선 저항이 증가하는 결과, 배선 재료로서 구리를 적용한 장점이 없어진다는 문제가 발생한다.

그래서, 본 발명자 등은 구리의 확산 현상에 대해 다시 실험을 행하여 검토하였다. 그 결과, 본 발명자 등은 상기한 바와 같이 구리의 확산 현상에 대해 본질적인 메카니즘을 비로서 발견하였다. 즉, 배선 중의 구리는 원자형의 구리보다도 산화 구리 혹은 구리 실리사이드로부터 공급되는 이온화 구리가 배선 간의 전위로 드리프트하여 확산하는 요인이 지배적이다. 또한, 구리의 확산 경로는 구리 배선이 형성된 절연막과 캡막과의 계면이 지배적이다. 즉, 구리 배선의 표면에 산화 구리 혹은 구리 실리사이드가 형성되며, 이들 구리의 화합물로부터 구리 이온이 형성되며, 이온화된 구리가 배선 형성용 절연막과 캡막과의 계면에 따라 배선간 전계에 의해 드리프트하여 확산하고, 이 확산한 구리 원자가 누설 전류를 증가시키는 원인이 된다. 그리고, 그 누설 전류의 증가는 열스트레스를 증가시켜서 최종적으로 누설 패스로 절연 파괴가 생겨서 TDDB 수명에 이른다.

도 56은 상기 각 종의 표면 처리(암모니아 플라즈마 처리, 수소 플라즈마 처리, 수소 어닐링 처리, 질소 플라즈마 처리) 및 처리를 하지 않았을 때의 Cu 배선 중의 Si의 함유량을 나타낸 그래프이다. 또, 이 검사 결과는 상기 Cu 배선[TiN막(배리어막)을 포함한다]의 형성 공정, 상기 세정 공정, 상기 각 종 표면 처리 공정, 상기 캡막의 형성 공정 및 상기 층간 절연막의 형성 공정 후에 행한 검사에 의해 작성된 것이다. 또한, 산소나 유황 등과 같은 다른 불순물에서도 Si와 같은 결과가 얻어진다고 생각된다.

각 종 표면 처리에서의 Cu 실리사이드는, 상기한 바와 같이 주로 캡막(질화 실리콘 등)의 성막 시의 세트 플로우에 의한 것이다. 이 검사 시점에서의 수소 어닐링 처리 및 질소 플라즈마 처리에서는 암모니아 플라즈마 처리나 수소 플라즈마 처리에 비하여, Cu 배선의 표면 근방($d=10 \sim 60\text{nm}$ 정도) 및 내부($d=90 \sim 300\text{nm}$ 정도)에서의 Si의 함유량이 많다. 특히, 표면 근방에서 매우 많은 것을 알 수 있다. 이들의 처리에서는 상기 도 33에 도시한 바와 같이, TDDB 특성이 나쁘다.

한편, 이 검사 시점에서의 암모니아 플라즈마 처리나 수소 플라즈마 처리에서는 수소 어닐링 처리 및 질소 플라즈마 처리에 비하여 Cu 배선의 표면 근방 및 내부에서의 Si의 함유량이 적다. 특히, 표면 근방에서의 Si의 함유량이 매우 적다. 즉, 이들의 처리에서는 Cu 배선에서의 불순물의 함유량이 적은 데다가, 배선홈이 형성된 절연막의 표면의 청정도가 높고 또한 배선홈이 형성된 절연막의 표면의 탭클링 결함 등이 적다. 따라서, 상기 도 33에 도시한 바와 같이, TDDB 특성이 양호하였다. 이와 같이 TiN막(도전성 배리어막)이 있는 경우에 있어서, TDDB 특성은 계면의 영향만으로 결정된다.

이러한 새로운 견지로부터 본 발명자 등은 배선홈 내의 측벽부 및 저부에 이온화되어 있지 않은 중성 Cu를 성막하는 것(구리의 순도를 올리는 것), 상기 암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시하는 것 혹은 이들과 상기 CMP 처리 또는 상기 세정 처리 등을 조합함으로써, 배리어막의 막 두께를 10nm 미만으로 얇게 하거나 혹은 배리어막 자체를 없애 버려도 Cu 배선을 갖는 반도체 집적 회로 장치의 TDDB 수명을 향상시킬 수 있는 것을 비로서 발견하였다.

여기서, 도 57에 배선 저항[$\text{TiN} \cdot x(\text{막 두께})\text{nm} / \text{TiN} \cdot 50\text{nm}$ 비]의 TiN막(배리어막) 두께의 의존성을 나타낸다. 도 57은 배선 폭이, 예를 들면 $0.4\mu\text{m}$ 정도 및 $1.0\mu\text{m}$ 정도, 배선홈의 깊이가, 예를 들면 $0.4\mu\text{m}$ 정도의 홈 형상에 대하여 배선 저항의 실측치와 이론치(계산치)를 나타내고 있다. 또, TiN막의 막 두께는 배선홈의 저부의 막 두께로 한다.

이 도 57에서부터 TiN막(배리어막)의 두께가 얇아짐에 따라 배선 저항도 감소하고, 계산치와 실측치가 거의 일치하는 것을 알 수 있다. 따라서, TiN의 막 두께가 50nm인 경우의 배선 저항과 비교하고, TiN막이 없는 경우에는 배선펙이 $0.4\mu\text{m}$ 정도인 경우에 19%, 배선펙이 $1.0\mu\text{m}$ 정도인 경우에 15% 정도, 배선 저항을 대폭 저감할 수 있다. 또한, TiN막의 막 두께가 10nm 정도인 경우라도 배선펙이 $0.4\mu\text{m}$ 정도인 경우에 16%, 배선 폭이 $1.0\mu\text{m}$ 정도인 경우에 12% 정도, 배선 저항을 저감할 수 있는 것을 알 수 있다.

또한, 도 58에 Cu 배선을 롱 스로우 스퍼터링법에 의해서 형성한 경우에서의 TDDB 특성의 TiN막 의존성을 나타낸다. 도 58에서부터 TiN막의 막 두께가 10 ~ 50nm 정도의 TDDB 특성은 전술하고 있는 것과 동등한 것을 알 수 있다. 한편, TiN막이 없는 경우의 시료의 TDDB 특성은 TiN막이 10 ~ 50nm 정도의 TDDB 특성에 비하여, 기울기가 완만하지만 신재료 목표(예를 들면, 0.2MV/cm , 110°C , $10\text{년}=3 \times 10^8\text{초}$)를 충분히 넘는 것을 알 수 있다.

또한, 도 59에 TiN막이 없는 경우 및 TiN막의 두께가 10nm 정도로 형성한 경우에서의 각각의 Cu 배선에서의 열 처리의 유무에 의한 TDDB 특성을 나타낸다. 도 59에서부터 TiN막이 없는 시료라도, 예를 들면 400°C , 3시간의 열 처리로 TDDB 특성이 열화하지 않은 것을 알 수 있다.

이 도 58 및 도 59의 평가 결과로부터, TiN막이 없는 경우, 즉 Cu만으로 배선을 구성한 경우라도 충분히 신뢰도를 달성할 수 있어, 실용적인 Cu 배선을 형성하는 것이 가능한 것이 본 발명자 등의 실험에 의해서 비로서 판명되었다.

다음에, 본 실시 형태 6의 반도체 집적 회로 장치의 배선 구조의 구체적인 일례를 도 60에 도시한다. 도 60은 반도체 집적 회로 장치의 일부(제1층 배선과 제2층 배선 부분)를 추출하여 나타낸 단면도로, (a)는 단일 상감법에 의해서 형성된 개소, (b)는 이중 상감법에 의해 형성된 개소를 각각 나타내고 있다. 또, 질화 실리콘막(47) 상에는 산화 실리콘막(48)이 피착되어 있다. 또한, 도 60의 (b)에서는, 산화 실리콘막(31a) 및 W 배선(27) 상에 질화 실리콘막(49)을 통하여 산화 실리콘막(31b)이 피착되어 있다. 그리고, 그 산화 실리콘막(31b) 및 질화 실리콘막(49)에는 W 배선(27)의 상면의 일부가 노출되는 관통 구멍(34)이 형성되어 있는 경우가 예시되어 있다. 또한, 이하의 설명에서는 설명을 쉽게 하기 위해서, 제1층 배선과 제2층 배선 부분만을 추출하여 설명하지만, 본 발명은 그 부분에만 적용되는 것에 한정되지는 않고 다른 배선층 부분에 적용하는 것도 가능하다.

배선의 폭[배선홈(42)의 폭] 및 인접 배선 간격(인접 배선의 서로 대향하는 측면에서 측면까지의 거리)은, 예를 들면 0.4 μm 이하이다. 본 발명자 등이 검토하고 있는 배선 폭 및 인접 배선 간격은, 예를 들면 0.25 μm 이하, 혹은 0.2 μm 이하의 배선 구조를 갖는 반도체 집적 회로 장치이다. 배선홈(42)의 어스펙트비는, 예를 들면 1이다.

또한, TiN막(45)으로 예시되는 도전성 배리어막의 두께는, 예를 들면 10nm 미만, 바람직하게는 6 ~ 7nm 정도이다. 본 실시 형태 6에서는 그 TiN막(45)의 막 두께를, 예를 들면 5nm 이하 또는 그 보다도 얇은 3nm 이하, 혹은 더 얇은 2nm 정도로 해도 TDDDB 특성을 향상시킬 수 있었다. 여기서 말하는 TiN막(45)의 두께는, 가장 얇게 피착되는 면 부분을 가리키고 있다. 즉, 여기서는 상술한 바와 같이 배선홈[배선홈(42) 등] 또는 접속 구멍[관통 구멍(34) 등] 내의 TiN막(45)의 막 두께에서 측벽부가 가장 얇게 피착되기 때문에, 그 측벽부의 TiN막(45)의 두께를 가리키고 있다. 그리고, 또한 그 경우에, 예를 들면 다음의 2가지의 구조가 있다. 하나는 배선홈이나 접속 구멍 내의 측벽부(홈이나 구멍의 저부각을 포함한다)에 있어서, TiN막(45)이 가장 얇은 부분의 두께가 상기 두께(예를 들면, 10nm 미만, 바람직하게는 6 ~ 7nm 정도, 5nm 이하, 3nm 이하, 또는 2nm 정도)이다. 다른 하나는 배선홈이나 접속 구멍 내의 측벽부에서 TiN막(45)의 가장 두꺼운 부분의 두께가 상기 두께(예를 들면, 10nm 미만, 바람직하게는 6 ~ 7nm 정도, 5nm 이하, 3nm 이하, 또는 2nm 정도)이다.

상기한 바와 같이 두께 10nm 미만의 TiN막(45)을 형성함으로써 TiN막(45) 쪽이, 산화 실리콘막(39)과의 밀착성이 Cu막 보다도 좋기 때문에, CMP 처리 시에 Cu막(46)이 박리하는 것을 방지할 수 있다. 또한, TiN막(45)을 설치하지 않은 경우(후의 실시 형태 8에서 설명)에 비하여 배선 저항은 상승하지만, 신뢰성이 높은 Cu 배선 구조를 실현할 수 있다. 또한, TiN막(45)을 설치하지 않은 경우에 비하여 TDDDB 특성을 향상시킬 수 있다. 이것은 TiN막(45)이 없는 경우, Cu막(46)의 성막 시에 Cu가 배선홈(42)의 측벽부에 충돌하여 SiO₂와 반응하는 결과, Cu 이온이 약간 발생하기 때문이라고 생각된다. 열 처리 후라도 TDDDB 특성은 열화하지 않기 때문에, 그 약간의 Cu/SiO₂ 계면의 Cu 이온층이 영향을 주고 있다고 생각된다. 따라서, 본 실시 형태에 따르면, 겨우 10nm 미만의 TiN막(45)이라도 이온화한 Cu에 대하여 배리어가 되어 TDDDB 특성을 향상시킬 수 있다고 생각된다.

또한, Cu 배선(46c)에서 예시되는 Cu 배선의 Cu 이외의 성분의 농도는, 0.8 원자%(atomic% 또는 At.%) 이하 또는 0.2atomic% 이하이다. 또한, 본 발명자 등의 실측 결과에서는, 그 Cu 이외의 성분의 농도를, 예를 들면 0.08atomic% 이하 또는 그보다도 낮은 0.05atomic% 이하 혹은 그보다도 더욱 낮은 0.02atomic% 이하로 하는 것이 가능하였다. 이 Cu 이외의 성분의 농도의 값은 반도체 칩이 완성한 시점, 즉 웨이퍼 공정을 거쳐서 반도체 웨이퍼로부터 반도체 칩이 추출된 시점에서의 값으로써, 그 Cu 이외의 성분이 Cu 배선 형성 후의 절연막이나 금속막의 성막 처리 시 등의 열(예를 들면, 텅스텐 등으로서는 성막 시에 450℃ 정도의 열이 가해진다)에 의해서 Cu 배선 중에 확산한 것을 상정하여 산출한 값이다. 실제의 Cu 배선에 있어서, 그 Cu 이외의 성분은 Cu 배선의 상층부(캡막이 접하는 부분)의 농도가 높고 Cu 배선의 중심을 향하여 점차 낮아지는 상태에서 분포하고 있다고 생각된다. 그 Cu 이외의 성분으로서, 예를 들면 실리콘, 산소, 유황(유황은 Cu 배선을 도금법으로 형성한 경우에 생각된다) 또는 이들의 임의의 조합이 있다.

또한, 산화 실리콘막(31a, 31b, 31, 39, 48) 등 대신에 중간 절연막의 재료를, 예를 들면 SiOF, 유기 SOG(Spin On Glass) 또는 PSG(Phospho Silicate Glass)막으로 해도 된다. SiOF나 유기 SOG막 등과 같은 유전율이 낮은 절연 재료로 구성한 경우, 배선 용량을 저감할 수 있어 반도체 집적 회로 장치의 성능을 더욱 향상시킬 수 있다. 또한, PSG막을 이용한 경우, Cu의 확산을 방지하는 기능을 갖기 때문에, TDDDB 수명을 더욱 향상시킬 수 있다. 따라서, 반도체 집적 회로 장치의 신뢰성을 더욱 향상시킬 수 있다.

다음에, 이러한 단일 상감법에 의한 Cu 배선 구조의 형성 방법의 일례를 도 61 ~ 도 65에 의해서 설명한다. 또, 도 61 ~ 도 65의 각 (a)는 반도체 집적 회로 장치의 제조 공정 중 주요부 평면도를 나타내고, 각 도면의 (b)는 각 도면의 (a)의 A-A 선의 단면도를 나타내고 있다. 또한, 도 61 ~ 도 64의 (a)는 평면도이지만, 도면을 이해하기 쉽게 하기 위해서 금속막에 해칭을 넣는다.

우선, 상기 실시 형태 1 등에서 설명한 도 1 ~ 도 6의 공정을 거친 후, 도 7을 이용한 설명과 마찬가지로 하여 도 61에 도시한 바와 같이, 배선홀(42)을 형성한다. 배선홀(42)의 저면으로부터는 플러그(37)의 상면이 노출하고 있다. 계속해서, 도 62에 도시한 바와 같이, 예를 들면 Ta막(45a; 도전성 배리어막)을, 예를 들면 피착 막 두께로 30nm 정도, 상기 실시 형태 1과 마찬가지로의 스퍼터링법 등에 의해서 피착한다. 이 때, 배선홀(42)의 측벽부에는 가장 두꺼운 개소로 또는 가장 얇은 개소로, 예를 들면 10nm 미만 이하, 6 ~ 7nm 정도의 Ta막(45a)이 피착된다. 또, 여기서는 도전성 배리어막을 Ta로 하고 있지만, 상기한 바와 마찬가지로, TiN이나 그 외에 예시한 막이라도 좋다.

그 후, Ta막(45a) 상에 Cu막(46)을, 예를 들면 피착 막 두께로 300nm 정도, 상기 실시 형태 1과 마찬가지로의 스퍼터링법에 의해서 피착한다. 이 때의 조건은, 예를 들면 다음과 같다. 압력은, 예를 들면 0.02Pa, 직류(DC) 파워는, 예를 들면 10kW, 타겟과 기판(1)과의 거리는, 예를 들면 300 ~ 400mm, 온도는, 예를 들면 실온이다.

이와 같이 본 실시 형태에서는 Cu막(46)을 스퍼터링법에 의해서 피착함으로써, CVD법이나 도금법에 비교하여, 화합물의 생성을 매우 적게 할 수 있다. 또한, 그 때의 타겟으로서, 예를 들면 99.999%(5N) 이상, 바람직하게는, 99.9999%(6N) 이상의 순도가 높은 무산소 Cu를 이용하였다. 이에 따라, 예를 들면 성막 시의 Cu막(46)의 Cu의 농도를 99.999% 이상, 바람직하게는 99.9999% 이상으로 할 수 있다. 따라서, 또한 순도가 높은 Cu를 피착할 수 있다.

Ta막(45a) 및 Cu막(46)의 피착에 있어서는, 통상의 스퍼터링법이라도 되지만, 롱 스로우 스퍼터링법이나 콜리메이트 스퍼터링법 등과 같은 지향성이 높은 스퍼터링법을 이용해도 된다. 그 경우, 배선홀(42)으로의 금속막의 커버리지를 향상시킬 수 있다.

계속해서, 수소 어닐링 처리를 실시한다. 이에 따라, Cu막(46)을 배선홀(42) 내에 양호하게 매립한다. 그 때의 조건은, 예를 들면 475℃, 3분, 26.6644×10^2 Pa, 500sccm 정도이다.

계속해서, Cu막(46) 및 Ta막(45a)을 도 63에 도시한 바와 같이, 상기 실시 형태 1, 2에서 설명한 바와 마찬가지로의 CMP법 등에 의해서 연마하여 여분의 부분을 제거함으로써 Cu 배선(46c)을 형성한다. 계속해서, 상기 실시 형태 1, 2에서 설명한 바와 마찬가지로의 방식(防食) 공정 및 상기 실시 형태 1 ~ 3에서 설명한 바와 마찬가지로의 세정 처리를 실시한다. 그 후, 도 64의 음영의 해칭으로 나타낸 바와 같이, 절연막(39) 및 Cu 배선(46c)의 표면에 대하여, 상기 실시 형태 1에서 설명한 암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시한다.

암모니아 플라즈마 처리를 실시한 경우에는, 산화 실리콘막(39)의 표면 부분에 SiH 결합 및 SiN 결합이 형성되는 결과, 산화 실리콘막(39)의 표면 부분의 막질, 청정도 및 전기적인 안정성을 향상할 수 있어, Cu의 확산 방지 성능을 향상시킬 수 있다. 또한, 상기 실시 형태 1에서 설명한 바와 같이, 캡막과의 접착성을 향상시키는 것도 가능해진다. 또한, Cu 배선(46c)의 표면 부분에서는 CuN이 형성되고, 그 CuN이 다음 공정에서 실리콘이나 산소의 결합을 저지하도록 작용하는 결과, 구리 실리사이드나 산화 구리의 형성을 방지할 수 있고, 구리의 순도를 향상시킬 수 있다. 따라서, Cu의 확산을 방지할 수 있어, TDDB 수명을 향상시킬 수 있다. 또한, Cu의 순도가 높으므로 반도체 칩으로서 완성된 상태에서 Cu 배선의 저항을 목적대로 내릴 수 있다. 이 때문에, 반도체 집적 회로 장치의 성능을 향상시킬 수 있다.

한편, 수소 플라즈마 처리를 실시한 경우에는, 산화 실리콘막(39)의 표면 부분에서 SiH 결합이 형성되는 결과, 암모니아 플라즈마 처리의 경우와 거의 동일한 효과가 얻어졌다. 또한, 본 발명자 등의 실험 결과에 따르면, 수소 플라즈마 처리에 있어서는, 그 후의 캡막의 형성 공정에서 Cu가 몇% 정도의 실리콘과 반응하지만, 수소 어닐링, 질소 플라즈마 처리 혹은 무처리인 경우에 비하여, 누설 전류를 대폭 저감할 수 있어 TDDB 수명을 향상시키는 것이 가능하였다. 또한, Cu 배선의 저항은 암모니아 플라즈마 처리에 비교하면 뒤떨어지지만, 수소 어닐링 또는 질소 플라즈마 처리인 경우에 비교하여 저하시킬 수 있었다.

그 후, 도 65에 도시한 바와 같이, 질화 실리콘막(캡막; 47)을 상기 실시 형태 1 등과 마찬가지로 피착한다. 그 후, 도 60의 (a)에 도시한 바와 같이, 질화 실리콘막(47) 상에, 예를 들면 TEOS(Tetraethoxysilane) 가스를 이용한 플라즈마 CVD법 등에 의해서 산화 실리콘막(48)을 피착한다.

다음에, 이중 상감법에 의한 Cu 배선 구조의 형성 방법의 일례를 도 66 ~ 도 77에 의해서 설명한다. 또, 도 66 ~ 도 77 각각의 (a)는, 반도체 집적 회로 장치의 제조 공정 중의 주요부 평면도를 나타내고, 각 도면의 (b)는 각 도면의 (a)의 A-A선의 단면도를 나타내고 있다. 또한, 도 73 ~ 도 76의 (a)는 평면도이지만, 도면을 이해하기 쉽게 하기 위해서 금속막에 해칭을 넣는다.

우선, 상기 실시 형태 1 등에서 설명한 도 1 ~ 도 5의 공정을 거쳐서, 상기 실시 형태 5의 도 50의 공정을 거친 후, 도 66에 도시한 바와 같이, 산화 실리콘막(39) 상에 반사 방지막(65)을 도포하고, 그 위에 포토 레지스트 패턴(66)을 형성한다. 포토 레지스트 패턴(66)은, 예를 들면 평면 원형상의 구멍을 형성하기 위한 마스크 패턴으로, 통상의 포토 리소그래피 기술에 의해서 형성되어 있다. 계속해서, 도 67에 도시한 바와 같이, 포토 레지스트 패턴(66)을 마스크로 하여, 거기에서 노출하는 반사 방지막(65)을 드라이 에칭법에 의해서 에칭 제거한 후, 또한 산화 실리콘막(39), 질화 실리콘막(38) 및 산화 실리콘막(31b)을 드라이 에칭법에 의해서 에칭 제거함으로써 관통 구멍(34)을 형성한다. 이 산화 실리콘막(39), 질화 실리콘막(38) 및 산화 실리콘막(31b)의 에칭 처리에서는, 최초로 비선택으로 행하고, 도중에서 산화 실리콘막과 질화 실리콘막과의 에칭 선택비를 크게 하고, 산화 실리콘막 쪽이 질화 실리콘막보다도 에칭 제거되기 쉬운 조건으로서 에칭한다. 이에 따라, 질화 실리콘막(49)을 에칭 스톱퍼로서 관통 구멍(34)을 천공한다. 따라서, 이 단계에서는 관통 구멍(34)의 저면으로부터는 질화 실리콘막(49)이 노출되어 있다.

계속해서, 포토 레지스트 패턴(66) 및 반사 방지막(65)을 애싱법 등에 의해서 도 68에 도시한 바와 같이 제거한 후, 재차 도 69에 도시한 바와 같이, 반사 방지막(67)을 관통 구멍(34) 내에 매립하도록 산화 실리콘막(39) 상 모든 면에 도포한다. 계속해서, 도 70에 도시한 바와 같이, 반사 방지막(67) 상에 포토 레지스트 패턴(68)을 형성한다. 포토 레지스트 패턴(68)은, 예를 들면 평면 피상의 배선홈을 형성하기 위한 마스크 패턴으로, 통상의 포토 리소그래피 기술에 의해서 형성되어 있다. 그 후, 도 71에 도시한 바와 같이, 포토 레지스트 패턴(68)을 마스크로 하여, 거기에서 노출하는 반사 방지막(67)을 드라이 에칭법에 의해서 에칭 제거한 후 또한 산화 실리콘막(39)을 드라이 에칭법에 의해서 에칭 제거함으로써, 배선홈(42)을 형성한다. 이 산화 실리콘막(39)의 에칭 처리에서는 산화 실리콘막과 질화 실리콘막과의 에칭 선택비를 크게 하고, 산화 실리콘막 쪽이 질화 실리콘막보다도 에칭 제거되기 쉬운 조건으로 에칭한다. 이에 따라, 질화 실리콘막(38)을 에칭 스톱퍼로서 배선홈(42)을 형성한다. 따라서, 이 단계에서는 배선홈(42)의 저면으로부터는 질화 실리콘막(38)이 노출되어 있다.

계속해서, 포토 레지스트 패턴(68) 및 반사 방지막(67)을 애싱법 등에 의해서 도 72에 도시한 바와 같이 제거한 후, 배선홈(42) 및 관통 구멍(34)의 저부에 노출되는 질화 실리콘막(38, 49)을 선택적으로 제거한다. 이 에칭 처리에서는 산화 실리콘막과 질화 실리콘막과의 에칭 선택비를 크게 하고, 질화 실리콘막 쪽이 산화 실리콘막보다도 에칭 제거되기 쉬운 조건으로 에칭한다. 이에 따라, 도 73에 도시한 바와 같이, 배선홈(42) 및 관통 구멍(34)의 저면으로부터 산화 실리콘막(39) 및 W 배선(27)의 일부를 노출시킨다. 이것은 W 배선(27)과 상층 매립 배선과의 전기적인 접속을 취하기 위해서이다. 또한, 산화 실리콘막보다도 유전율이 높은 질화 실리콘막(38, 49)을 가능한 한 줄이는 것으로, 배선 용량의 저감을 도모하기 위해서이다. 이와 같이 하여, 배선홈(42) 및 관통 구멍(34)을 형성한다.

계속해서, 도 74에 도시한 바와 같이, 예를 들면 Ta막(45a; 도전성 배리어막)을, 본 실시 형태 6에서 설명한 단일 상감법의 경우와 마찬가지로 조건으로 스퍼터링법에 의해서 피착한다. 이 때, 배선홈(42) 및 관통 구멍(34)의 측벽부에는 가장 두꺼운 개소로 또는 가장 얇은 개소로, 예를 들면 10nm 미만 이하, 6 ~ 7nm 정도의 배리어막(45a)이 피착된다. 또, 여기에서도 도전성 배리어막을 Ta로 하고 있지만, 상기한 바와 마찬가지로, TiN이나 그 외에 예시한 막이라도 된다.

계속해서, Ta막(45a) 상에 Cu막(46)을, 예를 들면 피착 막 두께로 150nm 정도, 본 실시 형태 6에서 설명한 단일 상감법의 경우와 마찬가지로 조건으로 스퍼터링법에 의해서 피착한다. 그 때의 타겟으로서, 예를 들면 99.999%(5N) 이상, 바람직하게는 99.9999%(6N) 이상의 순도가 높은 무산소 Cu를 이용하였다. 이에 따라, 예를 들면 성막 시의 Cu막(46)의 Cu의 농도를 99.999% 이상, 바람직하게는 99.9999% 이상으로 할 수 있다. 따라서, Cu 배선의 저면 및 측면부에 순도가 높은 Cu를 피착할 수 있다.

그 후, 전해 도금법 등에 의해서 Cu막(46)을 형성한다. Cu막(46)을 전해 도금법에 의해 관통 구멍(34) 내에 매립 시의 조건은, 예를 들면 전류 밀도가 $0.5 \sim 1.0 \text{ A/dm}^2$, 40초 정도이다. 또한, Cu막(46)을 배선홈(42) 내에 매립 시의 조건은, 예를 들면 전류 밀도가 $1.0 \sim 2.0 \text{ A/dm}^2$, 140초 정도이다.

계속해서, 본 실시 형태 6에서 설명한 단일 상감법의 경우와 마찬가지로 수소 어닐링 처리를 실시한다. 또, 이 처리는 경우에 따라서 없어도 된다.

계속해서, Cu막(46) 및 Ta막(45a)을 도 75에 도시한 바와 같이, 상기 실시 형태 1, 2에서 설명한 바와 마찬가지로 CMP법 등에 의해서 연마하여 여분의 부분을 제거함으로써 Cu 배선(46c)을 형성한 후, 상기 실시 형태 1, 2에서 설명한 바와 마찬가지로 방식 공정 및 상기 실시 형태 1 ~ 3에서 설명한 바와 마찬가지로 세정 처리를 실시한다. 그 후, 도 76의 음영의 해

칭으로 나타낸 바와 같이, 절연막(39) 및 Cu 배선(46c)의 표면에 대하여, 상기 실시 형태 1에서 설명한 암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시한다. 이에 따라, 본 실시 형태 6의 단일 상감법으로 설명한 경우와 마찬가지로의 효과를 얻을 수 있었다.

그 후, 도 77에 도시한 바와 같이, 질화 실리콘막(캡막; 47)을 상기 실시 형태 1 등과 마찬가지로 피착한 후, 도 60의 (b)에 도시한 바와 같이, 질화 실리콘막(47) 상에, 예를 들면 TEOS 가스를 이용한 플라즈마 CVD법 등에 의해서 산화 실리콘막(48)을 피착한다.

이러한 본 실시 형태 6에서는 상기 본 실시 형태 6의 구성으로 얻어지는 효과 외에, 상기 실시 형태 1 ~ 5와 동일 구성 부분에 대해서는 상기 실시 형태 1 ~ 5에서 설명한 것과 동일 효과를 얻는 것이 가능해진다.

(실시 형태 7)

본 실시 형태 7에서는, 배선홀이나 접속 구멍을 천공한 후에 상기 암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시하는 것이다. 단일 상감법이나 이중 상감법이라도 동일하기 때문에, 이중 상감법을 일례로서 본 실시 형태 7을 도 78 및 도 79에 의해서 설명한다. 또, 도 78, 도 79 각각 (a)는 반도체 집적 회로 장치의 제조 공정 중의 주요부 평면도를 나타내고, 각 도면의 (b)는 각 도면의 (a)의 A-A선의 단면도를 나타내고 있다. 또한, 도 78, 도 79의 (a)는 평면도이지만, 도면을 이해하기 쉽게 하기 위해서 급속막에 해칭을 넣는다.

본 실시 형태 7에서는, 상기 실시 형태 6의 도 66 ~ 도 73을 이용하여 설명한 제조 공정을 거친 후, 도 78의 음영의 해칭으로 나타낸 바와 같이, 상기 암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시한다.

암모니아 플라즈마 처리를 실시한 경우에는, 산화 실리콘막(39)의 상면, 배선홀(42)의 측벽부의 산화 실리콘막(39)의 표면, 배선홀(42)의 저부의 산화 실리콘막(31b)의 상면 및 관통 구멍(34)의 측벽부의 산화 실리콘막(31b)의 표면에 SiH 결합 및 SiN 결합이 형성된 결과(예를 들면 두께 10nm 미만의 얇은 질화 실리콘막이 형성된다), 산화 실리콘막(39)의 상면, 배선홀(42)의 측벽부의 산화 실리콘막(39)의 표면, 배선홀(42)의 저부의 산화 실리콘막(31b)의 상면 및 관통 구멍(34)의 측벽부의 산화 실리콘막(31b)의 표면 부분의 막질, 청정도, 전기적인 안정성을 향상할 수 있어 Cu의 확산 방지 성능을 향상시킬 수 있다. 또한, 상기 실시 형태 1에서 설명한 것과 마찬가지로, 산화 실리콘막(39)과 캡막과의 접착성을 향상시키는 것도 가능해진다. 또, 암모니아 플라즈마 처리를 실시한 후, 가볍게 드라이 에칭 처리를 실시함으로써, W 배선(27)의 상부에 형성된 질화막(이 경우에는 WN막)을 제거하여도 된다.

한편, 수소 플라즈마 처리를 실시한 경우에는 산화 실리콘막(39)의 상면, 배선홀(42)의 측벽부의 산화 실리콘막(39)의 표면, 배선홀(42)의 저부의 산화 실리콘막(31b)의 상면 및 관통 구멍(34)의 측벽부의 산화 실리콘막(31b)의 표면에서 SiH 결합이 형성되는 결과, 암모니아 플라즈마 처리의 경우와 거의 동일 효과가 얻어진다.

계속해서, 도 79에 도시한 바와 같이, 상기 실시 형태 6과 같이 마찬가지로 Ta막(45a) 및 Cu막(46)을 하층에서 순서대로 피착한다. 이후의 공정은 상기 실시 형태 6에서 설명한 것과 동일하므로 설명을 생략한다.

이러한 본 실시 형태 7에서는, 상기 실시 형태 6에서 얻어진 효과 외에 배선홀(42) 및 관통 구멍(34)의 측벽부에 대해서도 암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시함으로써, TDDB 수명을 더욱 향상시킬 수 있어 반도체 집적 회로 장치의 신뢰성 및 수율을 더욱 향상시킬 수 있다는 효과가 얻어진다.

(실시 형태 8)

본 실시 형태 8의 반도체 집적 회로 장치의 배선 구조의 구체적인 일례를 도 80에 도시한다. 도 80은 반도체 집적 회로 장치의 일부를 추출하여 나타낸 단면도이고, 도 80의 (a)는 단일 상감법에 의해서 형성된 개소, 도 80의 (b)는 이중 상감법에 의해서 형성된 개소를 각각 나타내고 있다.

본 실시 형태 8에서는 도전성 배리어막이 형성되어 있지 않다. 즉, 배선홀(42) 또는 관통 구멍(34) 내에는 Cu만이 매립되어 있다. 따라서, Cu 배선(46c)의 측벽부 및 저부는 거의 직접적으로 산화 실리콘막(39)과 직접 접한 상태가 된다. 다만, 상기 실시 형태 7에서 설명한 형성 방법을 채용한 경우에는 Cu 배선(46c)의 측벽부 및 저부는 배선홀(42) 및 관통 구멍(34) 내의 산화 실리콘막(39)의 측벽부나 저부에 형성된 얇은 질화 실리콘막에 직접 접한 상태가 된다.

또한, Cu 배선(46c)에서 예시되는 Cu 배선의 Cu 이외의 성분의 농도나 분포는 상기 실시 형태 6에서 설명한 것과 동일하다. 또한, 산화 실리콘막(31a, 31b, 31, 39, 48) 등 대신에 사용하는 층간 절연막의 재료에 대해서도 동일하다. 또한, 배선의 폭[배선홈(42)의 폭] 및 인접 배선 간격(인접 배선의 서로 대향하는 측면에서부터 측면까지의 거리) 등, 각 치수는 상기 실시 형태 6의 도 60에서 설명한 것과 동일하다.

이러한 본 실시 형태 8에서도 상기 실시 형태 6에서 설명한 바와 같이, TDDB 수명을 향상시킬 수 있었다. 따라서, 반도체 집적 회로 장치의 수율 및 신뢰성을 향상시킬 수 있다. 또한, 본 실시 형태 8에서는 도전성 배리어막이 설치되지 않고, 배선홈(42)이나 관통 구멍(34) 내에는 Cu막(46)만이 매립되어 있어서 배선 저항을 대폭 향상시키는 것이 가능해지고 있다. 또한, 이층 배선 간의 도전성 배리어막[Ta막(45a)이나 TiN막(45) 등]을 통하지 않고서 직접 접촉되지만(여기서는, Cu 배선(46c)과 W 배선(27)이 직접 접촉되는 구조를 예시하였지만, 배선층이 다른 Cu 배선끼리가 직접 접촉되는 경우도 있다), 그 이층 배선 간의 접촉 저항을 대폭 저감시킬 수 있어, 미세한 관통 구멍에서의 저항을 저감시키는 것이 가능해지고 있다. 따라서, 배선홈(42)이나 관통 구멍(34)이 미세화되었다고 해도 반도체 집적 회로 장치의 성능을 향상시킬 수 있다.

이러한 Cu 배선 구조의 형성 방법은, 상기 실시 형태 6, 7에서 설명한 것과 동일하다. 일례로서, 본 실시 형태 8의 Cu 배선 구조를 이중 상감법에 의해 형성하는 방법을 도 81 ~ 도 84에 의해서 설명한다. 또, 도 81 ~ 도 84 각각 (a)는 반도체 집적 회로 장치의 제조 공정 중 주요부 평면도를 나타내고, 각 도면의 (b)는 각 도면의 (a)의 A-A선의 단면도를 나타내고 있다. 또한, 도 81 ~ 도 83의 (a)는 평면도이지만, 도면을 이해하기 쉽게 하기 위해서 금속막에 해칭을 넣는다.

본 실시 형태 8에서는, 상기 실시 형태 6의 도 66 ~ 도 73을 이용하여 설명한 제조 공정을 거친 후, 도 81의 음영의 해칭으로 나타낸 바와 같이, 상기 암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시한다.

암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시함으로써, 상기 실시 형태 7에서 설명한 바와 같이, 산화 실리콘막(39)의 상면, 배선홈(42)의 측벽부의 산화 실리콘막(39)의 표면, 배선홈(42)의 저부의 산화 실리콘막(31b)의 상면 및 관통 구멍(34)의 측벽부의 산화 실리콘막(31b)의 표면 부분의 막질, 청정도, 전기적인 안정성을 향상할 수 있어, Cu의 확산 방지 성능을 향상시킬 수 있다. 또한, 상기 실시 형태 1에서 설명한 것과 마찬가지로, 산화 실리콘막(39)과 캡막과의 접촉성을 향상시키는 것도 가능해진다. 또, 상기 실시 형태 7에서 설명한 바와 같이, 암모니아 플라즈마 처리를 실시한 후, 가볍게 드라이 에칭 처리를 실시함으로써 W 배선(27)의 상부에 형성된 질화막(이 경우에는 WN막)을 제거하여도 된다.

계속해서, 도 82에 도시한 바와 같이, 상기 실시 형태 6의 Cu막의 성막 처리와 마찬가지로 하여 순도가 높은 Cu막(46)을 피착한다. 즉, 본 실시 형태 8에서는 도전성 배리어막[Ta막(45a)이나 TiN막(45) 등]을 피착하지 않고, 직접적으로, 순도가 높은 Cu막(46)을 산화 실리콘막(39) 상[배선홈(42) 및 관통 구멍(34)의 내부를 포함한다]에 피착한다. 배선홈(42) 및 관통 구멍(34) 내에 매립된 Cu막(46)은 그 측벽부 및 저부에서 얇은 질화 실리콘막에 직접 접하고 있다고 생각된다. 따라서, 그 Cu막(46)의 측벽부 및 저부에서 Cu가 이온화되기 어려운 구조로 되어 있다.

그 후, Cu막(46)을 상기 실시 형태 6에서 설명한 바와 마찬가지로, CMP법 등에 의해서 연마하여 제거한 후 세정 처리를 실시한다. 이에 따라, 도 83에 도시한 바와 같이, Cu 배선(46c)을 형성한다. Cu 배선(46c)은 기본적으로 Cu로 형성되어 있다.

계속해서, 도 83의 음영의 해칭으로 도시한 바와 같이 산화 실리콘막(39)의 상면 및 Cu 배선(46c)의 상면(노출면)에 상기 암모니아 플라즈마 처리 또는 수소 플라즈마 처리를 실시한다. 이에 따라, 상기 실시 형태 6에서 설명한 바와 같이, Cu의 확산을 방지할 수 있어 TDDB 수명을 향상시킬 수 있다. 또한, Cu의 순도가 높은 채로 할 수 있어 반도체 칩으로서 완성된 상태에서 Cu 배선의 저항을 내리는 것이 가능해진다.

계속해서, 도 84에 도시한 바와 같이, 상기 실시 형태 6에서 설명한 바와 마찬가지로, 질화 실리콘막(캡막; 47)을 상기 실시 형태 1 등과 마찬가지로 피착한 후, 또한 도 80의 (b)에 도시한 바와 같이, 예를 들면 TEOS 가스를 이용한 플라즈마 CVD법 등에 의해서 산화 실리콘막(48)을 피착한다.

이러한 본 실시 형태 8에서는, 상기 본 실시 형태 1 ~ 7의 구성으로 얻어지는 효과 외에 이하의 효과를 얻는 것이 가능해진다. 즉, 도전성 배리어막을 설치하지 않음으로써 Cu 배선(46c)의 저항을 대폭 저감시킬 수 있다. 따라서, 반도체 집적 회로 장치의 성능을 향상시킬 수 있다.

이상, 본 발명자에 의해서 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되지는 않고, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

예를 들면, 상기 실시 형태 1 ~ 8은 각각 독립적으로 적용할 수 있는 것은 물론, 서로 조합하여 적용할 수 있는 것은 당연하다. 예를 들면, 실시 형태 2의 기술을 적용하여 지립 프리로 화학 기계 연마를 실시하고, 그 후 실시 형태 3을 적용하여 산처리를 실시하고 또한 실시 형태 1을 적용하여 암모니아 혹은 수소, 그 외의 플라즈마 처리를 실시하여도 된다.

또한, 상기 실시 형태 1 ~ 8에서는 암모니아 플라즈마 처리 후의 질화 실리콘막(47)의 형성을 진공 파괴하지 않고 연속적으로 행하였지만, 암모니아 플라즈마 처리 후, 일단 진공 파괴를 하여, 그 후 질화 실리콘막(47)을 형성하여도 된다. 진공 파괴하지 않은 쪽이 본 발명의 효과를 보다 효과적으로 발휘할 수 있지만, 암모니아 플라즈마 처리에 의해 얇은 질화층이 형성되기 때문에, 진공 파괴를 행하여 대기 분위기에 노출되어도 산화층의 형성을 억제할 수 있다. 따라서, 진공 파괴한 경우라도 본 실시 형태의 효과를 어느 정도 발휘하는 것은 가능하다.

또한, 상기 실시 형태 1 ~ 8에서는 Cu막을 스퍼터링법으로 형성한 경우에 대해 설명하였지만, Cu의 순도를 높게 확보할 수 있는 조건으로 하면 스퍼터링법 대신에 도금법이나 CVD법을 이용하여도 상관없다.

이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 배경이 된 이용 분야인 CMOS-LSI 기술에 적용한 경우에 대해 설명하였지만, 그에 한정되지 않고, 예를 들면 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 플래시 메모리(EEPROM ; Electric Erasable Programmable Read Only Memory) 또는 FRAM(Ferroelectric Random Access Memory) 등의 메모리 회로를 갖는 반도체 집적 회로 장치, 마이크로 프로세서 등의 논리 회로를 갖는 반도체 집적 회로 장치 또는 상기 메모리 회로와 논리 회로를 동일 반도체 기판에 설치하고 있는 혼재형 반도체 집적 회로 장치에도 적용할 수 있다. 본 발명은 적어도 미세 구리 배선 구조를 갖는 반도체 집적 회로 장치, 반도체 장치, 전자 회로 장치 또는 전자 장치 등에 적용 가능하다.

발명의 효과

본원에 의해서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면, 이하와 같다.

- (1) 본 발명에 따르면, 상기 매립 배선층 중 구리 이외의 성분의 농도를 반도체 칩으로서 완성한 시점에 있어서 0.8At.% 이하로 함으로써, 구리를 주성분으로 하는 매립 배선의 저항을 저감시킬 수 있다.
- (2) 본 발명에 따르면, 상기 오목부 내의 측벽부에서 상기 도전성 배리어막의 가장 두꺼운 부분의 막 두께는 10nm 미만으로 함으로써, 구리를 주성분으로 하는 매립 배선의 저항을 저감시킬 수 있다.
- (3) 본 발명에 따르면, 상기 오목부 내에 상기 도전성 배리어막 자체가 존재하지 않음으로써, 구리를 주성분으로 하는 매립 배선의 저항을 저감시킬 수 있다.
- (4) 본 발명에 따르면, 상기 매립 배선층 중 구리 이외의 성분의 농도를 반도체 칩으로서 완성한 시점에 있어서 0.8At.% 이하로 함으로써, 구리를 주성분으로 하는 매립 배선 간의 절연 파괴 내성을 향상시킬 수 있다.
- (5) 본 발명에 따르면, 상기 메탈막을 화학 기계 연마법에 의해 제거하여 매립 배선층을 형성한 후, 상기 절연막 및 매립 배선층의 상면을 환원성을 갖는 기체의 분위기 중에서 플라즈마 처리하는 공정, 상기 플라즈마 처리 후의 상기 절연막 및 매립 메탈 배선층 상에 캡 절연막을 형성하는 공정을 포함함으로써 구리를 주성분으로 하는 매립 배선 간의 절연 파괴 내성을 향상시킬 수 있다.
- (6) 본 발명에 따르면, 상기 메탈막을 화학 기계 연마법에 의해 제거하여 매립 배선층을 형성한 후, 상기 절연막 및 매립 배선층의 상면을 환원성을 갖는 기체의 분위기 중에서 플라즈마 처리하는 공정, 상기 플라즈마 처리 후의 상기 절연막 및 매립 메탈 배선층 상에 캡 절연막을 형성하는 공정을 포함함으로써, 구리를 주성분으로 하는 매립 배선의 배선층과 캡막과의 밀착성을 향상시킬 수 있다.
- (7) 상기 (1) ~ (6)에 의해, 구리를 주성분으로 하는 매립 배선을 갖는 반도체 집적 회로 장치의 성능을 향상시킬 수 있다.
- (8) 상기 (4) ~ (6)에 의해, 구리를 주성분으로 하는 매립 배선을 갖는 반도체 집적 회로 장치의 신뢰성을 향상시킬 수 있다.
- (9) 상기 (4) ~ (6)에 의해 구리를 주성분으로 하는 매립 배선을 갖는 반도체 집적 회로 장치의 수율을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태(실시 형태 1)인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 2는 실시 형태 1의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 3은 실시 형태 1의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 4는 실시 형태 1의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 5는 실시 형태 1의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 6의 (a)는 실시 형태 1의 제조 방법을 나타내는 평면도이고, 도 6의 (b)는 실시 형태 1의 제조 방법을 나타내는 주요부 단면도.

도 7의 (a)는 실시 형태 1의 제조 방법을 나타내는 평면도이고, 도 7의 (b)는 실시 형태 1의 제조 방법을 나타내는 주요부 단면도.

도 8은 실시 형태 1의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 9는 매립 Cu 배선의 형성에 이용하는 CMP 장치의 전체 구성의 일례를 나타내는 개략도.

도 10은 매립 Cu 배선의 형성에 이용하는 CMP 장치의 일부를 나타내는 개략도.

도 11은 웨이퍼의 스크립 세정 방법을 나타내는 사시도.

도 12는 매립 Cu 배선의 형성에 이용하는 CMP 장치의 전체 구성의 다른 예를 나타내는 개략도.

도 13은 매립 Cu 배선의 형성에 이용하는 CMP 장치의 전체 구성의 또 다른 예를 나타내는 개략도.

도 14는 실시 형태 1의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 15의 (a)는 암모니아 플라즈마 처리 및 질화 실리콘막의 피착에 이용하는 플라즈마 처리 장치의 개요를 나타내는 단면도이고, 도 15의 (b)는 동일한 평면도.

도 16은 실시 형태 1의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 17은 실시 형태 1의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 18은 실시 형태 1의 반도체 집적 회로 장치의 제조 방법을 나타내는 플로우도.

도 19는 실시 형태 1의 반도체 집적 회로 장치의 개요를 나타내는 단면도.

도 20은 TDDb 수명을 나타내는 그래프.

도 21은 TDDb 수명을 나타내는 그래프.

도 22의 (a) ~ 도 22의 (d)는 XPS 데이터를 나타내는 그래프.

도 23의 (a) ~ 도 23의 (d)는 XPS 데이터를 나타내는 그래프.

도 24의 (a) ~ 도 24의 (d)는 XPS 데이터를 나타내는 그래프.

도 25의 (a) ~ 도 25의 (e)는 XPS 데이터를 나타내는 그래프이고, 도 25의 (f)는 조성비를 나타내는 표도.

도 26의 (a) ~ 도 26의 (d)는 질량 분석 결과를 나타내는 그래프.

도 27의 (a) ~ 도 27의 (d)는 질량 분석 결과를 나타내는 그래프.

도 28은 배선 저항을 나타내는 그래프.

도 29의 (a)는 처리없음인 경우에서의 배선 부분을 나타내는 TEM 사진을 트레이스한 단면도이고, 도 29의 (b)는 실시 형태 1의 배선 부분을 나타내는 TEM 사진을 트레이스한 단면도.

도 30의 (a) ~ 도 30의 (c)는 비교로서 나타내는 TEM 사진을 트레이스한 단면도.

도 31의 (a) 및 도 31의 (b)는 TDDDB 열화의 메카니즘을 나타내는 설명도.

도 32의 (a) 및 도 32의 (b)는 TDDDB 향상의 메카니즘을 나타내는 설명도.

도 33은 TDDDB 수명을 나타내는 그래프.

도 34는 본 발명의 실시 형태 2인 반도체 집적 회로 장치의 제조 방법에 이용하는 CMP 장치의 전체 구성의 일례를 나타내는 개략도.

도 35는 매립 Cu 배선의 형성에 이용하는 CMP 장치의 일부를 나타내는 개략도.

도 36은 Cu막의 연마 상태를 나타내는 CMP 장치의 개략도.

도 37은 실시 형태 2의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 38의 (a)는 실시 형태 2의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 평면도이고, 도 38의 (b)는 동일한 주요부 단면도.

도 39는 실시 형태 2의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 40의 (a)는 실시 형태 2의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 평면도이고, 도 40의 (b)는 동일한 주요부 단면도.

도 41은 실시 형태 2의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 42의 (a)는 실시 형태 2의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 평면도이고, 도 42의 (b)는 동일한 주요부 단면도.

도 43은 실시 형태 2의 반도체 집적 회로 장치의 제조 방법을 나타내는 플로우도.

도 44는 TDDDB 수명을 나타내는 그래프.

도 45는 실시 형태 3의 반도체 집적 회로 장치의 제조 방법을 나타내는 플로우도.

도 46은 TDDDB 수명을 나타내는 그래프.

도 47은 실시 형태 4의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 48의 (a)는 실시 형태 4의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 평면도이고, 도 48의 (b)는 동일한 주요부 단면도.

도 49는 실시 형태 4의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 50은 본 발명의 다른 실시 형태의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 51은 본 발명의 다른 실시 형태의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 52의 (a)는 다른 실시 형태의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 평면도이고, 도 52의 (b)는 동일한 주요부 단면도.

도 53은 본 발명의 다른 실시 형태의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 54는 본 발명의 다른 실시 형태의 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.

도 55는 구리 배선, 알루미늄 배선, 텅스텐 배선의 TDDB 특성을 측정한 데이터를 나타내는 그래프.

도 56은 각 처리를 행하였을 때의 구리 배선 중에 포함되는 실리콘 양을 나타내는 그래프.

도 57은 매립 구리 배선의 저항에서의 도전성 배리어 막 두께 의존성을 나타내는 그래프.

도 58은 TDDB 특성의 도전성 배리어 막 두께 의존성을 나타내는 그래프.

도 59는 도전성 배리어막이 없는 경우 및 두께 10nm 미만인 경우에서의 어닐링 처리 후의 TDDB 특성을 나타내는 그래프.

도 60의 (a) 및 도 60의 (b)는 본 발명의 다른 실시 형태인 반도체 집적 회로 장치의 구리 매립 배선층의 주요부 단면도.

도 61의 (a)는 본 발명의 실시 형태인 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 61의 (b)는 도 61의 (a)의 A-A선의 단면도.

도 62의 (a)는 도 61에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 62의 (b)는 도 62의 (a)의 A-A선의 단면도.

도 63의 (a)는 도 62에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 63의 (b)는 도 63의 (a)의 A-A선의 단면도.

도 64의 (a)는 도 63에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 64의 (b)는 도 64의 (a)의 A-A선의 단면도.

도 65의 (a)는 도 64에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 65의 (b)는 도 65의 (a)의 A-A선의 단면도.

도 66의 (a)는 본 발명의 실시 형태인 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 66의 (b)는 도 66의 (a)의 A-A선의 단면도.

도 67의 (a)는 도 66에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 67의 (b)는 도 67의 (a)의 A-A선의 단면도.

도 68의 (a)는 도 67에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 68의 (b)는 도 68의 (a)의 A-A선의 단면도.

도 69의 (a)는 도 68에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 69의 (b)는 도 69의 (a)의 A-A선의 단면도.

도 70의 (a)는 도 69에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 70의 (b)는 도 70의 (a)의 A-A선의 단면도.

도 71의 (a)는 도 70에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 71의 (b)는 도 71의 (a)의 A-A선의 단면도.

도 72의 (a)는 도 71에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 72의 (b)는 도 72의 (a)의 A-A선의 단면도.

도 73의 (a)는 도 72에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 73의 (b)는 도 73의 (a)의 A-A선의 단면도.

도 74의 (a)는 도 73에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 74의 (b)는 도 74의 (a)의 A-A선의 단면도.

도 75의 (a)는 도 74에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 75의 (b)는 도 75의 (a)의 A-A선의 단면도.

도 76의 (a)는 도 75에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 76의 (b)는 도 76의 (a)의 A-A선의 단면도.

도 77의 (a)는 도 76에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 77의 (b)는 도 77의 (a)의 A-A선의 단면도.

도 78의 (a)는 본 발명의 실시 형태인 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 78의 (b)는 도 78의 (a)의 A-A선의 단면도.

도 79의 (a)는 도 78에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 79의 (b)는 도 79의 (a)의 A-A선의 단면도.

도 80의 (a) 및 도 80의 (b)는 본 발명의 또 다른 실시 형태인 반도체 집적 회로 장치의 구리 매립 배선층의 주요부 단면도.

도 81의 (a)는 본 발명의 실시 형태인 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 81의 (b)는 도 81의 (a)의 A-A선의 단면도.

도 82의 (a)는 도 81에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 82의 (b)는 도 82의 (a)의 A-A선의 단면도.

도 83의 (a)는 도 82에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 83의 (b)는 도 83의 (a)의 A-A선의 단면도.

도 84의 (a)는 도 83에 이어지는 반도체 집적 회로 장치의 제조 공정 중에서의 주요부 평면도이고, 도 84의 (b)는 도 84의 (a)의 A-A선의 단면도.

도 85는 본원의 TDDb 수명 측정에 사용한 시료를 나타내고, 도 85의 (a)는 평면도이고, 도 85의 (b) 및 도 85의 (c)는 도 85의 (a)에서의 B-B'선 단면 및 C-C'선 단면을 각각 나타내는 설명도.

도 86은 측정의 개요를 나타내는 개념도.

도 87은 전류 전압 측정 결과의 일례.

도 88은 도전성 배리어막의 배선홈 또는 접속 구멍 내에서의 커버리지의 설명도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 기판

2 : 소자 분리홈

3 : 산화 실리콘막

4 : p형 웰

23 : 플러그

24 ~ 30 : W 배선

32 ~ 36 : 관통 구멍

66 : 포토레지스트 패턴

67 : 반사 방지막

68 : 포토레지스트 패턴

109 : 드레서

110 : 구동축

120 : 로더

121A : 브러시

130 : 연마 처리부

140 : 방식(防蝕) 처리부

150 : 침지 처리부

160 : 후세정 처리부

170 : 언로더

200 : CMP 장치

220 : 로더

230 : 연마 처리부

240 : 건조 처리부

250 : 후세정 처리부

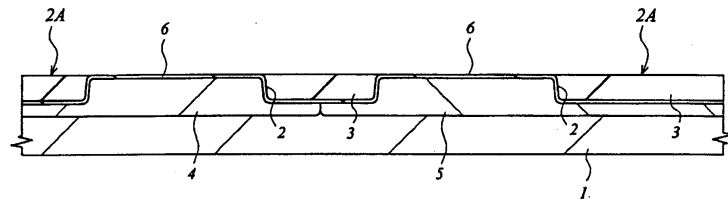
260 : 언로더

Qn : n 채널형 MISFET

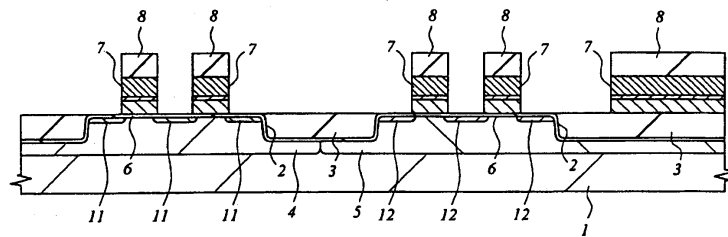
Qp : p 채널형 MISFET

도면

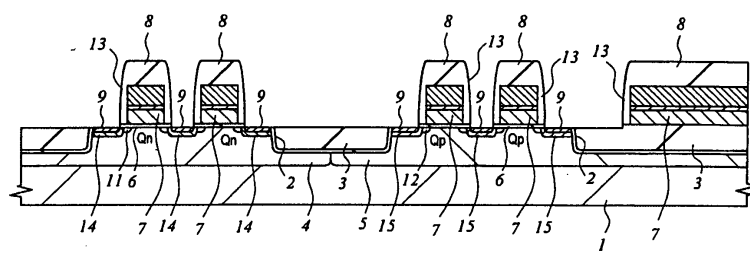
도면1



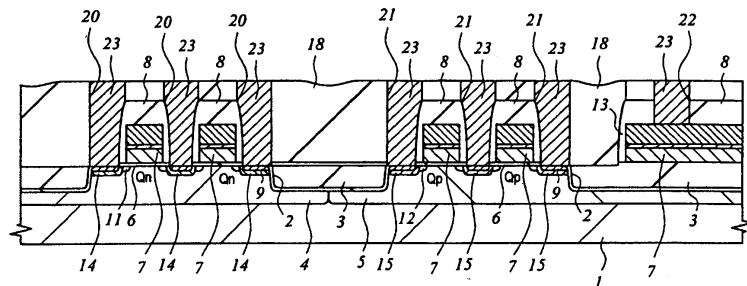
도면2



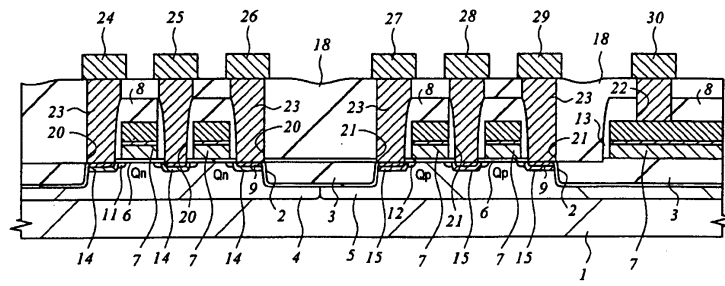
도면3



도면4

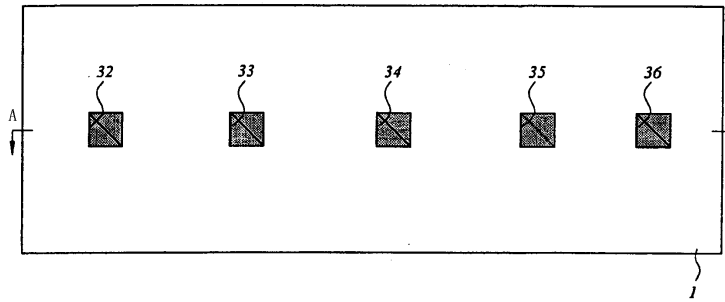


도면5

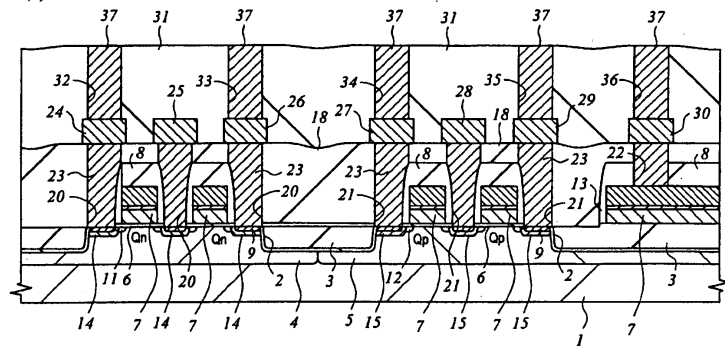


도면6

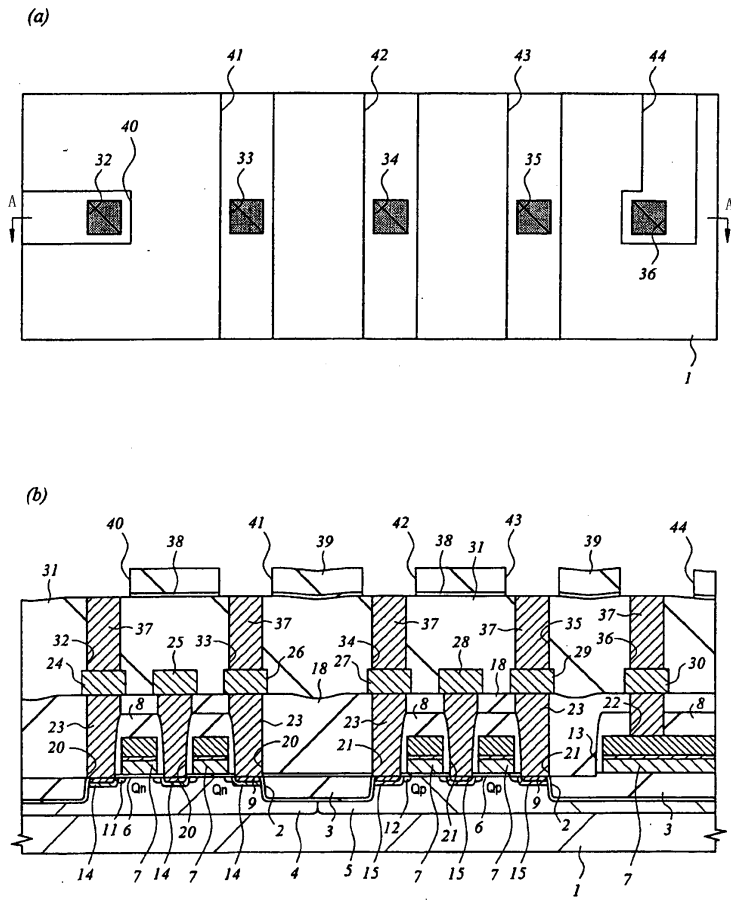
(a)



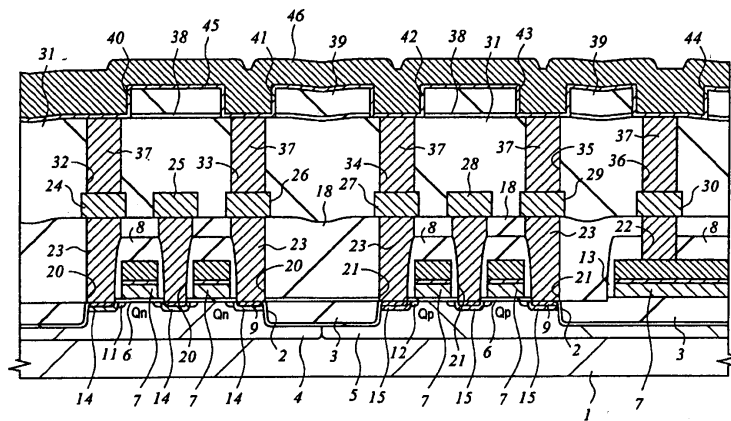
(b)



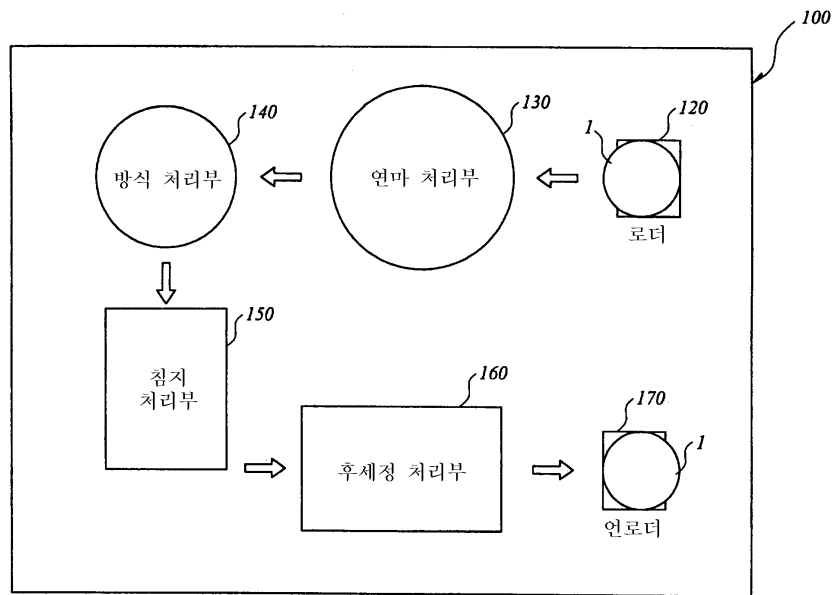
도면7



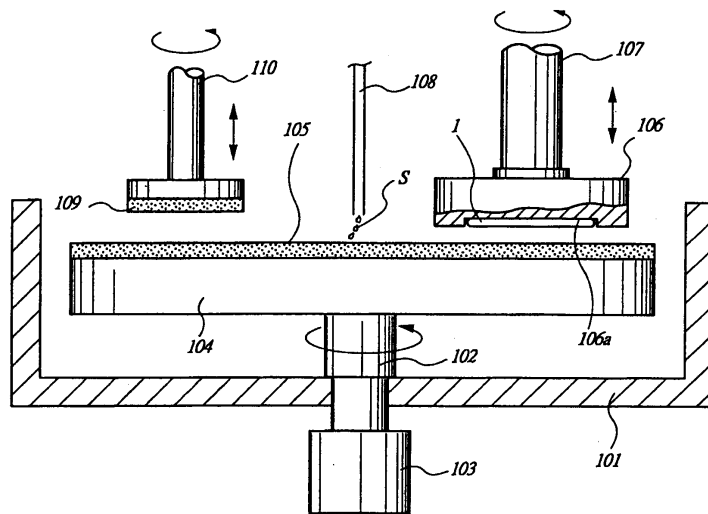
도면8



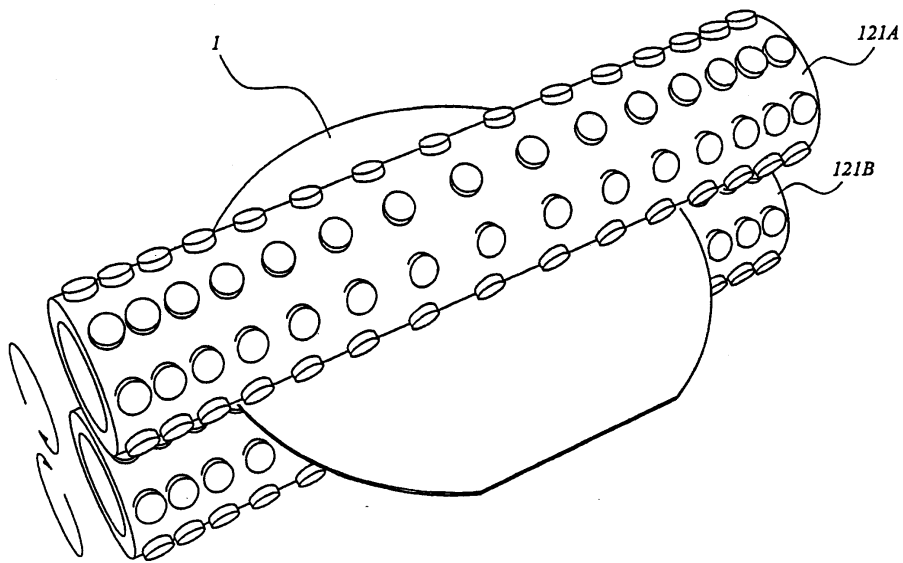
도면9



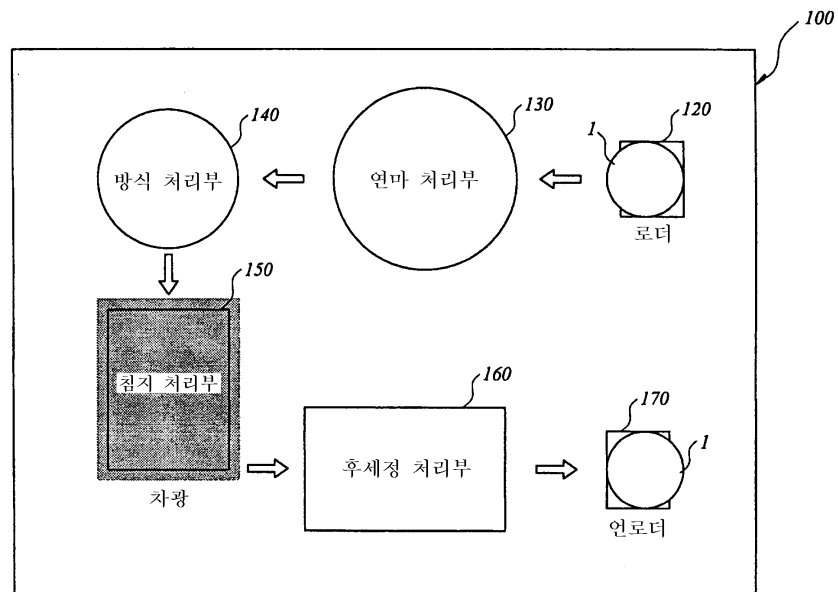
도면10



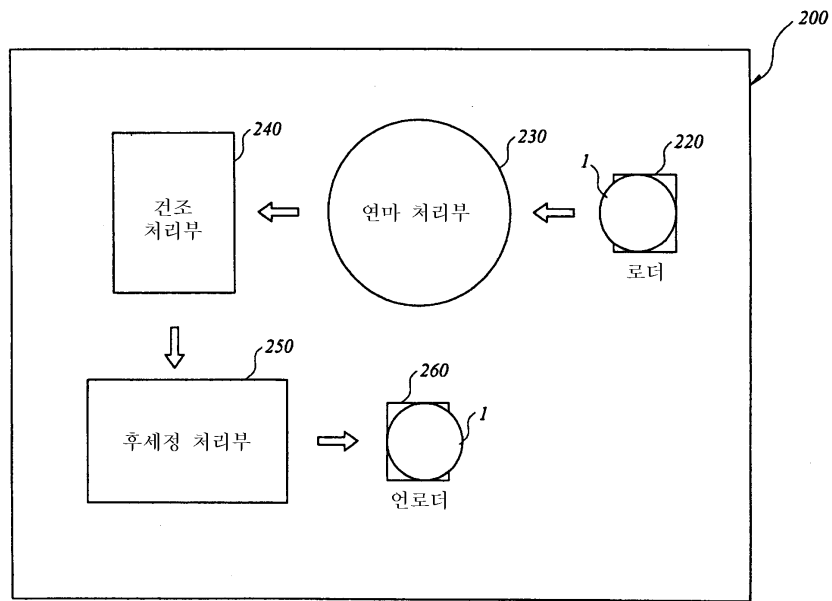
도면11



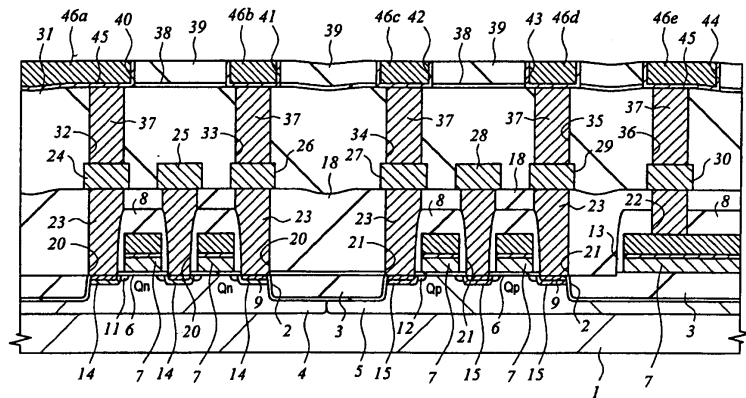
도면12



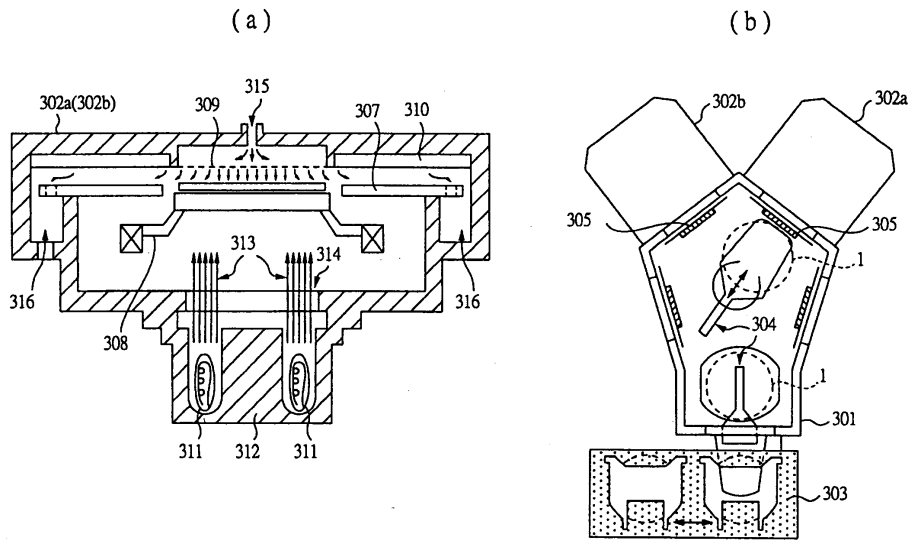
도면13



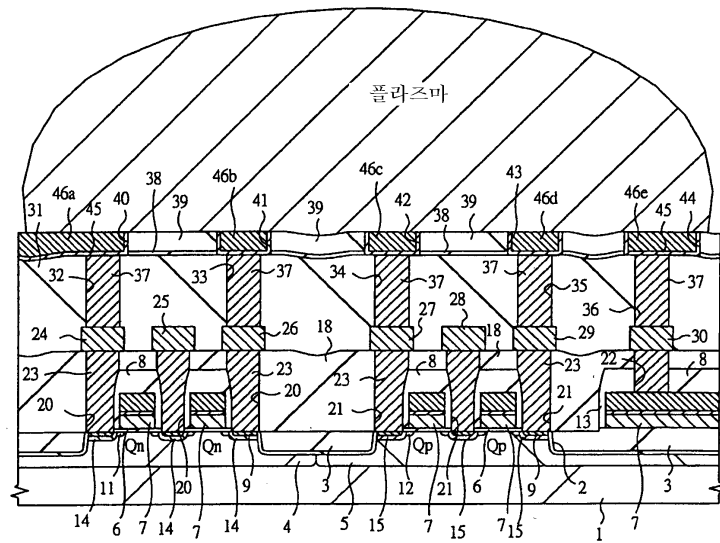
도면14



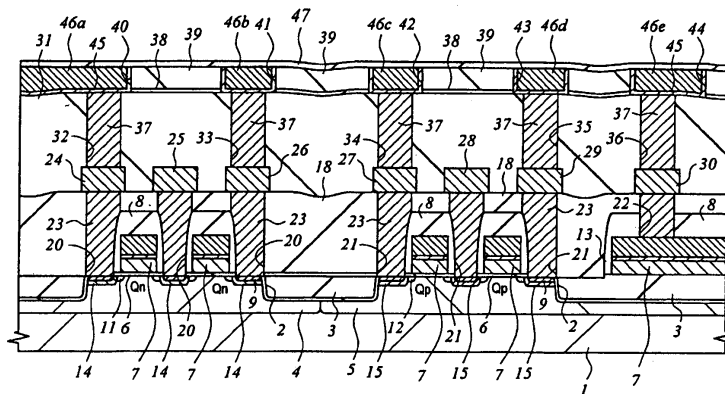
도면15



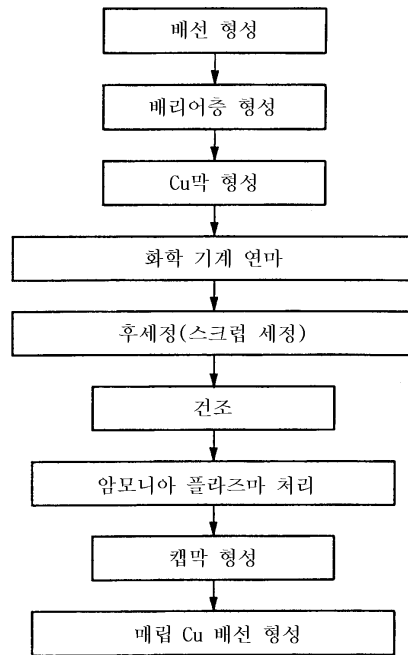
도면16



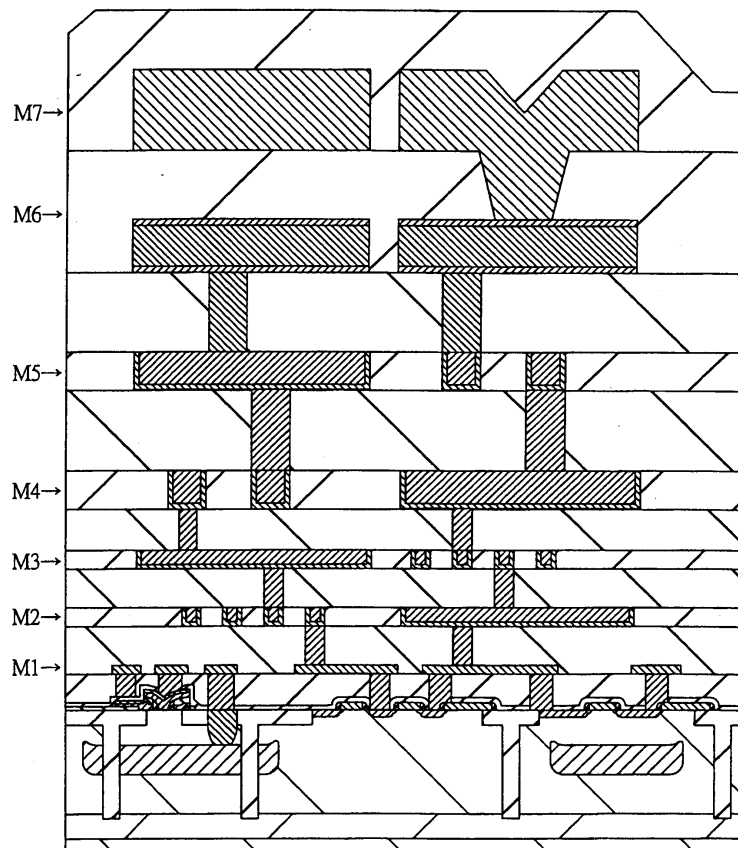
도면17



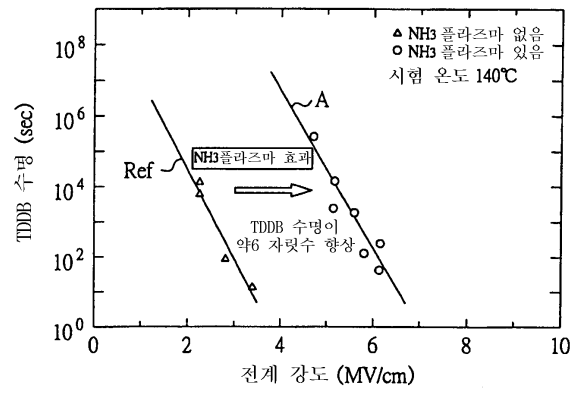
도면18



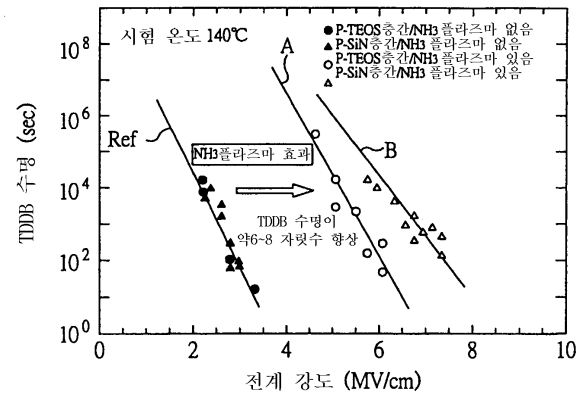
도면19



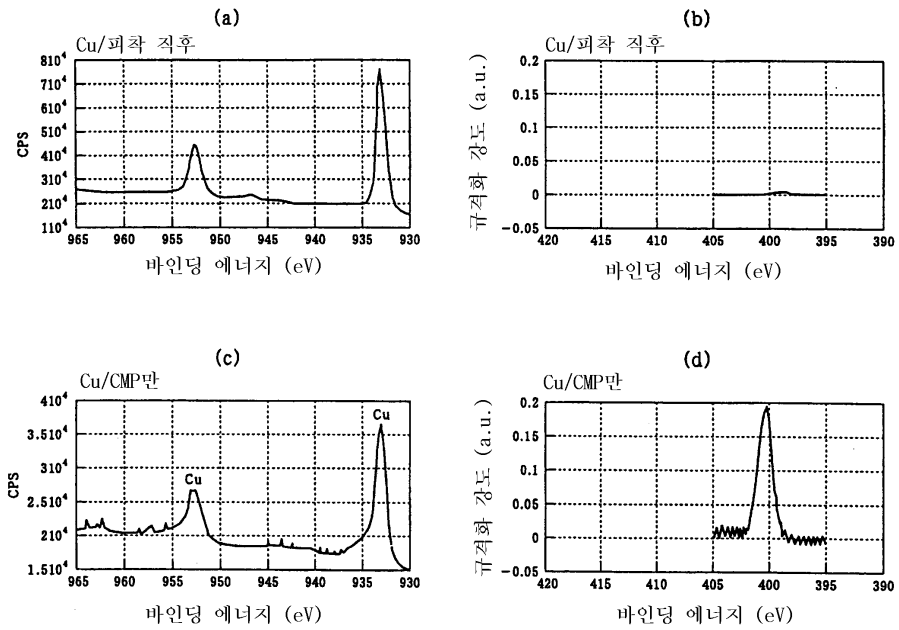
도면20



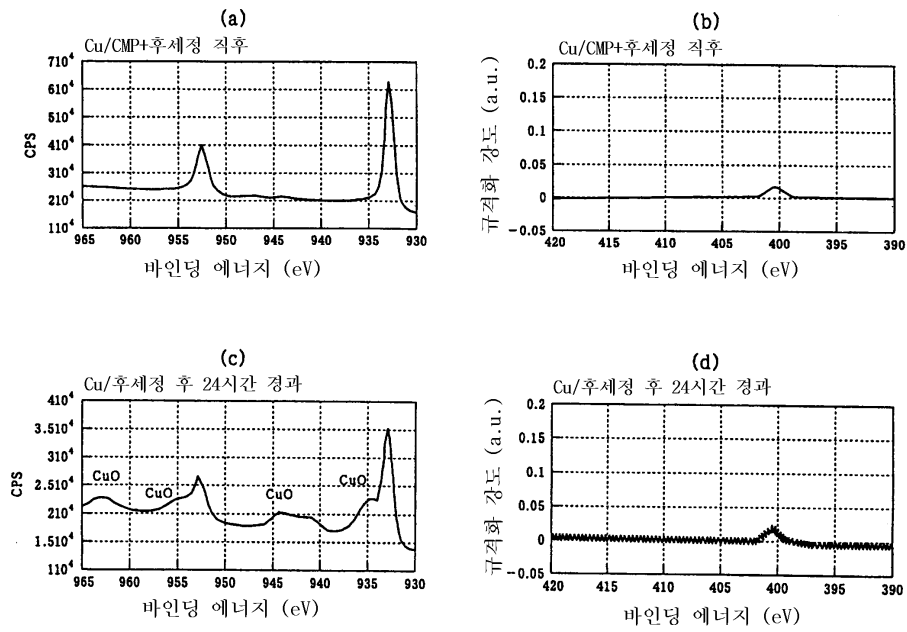
도면21



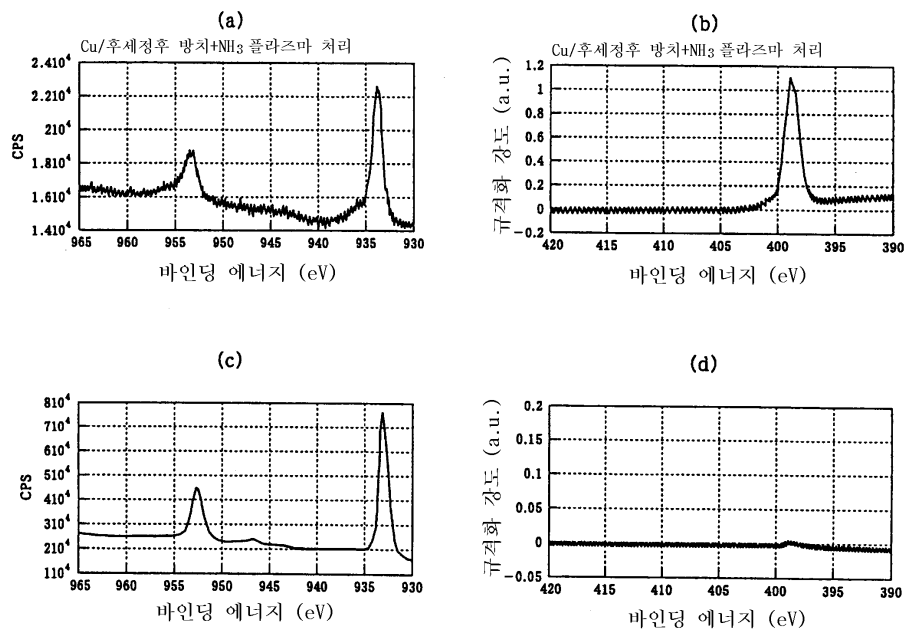
도면22



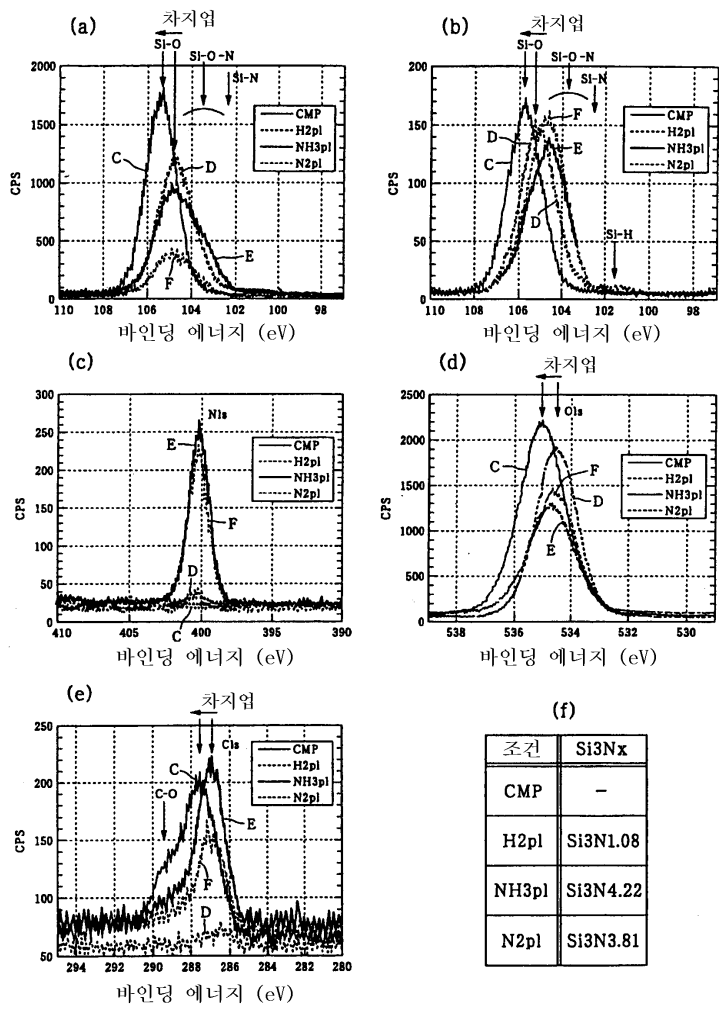
도면23



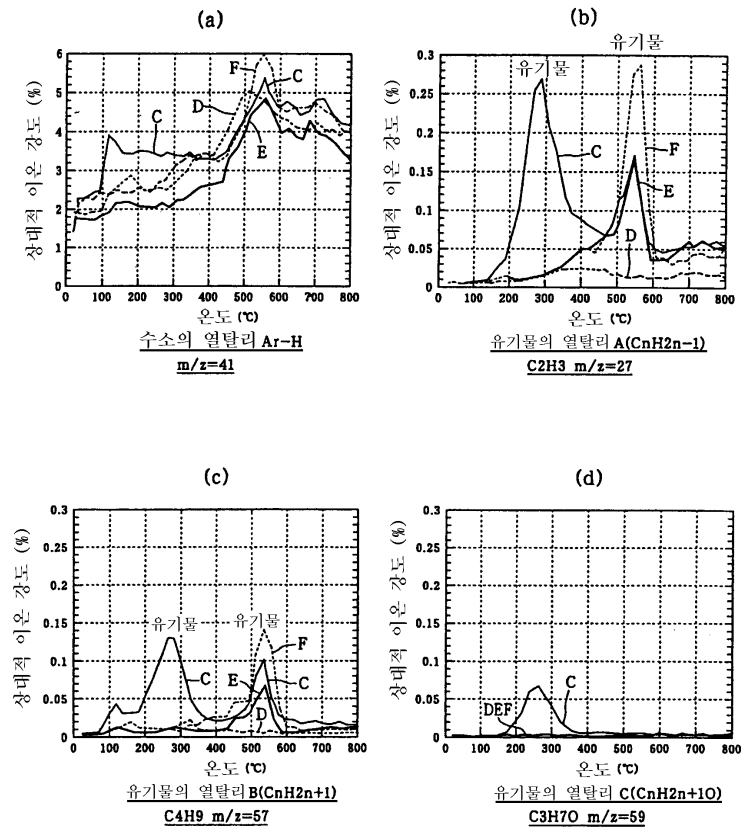
도면24



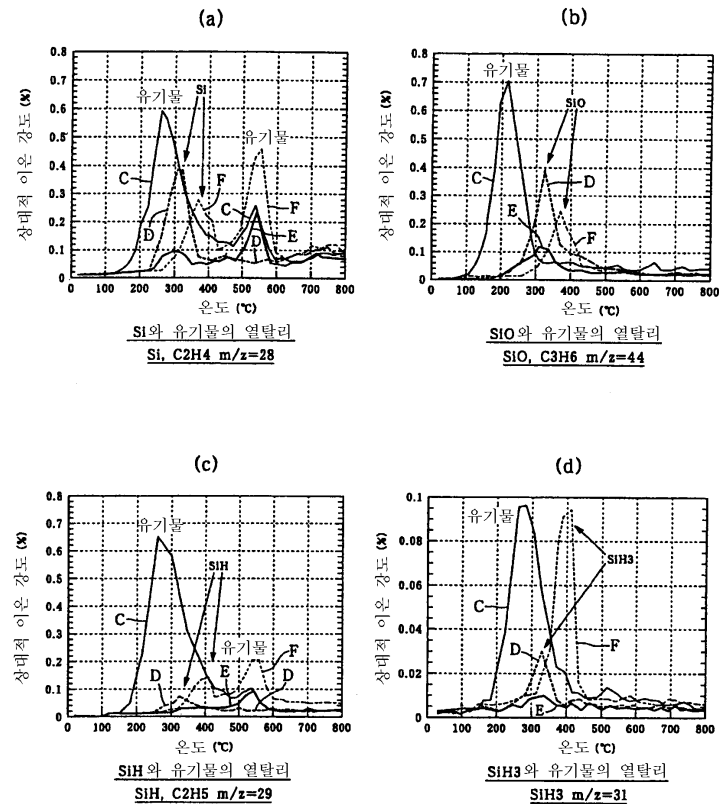
도면25



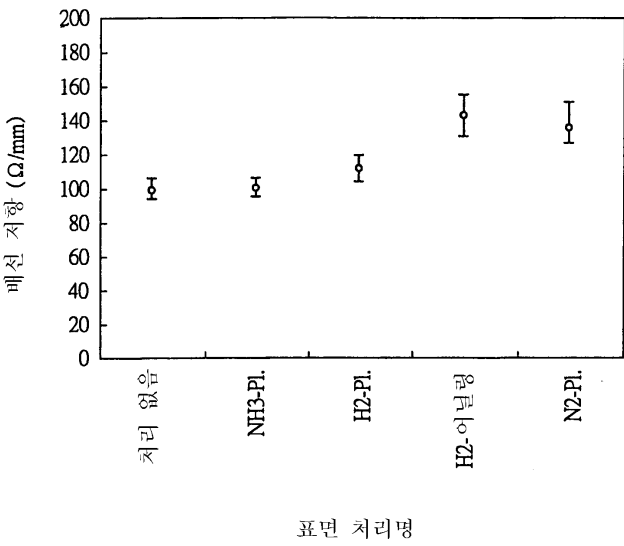
도면26



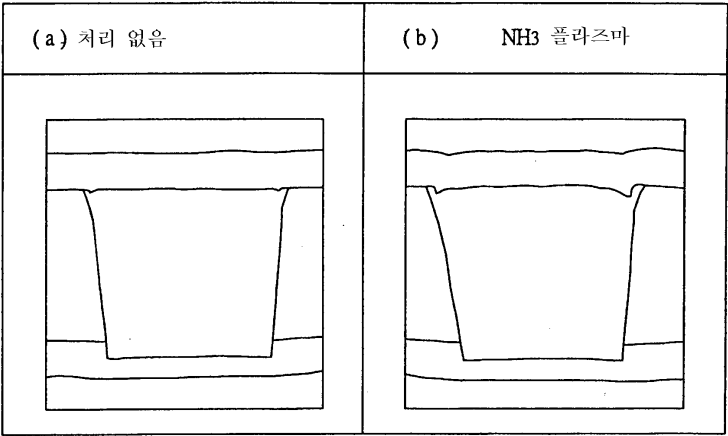
도면27



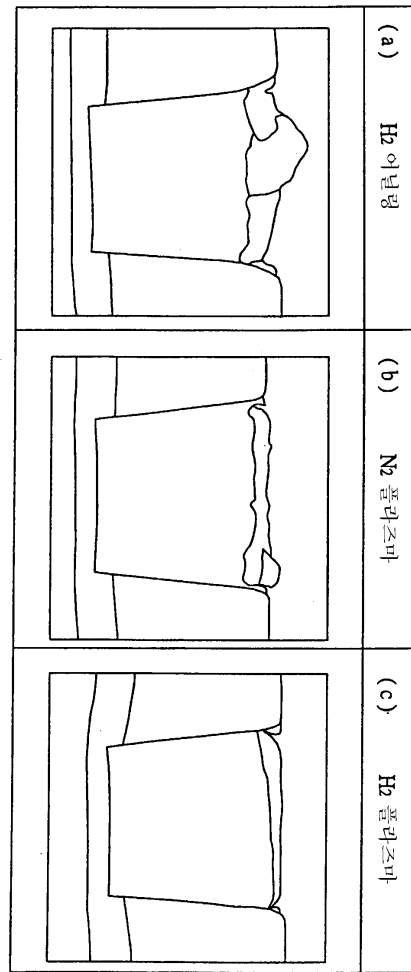
도면28



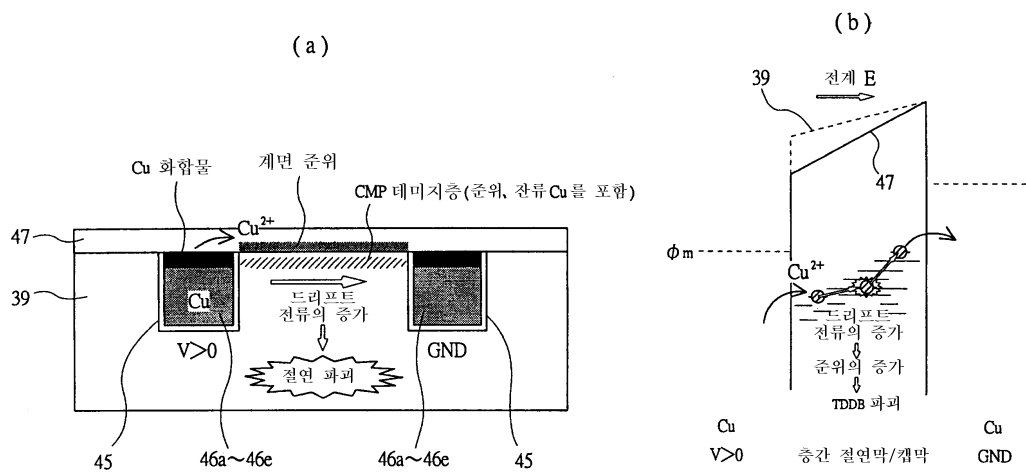
도면29



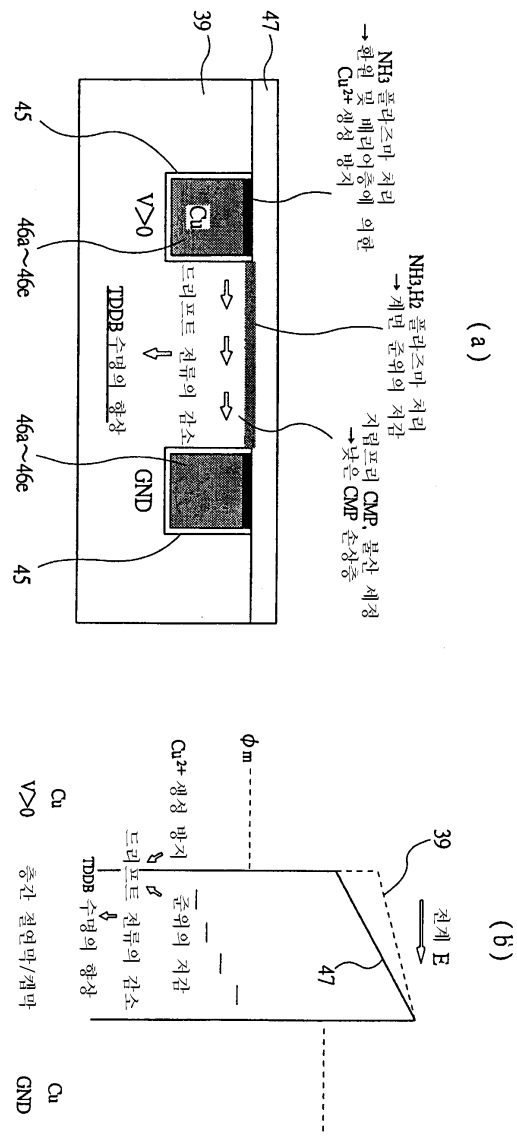
도면30



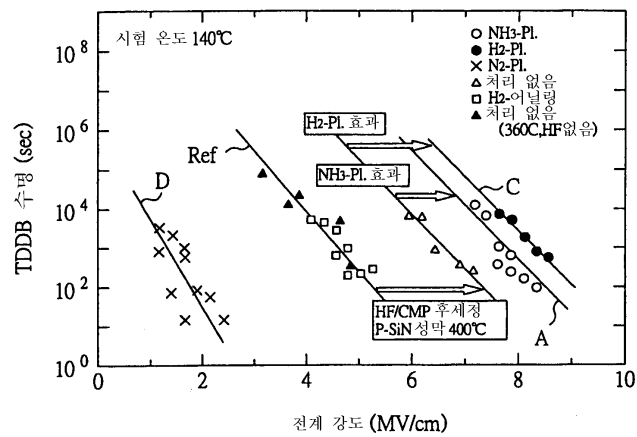
도면31



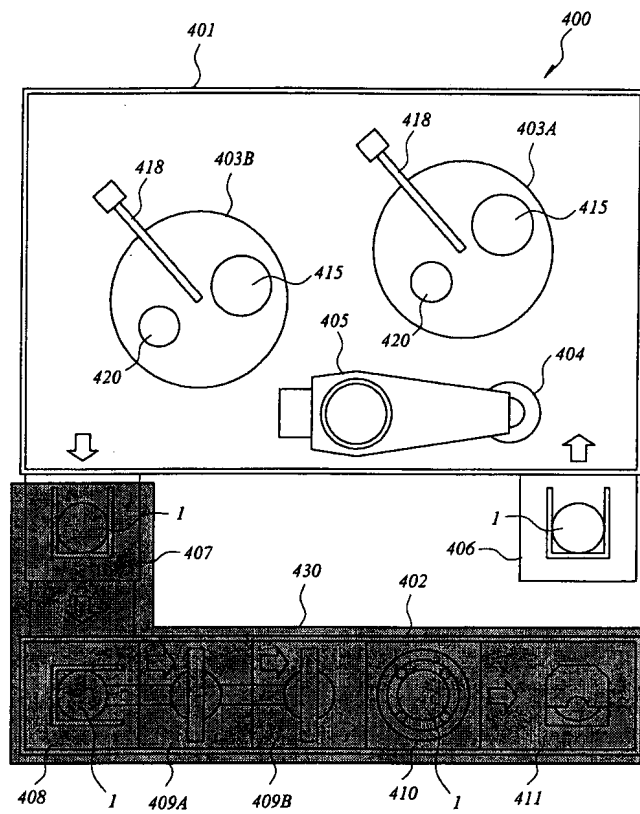
도면32



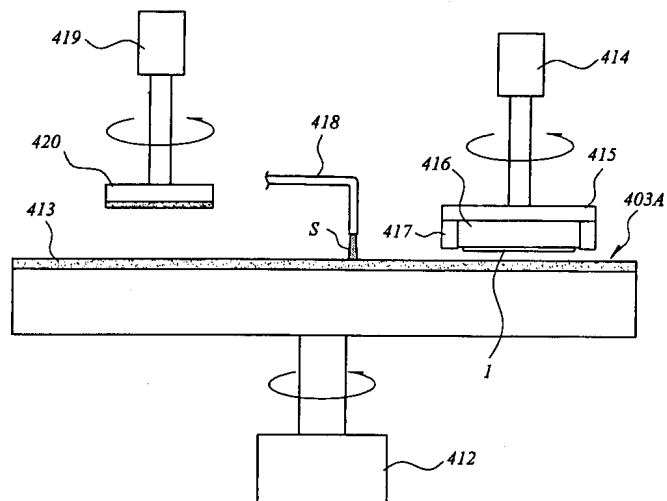
도면33



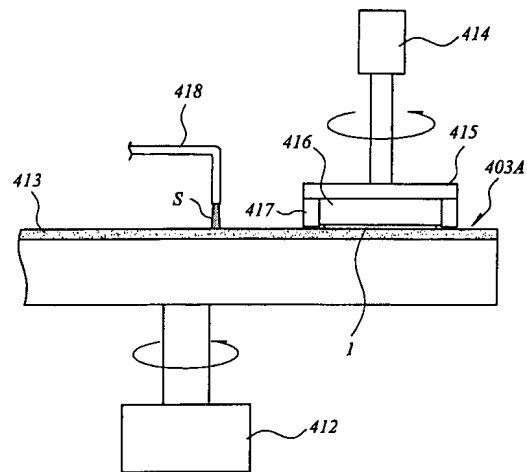
도면34



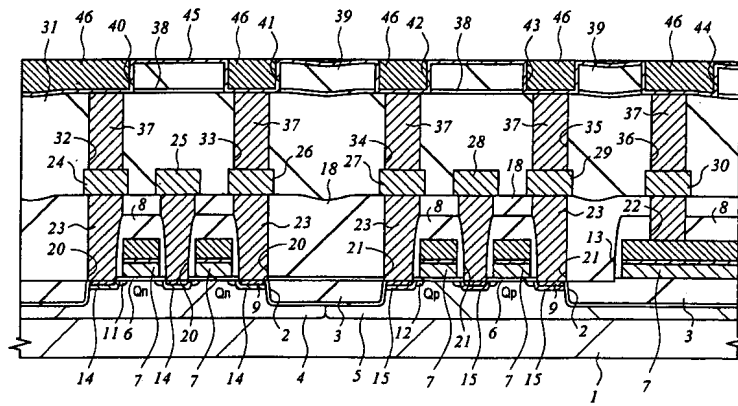
도면35



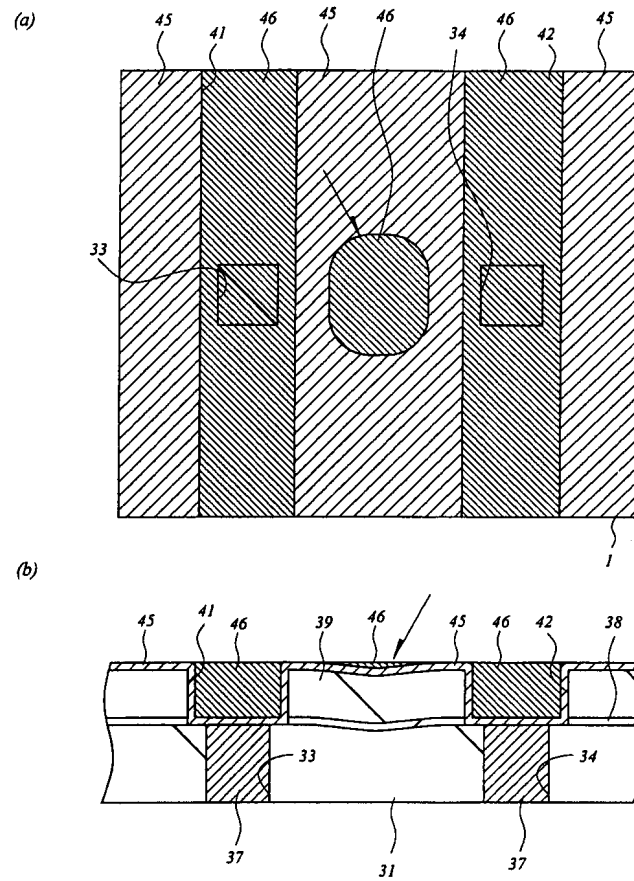
도면36



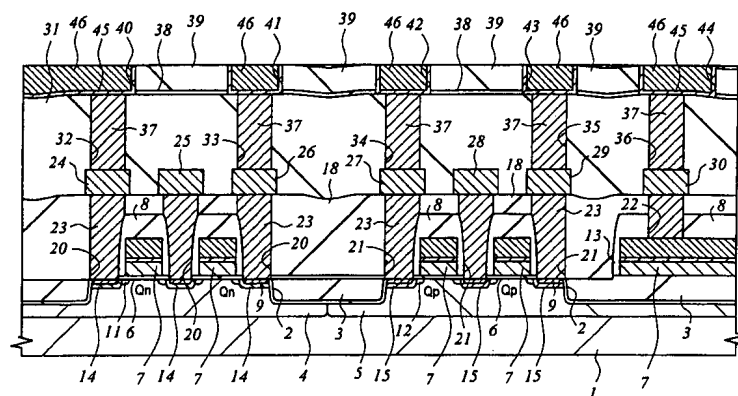
도면37



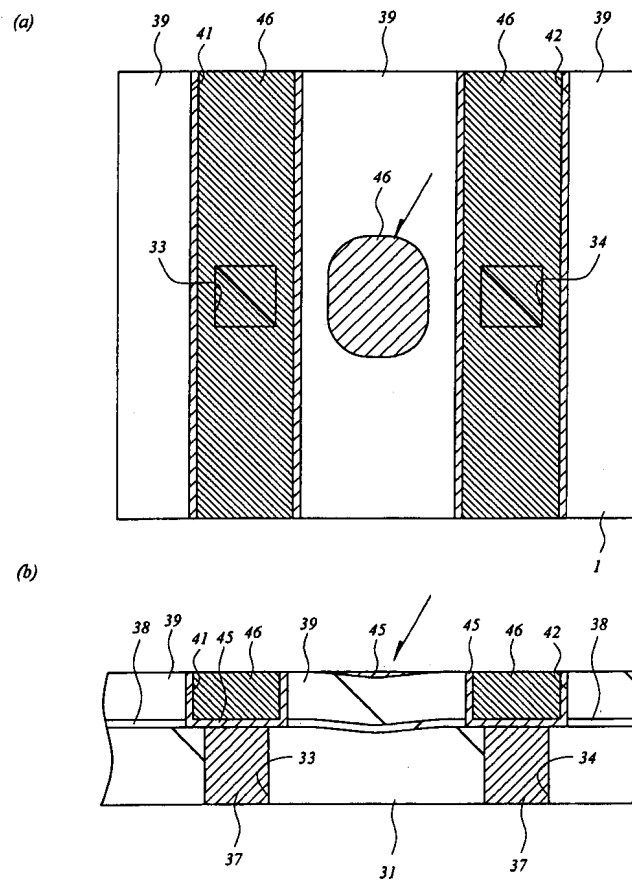
도면38



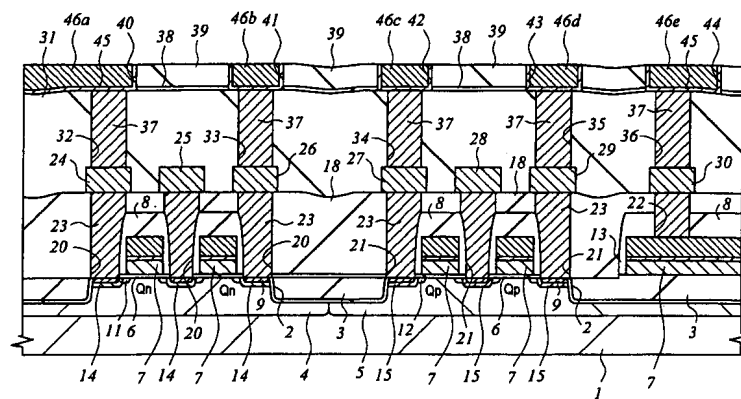
도면39



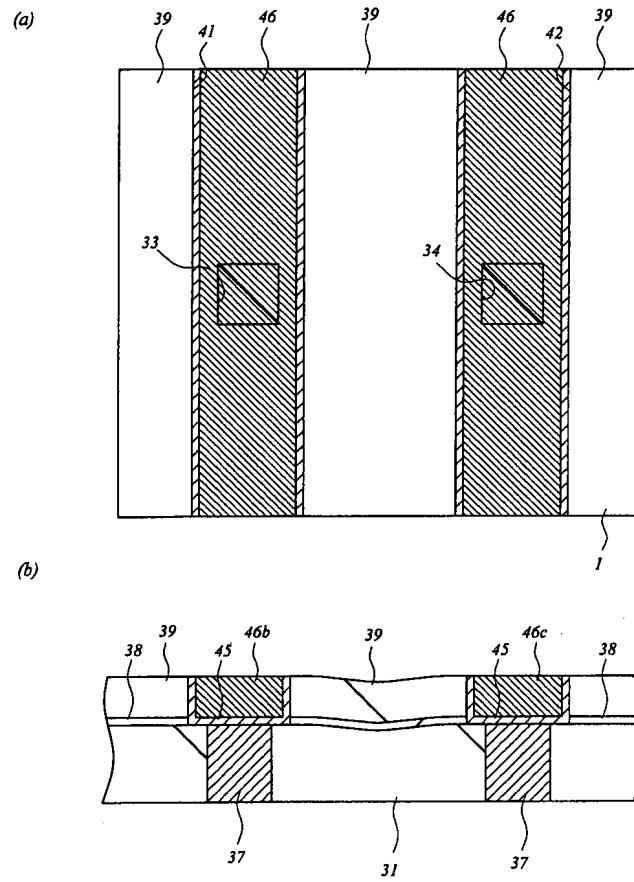
도면40



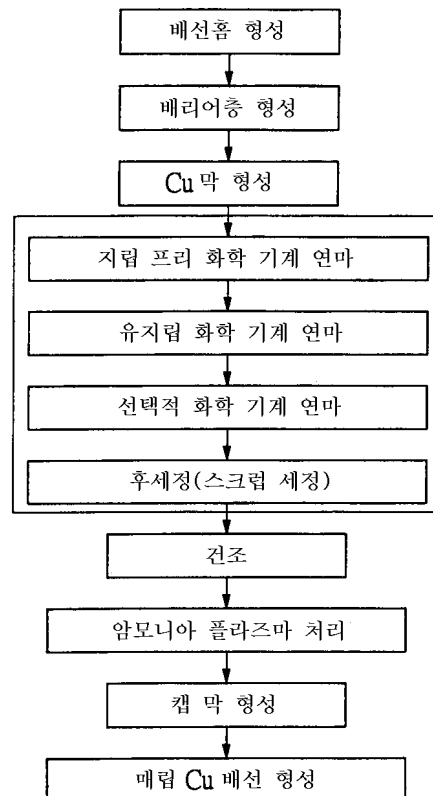
도면41



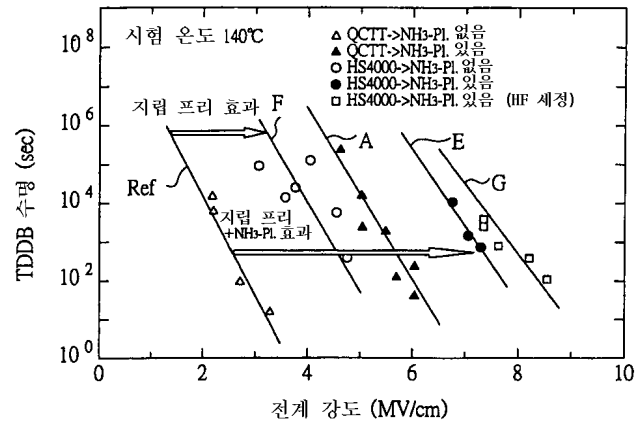
도면42



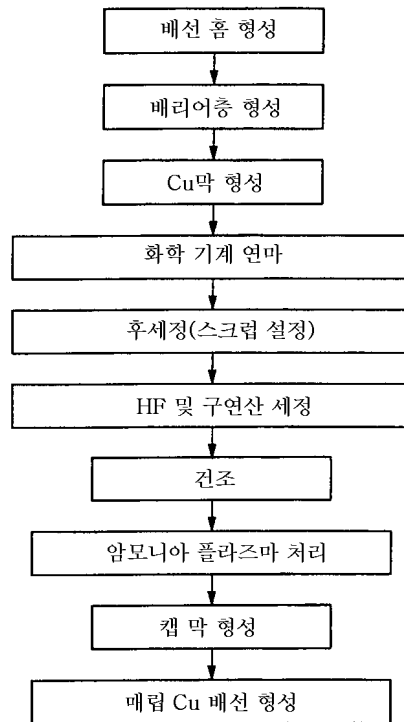
도면43



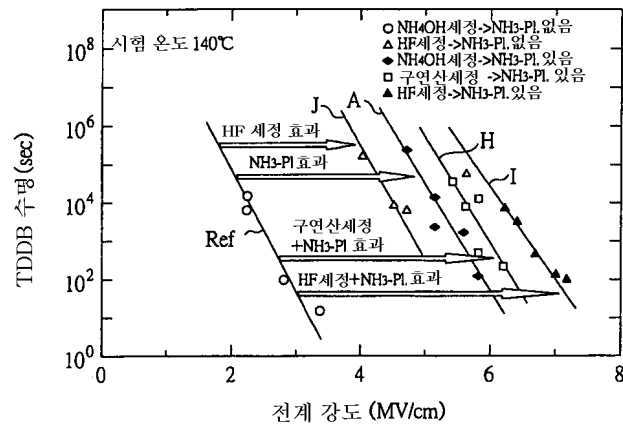
도면44



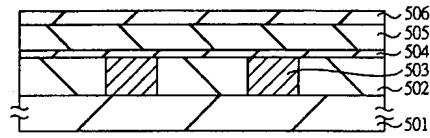
도면45



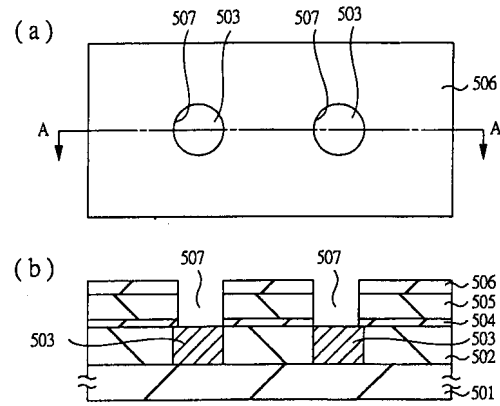
도면46



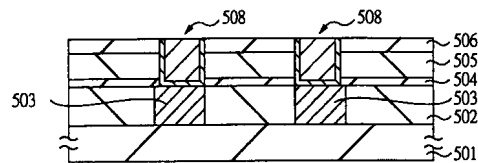
도면47



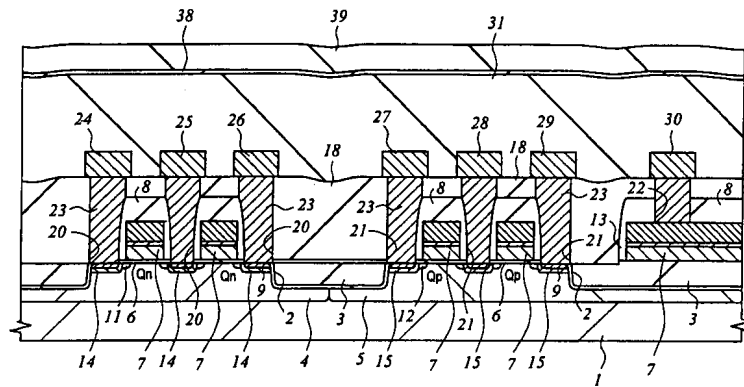
도면48



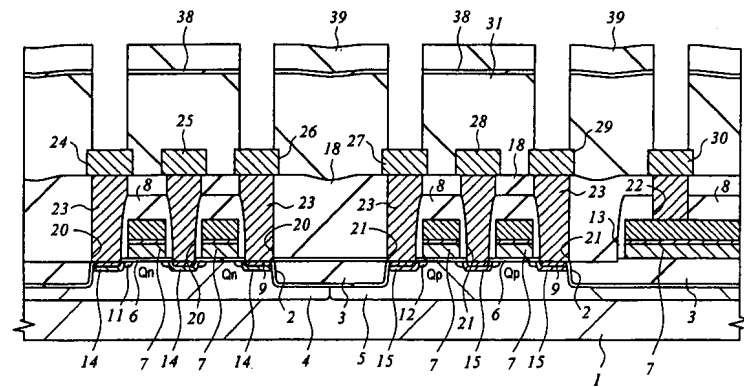
도면49



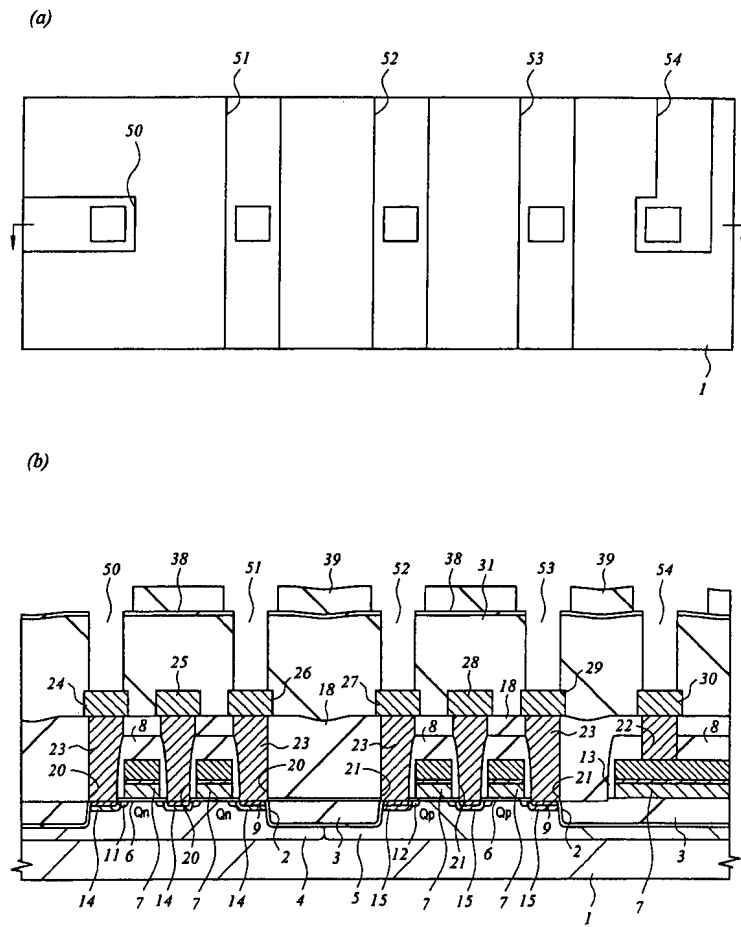
도면50



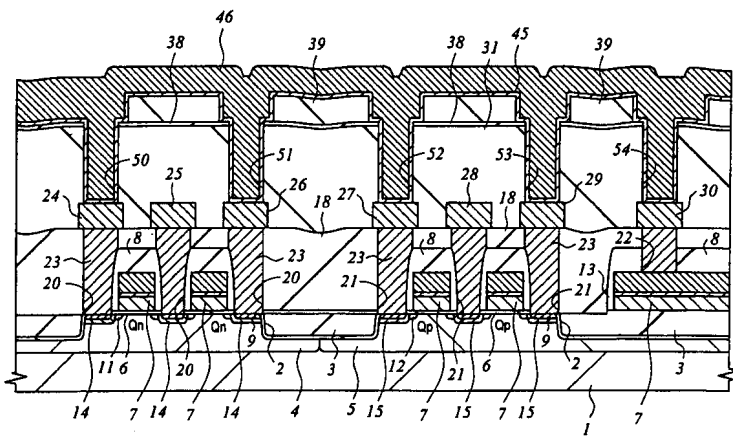
도면51



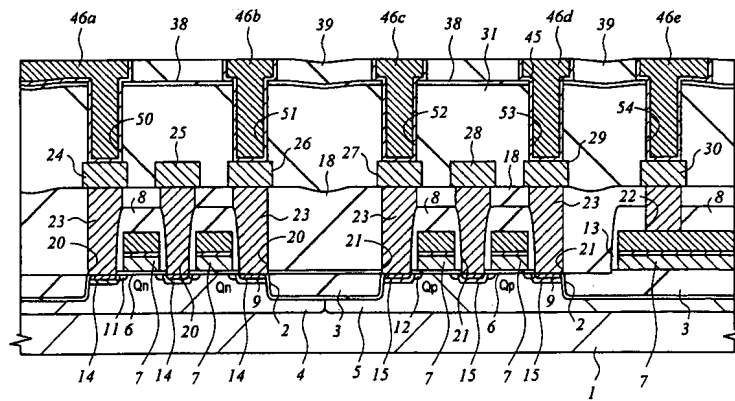
도면52



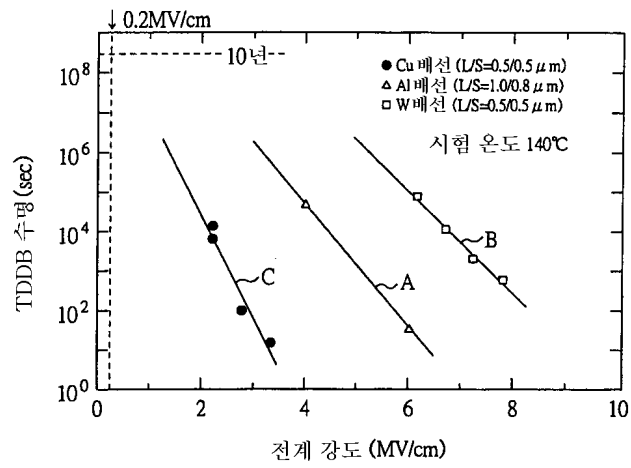
도면53



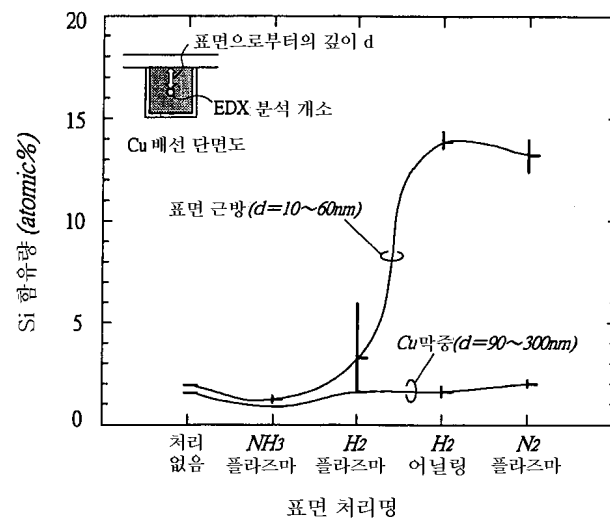
도면54



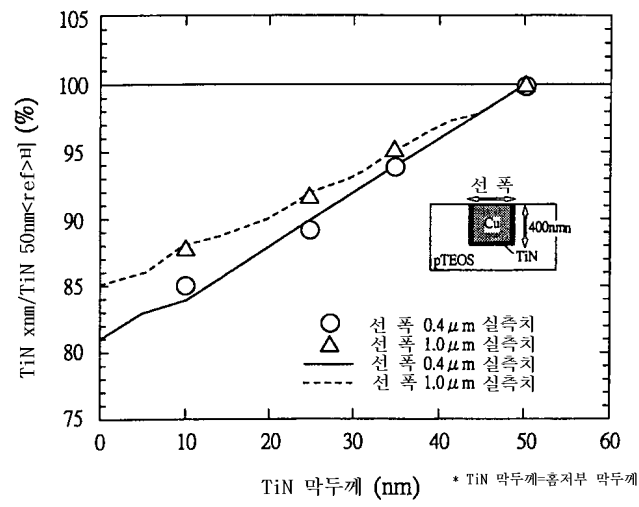
도면55



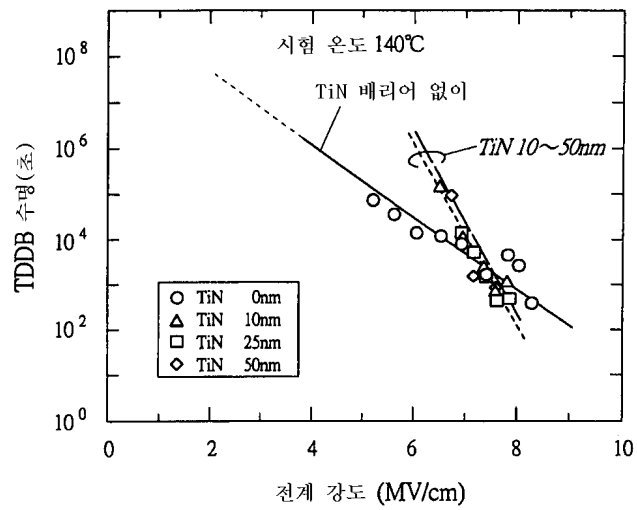
도면56



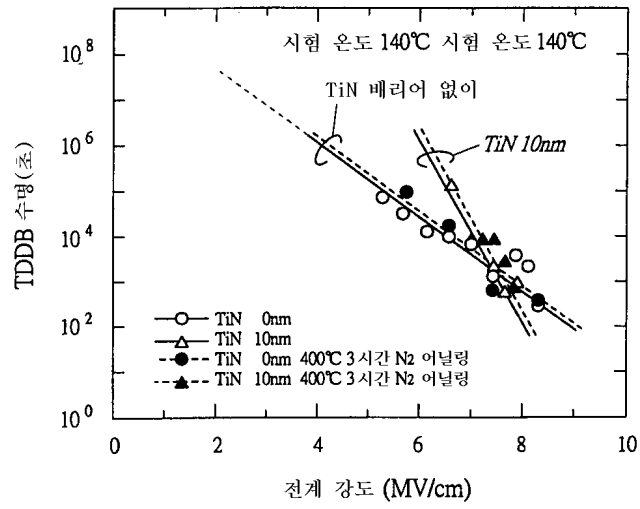
도면57



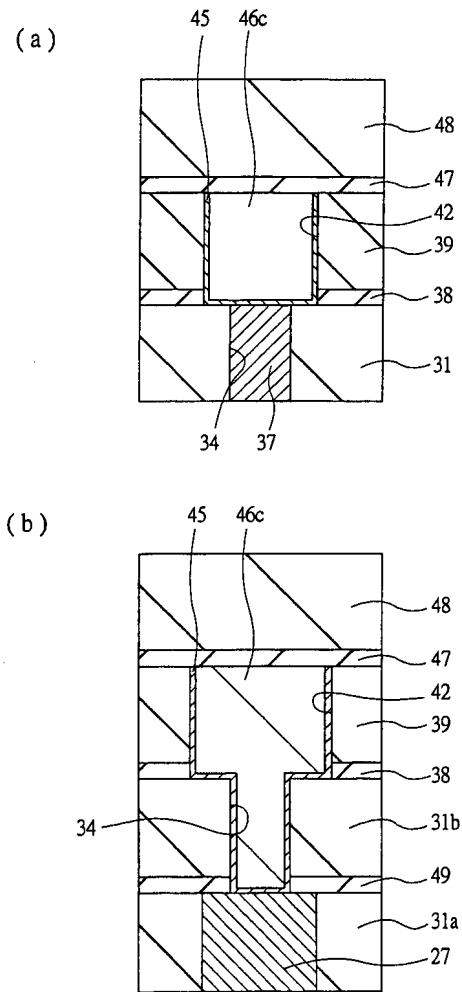
도면58



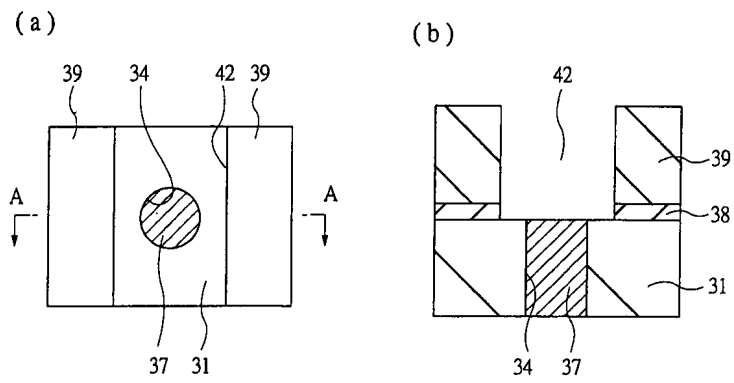
도면59



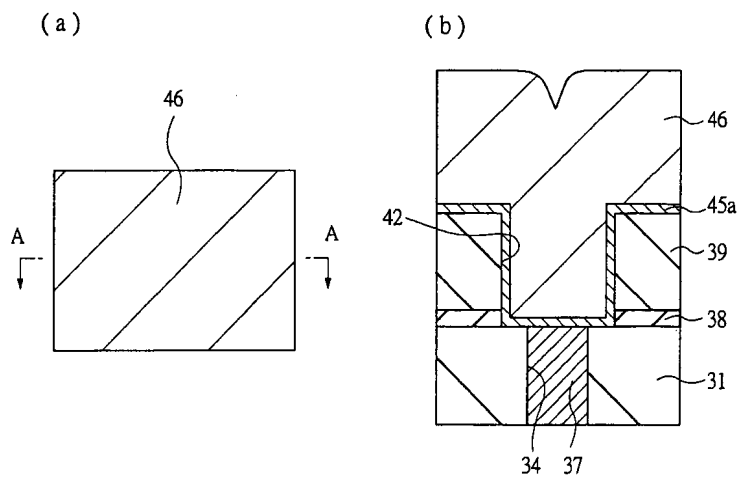
도면60



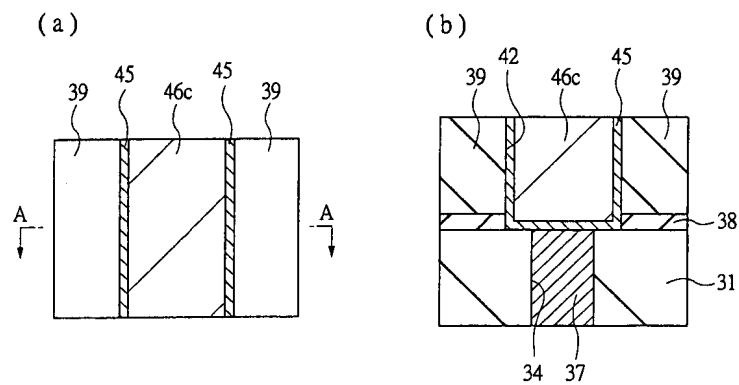
도면61



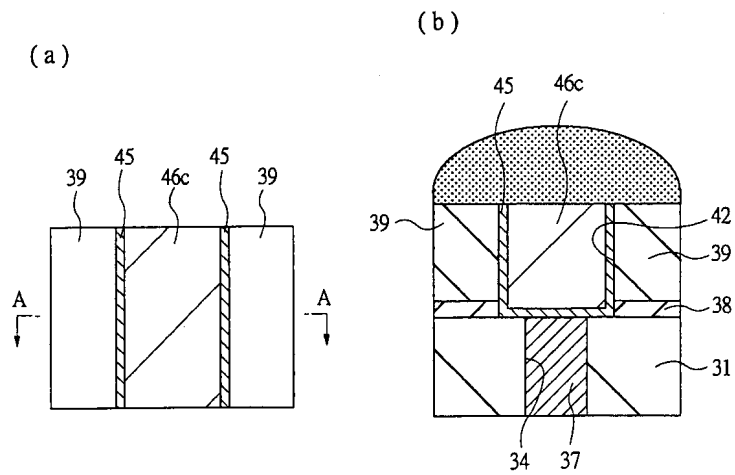
도면62



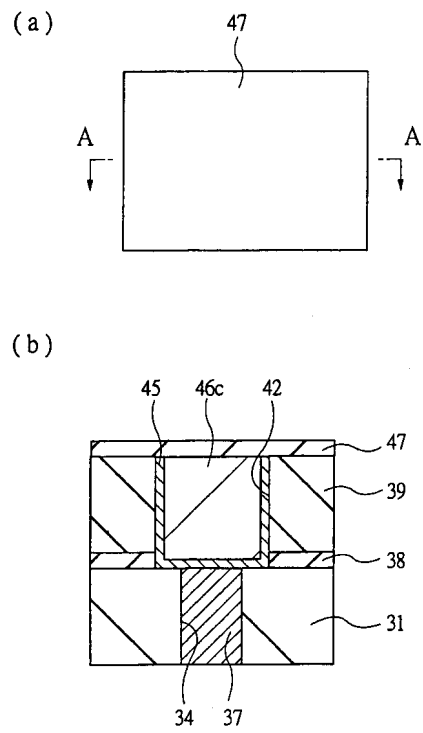
도면63



도면64

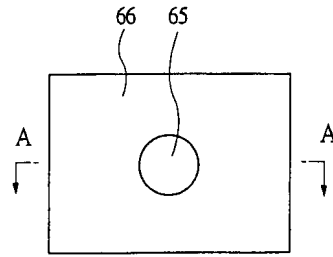


도면65

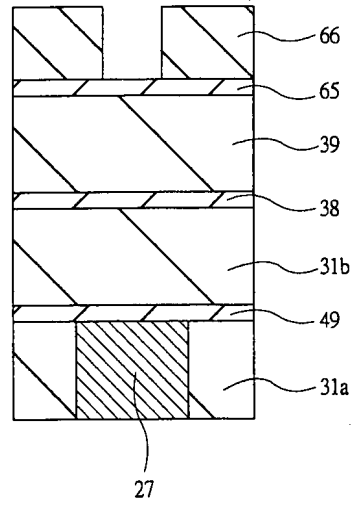


도면66

(a)

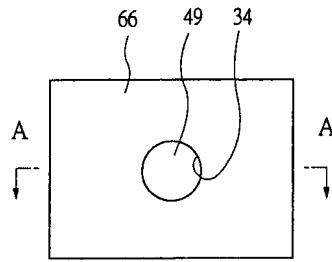


(b)

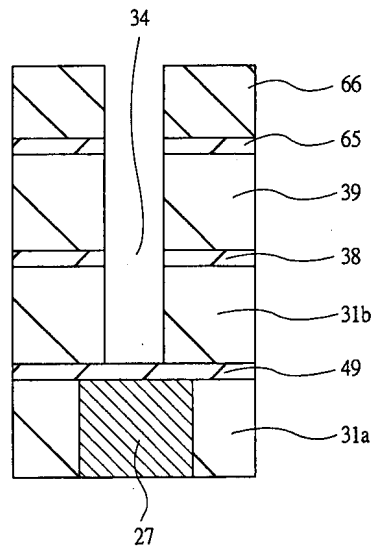


도면67

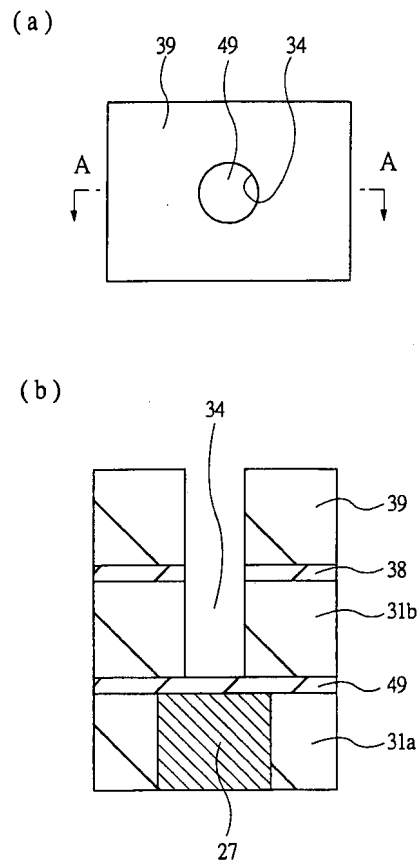
(a)



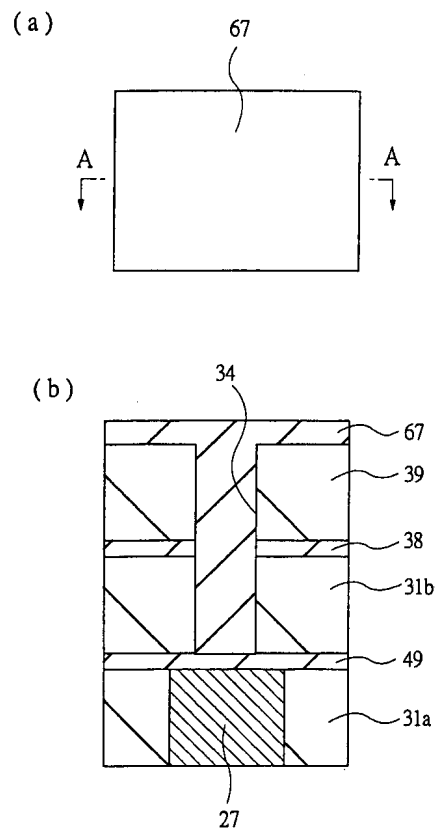
(b)



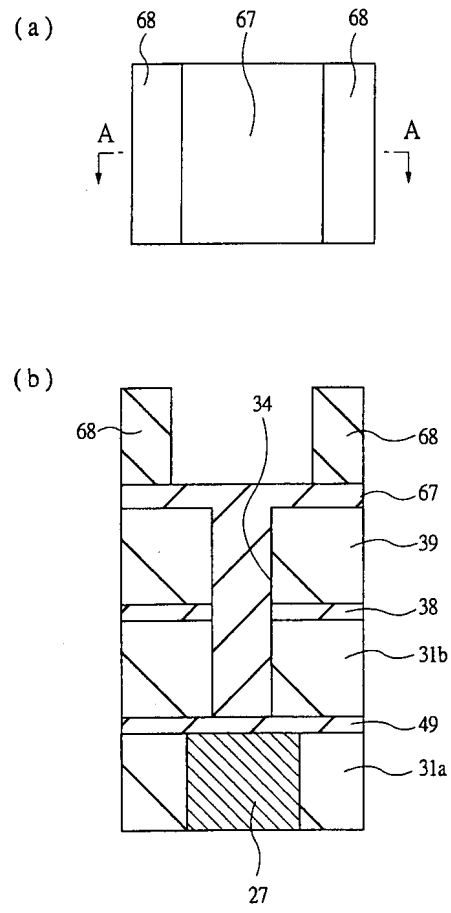
도면68



도면69

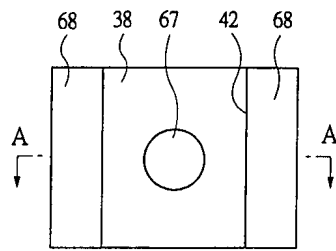


도면70

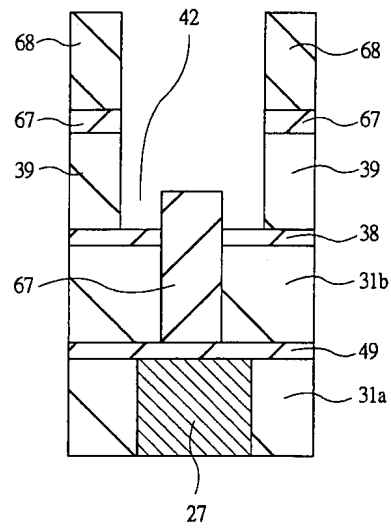


도면71

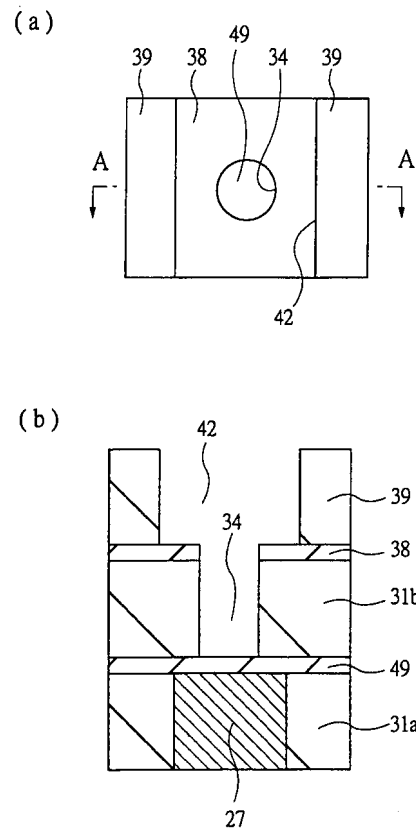
(a)



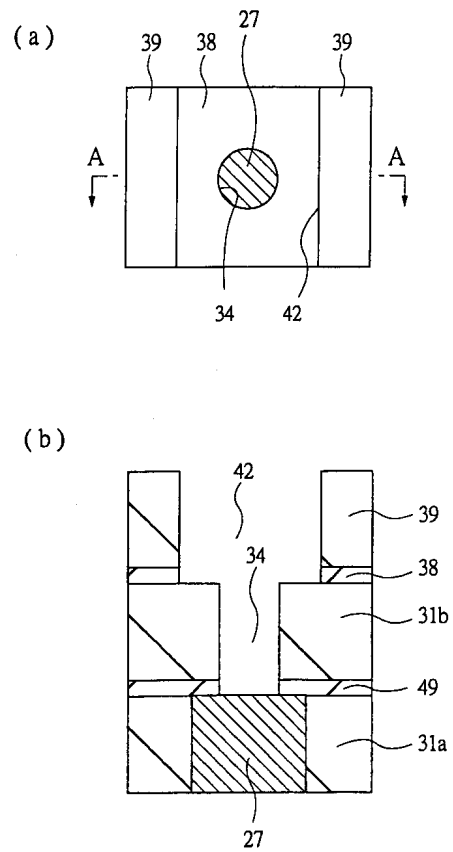
(b)



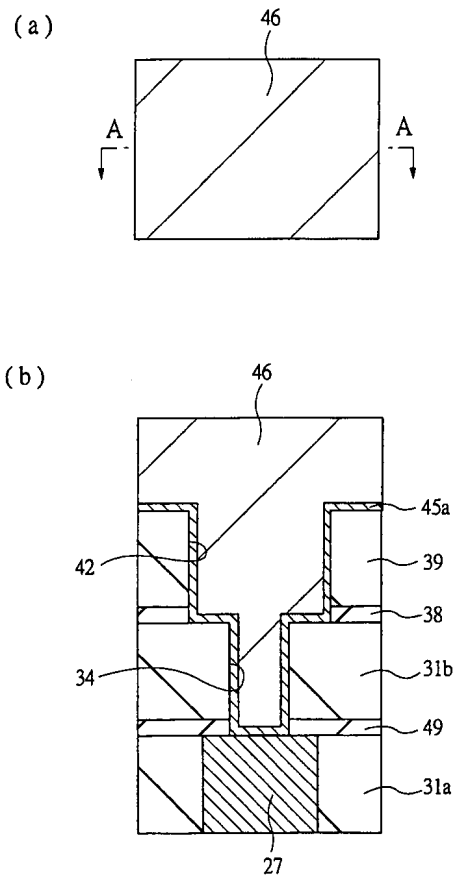
도면72



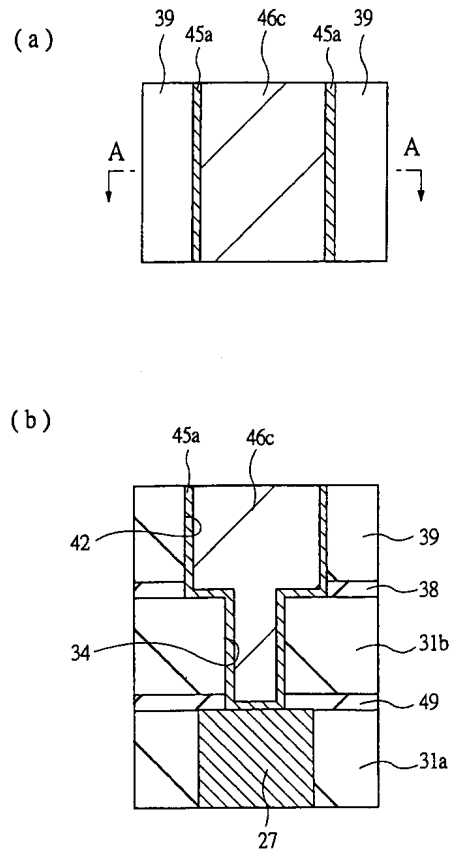
도면73



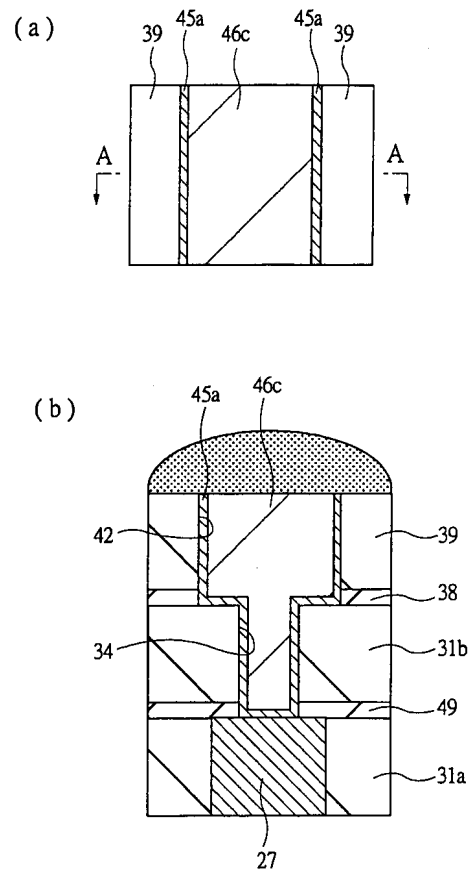
도면74



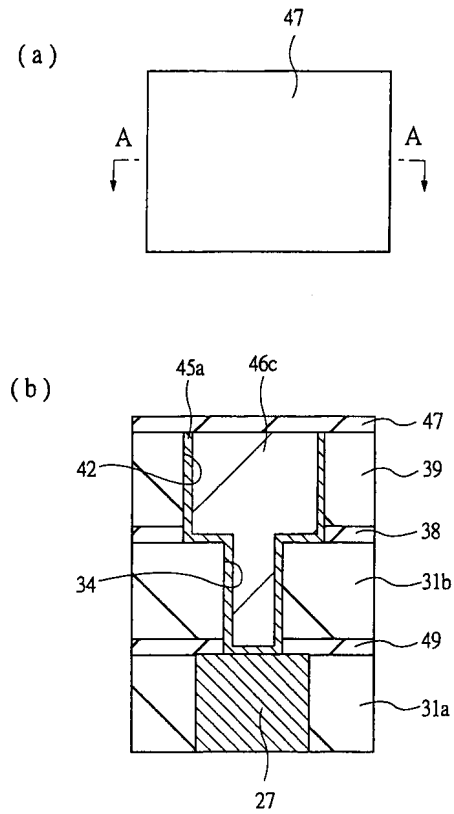
도면75



도면76

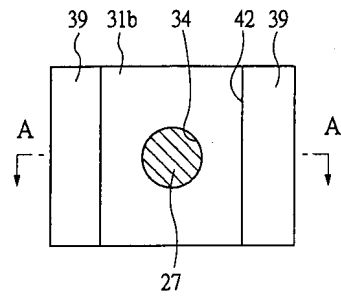


도면77

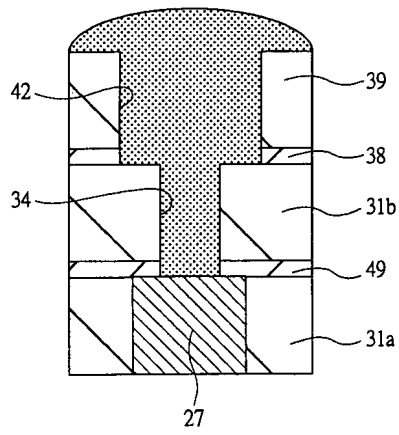


도면78

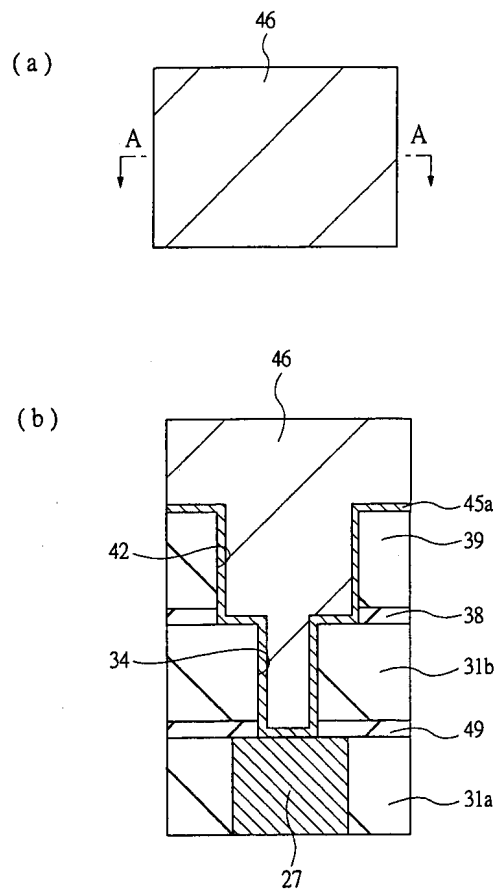
(a)



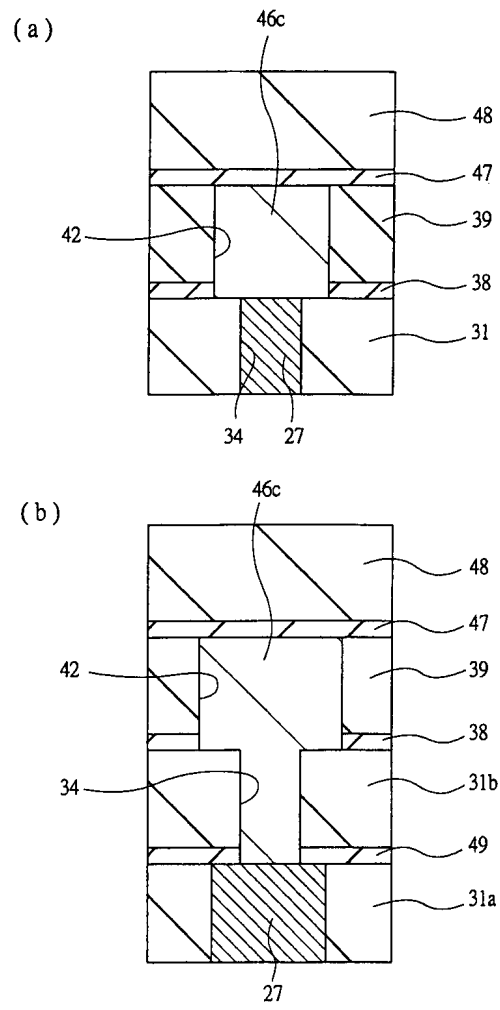
(b)



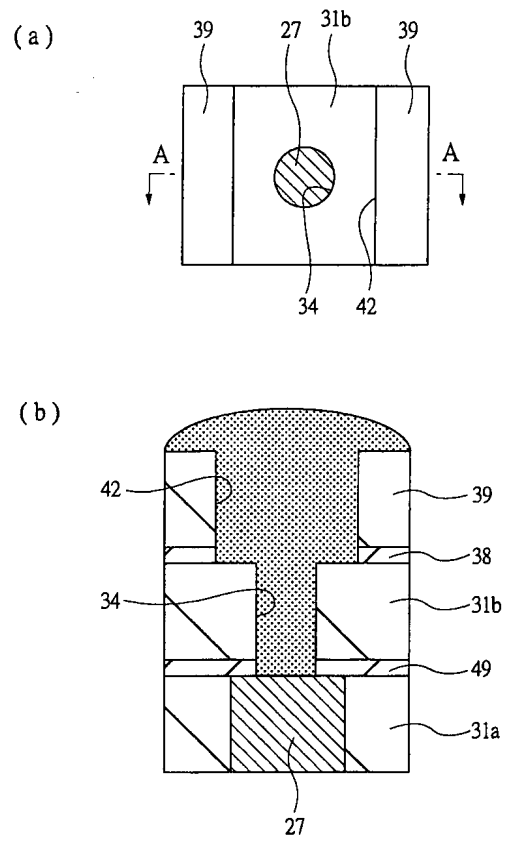
도면79



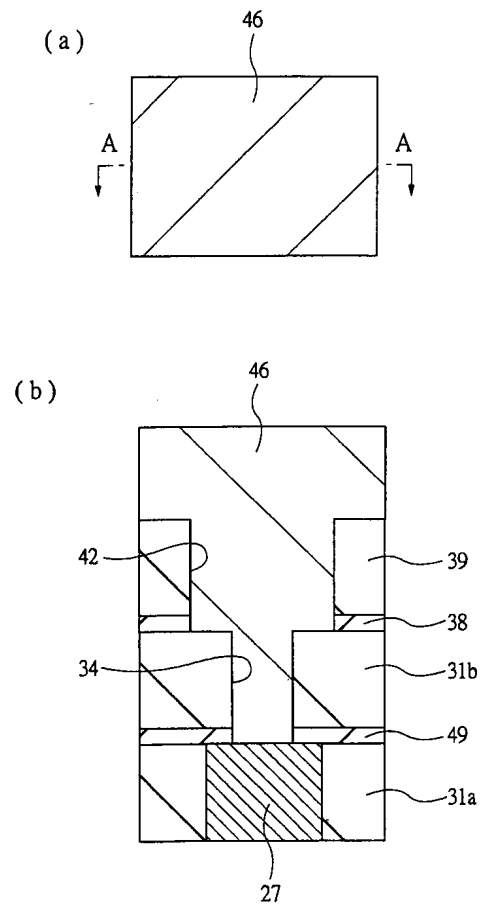
도면80



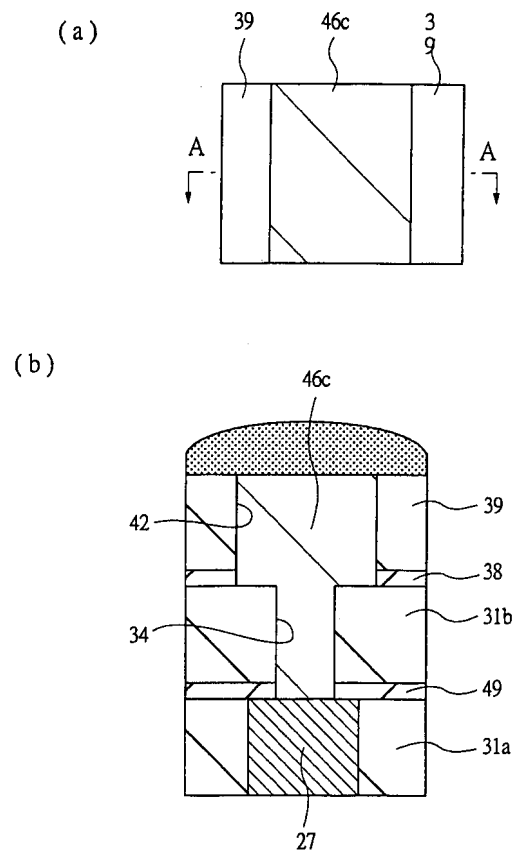
도면81



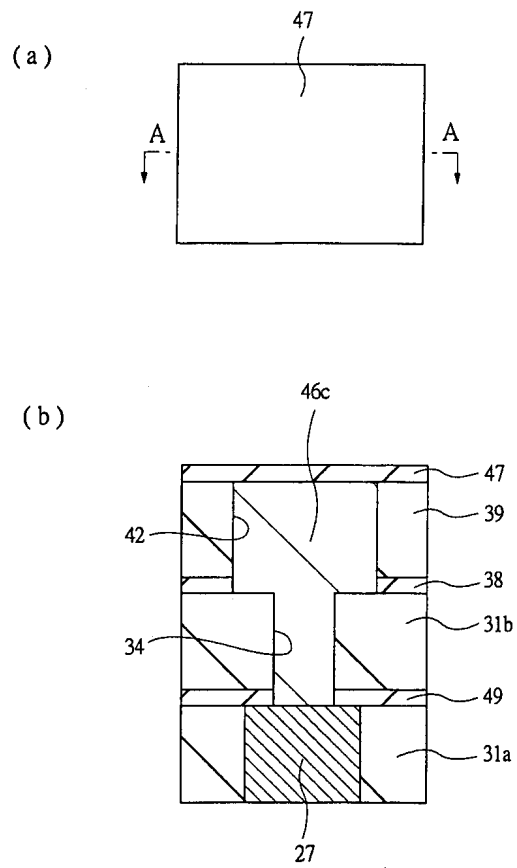
도면82



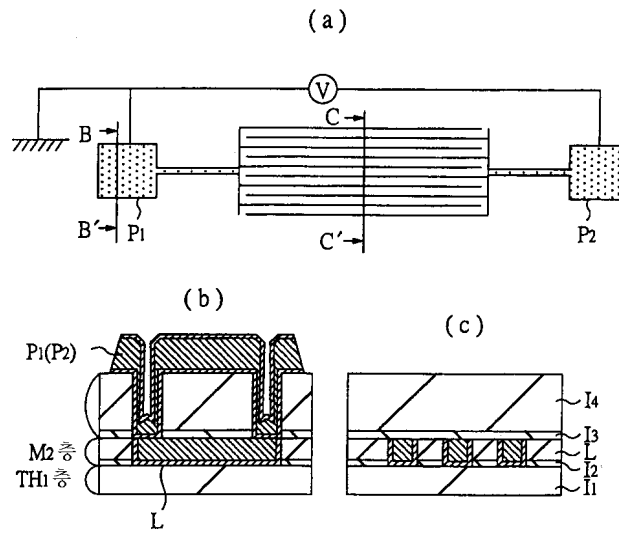
도면83



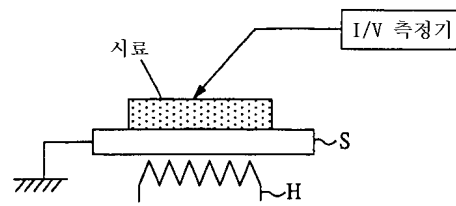
도면84



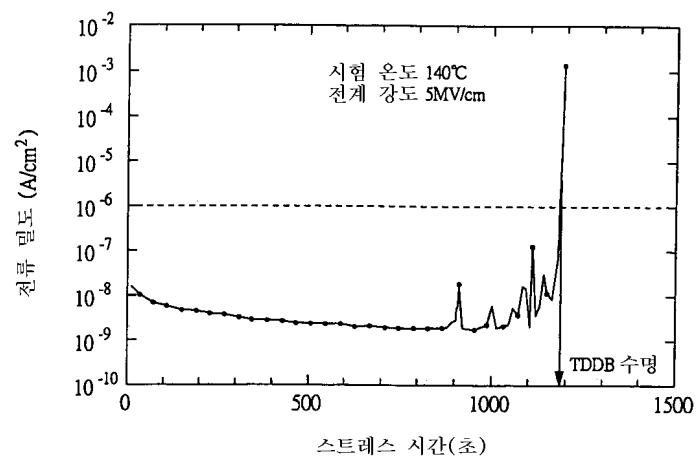
도면85



도면86



도면87



도면88

