

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11B 5/596 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710137949.6

[43] 公开日 2008年8月13日

[11] 公开号 CN 101241708A

[22] 申请日 2007.7.13

[21] 申请号 200710137949.6

[30] 优先权

[32] 2006.7.14 [33] US [31] 60/807,370

[32] 2007.4.30 [33] US [31] 11/742,033

[71] 申请人 美国博通公司

地址 美国加州尔湾市奥尔顿公园路 16215
号,92618-7013

[72] 发明人 威廉·布利斯 沙恩·谢

[74] 专利代理机构 深圳市顺天达专利商标代理有限公司

代理人 蔡晓红

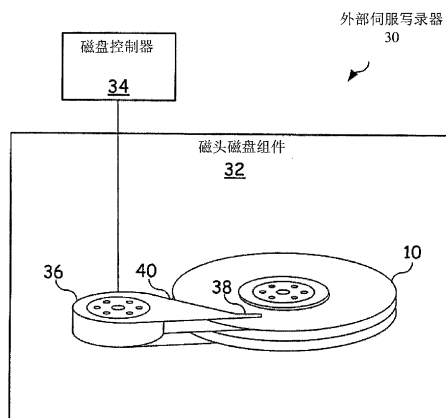
权利要求书 2 页 说明书 21 页 附图 25 页

[54] 发明名称

硬盘驱动控制器及其内部数据处理方法

[57] 摘要

根据本发明的一方面,提供一种锁定硬盘驱动器(HDD)中数据 PLL 频率的方法,包括:接收模拟波形,所述模拟波形包括从物理媒介读取的同步标记的表达;确定硬盘驱动器的物理媒介的同步标记之间的周期;确定相位和频率的更新率,所述更新率基于所述同步标记之间的周期;以及基于所述更新率从模拟波形进行数据采样。



- 1、一种锁定硬盘驱动器中数据 PLL 频率的方法，其特征在于，包括：
接收模拟波形，所述模拟波形包括从物理媒介读取的同步标记的表达；
确定硬盘驱动器的物理媒介的同步标记之间的周期；
确定相位和频率的更新率，所述更新率基于所述同步标记之间的周期；
以及
基于所述更新率从模拟波形进行数据采样。
- 2、根据权利要求 1 所述的方法，其特征在于：
所述数据 PLL 包括 δ - σ 调制器 PLL，其中，伺服 PLL 接收数字词作为输入；
所述伺服 PLL 包括 δ - σ 调制器 PLL，其中，伺服 PLL 接收数字词作为输入。
- 3、根据权利要求 1 所述的方法，其特征在于，所述确定同步标记之间的周期的步骤包括：测量同步标记的到达时间（TOA）之间的周期。
- 4、一种限制硬盘驱动器内内部码元干扰的方法，其特征在于，包括：
从读通道读取评估的位序列，所述评估的位序列包括：导码，同步标记、数据和结束标签；
确定一组允许的位序列；
在所评估的位序列执行定时恢复，以确定评估的位序列的位置；
基于对所述位序列的信息，修剪所述允许的位序列；以及
比较所述评估位序列和所述允许位序列，以选择解码的位序列。
- 5、根据权利要求 4 所述的方法，其特征在于，所述基于评估位序列的信息，修剪允许的位序列的步骤还包括：
基于所述导码修剪允许位序列，所述导码包括预定的位序列；
基于所述同步标记修剪所述允许位序列，所述同步标记包括预定的位序列；
基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列；以及

基于结束标签修剪所述允许位序列，所述结束标签包括预定的位序列。

6、根据权利要求5所述的方法，其特征在于，基于所述导码修剪所述允许位序列的步骤还包括：基于所述导码的奇偶修剪所述允许位序列。

7、一种硬盘驱动控制器，包括：

可从存储媒介读取数据的读通道；

可从所述读通道产生解码的位序列的数据路径；

可将所述解码位序列写入到外部设备的第二接口；以及

所述数据路径能够：

接收评估位序列，所述评估位序列包括导码、同步标记、数据和结束标签；

确定一组允许的位序列；

在所评估的位序列执行定时恢复，以确定评估的位序列的位置；

基于对所述位序列的掌握，修剪所述允许的位序列；以及

比较所述评估位序列和所述允许位序列，以选择解码的位序列。

8、根据权利要求7所述的硬盘驱动控制器，其特征在于，所述数据路径基于评估位序列的掌握，修剪允许的位序列的步骤还包括：

基于所述导码修剪允许位序列，所述导码包括预定的位序列；

基于所述同步标记修剪所述允许位序列，所述同步标记包括预定的位序列；

基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列；以及

基于结束标签修剪所述允许位序列，所述结束标签包括预定的位序列。

9、根据权利要求8所述的硬盘驱动控制器，其特征在于，基于所述导码修剪所述允许位序列还包括：基于所述导码的奇偶修剪所述允许位序列。

10、根据权利要求8所述的硬盘驱动控制器，其特征在于，所述基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列还包括：基于所述数据内的多个数据码字的奇偶来修剪允许位序列。

硬盘驱动控制器及其内部数据处理方法

技术领域

本发明涉及一种硬盘驱动器。

背景技术

硬盘驱动器的结构及其工作方式已经为公众所知。一般而言，硬盘驱动器包括壳体（case）、具有磁力可变特性的硬盘，以及读/写装置。该读/写装置包括读/写（RW）头，读写头可通过局部地（locally）改变硬盘的磁性而将数据写入磁盘，通过读取硬盘局部的磁性而从硬盘中读取数据。硬盘可包括多个盘片，每个盘片都是平面盘。

存储在硬盘中的所有信息都记录在磁道中。磁道是排列在盘片表面的同心圆。图 1 示出了硬盘 10 中呈径向隔开的同心数据磁道 12 的式样(pattern)。可以通过径向移动读写头来访问存储在硬盘中的数据，例如，通过磁头驱动装置（actuator）驱动读写头到包含数据的磁道的径向位置。这种按磁道在硬盘上组织数据的方式，使得可以容易地对磁盘的任何部分进行访问，这就是硬盘驱动器被称为“随机访问”存储装置的原因。

因为每个磁道通常存储着成千上万字节的数据，所以磁道被进一步分成更小的单元，称之为扇区。这就减少了由于小文件而浪费的空间。每个扇区存储 512 字节的用户数据，再加上用于驱动器内部控制以及用于错误检测与纠正的少量字节。

所述磁道以及扇区通常是在对硬盘进行低级格式化（low level formatting, LLF）时创建。低级格式化处理在磁盘上创建物理结构（磁道、扇区、控制信息）。正常的情况之下，该步骤在不包含信息的硬盘盘片上进行。更现代的磁盘使用更加复杂的内部结构，包括分区域比特记录（zoned bit recording）和嵌入式伺服数据，其中分区域比特记录用于在外磁道设置比内磁道更多的扇区，

而嵌入式伺服数据用于控制磁头驱动装置。更现代的磁盘也能透明地屏蔽（map out）坏扇区。由于这些复杂性，出于驱动器的寿命考虑，目前所有的磁盘都在工厂中进行低级格式化。

通常使用外部伺服写录器（writer）来实现低级格式化，在制造过程中，伺服写录器将物理结构写录到磁盘 10 中。通过精确地控制所述外部伺服写录器中的读写头位置，能够精确地设置物理结构的位置。因为外部伺服写录器必须具有高度的位置精确性，因此它已经成为硬盘驱动器制造过程中昂贵的处理瓶颈。

自伺服写录（self servo writing, SSW）尝试克服所述的昂贵的以及耗时的瓶颈。外部伺服写录器将第一磁参考式样（伺服式样(servo pattern)）写录到磁盘的表面上。接着，将磁盘集合到硬盘驱动器中，在硬盘驱动器中首先进行 LLF。在 SSW 中，LLF 是在硬盘驱动器内完成，而不需要使用其他的外部硬件。这种 LLF 使用由外部伺服写录器写入的伺服式样在磁盘上创建物理结构。

SSW 首先使伺服写录器以恒定的速度移动磁头，以从内径（ID）向外（OD）径写入螺旋。这些螺旋是正弦波脉冲和螺旋同步标记（SSM）的重复式样。脉冲用于驱动位置误差信号（PES）。同步标记用于获得定时信息以驱动盘锁时钟（DLC）系统，因此，在盘锁时钟系统锁定时，同步读取螺旋以及写入最终伺服式样。传统上，伺服写录器会在 ID 或者 OD 中写入一定数量的称为种楔（seed wedge）的磁道，以在启动时建立磁道数目和楔数目。

接着，在放置读写头时，固件将追踪磁道书目和楔数目。在读写头不在种楔上之时，伺服写录过程中的任何干扰，都可能导致位置信息的丢失。伺服写过程必须重新开始。同样，种楔至少要与最终伺服式样一样长，可以比最终伺服式样更长以在启动时给予更好质量的样本。使用伺服写录器来写入这些种楔是高成本的，因为这个过程是在写入磁道的无尘室完成的。另外，为了让 SSW 工作，需要获取 DLC 并锁定到磁盘变化上。

在很多 SSW 过程中，读写头的位置可能会从他们的目标位置上偏离。SSW 过程结束后，这种偏离会导致位置误差。此外，因为随后每个径向磁道都基于在先写录的磁道的位置，所以在 SSW 过程中这种位置误差会累积。因

此，应当解决这种位置误差的累积问题，以减少或消除 SSW 过程中累积的位置误差。

比较本发明后续将要结合附图介绍的系统，现有技术的其它局限性和弊端对于本领域的普通技术人员来说是显而易见的。

发明内容

本发明的实施例涉及的系统和方法将在后文以及权利要求书中进行详细描述。通过这些详细描述、附图以及权利要求书，本发明的实施例的优点和特征将变得显而易见。本发明的实施例提供一种适用模拟极点消除器，以及使用功率谱密度测量和平衡、以适应判决反馈基线误差消除器的方法。所述系统包括两个低通功率谱仪表、一个以前置放大器 AC 极点的非常低频的约为 3dB 点为中心，另一个通常比那个频率高少量倍频。控制参数（分别是 AC 零和 DFB 极点）是伺服的，让这两个功率谱相等。判决平衡点可偏向先验，以匹配调制编码的任何已知的功率谱成型，或者预期与 PRML 靶不同的功率频谱等等。

根据本发明的一方面，提供一种锁定硬盘驱动器中数据 PLL 频率的方法，包括：

接收模拟波形，所述模拟波形包括从物理媒介读取的同步标记的表达；

确定硬盘驱动器的物理媒介的同步标记之间的周期；

确定相位和频率的更新率，所述更新率基于所述同步标记之间的周期；

以及

基于所述更新率从模拟波形进行数据采样。

优选地：

所述数据 PLL 包括 δ - σ 调制器 PLL，其中，伺服 PLL 接收数字词作为输入；

所述伺服 PLL 包括 δ - σ 调制器 PLL，其中，伺服 PLL 接收数字词作为输入。

优选地，所述确定同步标记之间的周期的步骤包括：测量同步标记的到

达时间 (TOA) 之间的周期。

根据本发明的一方面，提供一种限制硬盘驱动器内内部码元干扰的方法，包括：

从读通道读取评估的位序列，所述评估的位序列包括：导码，同步标记、数据和结束标签 (postamble)；

确定一组允许的位序列；

在所评估的位序列执行定时恢复，以确定评估的位序列的位置；

基于所述位序列的信息，修剪 (pruning) 所述允许的位序列；以及比较所述评估位序列和所述允许位序列，以选择解码的位序列。

优选地，所述基于位序列的信息，修剪允许的位序列的步骤还包括：

基于所述导码修剪允许位序列，所述导码包括预定的位序列；

基于所述同步标记修剪所述允许位序列，所述同步标记包括预定的位序列；

基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列；以及基于结束标签修剪所述允许位序列，所述结束标签包括预定的位序列。

优选地，所述基于所述导码修剪所述允许位序列的步骤还包括：基于所述导码的奇偶修剪所述允许位序列。

优选地，所述基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列还包括：基于所述数据内的多个数据码字的奇偶来修剪允许位序列。

优选地，所述修剪包括将所述允许位序列的中的未允许位序列按优先次序重新排列为与理想位序列隔开较长距离。

优选地，执行所述定时恢复还包括：

确定所述评估位序列的组块相位 (chunk phase)；以及

确定所述评估位序列的初级组块相位。

优选地，所述评估位序列从硬盘驱动器 (HDD) 的读通道中读取。

优选地，将所述位序列纵向地或者垂直地写入所述 HDD。

根据本发明的一方面，提供一种限制所述硬盘驱动器 (HDD) 读通道的内部码元干扰 (ISI) 的方法，包括：

从读通道读取评估的位序列，所述评估的位序列包括：导码，同步标记、数据和结束标签；

确定一组允许的位序列；

在所评估的位序列执行定时恢复，以确定评估的位序列的位置；

基于对所述位序列的信息，修剪所述允许的位序列；以及

比较所述评估位序列和所述允许位序列，以选择解码的位序列。

优选地，所述基于位序列的信息，修剪允许的位序列的步骤还包括：

基于所述导码修剪允许位序列，所述导码包括预定的位序列；

基于所述同步标记修剪所述允许位序列，所述同步标记包括预定的位序列；

基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列；以及
基于结束标签修剪所述允许位序列，所述结束标签包括预定的位序列。

优选地，所述基于所述导码修剪所述允许位序列的步骤还包括：基于所述导码的奇偶修剪所述允许位序列。

优选地，所述基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列还包括：基于所述数据内的多个数据码字的奇偶来修剪允许位序列。

优选地，所述修剪包括将所述允许位序列的中的未允许位序列按优先次序重新排列为与理想位序列隔开较长距离。

优选地，执行所述定时恢复还包括：

确定所述评估位序列的组块相位；以及

确定所述评估位序列的初级组块相位。

优选地，所述比较评估位序列和所述允许位序列以选择解码位序列的步骤，包括应用维特比算法以产生解码位序列。

优选地，将所述位序列纵向地或者垂直地写入所述 HDD。

优选地，所述结束标签包括具有低 DC 内容的高频位形式。

优选地，所述比较评估位序列和所述允许位序列以选择解码位序列的步骤，还包括：

计算每个允许位序列与理想位序列的距离；

基于所计算的距离加权每个允许位序列；以及
基于每个允许位序列的加权，从允许位序列选择解码位序列。

根据本发明的一个方面，硬盘驱动控制器包括：

可从存储媒介读取数据的读通道；

可从所述读通道产生解码的位序列的数据路径；

可将所述解码位序列写入到外部设备的第二接口；以及

所述数据路径能够：

接收评估位序列，所述评估位序列包括导码、同步标记、数据和结束标签；

确定一组允许的位序列；

在所评估的位序列执行定时恢复，以确定评估的位序列的位置；

基于对所述理想位序列的信息，修剪所述允许的位序列；以及

比较所述评估位序列和所述允许位序列，以选择解码的位序列。

优选地，所述数据路径基于位序列的信息，修剪允许的位序列的步骤还包括：

基于所述导码修剪允许位序列，所述导码包括预定的位序列；

基于所述同步标记修剪所述允许位序列，所述同步标记包括预定的位序列；

基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列；以及

基于结束标签修剪所述允许位序列，所述结束标签包括预定的位序列。

优选地，基于所述导码修剪所述允许位序列还包括：基于所述导码的奇偶修剪所述允许位序列。

优选地，所述基于所述数据中的至少一个数据码的奇偶来修剪所述允许位序列还包括：基于所述数据内的多个数据码字的奇偶来修剪允许位序列。

优选地，所述数据路径修剪通过将所述允许位序列的中的未允许位序列按优先次序重新排列与理想位序列隔开较长距离。

优选地，通过应用维特比算法以产生解码位序列，所述数据路径比较评估位序列和所述允许位序列，以选择解码位序列。

优选地，将所述位序列纵向地或者垂直地写入所述 HDD。

优选地，所述结束标签包括具有低 DC 内容的高频位形式。

优选地，所述比较评估位序列和所述允许位序列以选择解码位序列的步骤，还包括：

计算每个允许位序列与理想位序列的距离；

基于所计算的距离加权每个允许位序列；以及

基于每个允许位序列的加权，从允许位序列选择解码位序列。

附图说明

下面将结合附图及实施例对本发明作进一步说明，附图中：

图 1 是在磁盘的磁介质中沿径向隔开的同心数据磁道的式样；

图 2 是外部伺服写录器的系统示意图；

图 3 是具有由外部伺服写录器写入的第一磁式样的硬盘的示意图；

图 4 是螺旋参考式样；

图 5 示出了所检测的信号的振幅在读路径与螺旋磁道交错时如何变化；

图 6 描述了根据本发明的一个实施例，如何将灰阶编码（也就是磁道号信息）嵌入到螺旋磁道中；

图 7 描述了根据本发明的一个实施例在橄榄球（football）内定位包含灰阶编码信息的回读信号；

图 8 描述了根据本发明的一个实施例，包含灰阶编码信息的临近磁道。

图 9 描述了根据本发明的一个实施例的指示灰阶编码信息的位式样；

图 10 描述了根据本发明的一个实施例的硬盘驱动器，其包括控制电路、硬盘、致动器、RW 头和定位臂；

图 11 是根据本发明的一个实施例的磁盘控制器的功能模块图；

图 12 是根据本发明的一个实施例中用于定义磁媒介中的磁参考式样的方法流程图；

图 13 是根据本发明的一个实施例的用于定义磁媒介中的扇区和磁道的逻辑流程图；

图 14 是根据本发明的一个实施例的主轴变调出局消除 (spindle frequency run-out cancellation) 模块的功能模块图;

图 15 是本发明的一个实施例的具有前向反馈的主轴变调出局消除模块的功能模块图;

图 16 描述了根据本发明的一个实施例的如何旋转矢量的示意图;

图 17 是本发明的一个实施例的表格;

图 18 是根据本发明的一个实施例的 $N \times FF$ 的识别函数 (learning function) 图;

图 19 是根据本发明的一个实施例的 $N \times FF$ 的函数图;

图 20 是根据本发明的一个实施例的基线纠正 (BLC) 架构的示意框图;

图 21 是根据本发明的一个实施例的判决反馈均衡器的示意框图;

图 22 是根据本发明的前向反馈滤波器的示意图;

图 23 是根据本发明的一个实施例的误差反馈模块的示意图;

图 24 是根据本发明的一个实施例的零偏移开始的示意框图;

图 25 是根据本发明的一个实施例的基线纠错模块或者伺服的示意框图。

具体实施方式

附图中示出了本发明的优选实施例, 在各幅附图中, 相同的附图标号表示相同或相应的零部件。

现有技术不支持 RRO 消除或者高主轴频率, 因为伺服系统在前向反馈应用控制效果来纠正高主轴频率出局时, 会变得不稳定。本发明的实施例包括保持系统的稳定性的相位旋转器。本发明允许系统设计者选择八个相位中的一个相位来旋转相位, 即 0, 45, 90, 135, 180, 225, 270 或者 315°。

前向反馈消除已经用于消除硬盘驱动器的重复出局 (Repeat Run-out), 不需要旋转所识别 PES 的相位。随着硬盘驱动器的 RPM 和 TPI 变得更高, 系统设计者需要增加所应用的消除的频率。例如, 需要达到主轴马达运行频率的 8 倍甚至更高。为了使主轴频率 RRO 前向反馈消除系统以较高的频率工作, 系统设计者需要在前向反馈消除算法或者在前向反馈硬件中添加相位旋转,

以保持伺服系统的稳定性。但是，相位旋转需要很多乘法和加法操作（参考附件的等式 1）。本发明提供一种实现相位旋转而不做乘法的方法（参考附件的等式 2a、2b）。因此，本发明降低了固件实现时所用的微处理器执行时间。或者，本发明减少了使用硬件实现时的 HW（硬件）乘法器。因此，本发明降低了系统的成本和能耗。

通过使用速率和相位差对读写头进行定位，磁盘控制器控制读写头相对于第一磁参考式样的速率与相位（即位置）。这种定位方式减少或消除了现有技术在进行 SSW 处理时出现的累积位置误差。这种位置误差的减小或消除使得能够在硬盘中以更高的质量定义物理结构（即，磁道与扇区），最终能达到低成本、高产出。

图 2 是外部伺服写录器 30 的系统示意图。外部伺服写录器 30 包括磁头磁盘组件（head disk assembly）32、磁盘控制器 34、驱动装置 36，以及位于支撑臂 40 末端的读写头 38。磁盘控制器 34 能确定将要写到磁盘 10 的第一磁参考式样（伺服式样）。结合使用准确的定位系统，磁盘控制器 34 能引导读写头 38 在磁盘 10 上的定位，所述准确定位系统包括但不限于激光导向定位系统。本发明的实施例不需要种楔。种楔通常包括位置信息。通过将位置信息（也就是说，磁道数）放置在螺旋同步标记（SSM）中，可以减少精确伺服写录过程中在无尘室的时间和成本。同时，在伺服写录过程中出现任何干扰，也可以容易地恢复磁道数目和楔数目，让系统返回到锁定状态以及让伺服写录过程继续进行。这消除了现有技术的需要重新开始一切的缺陷。另外，这个过程是有效的格式化，不需要在螺旋上写入额外的式样。可通过调节硬件和软件检测参数来任意地调节处理的精确度。

本发明的实施例使用两个或者更多个 SSM 来表示磁道数目和索引位置。在某种意义上，本发明是相当灵活的：如果只有两个 SSM 可用，依然将索引位置编码到每个磁道上。如果多个 SSM 可用，就使用这些 SSM 专有的标记磁道中心和索引位置。因为每个磁道上可写入多个磁道号，磁道号上可使用检错码，从而改善了容错。这是可以实现的，因为写入这些额外信息不需要格式化开销。在读写头从一个磁道到另一个磁道进行寻找时，是可以进行准确

的磁道号追踪的，因为可以对与临近磁道的磁道号进行灰阶编码，如参照图 8 和图 9 所描述。

图 3 是具有由外部伺服写录器 30 写录的第一磁参考式样 20 的磁盘 10 的示意图。在图 3 中，所示第一磁参考式样 20 为多个螺旋 22，每个螺旋上包括多个伺服定位标记（servo setter mark, 简称 SSM）24，如图 4 所示。这种式样可以由内径 26 写录至外径 28，也可以由外径 28 写录至内径 26。

对每一种螺旋式样 20 以及每种螺旋式样的斜率进行选择，使得与写入如图 1 所示的一组完整的同心磁道所需的时间相比，外部伺服写录器能在更短的时间内处理磁盘 10。此外，螺旋参考式样 20 的选择应当避免或者应当减小将螺旋参考式样或其他第一磁式样写录到磁盘 10 的过程中所固有的位置误差。可将磁盘 10 从外部伺服写录器 30 中转移到传统硬盘驱动器 50 中以在磁盘上创建如图 1 所示的物理结构（即，磁道和扇区）。

很多 SSW 过程使用时钟或者定时电路来比较螺旋之间的橄榄球到橄榄球（缩写为 FTF）时间，其中，可能会由于螺旋和 FTF 之间的预期时间的误差而产生位置误差。这需要精确的时钟电路来提供用于检测定时误差的定时信号。本发明的实施例测量 FTF 和表示相位差的磁道中心误差（TCE），因此不需要时钟电路。只要知道硬盘上的螺旋伺服式样，速度信号和相位误差信号组合后允许硬盘控制器精确地确定 RW 头的位置。

图 5 和图 6 描述了当读路径 60 横穿螺旋磁道 20 时被测量的各种定时组件。因为读写头沿着读路径 60，所以读路径 60 与写录在磁盘上的多个螺旋磁道 20 交叉。读写头检测到的信号的振幅如检测信号 62 所示。在读路径与螺旋磁道交叉之前，检测信号 62 的振幅是最小值或者极小值（nominal value）。在读路径 60 与螺旋磁道 20 交叉时，检测信号 62 的振幅增加，直到读路径全部位于螺旋磁道之上。这时候，检测信号的振幅将达到最大值。该最大值将继续保持，直到读路径覆盖螺旋磁道的部分减少。在这段时间内，检测信号 62 的振幅恢复到最小值或者极小值。检测信号 62 的这些振幅变化在图 8 中所示的读路径与螺旋磁道交叉的下方的时间图中示出。检测信号 62 的振幅形成钻石或类似橄榄球的形状 64。

为确定与读路径有关的相位误差，确定磁道中心误差（TCE）是很重要的。所述磁道中心误差是指在读路径与螺旋磁道交叉时形成的钻石或类橄榄球状 64 的中心与螺旋磁道上的 SSM 之间在时间上与位置上的差。理想的情况之下，应该在钻石或类橄榄球形状 64 的中心检测 SSM。图 5 提供一种显示检测信号 62 的振幅的时间图，其中，在读路径 60 与一系列螺旋磁道 20 交叉时，形成了多个钻石或类橄榄球形状 64。在这些螺旋磁道之内的是 SSM 24。这些 SSM 提供用于确定相位误差的额外信号。这一相位误差就是钻石或类橄榄球形状 64 的中心位置与检测到的 SSM 的位置之间的差。

本发明的一个实施例中使用简单的、稳健的、灵活的方法来记录与检测磁道号以及索引位置，没有格式化开销，以提高 SSW 的效率。典型地，每个楔（wedge）到楔之间，有两个螺旋。因此，螺旋的数目是楔数目的两倍。读写头通常检测和锁定偶数组的螺旋或奇数组的螺旋，并在适当时候在两者之间切换。当磁道上的读写头与螺旋交叉时，回读信号（read back signal）看起来像橄榄球形状的轮廓，如图 5 所示。通常，在一个橄榄球轮廓内，有多个 SSM 和螺旋脉冲。

图 6 中，指定两种 SSM 式样用于表示“1”（SAM1）和“0”（SAM0）。每个螺旋上用 1 比特记录磁道号。偶数组和奇数组的 N 个螺旋上记录了 N 比特的磁道号。因此，不管磁头使用哪组螺旋，都能读取磁道号。如图 7 所示，在橄榄球 64 中心的 SSM 显示磁道号比特是“1”或“0”。即使磁头有一些偏离磁道，邻近的 SSM 仍然可以被正确地读取。当存在三种可用的 SSM 式样时，将其中两种 SSM 式样指定为“1”（SAM1）和“0”（SAM0），并将该两者写入到磁道中心。第三 SSM 称为 SAMx，将其写入到除磁道中心以外的所有位置中。在橄榄球中心的 SSM 指示磁道号比特是“1”或“0”。如果磁头与磁道有一定量的偏移，SAM1 或 SAM0 式样将在橄榄球中前移或后移，但它依然能正确地指示磁道号比特。这种方案的优点是标记了磁道中心，以及在回读橄榄球信号中，可根据 SAM1 或 SAM0 到橄榄球中心的距离来计算读写头与磁道的偏移量。这使得定时误差的计算更简单，因为使用 SSM 来产生定时误差信号是清楚且准确的。

为了精确地知道磁道号的第一比特在哪里，记录磁道号之前的开始式样。图 8 和图 9 示出了这种开始式样，图 8 描述了本发明的一个实施例中用于表示灰阶编码信息的比特式样，而图 9 描述本发明的一个实施例中包含灰阶编码信息的临近磁道。这种位于索引区的开始式样设计为无效的磁道号，且绝不在灰阶或磁道号区域中出现。在一个实施例中，选择 41 个比特（40 个“1”和 1 个“0”）的式样作为开始式样，因为磁道号决不超过 40 个比特。如果前面的 SSM 是可用的，可将它用作索引标记以指示角坐标；如果前面的 SSM 不可用，就使用 42 比特的开始式样（41 个“1”和 1 个“0”）作为索引式样。

可将邻近的磁道号进行灰阶编码（gray coded），使当磁头从一个磁道到下一个磁道进行搜寻时，至多存在一个磁道号比特错误。通过读取单个磁道上的额外的磁道号或者通过使用在先磁道的磁道号，能够容易地纠正单个比特误差。每四个磁道就在径向方向上排成一列。对于组成一组的四个磁道，第一磁道和第二磁道的灰阶编码磁道号与第二磁道和第三磁道的灰阶编码的磁道号以相同方向排列。第三磁道和第四磁道的灰阶编码的磁道号以相反方向排列。净效应就是从内径到外径，所有的磁道号都位于从 ID 到 OD 的相同带上。这使得索引式样的写入和读取变得容易。

在磁道号比特标准上，可优化 SSM 的长度和 SSM 硬件检测公差（detection tolerance）以交替使用错误检测（false detection）与遗漏检测（miss detection）。对于所有的磁道号，可应用奇偶校验码或者纠错码例如汉明纠错码（Hamming code）来加强磁道号检测的稳健性。可在每个磁道写入多个磁道号，因此系统能够通过使用这些冗余信息来提高稳健性。

图 10 描述了硬盘驱动器 50。硬盘驱动器 50 包括硬盘控制器 52、硬盘（磁性媒介）10、驱动器 54、RW 头 56 和定位臂 58。如图 6 所示，硬盘控制器 52 包括接口模块 61、处理模块 63 和存储模块 65。硬盘控制器 52，可以以集成电路或者一系列离散组件实现，与主计算机系统连接，并指导硬盘驱动器 50 内的内部组件的运行。

处理模块 63 可以是单个处理设备或者多个处理设备。这种处理设备可以是微处理器、微控制器、数字信号处理器、微计算机、中央处理单元、域可

编程门阵列、可编程逻辑设备、状态机、逻辑电路、模拟电路、数字电路和/或基于操作指令处理信号（模拟的和/或数字的）的任何设备。存储模块 65 可以是单个存储设备或者多个存储设备的形式。这种存储设备可以是只读存储器、随机存取存储器、易失性存储器、非易失性存储器、静态存储器、动态存储器、闪存、高速缓存和/或能够存储数字信息的任何设备。要注意，当控制器 52 通过状态机、模拟电路、数字电路和/或逻辑电路实现它的一个或多个功能时，存储对应的操作指令的存储器可嵌入到或者外接到包含所述状态机、模拟电路、数字电路和/或逻辑电路的电路中。处理模块 63 存储和执行与图 10 和图 11 中所示的至少一些步骤和/或功能对应的操作指令。

硬盘控制器 52 可响应第一磁参考式样 20，计算 RW 头 56 相对于圆形轨道的位置误差，所述第一磁参考式样 20 包括磁道号信息。更具体地，控制电路 52 通过发送 RW 头 56 相对于第一磁参考式样中的 SSM 24 的速度和相位，能够确定 RW 头 56 的位置。这种方法中，硬盘驱动控制器产生 FTF 误差信号和 TCE 信号。这两个信号提供用于控制 RW 头 56 相对于 SSM 24 的反馈信号。从而能够或者容易使 RW 头 56 相对于第一磁式样精确定位。因此这种方法在定义第二次参考式样时使用第一参考式样的 SSM 来定位 RW 头 56，从而避免了位置误差的累积，降低或者消除了对种楔的需求。在 SSW 过程中基于在先写入的伺服磁道定位 RW 头时，就会出现位置误差的累积。在 SSW 过程中基于 SSM 来定位 RW 头，减少或者消除了 SSW 过程中 RW 头的位置误差，使伺服轨道在驱动器上更精确地定位，这从根本上导致了以更低的成本产出更高质量的终端产品。

图 12 是根据本发明的一个实施例的逻辑流程图。该流程包括，首先在步骤 102 中使用伺服写录器写入第一磁参考式样，例如包含灰阶编码的 SSM 的螺旋参考式样。在伺服写录器中向硬盘写入这种第一磁参考式样之后，在步骤 104 中，将硬盘转移到硬盘驱动器中。在步骤 106 中，硬盘驱动器中的控制电路或者硬盘控制器将识别出该第一磁参考式样和磁道位置，因为它们由灰阶编码的 SSm 标记。控制电路能够基于第一磁参考式样引导硬盘驱动器中的 RW 头定位。步骤 108 中，例如，第一磁参考式样是螺旋参考式样，其包括

多个 SSM 标记，这些 SSM 标记将用于精确地确定 RW 头相对于硬盘的位置。步骤 110 中，硬盘驱动器中的 RW 头用于向硬盘写入第二磁式样。第二磁参考式样可包括一系列径向隔开的同心磁道以及磁道中的扇区。

向磁盘写入第二磁参考式样的时候，可基于 RW 头和第一磁参考式样的 SSM 之间的速度和相位确定 RW 头的位置。第二磁参考式样定义硬盘中的扇区和磁道，硬盘的扇区和磁道中可存储和组织数据。此外，在这个过程中，第二磁参考式样可覆盖第一磁参考式样。如果在伺服写入最终式样的过程中出现误差或者干扰，可以容易地还原磁道号和楔号，因此，可通过确定灰阶编码的 SSM 的位置，继续进行伺服写入过程。本发明是有效的格式化，因为它不需要在螺旋中写入额外式样。

图 13 提供第二个用于定义磁盘中的扇区和磁道的处理步骤流程图。在步骤 122 中，使用伺服写录器将螺旋参考式样写录到磁盘上。步骤 124 中，将该磁盘从伺服写录器中转移到硬盘驱动器中。步骤 126 中，硬盘驱动器中的磁盘控制器用于识别所述的螺旋参考式样和灰阶编码的 SSM。步骤 128 中，硬盘驱动器中基于读写头与螺旋参考式样中的 SMM 之间的相对速率和相位，查找和引导读写头在硬盘驱动器上的位置。步骤 130 中，通过精确地定位读写头，将扇区和磁道写录到磁盘中。在该写录过程中，基于读写头与第一磁参考式样之间的速率与相位，确定读写头的位置。这避免了与之前 SSW 过程关联的误差累积，在 SSW 过程中，基于之前定义的扇区和磁道确定后面的扇区与磁道的位置。

一种透明的行业标准已经设定了前置放大器 AC 耦合的最大极点频率（高通滤波器缩写为 HPF）为 $F_{data_min}/100$ 。要注意，因为这个规定要应用到驱动器 ID 上，以及 OD 数据速率通常比 ID 速度快 80%，所以最坏的情况是 OD 显著空闲。人们可能想到，为一类产品制造前置放大器，特定的 HDD（硬盘驱动器）的 F_{data_min} 很可能比前置放大器的更高。人们也可能认为，前置放大器的 HPF 功能由单个极点贡献的，以及与前置放大器相比，读通道能实现比最坏情况下的 HPF 低 10 倍（所以，为 $\leq F_{data_min}/10,000$ ）。所以，前置放大器的单个极点的优势不是模糊的。

本发明的实施例充分地满足了 BLCC（基线控制码）和 BLCE（基线控制电子）完整的系统中获得 $\leq 0.15\text{dB}$ 的损失的需求，即使在最坏的情况下，前置放大器极点为 $F_{\text{data}}/1000$ 和夸张的高 BER（暂定为 $\text{BER}=e^{-2.5}$ ）的情况。（首先要注意，DC 靶的增益在第一处仅仅是 1dB ）。另外，本发明的实施例充分地满足了为达到合适的更低的前置放大器极点的更少损失的需求。最后，本发明的实施例充分地满足了“处理”比“最坏的情况”还坏的情况： $F_{\text{data}}/500$ 的需求。这是一种防止前置放大器开发问题的一种保证。

图 20 提供了根据本发明的实施例的基线纠正（BLC）架构的示意图。本系统解决方案是降低前置放大器极点。因为我们不能依靠这种降低会很快发生，但是我们可以追求模拟前端的“极点消除器”。

对于 $F_{\text{phf}}=F_{\text{data}}/1000$ ，如果存在相当长的延迟，误差反馈（Error Feedback）会无效，只有判决反馈（Decision Feedback，缩写为 DFB）能大体上满足上面所述的需求。随着极点变为约 $F_{\text{data}}/4000$ 左右，误差反馈就能充分满足上述的需求。

对于 $F_{\text{data}}/1000$ 也一样，即使是 DFB 也需要低频补偿滤波器（boost filter），以充分地满足上述的需求。

对于 DFB 系统，模拟（外环）和数字的（VA 周围的内环）将需要小心的去耦，这要求校准模拟+FIR DC 增益。

对于 DFB 系统，反馈模块的极点必须校准。

模拟偏移（基线纠正）注入点必须在 MRA 之前，因为即使基线的很小的误差也会显著影响 MRA 的纠正。

图 21 是根据本发明的判决反馈均衡器的示意框图。判决反馈（DFB）均衡器的基本概念是修剪等效模拟高通滤波器带来的误差的“长尾”。反馈滤波器是前置放大器带通附带的 IIR 滤波器，它是低通滤波器，在相同的位置具有极点。

DFB 的实际不足是模拟环周围具有很长的延迟（估计 ≥ 45 位），甚至具有初期决策的 DDNP-VA 的“短环”的也是相对较长，估计 ≥ 25 位。环潜伏时表示为 L_v ，可清晰地看到，不能使用 DFB 来消除“误差尾”的第一 L_v-1 元素（但

是第一尾元素需结合到 PR1 靶或者 PR 靶)。要注意，反馈滤波器可以是简单的 IIR 滤波器，但是现在调整为增益 $g1 = \exp(-L/\text{Tau})$ ，其中，Tau 是单位延迟中等效 HPF 的时间常数。

寄存器：

BLC_DFB_RD_EN	[1:1]	RW	BLC DFB READ ENABLE
BLC_DFB_SV_EN	[5:5]	RW	BLC DFB SERVO ENABLE
BLC_DFB_RD_GAIN	[11:0]	RW	BLC DFB READ GAIN ($dc_target * w * (1 - w * Lv)$)
BLC_DFB_SV_GAIN	[23:12]	RW	BLC DFB SERVO GAIN ($dc_target * w * (1 - w * Lv)$)
BLC_DFB_FB_RD	[9:0]	RW	BLC DFB READ FEEDBACK GAIN
BLC_DFB_FB_SV	[19:10]	RW	BLC DFB SERVO FEEDBACK GAIN

3、具有 DFE 的前向反馈滤波器（低频补偿）

图 22 是根据本发明实施例的前向反馈滤波器。

DFE 设计的容易理解的部分是共同优化前向反馈滤波器（FFF）以及判决驱动的反向滤波器（只有其中一者被认为是上述的反向滤波器）。在一种情况下，人们可以在选择 FFF 时没有太多的自由，因为实施例会努力击中短 PR 靶，以输入 DDNP-VA。也就是说，判决不是像传统的 DEF 那样使用切片器 (slicer) 形成的，而是使用 DFE “清除” PR 系统。

为了简明，我们可以假定正常的 FIR 获得了对于想要的短靶（例如，PR1）的接近于 0 的强制均衡化，另外，具有预期的 HPF 尾。要注意，必须小心自适应的 FIR 误差信号，以实现此目的（否则，FIR 可能尝试消除尾的影响范围）。接着，我们能够解决 FFF，FFF 在上面指定的 DFB、延迟 L 的情况下将 VA 的干扰最小化。

用于这种情况的 FFF 滤波器通常是 IIR，要不是合理的低极点和/或短的 DFB 延迟，滤波器可以近似为有限滤波器。

对于一种情况，FFF 可以近似为理想响应的第一 L-1 反应，其中

$$Fff(k) = 1 * \delta(k) + 2 * \pi * Fhp * [u(k-1) - u(k-L)]$$

这种滤波器可以使用 IIR 滤波器相对便宜地实现，极点在 $z=1$ （不稳定），由 $1 - D^L$ 输入（要注意，没有舍入和去尾，让 0 的输入网络恰好消除不稳定的极点）。

我们可以预期到，如果先验 (apriori) 的单个 (主流的) 极点模型是正确的 (因为 BER 驱动的 DFB 将足够低)，为“标准极点”在 1/1000 组合 FFF 与 DFB，能够实现最接近的优化。

4、误差反馈

图 23 是本发明的实施例的误差反馈模块的示意图。

误差反馈 (EFB) 是单个环，有关的误差信号 (估计的 DC 偏移=这里的基线误差) 在这里集中和反馈。

数字 EFB 是传统的具有判决引导的取样误差的积分控制环。“取样误差”和将要反馈给 ALL LOOP 的误差梯度的“初级判决”是相同的 (时间、增益、MRA、FIR/适用目标)。“靠近环”的自然点是在 VA 的输入端插入 EFB 校正。

EFB 主要优于 DFB 的地方是对先验信号模型 (未示出) 不敏感。

主要的缺点是，EFB 能力有限，因为随着带宽的增加，噪声会增强。在一个情况中，环的长延迟使得可达到的带宽很低。

DFB 方法具有固有的优点，它们使用基线误差的先验模型 (来自单个极点)。这在评估和检测理论上有着相同的趋势，为了优化性能，需要充分使用这种先验模型 (如果信息是错误的，性能将受到很大影响)。

EFB 是由以下原因推动：

- 1、作为 DFB 的混杂，用于处理残留的不完美的先验信息。
- 2、处理模拟中的接近几乎静态的偏移。
- 3、如果模拟有效极点比“标准”1/1000 更低，就作为更简单的解决方案。

对于 u_{efb} ，我们需要两个设置：一个用于获取，一个用于追踪。更高级的设置用于获取。最大的设置是接近于 $BW=1/(2^6)/(2*\pi)=0.0025=1/400$ 。为了减少在“获取”过程的延迟，在导码中的判决不来自维特比，而是来自导码检测。

零偏移开始 (ZOS)：

图 24 是本发明的实施例的零偏移开始的示意图。

在导码中，ADC 采样用于得到偏移的初始估值。所用的 ADC 样本的数量是 8。为了不干扰时间环的 ZPS，我们可以收集与 ZPS 所用的相同的 ADC 样本，

并同时更新 EFB 累积器。

平均值乘以 $DC_FIR = \text{sum}(\text{FIR 叩})$ 和 $DC_FFF = 1 + Lv * w$ 。最终的值加载到累积器： $BLC_EFB_RD_INIT_GAIN$ 。累积器是 $RW.BLC_ZOS_RD_EN$ 使 $ZOS.BLC_EFB_RD_INIT_MODE$ 从用户设计的值或者现在的部分给出初始值。

$DC_FIR = (\text{FIR 系数})$ 的总和，混合到 s8.6。

$DC_FFF = 1 + w * Lv$, u8.8

$\text{Offset_gain_adj} = DC_FIR * DC_FFF$

EFB 到模拟

这里，我们可以向 EFB 的构思增加细节，尤其是数字 EFB 和应用到模拟的 EFB 的联系。

下面的理论是，通过具有最短延迟的环，数字环（可在 20-25Baud 延迟时评估），可以获得最好的 EFB。但是该环的网带宽将相对低。我们能够使用环信息来帮助模拟，尤其是帮助 MRA 校正，以及放弃任何的静态模拟偏移误差，或者其他任何的相对的“慢移动”的基线或者偏移。

这里，“大跳跃”是将理想的纠正（合适的比例缩放）应用到模拟前端，以及在数字 EFB 环之前同样减去它。因此，数字 EFB 可以达到它的能力，而模拟已经得到“尽可能多”的帮助。

在噪音环境中，具有延迟 >20 的数字 EFB 将以时间常数 >100 Baud 运行。模拟 EFB 插入偏斜到 20 Baud 的事实将具有网络小效应。

DC 增益的第一约束是，我们希望应用到模拟的 EFB 校正和应用到数字的 EFB 具有相同的相对振幅。通过定义，数字 EFB 应用的量级是 1（EFB 累积器添加到 V/A 输入）。这得到与该路径匹配的“环增益”约束：

$$G_{\text{off}} * G_{\text{dac}} * G_{\text{mca}} * G_{\text{fir}} * G_{\text{ff}} = 1$$

其中， G_{ff} 是前向反馈滤波器的 DC 增益（FIR 和 VA 之间），所以

$$G_{\text{off}} = 1 / (G_{\text{dac}} * G_{\text{mca}} * G_{\text{fir}} * G_{\text{ff}})$$

在进入“数字 EFB 环”之前，必须减去插入到模拟的 EFB。（要注意，模拟 EFB 不是真正的环，而是数字 EFB 的副本，该副本不会影响数字 EFB）。我们可以选择在 FIR 的输出端（不是在 FF 的输出端）插入所述减去操作，因为

这会导致应用的简化，以及因为它是一个比 FF 的输出端更好的地方。这种所减去插入的增益表示为 G_s ，为了得到完成的减去，我们必须：

$$G_{off} * G_{dac} * G_{mca} * G_{fir} = G_s, \text{ 所以}$$

$$G_s = 1/G_{ff}$$

FF 滤波器的增益是

$$G_{ff} = 1 + w * L_v, \text{ 所以我们得到}$$

$$G_s = 1/(1+w*L_v) \sim 1-w*L_v$$

所述减去插入必须被额外的模拟“环”延迟 ($L_a - L_v$) 延迟，以实现完全取消。 $(L_a - L_v)$ 是从 EFB 信号到模拟路径并抵达 FIR 输出端加法/减法节点的时间。“模拟”路径延迟包括：

- 1、馈入偏移 DAC 的增益乘法器，具有表示为 G_{off} 的 DC 增益
- 2、偏移 DAC，用 G_{gac} 表示
- 3、MRA 校正
- 4、CTF
- 5、ADC，其中 MRA+CTF+ADC 的 DC 增益表示为 G_{mca}
- 6、FIR，包括加法树的部分（往下到减去 EFB 的地方），其中，FIR 的 DC 增益表示为 G_{fir}

DFB 到模拟

DFB 系统是相似的，快速的数字 DFB 信号也反馈到模拟，同样在数字环之前减去。DFB 核心就是具有反馈 $(1-w)$ 的有损积分器，其中 w 是正常弧度的有效的高通极点， $w=2*\pi*F_{hp}/F_{adc}$ 。要注意，虽然模拟前置放大器极点是恒定的，DFB 的“ w ”会随着数据速率 (F_{adc}) 改变。有损积分器直接连到 FIR 输出（输入前向反馈滤波器）。这与之前的推导是匹配的，也就是 FF 滤波器运行在残留的误差有限延迟 DFB，而不是相反。实际上，FF 滤波器是“小效应”并可能补偿的，但是我们会看到，保持导出顺序是更简单的。DFB 有损积分器必须被比例缩放，最廉价地实现比例缩放是比例缩放初期判断 a_k ，因为它们都在 $\{-1, 1\}$ 。

输入“乘法器”是

$$G_{dfbin} = G_{target} * (1-w)^{Lv}$$

其中, G_{target} = (短靶系数)的总和, 是靶中的“DC”;

其中, L_v 是 DFB 数字环的延迟。

增益同样是 w 的函数, 其中, “ w ” 可近似为:

$$(1-w)^{Lv} \sim 1 - w * Lv$$

理想的模拟 DFB 具有更长的延迟, 因此, 必须使用因子 $(1-w)^{(L_a - L_v)} \sim 1 - w * (L_a - L_v)$, 进一步增益放大, 通过实现, 可以容易地看到, 系统还将指数尾向下靠近反馈抵达的时间。

为扣除应用到模拟的 DFB 的减去点同样选择为 FIR 输出。所减去的就是主 DFB 信号的比例缩放和延迟形式。这个比例缩放就是上面的 $(1-w)^{(L_a - L_v)}$ 。

忽略任何的约束/EFB 的结果, 模拟周围的 DC 增益约束必须匹配修剪路径增益, 所以我们得到:

$$G_{off} * G_{dac} * G_{mca} * G_{fir} = (1-w)^{(L_a - L_v)},$$

$$G_{off} = (1-w)^{(L_a - L_v)} / (G_{dac} * G_{mca} * G_{fir})$$

这与上面从 EFB 导出的 G_{off} 是一样的。

寄存器:

BLC_CMP1_RD	[6:0]	RW	BLC COMP1 READ GAIN
BLC_CMP1_SV	[13:7]	RW	BLC COMP1 SERVO GAIN
BLC_CMP2_RD	[20:14]	RW	BLC COMP2 READ GAIN
BLC_CMP2_SV	[27:21]	RW	BLC COMP2 SERVO GAIN
BLC_GOF_RD_GAIN	[6:0]	RW	BLC GOFF READ GAIN
BLC_GOF_SV_GAIN	[13:7]	RW	BLC GOFF SERVO GAIN

操作模式:

- 1、所有的环都运行。
- 2、只有模拟偏移环在运行。这是长久使用的, 可用于伺服系统。这与传统的偏移环是相同的。禁用 DFB 和 FF 滤波器。 $1-w*L_v$ 和 $1-w*(L_a - L_v)$ 编程为 0。数字 EFB 被禁用。

3、除了启用数字 EFB 之外, 其他和 2 相同。

建议的优化过程:

- 1、设置到已知的数据模式。

- 2、设置 $G_{off}=0$, $1-w*L_v$ 和 $1-w*(L_a-L_v)$ 为 0。
- 3、设置 u_{efB} 为低宽带。
- 4、为 FF 、 $1-4*w$ 和 $U_{dfb}=DC_target*w*(1-w*L_v)$ 扫描 w 。
- 5、细调 U_{dfb} 。
- 6、基于 w , L_a 和 L_v , 打开 $1-w*L_v$ 和 $1-w*(L_a-L_v)$ 。如需要就进行细调。
- 7、扫描 G_{off} 。
- 8、在数字反馈开和关的时候, 优化 u_{efb} 。
- 9、设置用户数据, 细调 u_{efb} 。

图 25 是本发明的一个实施例的基线校正模块或者伺服器的示意图。

本专业普通技术人员会意识到, 术语“基本上”或“大约”, 正如这里可能用到的, 对相应的术语提供一种业内可接收的公差。这种业内可接收的公差从小于 1%到 20%, 并对应于, 但不限于, 组件值、集成电路处理波动、温度波动、上升和下降时间和/或热噪声。本专业普通技术人员还会意识到, 术语“可操作地连接”, 正如这里可能用到的, 包括通过另一个组件、元件、电路或模块直接连接和间接连接, 其中对于间接连接, 中间插入组件、元件、电路或模块并不改变信号的信息, 但可以调整其电流电平、电压电平和/或功率电平。正如本专业普通技术人员会意识到的, 推断连接(亦即, 一个元件根据推论连接到另一个元件)包括两个元件之间用相同于“可操作地连接”的方法直接和间接连接。正如本专业普通技术人员还会意识到的, 术语“比较结果有利”, 正如这里可能用的, 指两个或多个元件、项目、信号等之间的比较提供一个想要的关系。例如, 当想要的关系是信号 1 具有大于信号 2 的振幅时, 当信号 1 的振幅大于信号 2 的振幅或信号 2 的振幅小于信号 1 振幅时, 可以得到有利的比较结果。

本发明是通过几个具体实施例进行说明的, 本领域技术人员应当明白, 在不脱离本发明范围的情况下, 还可以对本发明进行各种变换及等同替代。另外, 针对特定情形或具体情况, 可以对本发明做各种修改, 而不脱离本发明的范围。因此, 本发明不局限于所公开的具体实施例, 而应当包括落入本发明权利要求范围内的全部实施方式。

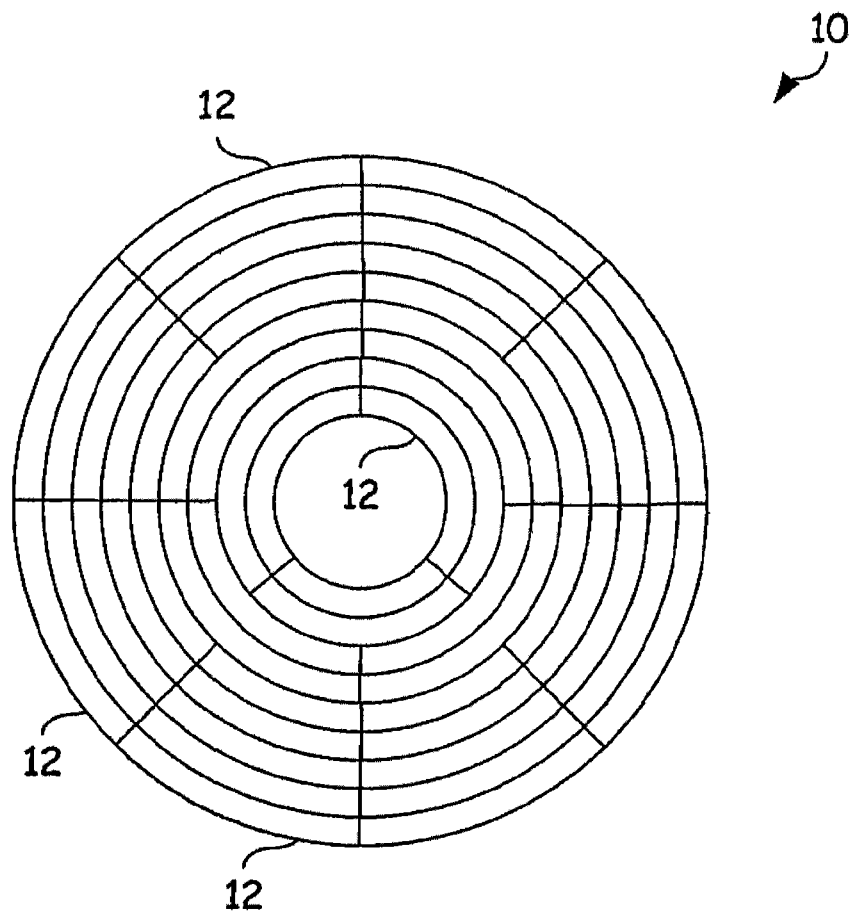


图 1

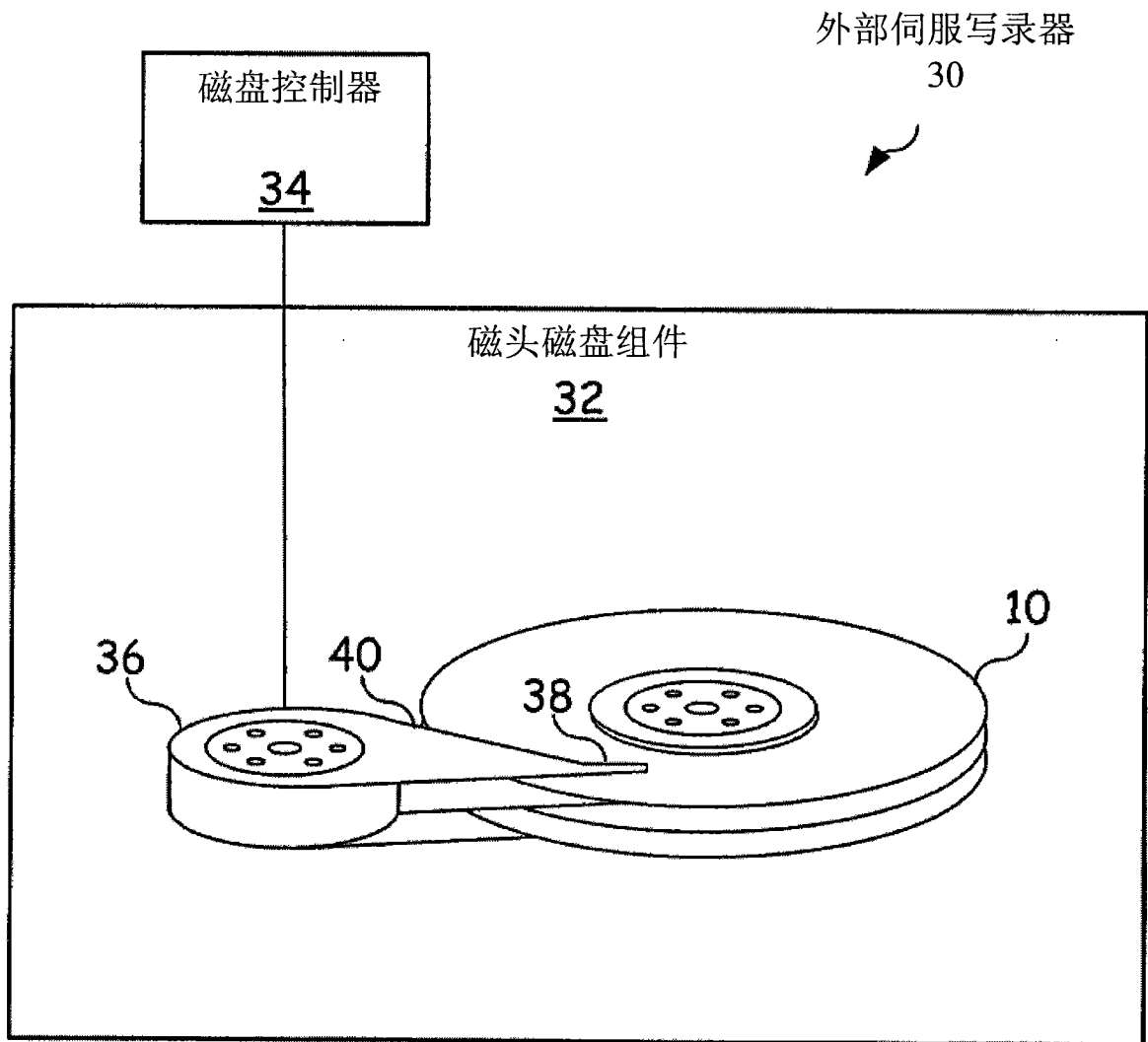


图 2

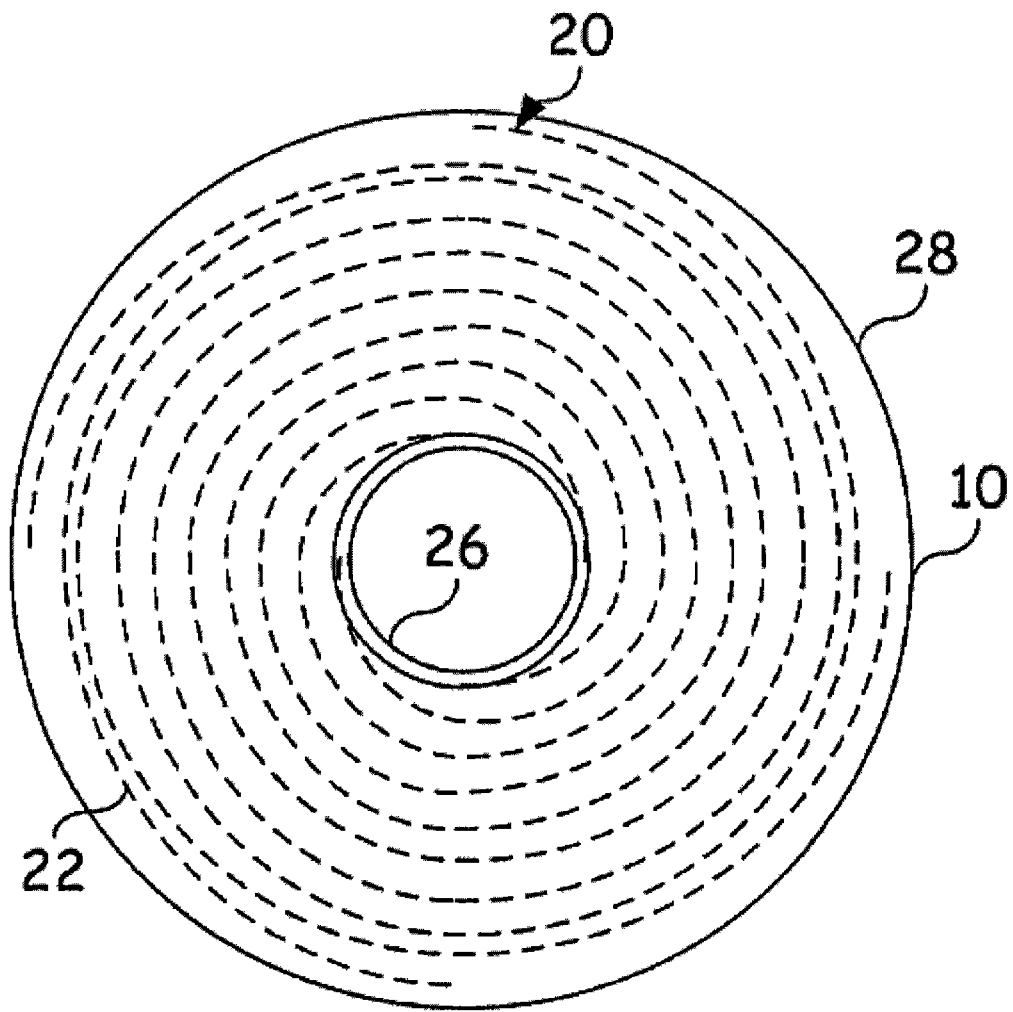


图 3

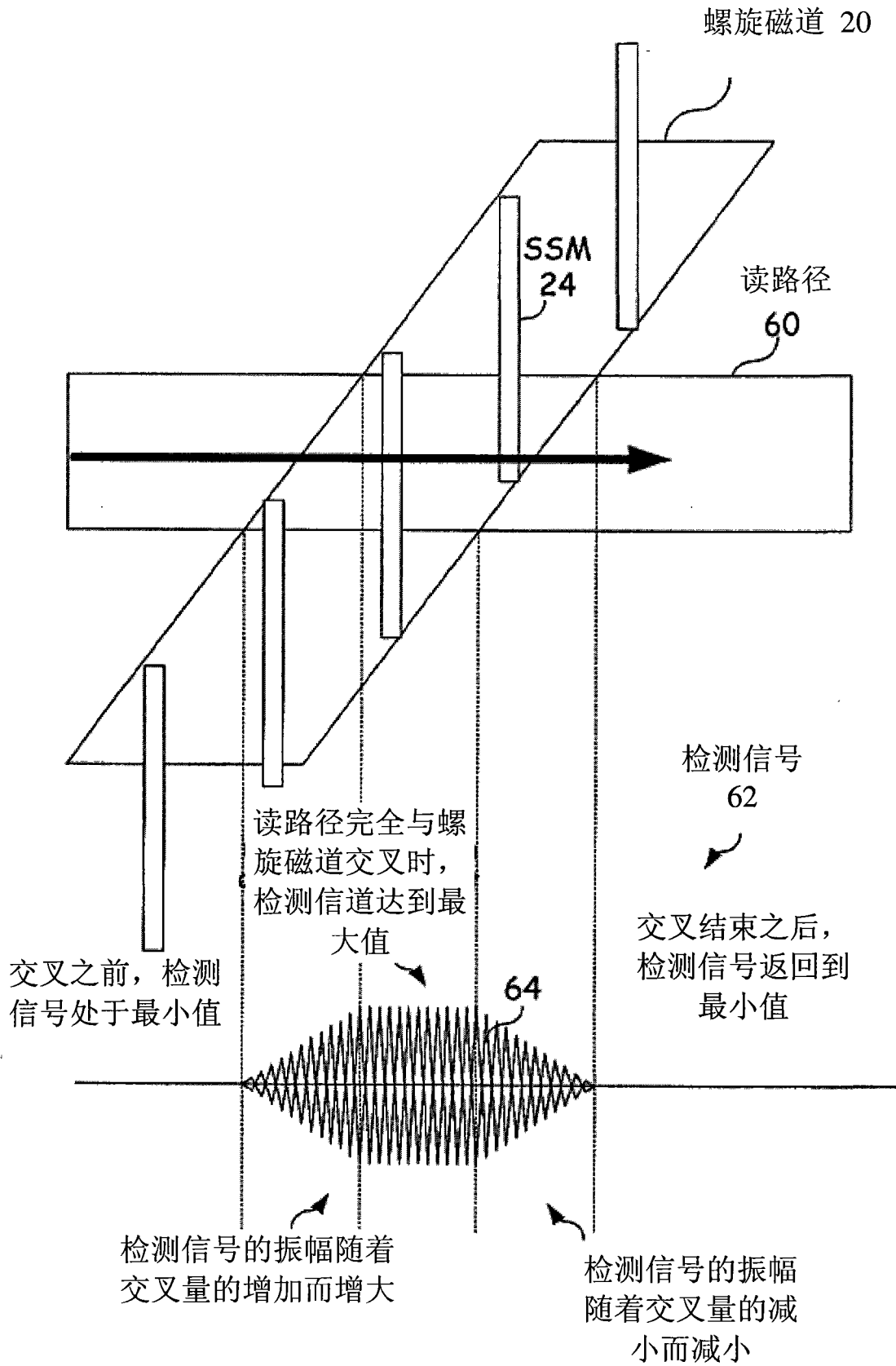


图 5

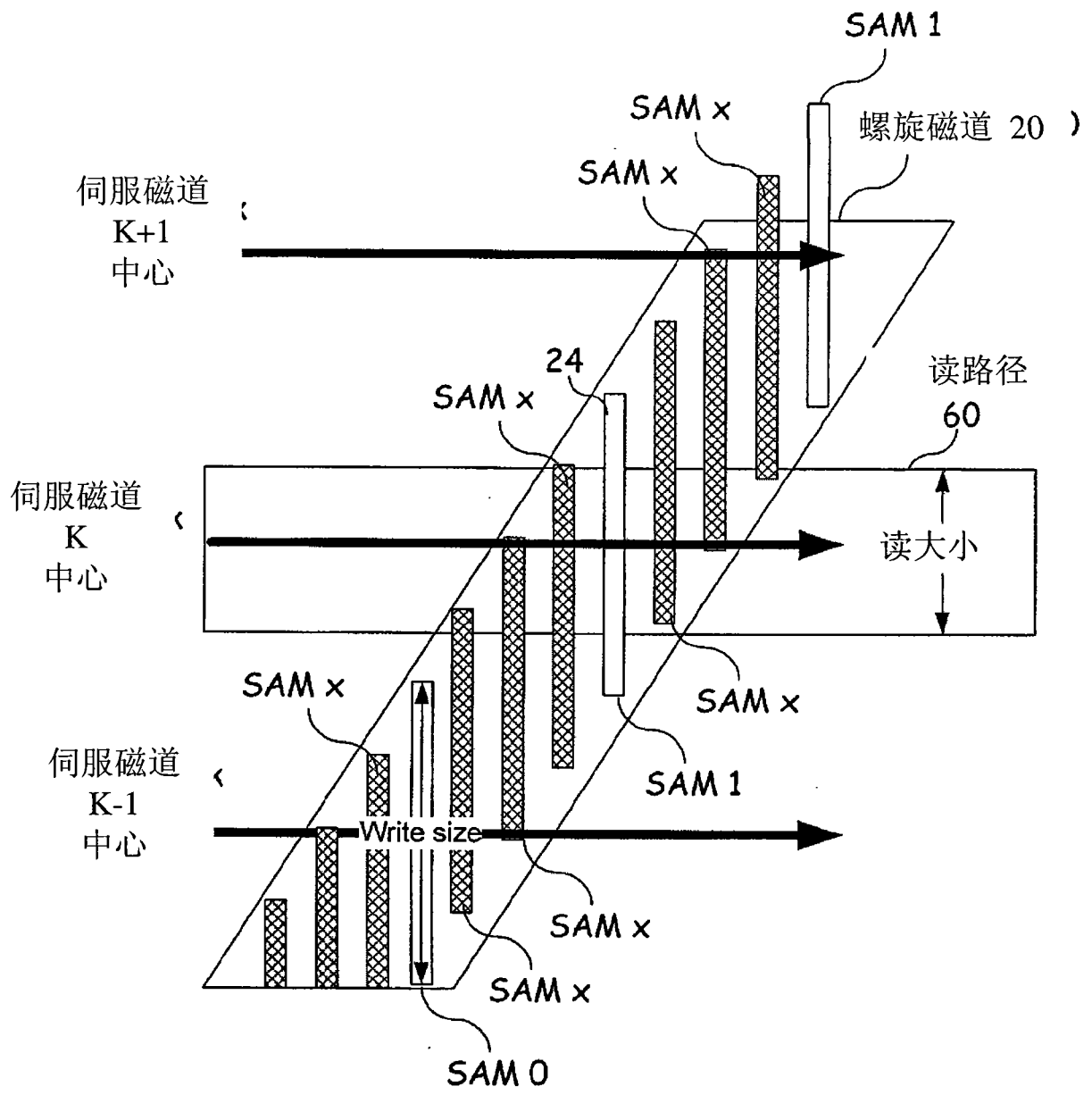


图 6

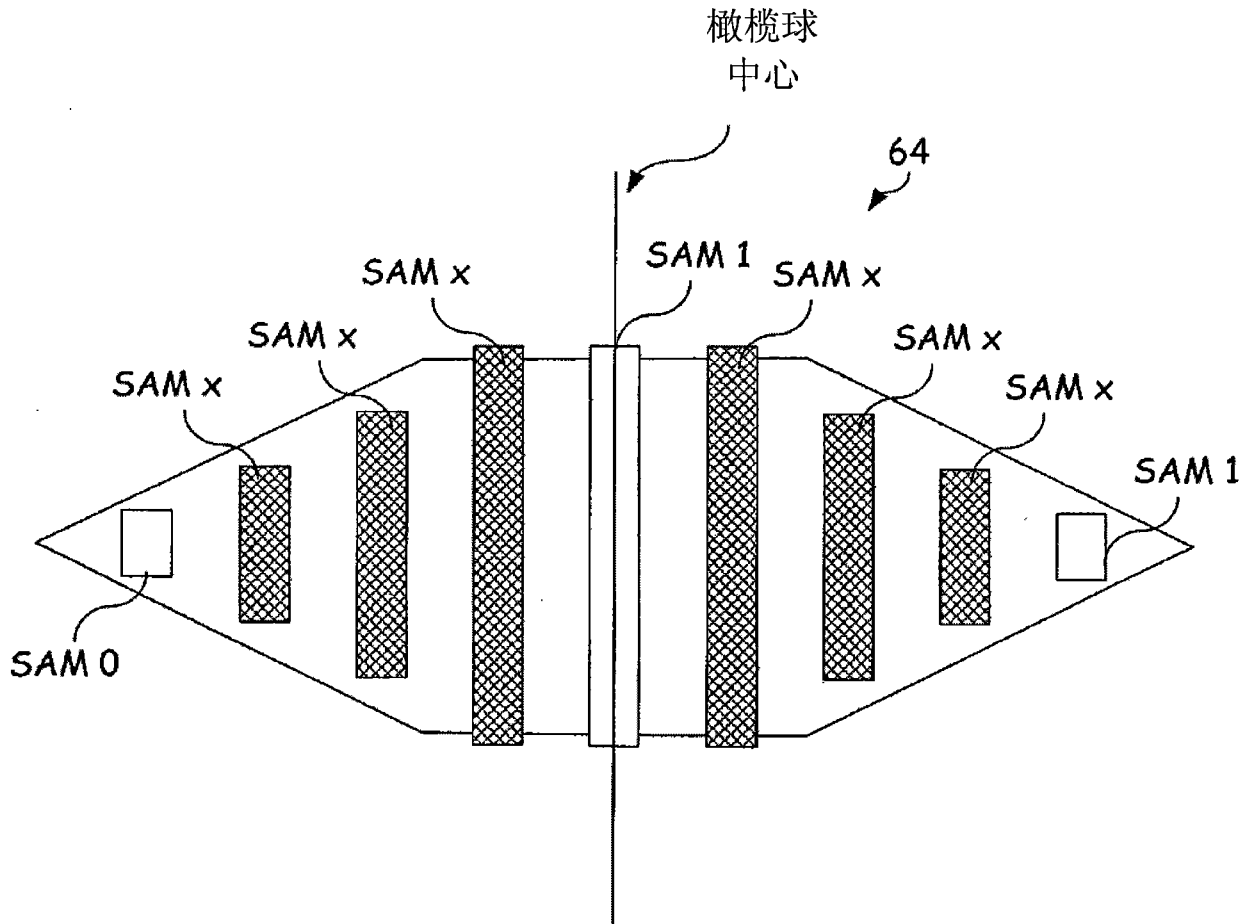


图 7

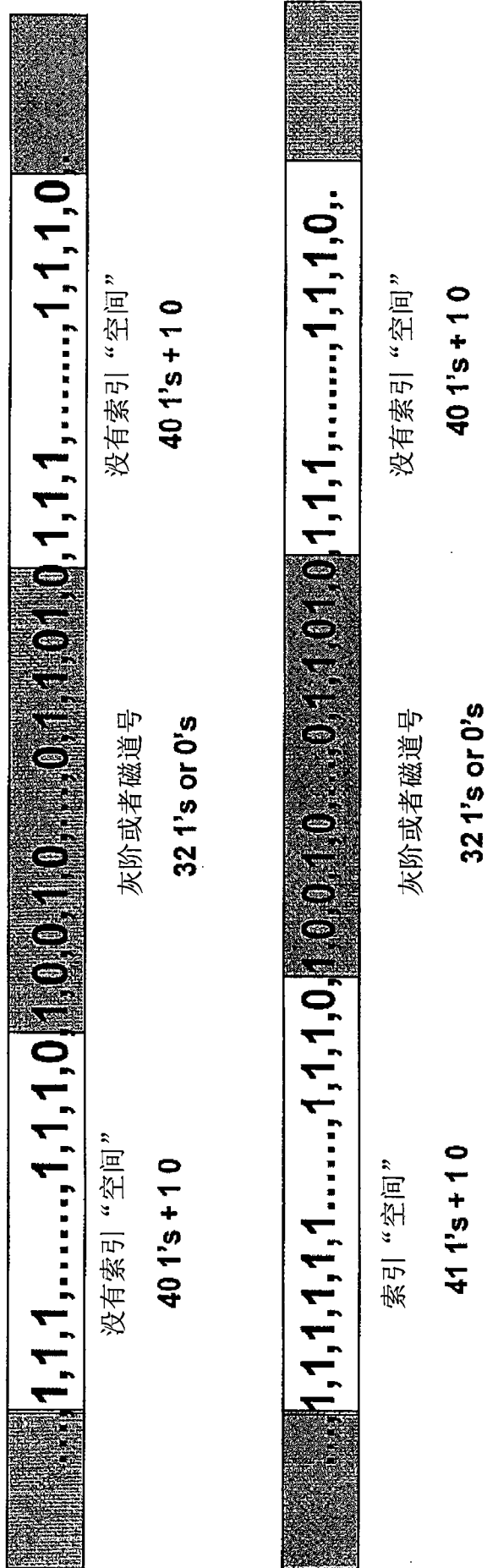


图 8

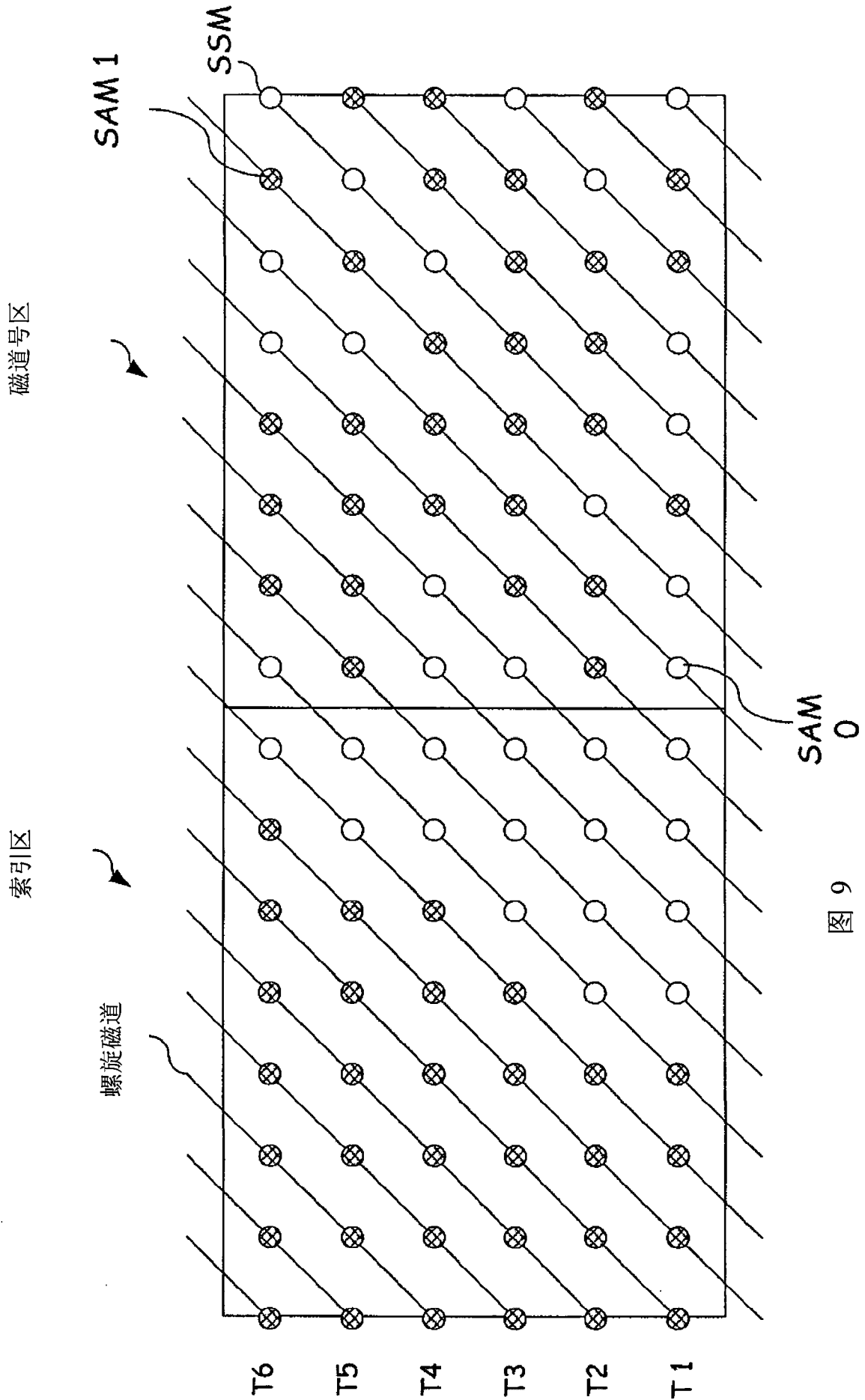


图 9

硬盘驱动器
50

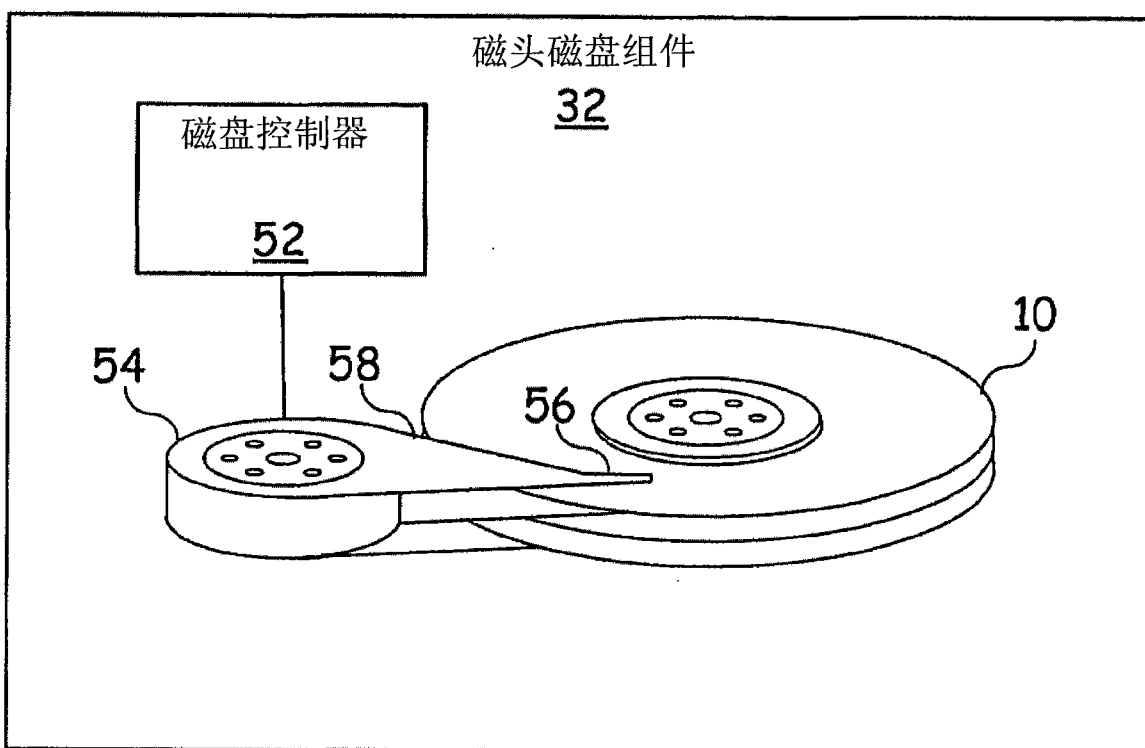


图 10

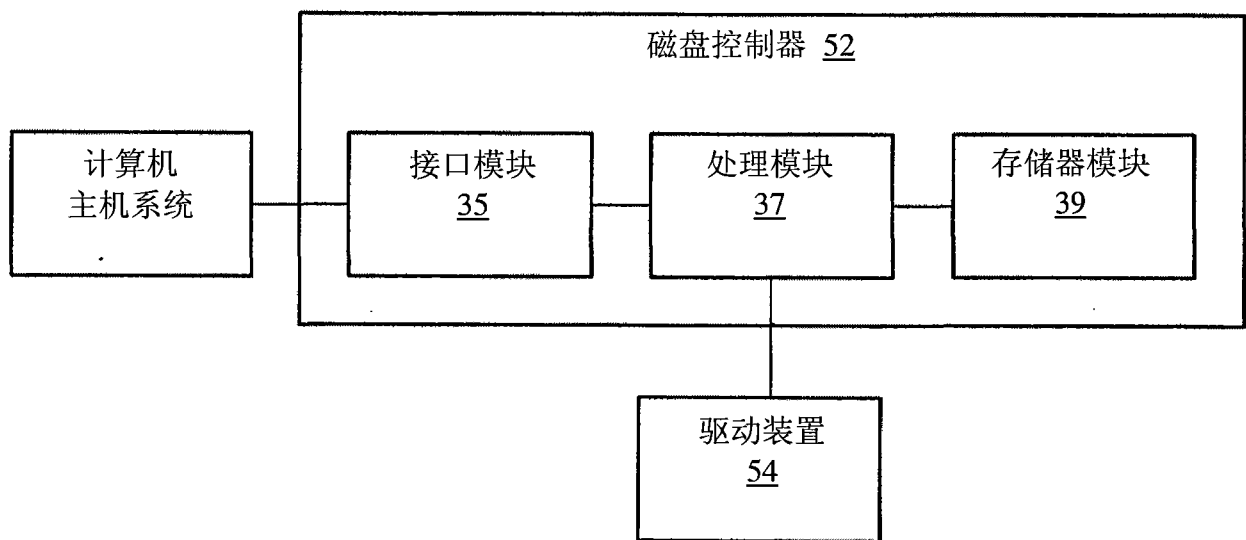


图 11

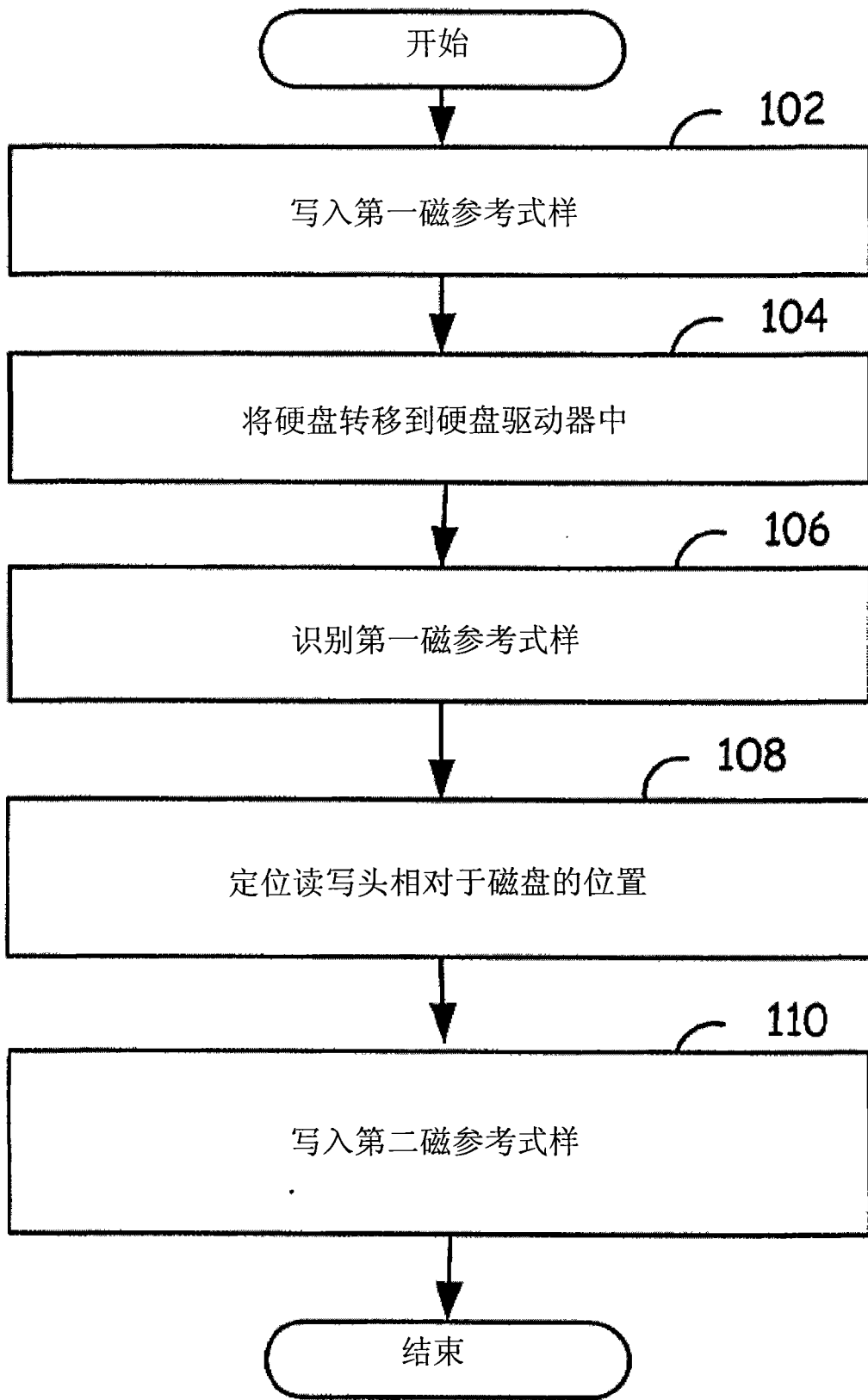


图 12

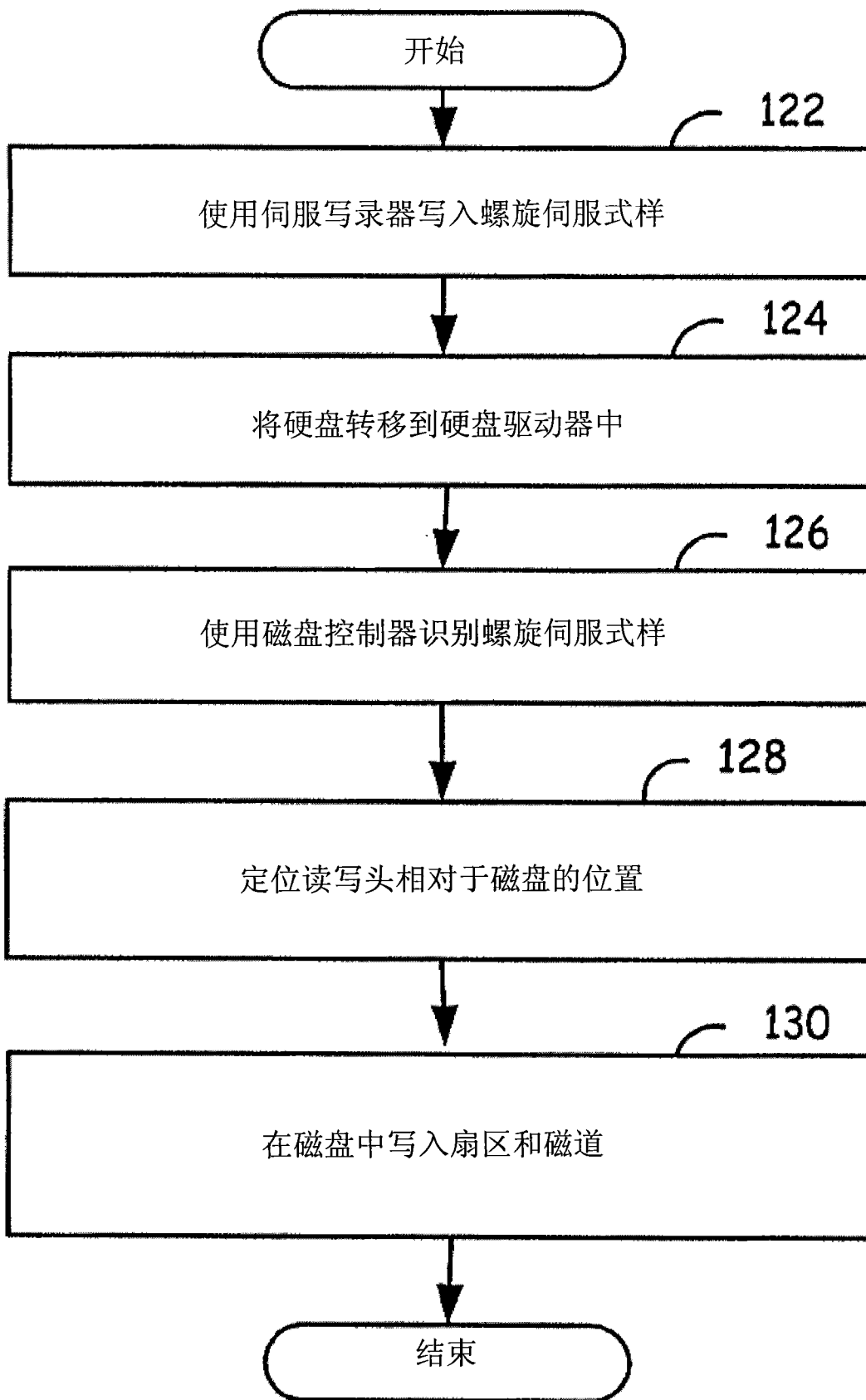
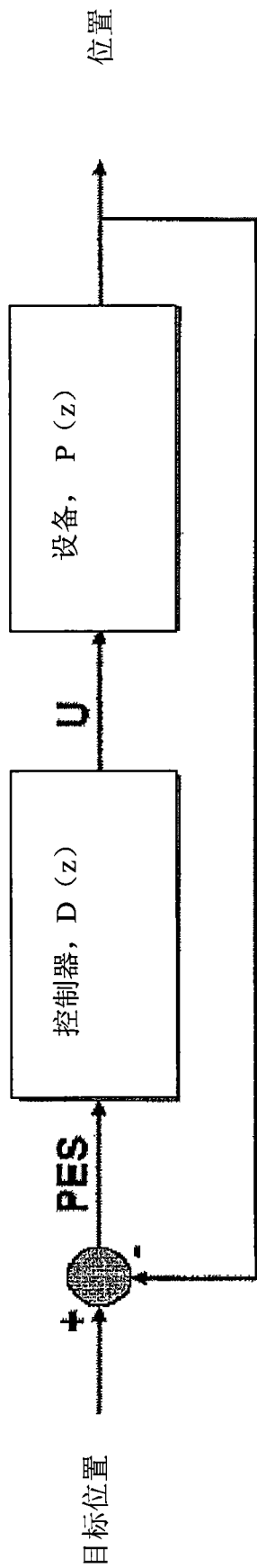


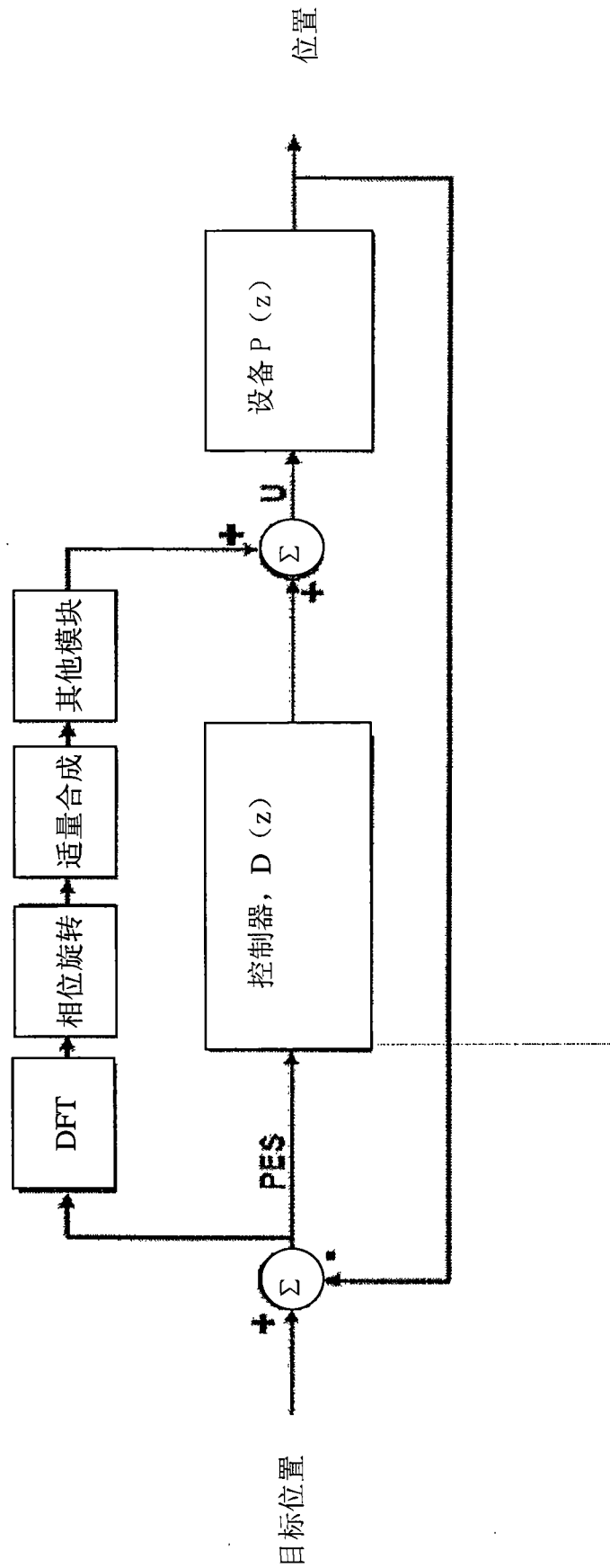
图 13



PSE: 位置误差信号
U: 控制效果

图 14

主轴频率出局消除 (伺服环 w/FF)



PSE: 位置误差信号
U: 控制效果

图 15

旋转矢量 A

假设：打算将 A 旋转相位 q，如果 B 的量级是 1.0，那么结果就是 A*B

$$A=Me^{jp}, \quad B=1.0e^{jq}$$

其中， $q=0, \pi/4, \pi/2, 3\pi/4, \pi, 5\pi/4, 6\pi/4$ 和 $7\pi/4$

$$A*B=M*1.0*e^{j(p+q)}$$

$$=M*[\cos(p+q)]+j*\sin(p+q)]$$

$$=M*\{[\cos(p)\cos(q)-\sin(p)\sin(q)]+j*[\sin(p)\cos(q)+\cos(p)\sin(q)]\} \text{ (等式 1)}$$

$$\Rightarrow \text{Real}(A*B)=M*[\alpha*\cos(p)-\beta*\sin(p)] \quad \text{(等式 2.a)}$$

$$\Rightarrow \text{Imag}(A*B)=M*[\alpha*\cos(p)-\beta*\sin(p)] \quad \text{(等式 2.b)}$$

通过为余弦项选择 α (+/-/0)，为正弦项选择 β (+/-/0)，系统可将 DFT 的出局旋转 45 度。

图 16

	Cos(q)	Sin(q)	Cos(q)*或 α	Sin(q)*或 β
Q=0	1	0	1	0
Q=pi/4	0.707	0.707	1*	1*
Q=pi/2	0	1	0	1
Q=3pi/4	-0.707	0.707	-1*	1*
Q=pi	-1	0	-1	0
Q=5pi/4	-0.707	-0.707	-1*	-1*
Q=6pi/4	0	-1	0	-1
Q=7pi/4	0.707	-0.707	1*	-1*

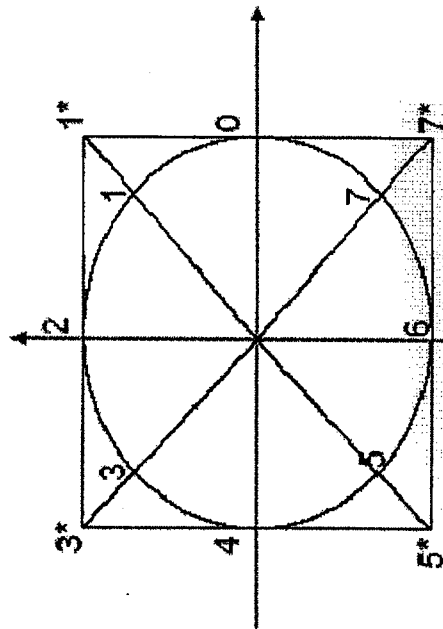


图 17

附加增益=1/0.707

N x FF (学习) 函数图

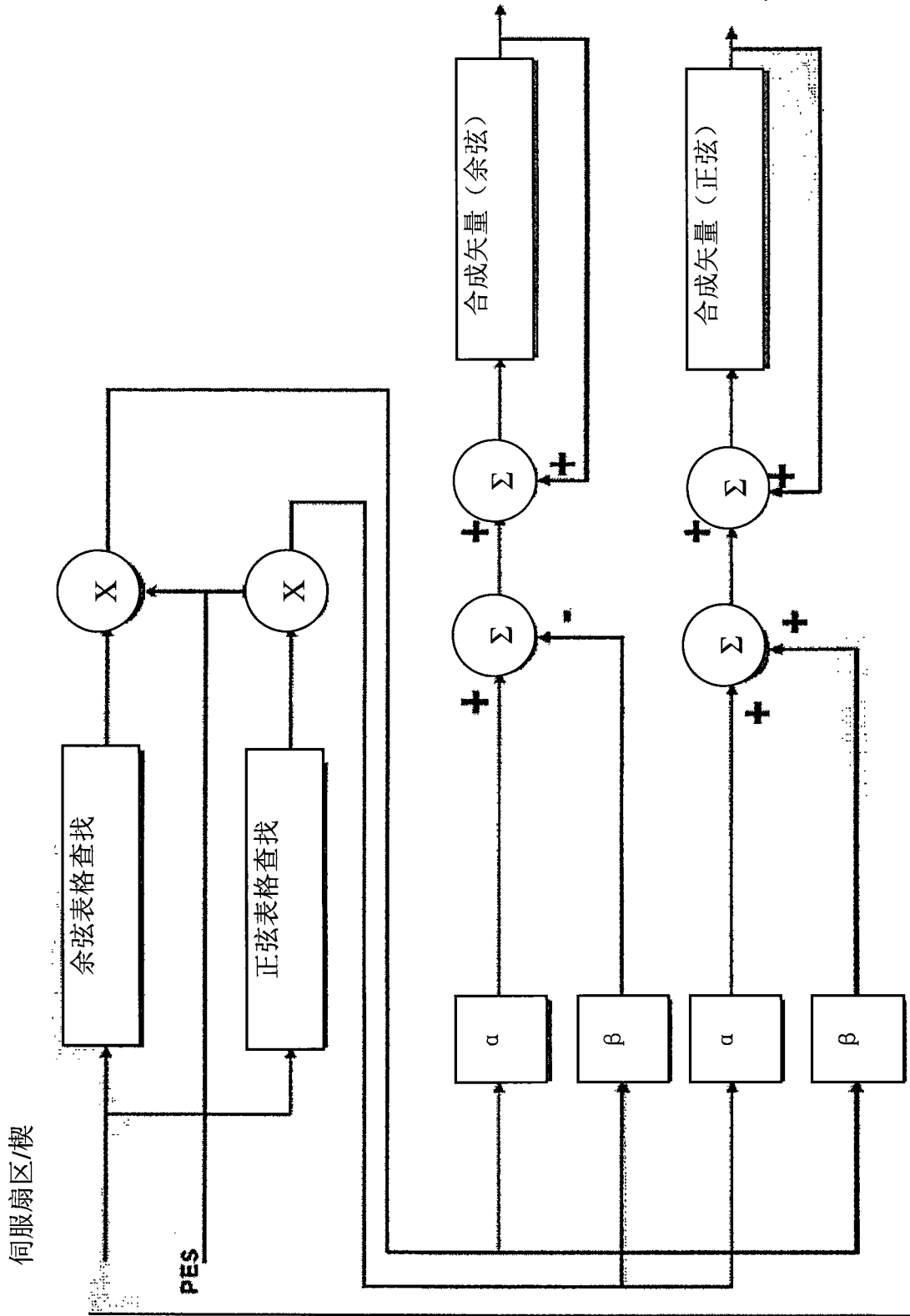


图 18

N x FF (应用) 函数图

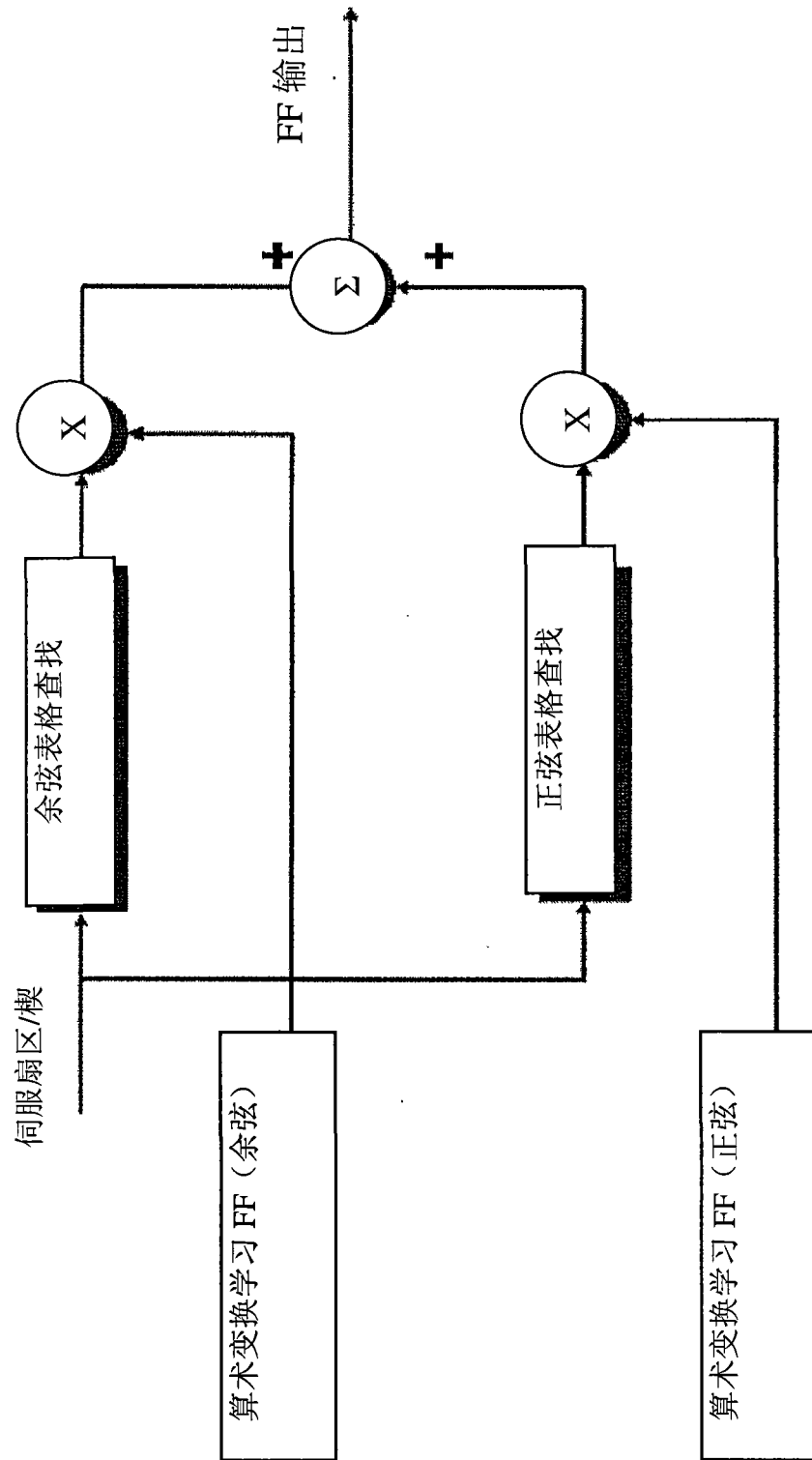


图 19

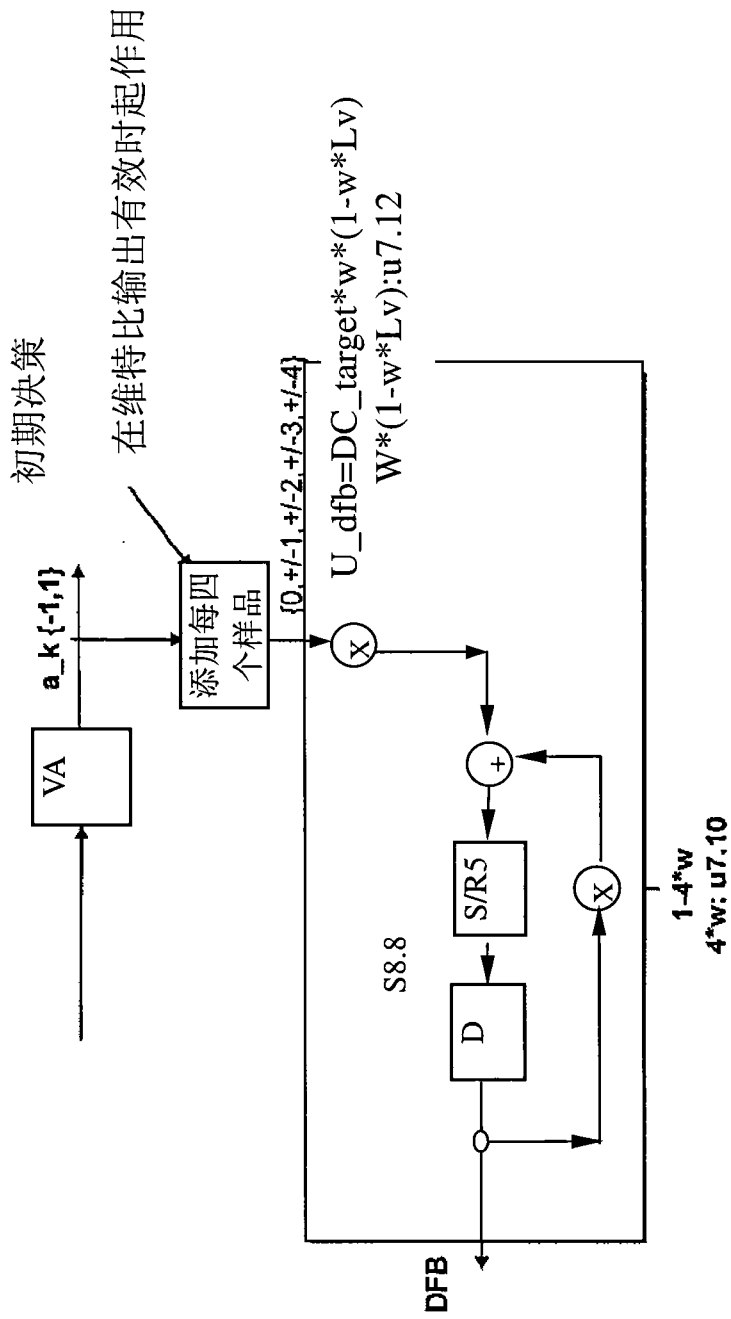
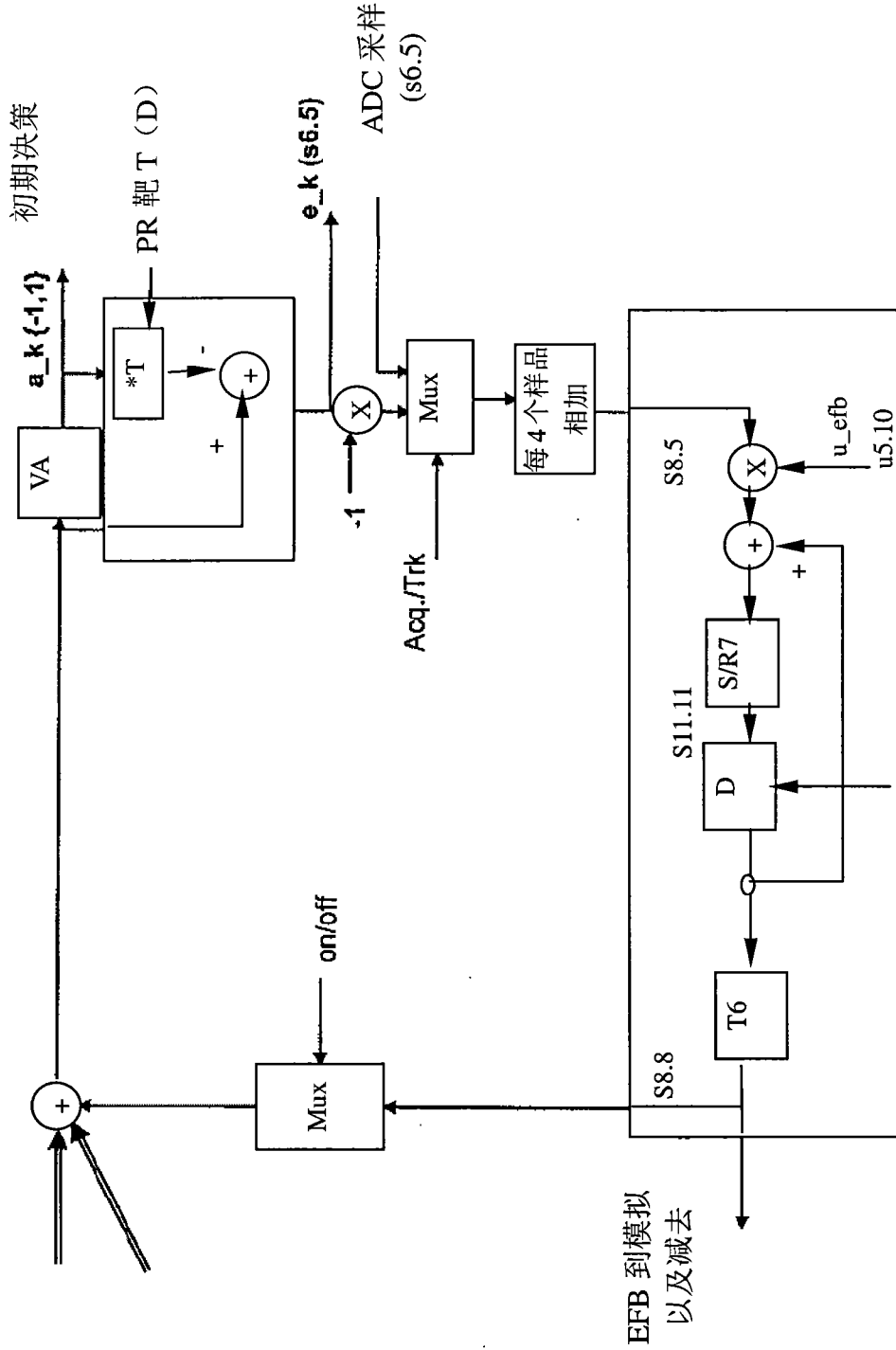


图 21



从 ZOS 加载, 从寄存器重置, 或者保持来自最后扇区的值

图 23

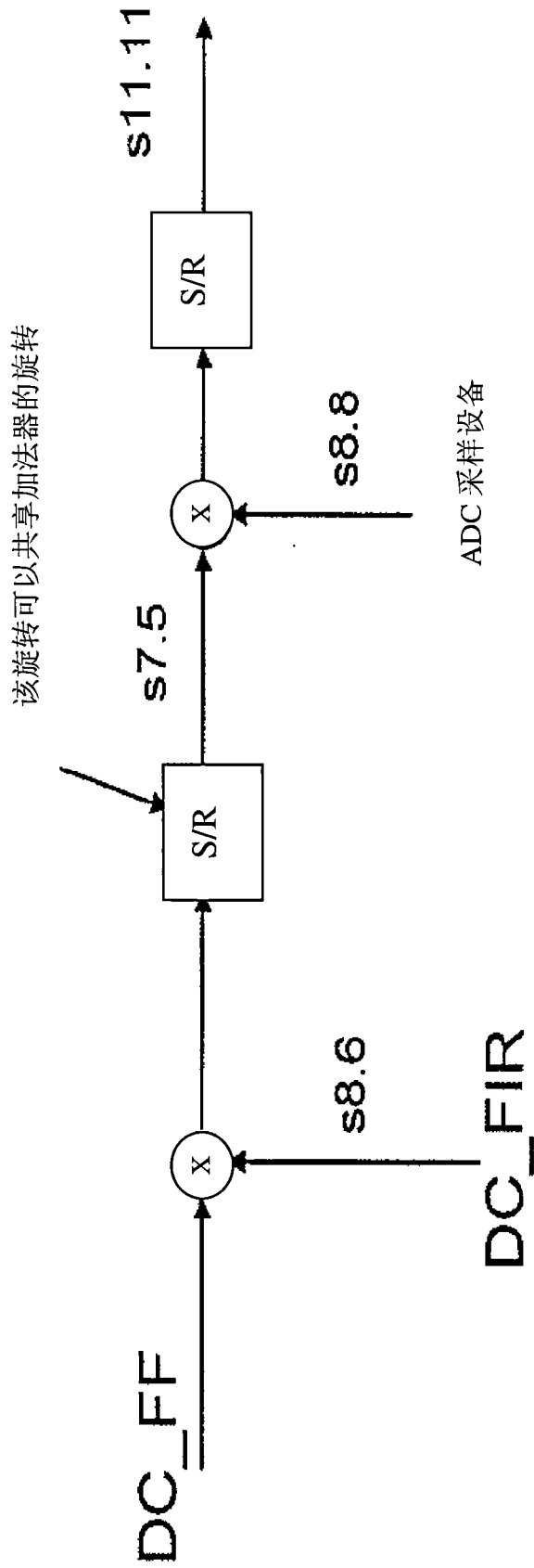


图 24

