

(12) 发明专利申请

(10) 申请公布号 CN 103311274 A

(43) 申请公布日 2013. 09. 18

(21) 申请号 201310177871. 6

H01L 21/331 (2006. 01)

(22) 申请日 2013. 05. 14

(71) 申请人 深圳深爱半导体股份有限公司

地址 518118 广东省深圳市龙岗区宝龙工业  
城宝龙七路 3 号

(72) 发明人 杨坤进 康剑 汪德文 王民涛

(74) 专利代理机构 广州华进联合专利商标代理  
有限公司 44224

代理人 吴平

(51) Int. Cl.

H01L 29/06 (2006. 01)

H01L 29/78 (2006. 01)

H01L 21/336 (2006. 01)

H01L 29/739 (2006. 01)

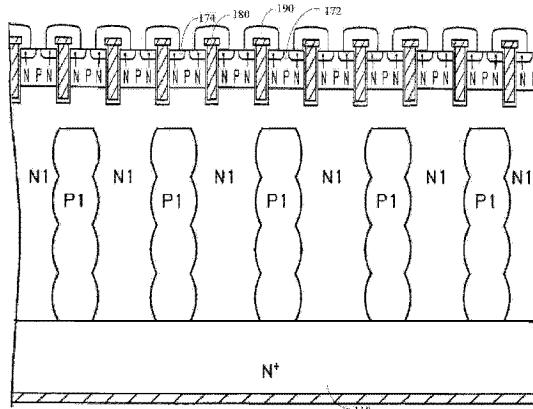
权利要求书2页 说明书7页 附图15页

(54) 发明名称

具非对准型超级结结构的半导体器件及其制  
造方法

(57) 摘要

本发明涉及一种具非对准型超级结结构的半  
导体器件，包括：衬底；外延层，设于所述衬底上，  
为第一掺杂类型；柱区，设于所述外延层内，为第  
二掺杂类型；掺杂区，设于所述柱区上方，为第二  
掺杂类型；金属电极，设于掺杂区上；所述柱区和  
掺杂区之间被所述外延层所隔断而无直接接触，  
所述柱区和掺杂区相距最近处的垂直距离为 2 至  
10 微米。本发明还涉及一种具非对准型超级结结  
构的半导体器件的制造方法。本发明非对准型超  
级结结构与正面结构分离，生产的工艺难度降低。  
另外，非对准型超级结结构与正面结构分离，与产  
品电流大小(产品型号)不相关，使得同一系列产  
品均可采用相同的超级结结构，适用于系列化，从  
而降低超级结结构量产成本。



1. 一种具非对准型超级结结构的半导体器件，包括：

衬底；

外延层，设于所述衬底上，为第一掺杂类型；

柱区，设于所述外延层内，为第二掺杂类型；

掺杂区，设于所述柱区上方，为第二掺杂类型；

金属电极，设于掺杂区上；

其特征在于，所述柱区和掺杂区之间被所述外延层所隔断而无直接接触，所述柱区和掺杂区相距最近处的垂直距离为 2 至 10 微米。

2. 根据权利要求 1 所述的具非对准型超级结结构的半导体器件，其特征在于，所述外延层包括柱区外延层和设于柱区外延层上的正面工艺外延层，所述正面工艺外延层的厚度为 5 至 15 微米。

3. 根据权利要求 2 所述的具非对准型超级结结构的半导体器件，其特征在于，所述半导体器件是沟槽栅极功率金属半导体氧化物场效应管，所述衬底为第一掺杂类型的衬底，所述掺杂区为体区，所述沟槽栅极功率金属半导体氧化物场效应管还包括：

源极区，设于所述体区内，为第一掺杂类型；

沟槽栅极，贯穿所述体区、伸入所述正面工艺外延层；

栅绝缘介质层，包围所述沟槽栅极；所述金属电极覆盖于所述栅绝缘介质层上。

4. 根据权利要求 2 所述的具非对准型超级结结构的半导体器件，其特征在于，所述半导体器件是平面栅极功率金属半导体氧化物场效应管，所述衬底为第一掺杂类型的衬底，所述掺杂区为体区，所述平面栅极功率金属半导体氧化物场效应管还包括：

源极区，设于所述体区内，为第一掺杂类型；

栅极，设于所述正面工艺外延层和体区上；

栅绝缘介质层，包围所述沟槽栅极；所述金属电极覆盖于所述栅绝缘介质层上。

5. 根据权利要求 2 所述的具非对准型超级结结构的半导体器件，其特征在于，所述半导体器件是沟槽栅极功率绝缘栅双极型晶体管，所述衬底为第二掺杂类型的衬底，所述掺杂区为体区，所述沟槽栅极功率绝缘栅双极型晶体管还包括：

源极区，设于所述体区内，为第一掺杂类型；

沟槽栅极，贯穿所述体区、伸入所述正面工艺外延层；

栅绝缘介质层，包围所述沟槽栅极；所述金属电极覆盖于所述栅绝缘介质层上。

6. 根据权利要求 2 所述的具非对准型超级结结构的半导体器件，其特征在于，所述半导体器件是平面栅极功率绝缘栅双极型晶体管，所述衬底为第二掺杂类型的衬底，所述掺杂区为体区，所述平面栅极功率绝缘栅双极型晶体管还包括：

源极区，设于所述体区内，为第一掺杂类型；

栅极，设于所述正面工艺外延层和体区上；

栅绝缘介质层，包围所述沟槽栅极；所述金属电极覆盖于所述栅绝缘介质层上。

7. 根据权利要求 2 所述的具非对准型超级结结构的半导体器件，其特征在于，所述半导体器件是功率平面二极管，所述衬底为第一掺杂类型的衬底。

8. 一种具非对准型超级结结构的半导体器件的制造方法，包括下列步骤：

在衬底上形成第一掺杂类型的柱区外延层并向所述柱区外延层内填入第二掺杂类型

的杂质；

通过处理使所述第二掺杂类型的杂质形成第二掺杂类型的柱区并在所述柱区外延层上形成正面工艺外延层；

进行所述半导体器件的正面工艺，包括在所述柱区上方形成第二掺杂类型的掺杂区；

其特征在于，所述柱区和掺杂区之间被所述正面工艺外延层所隔断而无直接接触，所述柱区和掺杂区相距最近处的垂直距离为 2 至 10 微米。

9. 根据权利要求 8 所述的具非对准型超级结结构的半导体器件的制造方法，其特征在于，所述在衬底上形成第一掺杂类型的柱区外延层并向所述柱区外延层内填入第二掺杂类型的杂质的步骤，包括在所述衬底上生长多层结构的第一掺杂类型的柱区外延层，每长一层均通过光刻和离子注入在其内形成多个在横向相互分离的第二掺杂类型杂质的聚集区域，每层内所述聚集区域均在前一层内的聚集区域的正上方；

所述通过处理使所述第二掺杂类型的杂质形成第二掺杂类型的柱区并在所述柱区外延层上形成正面工艺外延层的步骤，包括在所述柱区外延层上形成正面工艺外延层后进行热推进处理，使每一个所述聚集区域与其纵向上相邻的聚集区域串在一起形成柱区结构。

10. 根据权利要求 8 所述的具非对准型超级结结构的半导体器件的制造方法，其特征在于，所述在衬底上形成第一掺杂类型的柱区外延层并向所述柱区外延层内填入第二掺杂类型的杂质的步骤，包括：

形成所述柱区外延层后通过光刻和刻蚀形成柱区沟槽；

向沟槽内填入含第二掺杂类型杂质的填充物质；

所述通过处理使所述第二掺杂类型的杂质形成第二掺杂类型的柱区并在所述柱区外延层上形成正面工艺外延层的步骤，包括：

对填入的含第二掺杂类型杂质的填充物质进行化学机械抛光后、形成所述柱区；

在所述柱区外延层上形成正面工艺外延层。

11. 根据权利要求 8-10 中任意一项所述的具非对准型超级结结构的半导体器件的制造方法，其特征在于，所述正面工艺外延层的厚度为 5 至 15 微米。

## 具非对准型超级结结构的半导体器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体器件的制造方法,特别是涉及一种具非对准型超级结结构的半导体器件,还涉及一种具非对准型超级结结构的半导体器件的制造方法。

### 背景技术

[0002] 传统的垂直双扩散金属氧化物半导体场效应管(VDMOSFET)器件具有开关速度快、驱动简单等优点,在在功率开关领域中获得了成功应用。这种器件在高压大电流领域应用中的一个主要缺点是导通电阻 Ron 较大,导致了较大的通态功率损耗。它与另一个重要参数阻断击穿电压 BVDSS ( $V_B$ ) 之间存在相互制约的折中关系,典型表示为:

$$[0003] R_{on} = 5.93 \times 10^{-9} V_B^{2.5}$$

[0004] 这一关系成为了导通电阻的一个“极限”,就是所谓的“硅限”。解决以上问题的其中一个重要方法是采用“超级结(Super Junction, SJ)”结构。

[0005] 超级结结构的原理是使用纵向交替的 PN 结结构代替穿通功率器件中的均匀低掺杂高阻漂移层作为电压支持层。根据理论及实际工艺实践表明,超级结金属氧化物半导体场效应管(MOSFET)的导通电阻 Ron 相比传统 MOSFET 的降低了 5-10 倍。传统的超级结结构主要包括两大类,一类是外延后进行光刻和注入 P 型杂质、多次反复该过程得到 NP 交错的超结柱;另一类是一次长出需要厚度的 N 型外延层,然后在外延层中刻蚀得到深沟槽,再于槽中形成 P 型硅,从而得到类似的超级结结构。

[0006] 图 1 是一传统的超级结结构 MOSFET 器件的剖视图, N- 漂移引入的 P- 柱区 10 位于 P 型体区 20 的正下方并且与 P 型体区 20 直接相连。发明人经实验和研究发现,这种结构中,首先,如果 P 柱区与上方的 P 体区产生明显的偏差,便会对产品性能产生显著的影响,因此,这种结构限制了 P- 柱区 10 的位置,增大了工艺实现的难度;其次,对于每种不同的产品规格(电流能力及耐压水平),需要对应的超级结漂移区结构与之匹配。因此,这种传统的超级结结构在工艺 上实现起来难度较大,不具备通用性。

### 发明内容

[0007] 基于此,有必要提供一种生产工艺实现起来难度较低的具非对准型超级结结构的半导体器件。

[0008] 一种具非对准型超级结结构的半导体器件,包括:衬底;外延层,设于所述衬底上,为第一掺杂类型;柱区,设于所述外延层内,为第二掺杂类型;掺杂区,设于所述柱区上方,为第二掺杂类型;金属电极,设于掺杂区上;所述柱区和掺杂区之间被所述外延层所隔断而无直接接触,所述柱区和掺杂区相距最近处的垂直距离为 2 至 10 微米。

[0009] 在其中一个实施例中,所述外延层包括柱区外延层和设于柱区外延层上的正面工艺外延层,所述正面工艺外延层的厚度为 5 至 15 微米。

[0010] 在其中一个实施例中,所述半导体器件是沟槽栅极功率金属半导体氧化物场效应管,所述衬底为第一掺杂类型的衬底,所述掺杂区为体区,所述沟槽栅极功率金属半导体氧

化物场效应管还包括：源极区，设于所述体区内，为第一掺杂类型；沟槽栅极，贯穿所述体区、伸入所述正面工艺外延层；栅绝缘介质层，包围所述沟槽栅极；所述金属电极覆盖于所述栅绝缘介质层上。

[0011] 在其中一个实施例中，所述半导体器件是平面栅极功率金属半导体氧化物场效应管，所述衬底为第一掺杂类型的衬底，所述掺杂区为体区，所述平面栅极功率金属半导体氧化物场效应管还包括：源极区，设于所述体区内，为第一掺杂类型；栅极，设于所述正面工艺外延层和体区上；栅绝缘介质层，包围所述沟槽栅极；所述金属电极覆盖于所述栅绝缘介质层上。

[0012] 在其中一个实施例中，所述半导体器件是沟槽栅极功率绝缘栅双极型晶体管，所述衬底为第二掺杂类型的衬底，所述掺杂区为体区，所述沟槽栅极功率绝缘栅双极型晶体管还包括：源极区，设于所述体区内，为第一掺杂类型；沟槽栅极，贯穿所述体区、伸入所述正面工艺外延层；栅绝缘介质层，包围所述沟槽栅极；所述金属电极覆盖于所述栅绝缘介质层上。

[0013] 在其中一个实施例中，所述半导体器件是平面栅极功率绝缘栅双极型晶体管，所述衬底为第二掺杂类型的衬底，所述掺杂区为体区，所述平面栅极功率绝缘栅双极型晶体管还包括：源极区，设于所述体区内，为第一掺杂类型；栅极，设于所述正面工艺外延层和体区上；栅绝缘介质层，包围所述沟槽栅极；所述金属电极覆盖于所述栅绝缘介质层上。

[0014] 在其中一个实施例中，所述半导体器件是功率平面二极管，所述衬底为第一掺杂类型的衬底。

[0015] 还有必要提供一种具非对准型超级结结构的半导体器件的制造方法。

[0016] 一种具非对准型超级结结构的半导体器件的制造方法，包括下列步骤：在衬底上形成第一掺杂类型的柱区外延层并向所述柱区外延层内填入第二掺杂类型的杂质；通过处理使所述第二掺杂类型的杂质形成第二掺杂类型的柱区并在所述柱区外延层上形成正面工艺外延层；进行所述半导体器件的正面工艺，包括在所述柱区上方形成第二掺杂类型的掺杂区；所述柱区和掺杂区之间被所述正面工艺外延层所隔断而无直接接触，所述柱区和掺杂区相距最近处的垂直距离为2至10微米。

[0017] 在其中一个实施例中，所述在衬底上形成第一掺杂类型的柱区外延层并向所述柱区外延层内填入第二掺杂类型的杂质的步骤，包括在所述衬底上生长多层结构的第一掺杂类型的柱区外延层，每长一层均通过光刻和离子注入在其内形成多个在横向相互分离的第二掺杂类型杂质的聚集区域，每层内所述聚集区域均在前一层内的聚集区域的正上方；所述通过处理使所述第二掺杂类型的杂质形成第二掺杂类型的柱区并在所述柱区外延层上形成正面工艺外延层的步骤，包括在所述柱区外延层上形成正面工艺外延层后进行热推进处理，使每一个所述聚集区域与其纵向上相邻的聚集区域串在一起形成柱区结构。

[0018] 在其中一个实施例中，所述在衬底上形成第一掺杂类型的柱区外延层并向所述柱区外延层内填入第二掺杂类型的杂质的步骤，包括：形成所述柱区外延层后通过光刻和刻蚀形成柱区沟槽；向沟槽内填入含第二掺杂类型杂质的填充物质；所述通过处理使所述第二掺杂类型的杂质形成第二掺杂类型的柱区并在所述柱区外延层上形成正面工艺外延层的步骤，包括：对填入的含第二掺杂类型杂质的填充物质进行化学机械抛光后、形成所述柱区；在所述柱区外延层上形成正面工艺外延层。

[0019] 在其中一个实施例中，所述正面工艺外延层的厚度为 5 至 15 微米。

[0020] 上述具非对准型超级结结构的半导体器件，其非对准型超级结结构与其正面结构的尺寸基本无关，使得沟槽超级结结构成为可能。非对准型超级结结构与正面结构分离，生产的工艺难度降低。另外，非对准型超级结结构与正面结构分离，与产品电流大小(产品型号)不相关，使得同一系列产品均可采用相同的超级结结构，适用于系列化，从而降低超级结结构量产成本。

## 附图说明

- [0021] 图 1 是一传统的超级结结构 MOSFET 器件的剖视图；
- [0022] 图 2 是一实施例中具非对准型超级结结构的半导体器件的制造方法的流程图；
- [0023] 图 3A- 图 3G 是采用图 2 所示方法制造沟槽栅极功率 VDMOS 过程中器件的剖面示意图；
- [0024] 图 4 是完成了部分正面工艺的沟槽栅极功率 VDMOS 的剖面示意图；
- [0025] 图 5 是另一实施例中具非对准型超级结结构的半导体器件的制造方法的流程图；
- [0026] 图 6A- 图 6C 是采用图 5 所示方法制造沟槽栅极功率 IGBT 过程中器件的剖视图；
- [0027] 图 7 是完成了部分正面工艺的沟槽栅极功率 IGBT 的剖面示意图；
- [0028] 图 8 是完成了部分正面工艺的平面栅极功率 IGBT 的剖面示意图；
- [0029] 图 9 是完成了部分正面工艺的平面栅极功率 VDMOS 的剖面示意图；
- [0030] 图 10 是完成了部分正面工艺的功率平面二极管的剖面示意图。

## 具体实施方式

[0031] 为使本发明的目的、特征和优点能够更为明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0032] 需要说明的是，当元件被称为“固定于”另一个元件，它可以直接在另一个元件上或者也可以存在居中的元件。当一个元件被认为是“连接”另一个元件，它可以是直接连接到另一个元件或者可能同时存在居中元件。本文所使用的术语“垂直的”、“水平的”、“左”、“右”以及类似的表述只是为了说明的目的。

[0033] 除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

[0034] 传统的两种类型的超级结工艺，首先，超级结的 P 柱区必须与器件表面的 P 阵(体区)相对准，因此，对应每种型号的器件都必须有确定的预先做好的超级结(P1N1)结构。

[0035] 其次，在中高压(500V ~ 1200V)的 MOSFET 应用中，典型的外延层厚度为 40 微米至 100 微米，典型的原胞步距宽度为 10 微米至 30 微米，可以估算其中超级结的 P 柱区部分典型宽度为 4 微米至 15 微米，典型深度为 30 微米至 90 微米。在“注入法”中，由于考虑到注入的杂质离子的各向同性扩散作用，为了使超级结(P1N1)结构(剖面)保持长条矩形结构，需要用多次光刻、注入、外延的方法进行近似，目前典型的平面栅极结构 MOSFET 产品的超级结结构需要进行四次到七次的光刻、注入、外延流程。而在“刻蚀法”中，所需要刻蚀的

深沟槽典型深度 30 微米至 90 微米, 典型宽度 4 微米至 10 微米, 其掩膜选择及刻蚀过程都存在很大困难。总体来说, 以上两种类型的超级结结构中, 工艺过程虽然存在一定困难, 但都能勉强进行。

[0036] 沟槽栅(Trench)结构 MOSFET 是将表面的平面栅极替换为垂直于器件表面的“沟槽式”栅极结构的 MOSFET, 它具有降低寄生 JFET 电阻、缩小器件原胞尺寸、从而降低器件导通电阻的作用。目前沟槽栅极 MOSFET 的典型原胞长度缩小至 6 微米至 10 微米, 其中 P 型体区长度为 5 微米至 8 微米。在将超级结结构应用到沟槽栅极 MOSFET 时, 则要求超级结(P1N1)结构部分尺寸长度为 3 微米至 5 微米, 深度 30 微米至 90 微米。因此超级结结构的沟槽栅极 MOSFET 的工艺实施难度更大。

[0037] 请参见图 2, 下面以“注入法”制造沟槽栅极功率垂直双扩散金属氧化物半导体场效应管(VDMOS)的实施例, 介绍一种具非对准型超级结结构的半导体器件的制造方法:

[0038] S210, 提供 N 型衬底。

[0039] 衬底 110 的材料可以为锗单晶(Ge)、硅单晶(Si)、锗硅(SiGe)单晶、砷化镓单晶(GaAs)、氮化镓(GaN)单晶、碳化硅(SiC)单晶等。本实施例中采用硅。

[0040] S220, 在衬底上生长多层结构的 N 型柱区外延层, 每长一层均在其内形成多个 P 型杂质聚集区域。

[0041] 请参见图 3A, 在 N 型衬底 110 上生长出一层 N 型的柱区外延层 120, 光刻形成掺杂区窗口后通过离子注入形成 P 型杂质的聚集区域 122。可以理解的, 实际的器件在每一层柱区外延层 120 中需要形成多个聚集区域 122, 而不止图 3A 中所示出的两个。每一层柱区外延层 120 内的聚集区域 122 在横向相互分离。

[0042] 去胶后, 再于柱区外延层 120 上生长一层 N 型的柱区外延层 130, 并通过离子注入形成 P 型杂质的聚集区域 132, 参见图 3B。请一并参见图 3C- 图 3E, 本实施例中先后共生长 5 层具有 P 型杂质聚集区域的柱区外延层, 即还需要在柱区外延层 130 上再生长柱区外延层 140、光刻和离子注入在柱区外延层 140 内形成 P 型杂质的聚集区域 132, 在柱区外延层 140 上再生长柱区外延层 150、光刻和离子注入在柱区外延层 150 内形成 P 型杂质的聚集区域 142, 在柱区外延层 150 上再生长柱区外延层 160、光刻和离子注入在柱区外延层 160 内形成 P 型杂质的聚集区域 162。

[0043] S230, 在 N 型的柱区外延层上形成 N 型的正面工艺外延层。

[0044] 请参见图 3F, 本实施例采用比传统工艺厚很多的正面工艺外延层 170 (5 微米至 15 微米)。

[0045] S240, 进行热推进处理, 使每个聚集区域与其纵向上相邻的聚集区域串在一起形成柱区结构。

[0046] 请参见图 3G, 每层柱区外延层内的聚集区域在热推进后与其纵向上相邻的聚集区域串在一起, 每一列聚集区域串在一起形成一个 P 柱区 11, 共形成多个 P 柱区 11。

[0047] S250, 进行该半导体器件的正面工艺。

[0048] 本实施例中是进行沟槽栅极 VDMOS 的正面工艺, 可以直接采用现有技术的 VDMOS 正面工艺, 故此处不再对其具体步骤进行赘述。请参见图 4, 沟槽栅极 VDMOS 包括 N+ 型衬底 110, 设于 N+ 型衬底 110 上的 N- 型外延层 N1 (包括柱区外延层和正面工艺外延层, 可以理解的, 在实际产品中其是连成一体难以区分的, 因而一并组成外延层 N1), 设于外延层 N1 内

的 P 型柱区 P1，设于柱区 P1 上方的 P 型体区 172，设于体区 172 内的 N 型源极区(漏极区) 174，贯穿体区 172、伸入外延层 N1 的沟槽栅极 180，包围沟槽栅极 180 的栅绝缘介质层 190，以及覆盖于栅绝缘介质层 190 上的正面金属电极(图 4 中未示)。沟槽栅极 180 自 P 型体区 172 的上侧和下侧穿出，每个沟槽栅极 180 均被两个源极区 174 (实际上是一源极区和一漏极区) 夹在中间。沟槽栅极 180 的材质可以为多晶硅(Poly-Si)，绝缘介质层 190 的材质可以为二氧化硅(SiO<sub>2</sub>)、氮氧化硅(SiON)、氮化硅、三氧化二铝等，正面金属电极的材质可以为铝、铝硅合金、铝硅铜合金、钛镍铝、镍铂铝合金等。本实施例中的器件是采用 N 型外延层 P 型柱区的结构，可以理解的，本领域技术人员可以根据需要自行将其变换为 P 型外延层 N 型柱区的器件结构。

[0049] 由于步骤 S230 中采用了厚型的正面工艺外延层 170，因此正面工艺中生成的 P 型体区 172 和沟槽栅极 180 与超级结结构(柱区 P1)完全分离，在本实施例中柱区 P1 和 P 型体区 172 相距最近处的垂直距离(即相距最近处在图中纵坐标方向上的距离)为 2 至 10 微米，从而不需要产生对准关系。从而，超级结特征尺寸(图 4 中柱区 P1 与外延层 N1 的宽度)的选择可以独立确定，具体可以根据外延厚度与外延光刻次数来折中决定。

[0050] 根据模拟仿真结果显示，上述具非对准型超级结结构的沟槽栅极 VDMOS 的导通损耗的改善程度，只与该器件的耐压(外延层厚度、浓度)和超级结本身的结构参数(P1 区浓度、深度、宽度，N1 区浓度、宽度等)有关，而与正面器件结构参数(MOS 步距宽度，沟槽栅极宽度、深度等)基本不相关。

[0051] 因此，上述具非对准型超级结结构的半导体器件，其非对准型超级结结构与其正面结构的尺寸基本无关，使得沟槽超级结结构成为可能。非对准型超级结结构与正面结构分离，生产的工艺难度降低。另外，非对准型超级结结构与正面结构分离，与产品电流大小(产品型号)不相关，使得同一系列产品均可采用相同的超级结结构，适用于系列化，从而降低超级结结构量产成本。

[0052] 请参见图 5，下面再以“刻蚀法”制造沟槽栅极功率 IGBT (绝缘栅双极型晶体管)的实施例，介绍另一种具非对准型超级结结构的半导体器件的制造方法：

[0053] S410，提供 P 型衬底。

[0054] P 型衬底 310 的材料可以为锗单晶(Ge)、硅单晶(Si)、锗硅(SiGe)单晶、砷化镓单晶(GaAs)、氮化镓(GaN)单晶、碳化硅(SiC)单晶等。本实施例中采用硅。

[0055] S420，在衬底上一次性生长一层 N 型柱区外延层。

[0056] 参见图 6A，一次性长好足够厚度的柱区外延层 510。可以和“注入法”的实施例进行对照，“注入法”是多次外延后才能得到完整的柱区外延层，而本实施例中“刻蚀法”是一次就把足够厚度的柱区外延层 510 长好。

[0057] S430，通过光刻和刻蚀形成柱区深沟槽。

[0058] 光刻形成刻蚀窗口后，刻蚀形成柱区深沟槽 511，参见图 6B。刻蚀完成后去除光刻胶 513。可以理解的，实际的器件需要刻蚀出多个柱区深沟槽 511，而不止图 6B 中所示出的两个。

[0059] S440，向柱区深沟槽内填入含 P 型杂质的填充物质。

[0060] 通过淀积或异质外延工艺，向柱区深沟槽 511 内填入 P 型硅，将柱区深沟槽 511 填满。

- [0061] S450, 对填入的填充物质进行化学机械抛光后形成柱区。
- [0062] 对晶圆(wafer)表面进行化学机械抛光(CMP), 将晶圆表面多余的、不平坦的P型硅去除、磨平, 形成所需的P型柱区530。
- [0063] S460, 在柱区外延层上形成正面工艺外延层。
- [0064] 化学机械抛光完成后, 再于柱区外延层510上生长一层正面工艺外延层520, 形成图6C所示结构。本实施例采用比传统工艺厚很多的正面工艺外延层520(5微米至15微米)。
- [0065] S470, 进行该半导体器件的正面工艺。

[0066] 本实施例中是进行沟槽栅极IGBT的正面工艺, 可以直接采用现有技术的IGBT正面工艺, 故此处不再对其具体步骤进行赘述。请参见图7, 沟槽栅极IGBT包括P+型衬底310, 设于P+型衬底310上的N-型柱区外延层510, 设于柱区外延层510上的正面工艺外延层520(可以理解的, 在实际产品中柱区外延层510和正面工艺外延层520是连成一体难以区分的), 设于柱区外延层510内的P型柱区530, 设于柱区530上方的P型体区540, 设于体区540内的N型源极区(漏极区)550, 贯穿体区540、伸入正面工艺外延层520的沟槽栅极560, 包围沟槽栅极560的栅绝缘介质层570, 以及覆盖于栅绝缘介质层570上的正面金属电极580。沟槽栅极560自P型体区540的上侧和下侧穿出, 每个沟槽栅极560均被两个源极区550(实际上是一源极区和一漏极区)夹在中间。柱区530和体区540相距最近处的垂直距离为2至10微米, 沟槽栅极560的材质可以为多晶硅(Poly-Si), 绝缘介质层570的材质可以为二氧化硅(SiO<sub>2</sub>)、氮氧化硅(SiON)、氮化硅、三氧化二铝等, 正面金属电极580的材质可以为铝、铝硅合金、铝硅铜合金、钛镍铝、镍铂铝合金等。本实施例中的器件是采用N型外延层P型柱区的结构, 可以理解的, 本领域技术人员可以根据需要自行将其变换为P型外延层N型柱区的器件结构。

[0067] 以上实施例对将非对准型超级结结构应用于沟槽栅极结构的器件进行了介绍, 可以理解的, 该非对准型超级结结构及其制造方法同样适用于平面栅极结构的器件, 例如平面栅极功率IGBT、平面栅极功率VDMOS、功率平面二极管等。

[0068] 图8是一实施例中完成了部分正面工艺的平面栅极功率IGBT的剖面示意图。平面栅极IGBT包括P+型衬底310, 设于P+型衬底310上的N-型柱区外延层610, 设于柱区外延层610上的正面工艺外延层620(可以理解的, 在实际产品中柱区外延层610和正面工艺外延层620是连成一体难以区分的), 设于柱区外延层610内的P型柱区630, 设于柱区630上方的P型体区640, 设于体区640内的N型源极区(漏极区)650, 设于正面工艺外延层620和体区640上的栅极660, 包围栅极660的栅绝缘介质层670, 以及覆盖于栅绝缘介质层670上的正面金属电极680。柱区630和体区640相距最近处的垂直距离为2至10微米, 栅极660的材质可以为多晶硅(Poly-Si), 绝缘介质层670的材质可以为二氧化硅(SiO<sub>2</sub>)、氮氧化硅(SiON)、氮化硅、三氧化二铝等, 正面金属电极680的材质可以为铝、铝硅合金、铝硅铜合金、钛镍铝、镍铂铝合金等。本实施例中的器件是采用N型外延层P型柱区的结构, 可以理解的, 本领域技术人员可以根据需要自行将其变换为P型外延层N型柱区的器件结构。

[0069] 图9是一实施例中完成了部分正面工艺的平面栅极功率VDMOS的剖面示意图。平面栅极VDMOS包括N+型衬底710, 设于N+型衬底710上的N-型柱区外延层810, 设于柱区

外延层 810 上的正面工艺外延层 820(可以理解的,在实际产品中柱区外延层 810 和正面工艺外延层 820 是连成一体难以区分的),设于柱区外延层 810 内的 P 型柱区 830,设于柱区 830 上方的 P 型体区 840,设于体区 840 内的 N 型源极区(漏极区)850,设于正面工艺外延层 820 和体区 840 上的栅极 860,包围栅极 860 的栅绝缘介质层 870,以及覆盖于栅绝缘介质层 870 上的正面金属电极 880。柱区 830 和体区 840 相距最近处的垂直距离为 2 至 10 微米,栅极 860 的材质可以为多晶硅(Poly-Si),绝缘介质层 870 的材质可以为二氧化硅(SiO<sub>2</sub>)、氮氧化硅(SiON)、氮化硅、三氧化二铝等,正面金属电极 880 的材质可以为铝、铝硅合金、铝硅铜合金、钛镍铝、镍铂铝合金等。本实施例中的器件是采用 N 型外延层 P 型柱区的结构,可以理解的,本领域技术人员可以根据需要自行将其变换为 P 型外延层 N 型柱区的器件结构。

[0070] 图 10 是一实施例中完成了部分正面工艺的功率平面二极管的剖面示意图。功率平面二极管包括 N+ 型衬底 910,设于 N+ 型衬底 910 上的 N- 型柱区外延层 920,设于柱区外延层 920 上的正面工艺外延层 940(可以理解的,在实际产品中柱区外延层 920 和正面工艺外延层 940 是连成一体难以区分的),设于柱区外延层 920 内的 P 型柱区 930,设于柱区 930 上方的 P 型掺杂区 950,以及覆盖于掺杂区 950 上的正面金属电极 960。柱区 930 和掺杂区 950 相距最近处的垂直距离为 2 至 10 微米,正面金属电极 880 的材质可以为铝、铝硅合金、铝硅铜合金、钛镍铝、镍铂铝合金等。本实施例中的器件是采用 N 型外延层 P 型柱区的结构,可以理解的,本领域技术人员可以根据需要自行将其变换为 P 型外延层 N 型柱区的器件结构。

[0071] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对本发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明专利的保护范围应以所附权利要求为准。

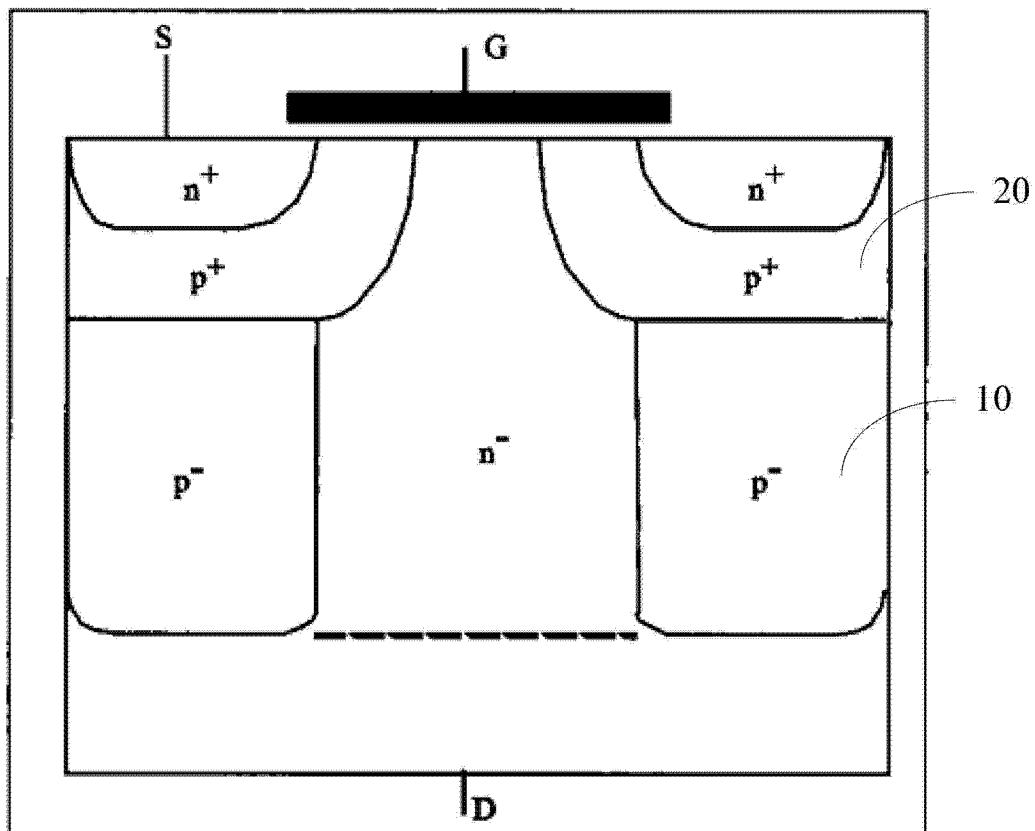


图 1

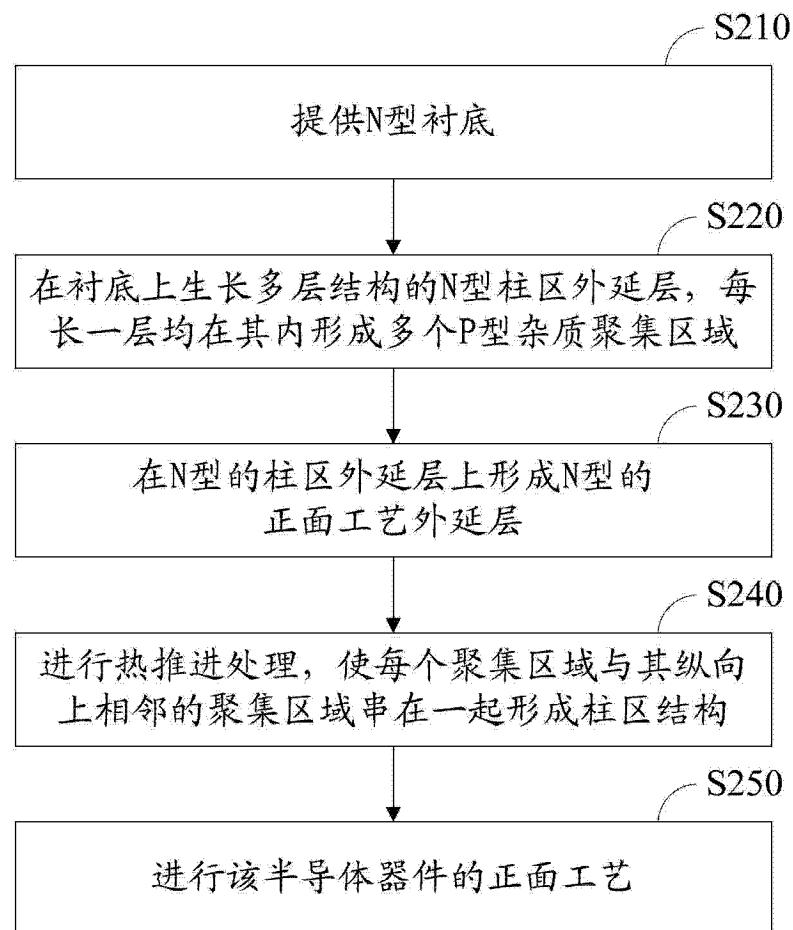


图 2

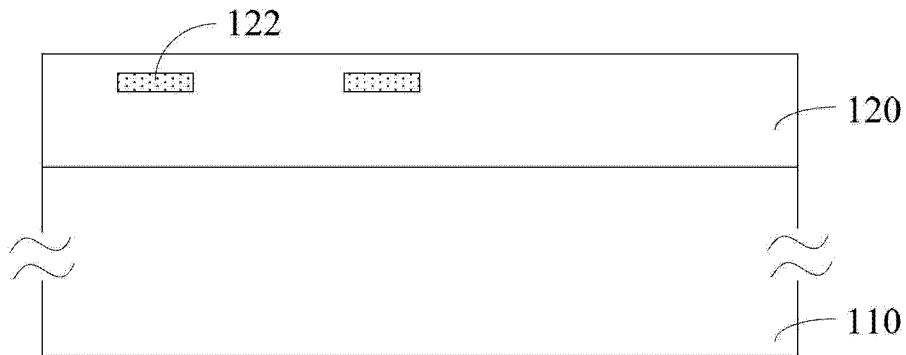


图 3A

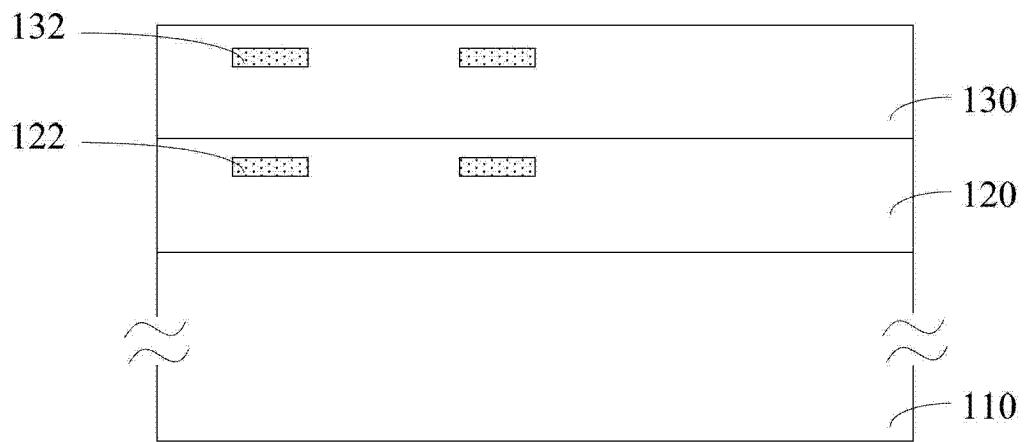


图 3B

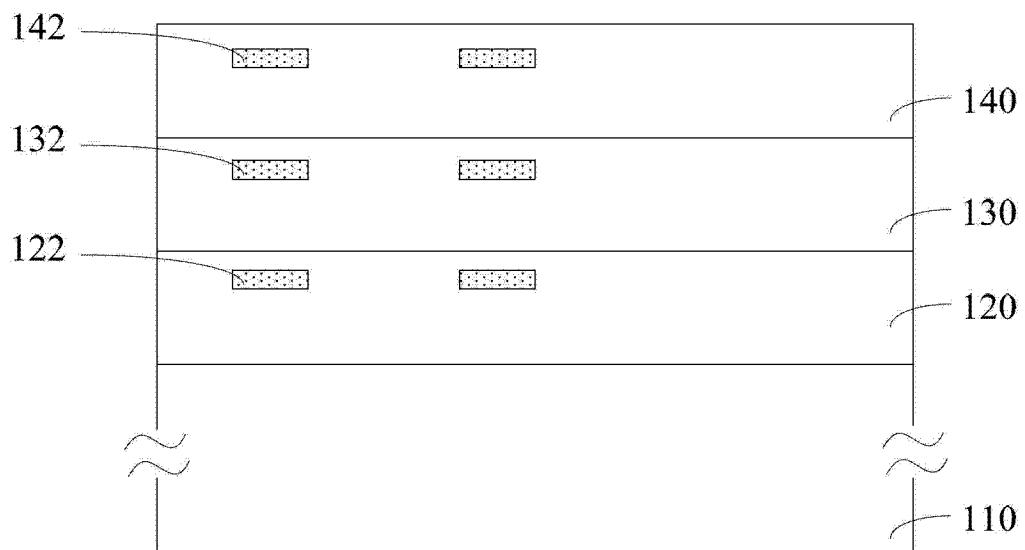


图 3C



图 3D

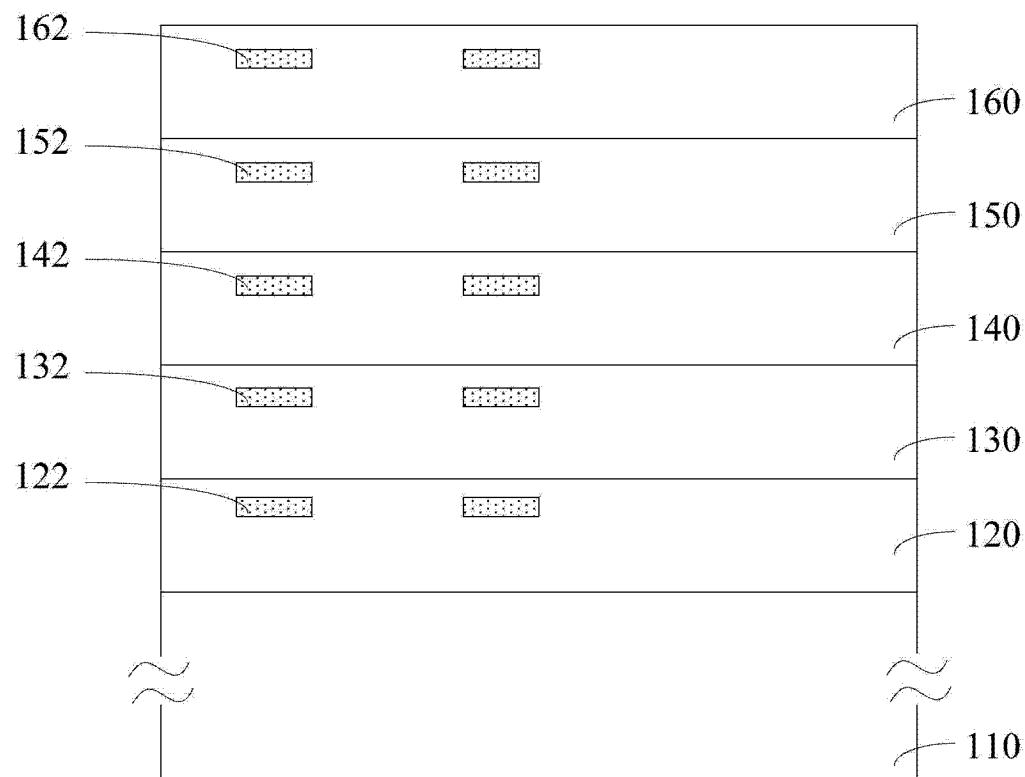


图 3E

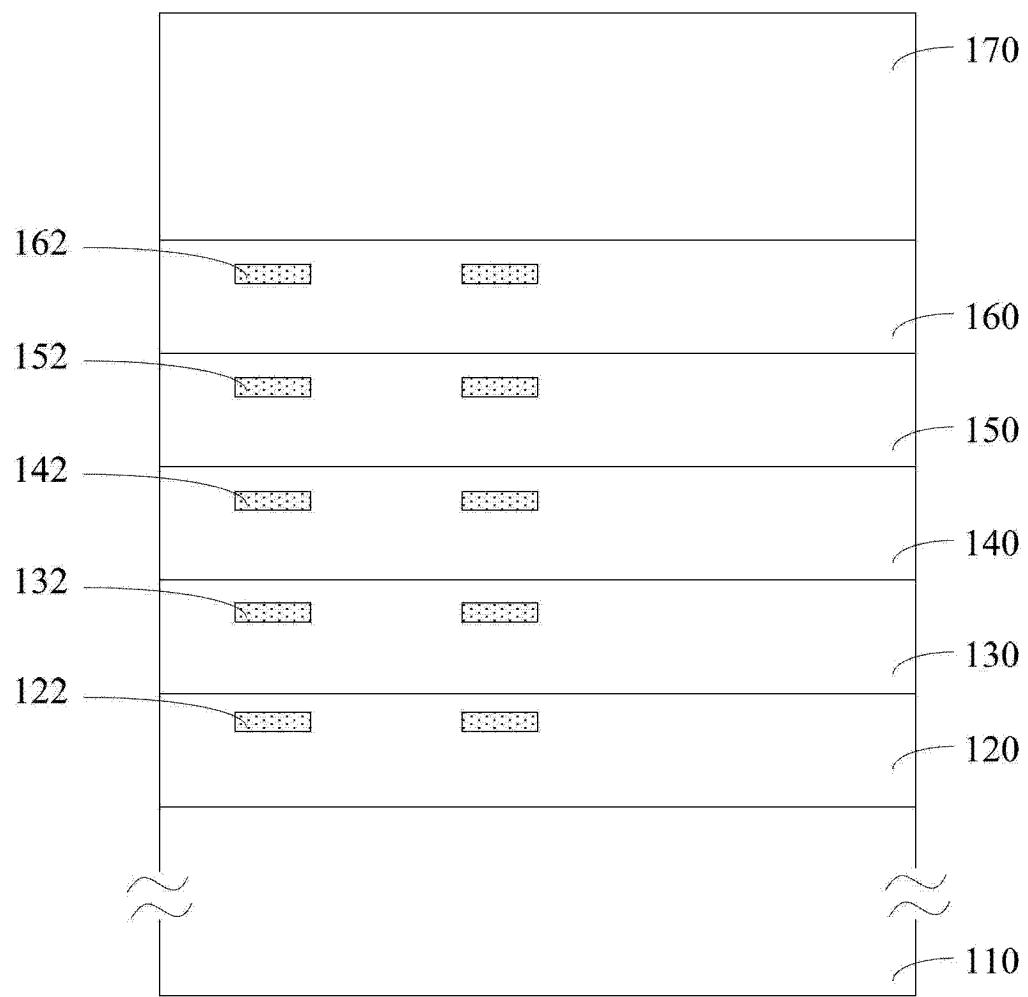


图 3F

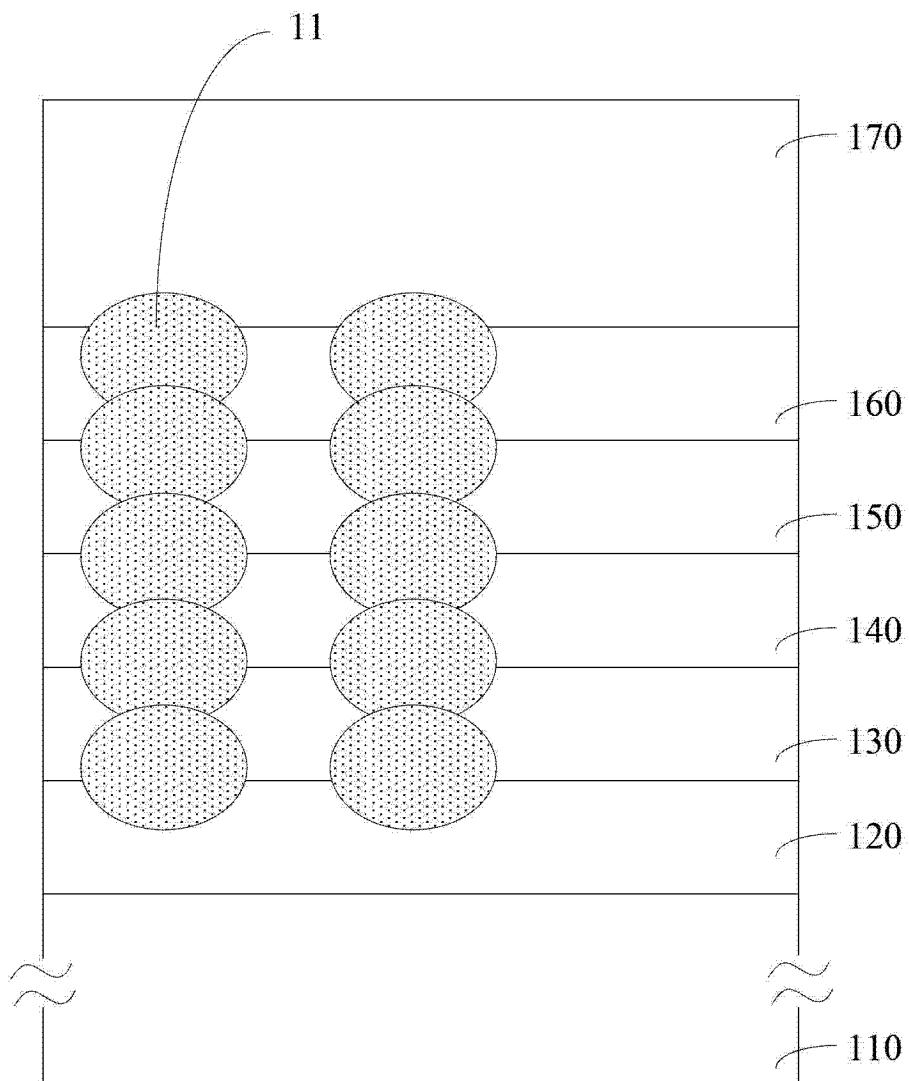


图 3G

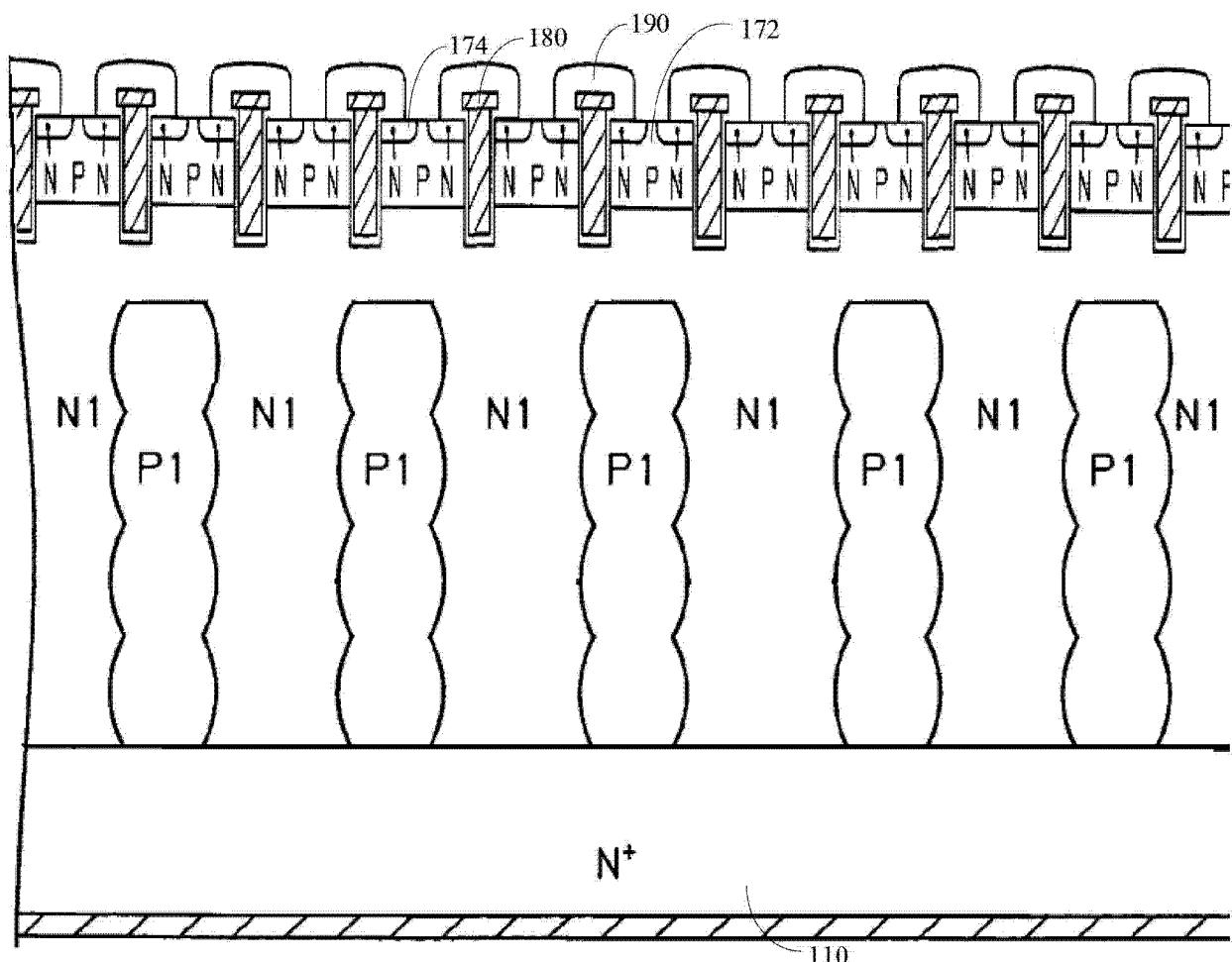


图 4

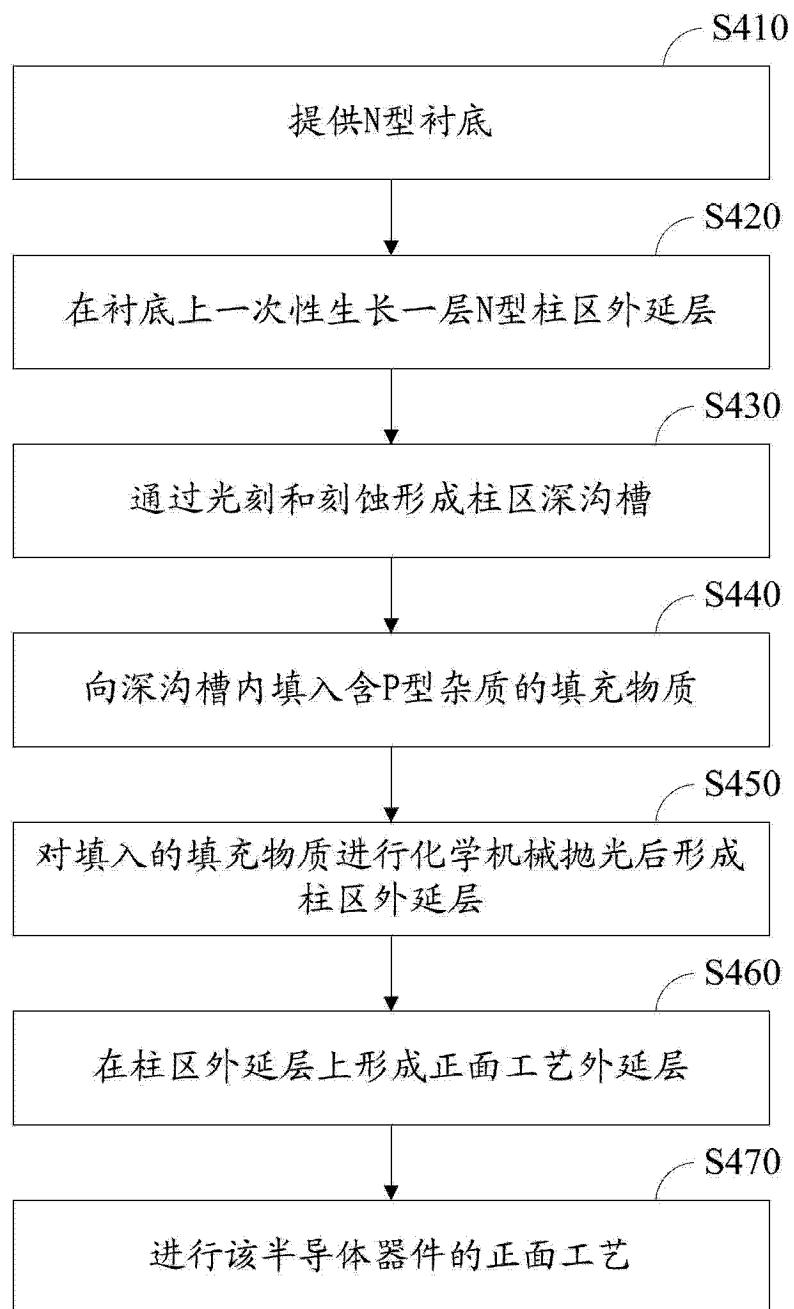


图 5



图 6A

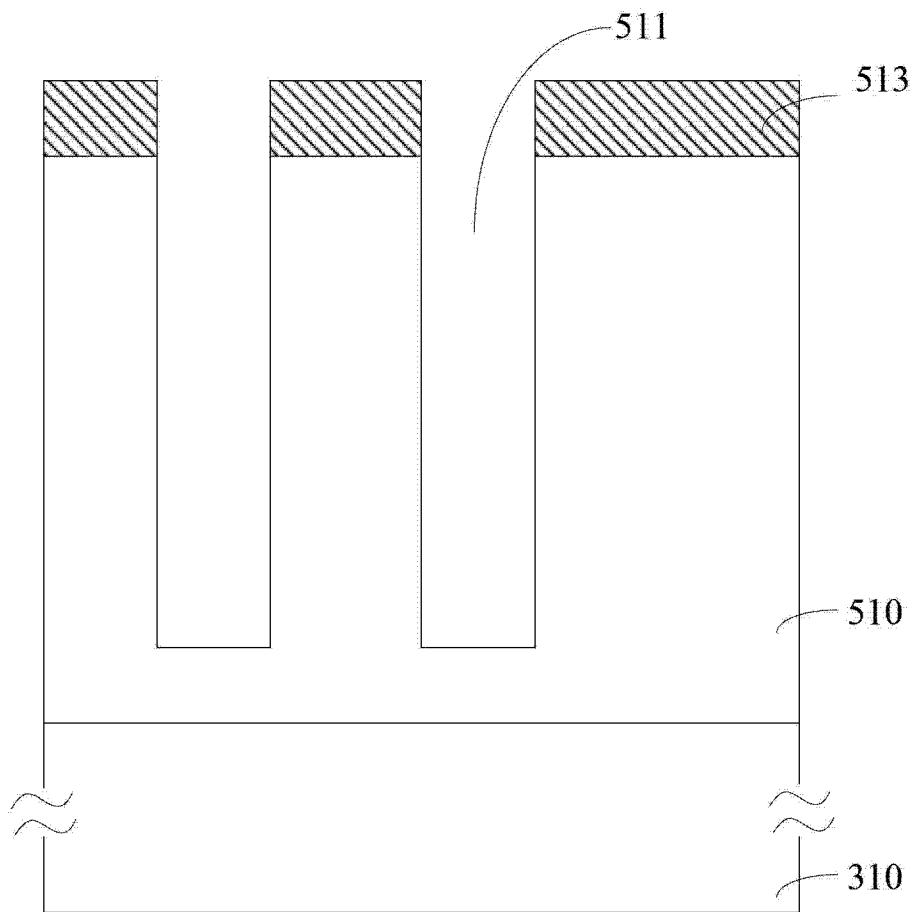


图 6B

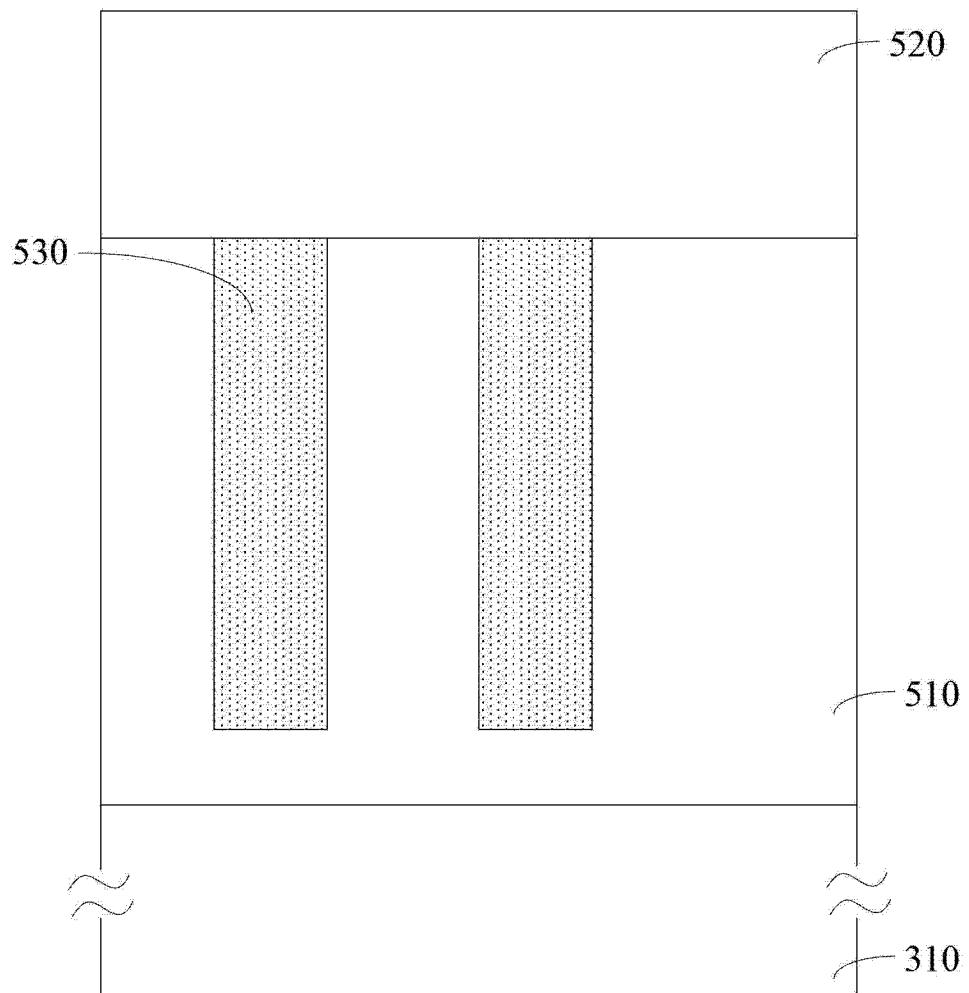


图 6C

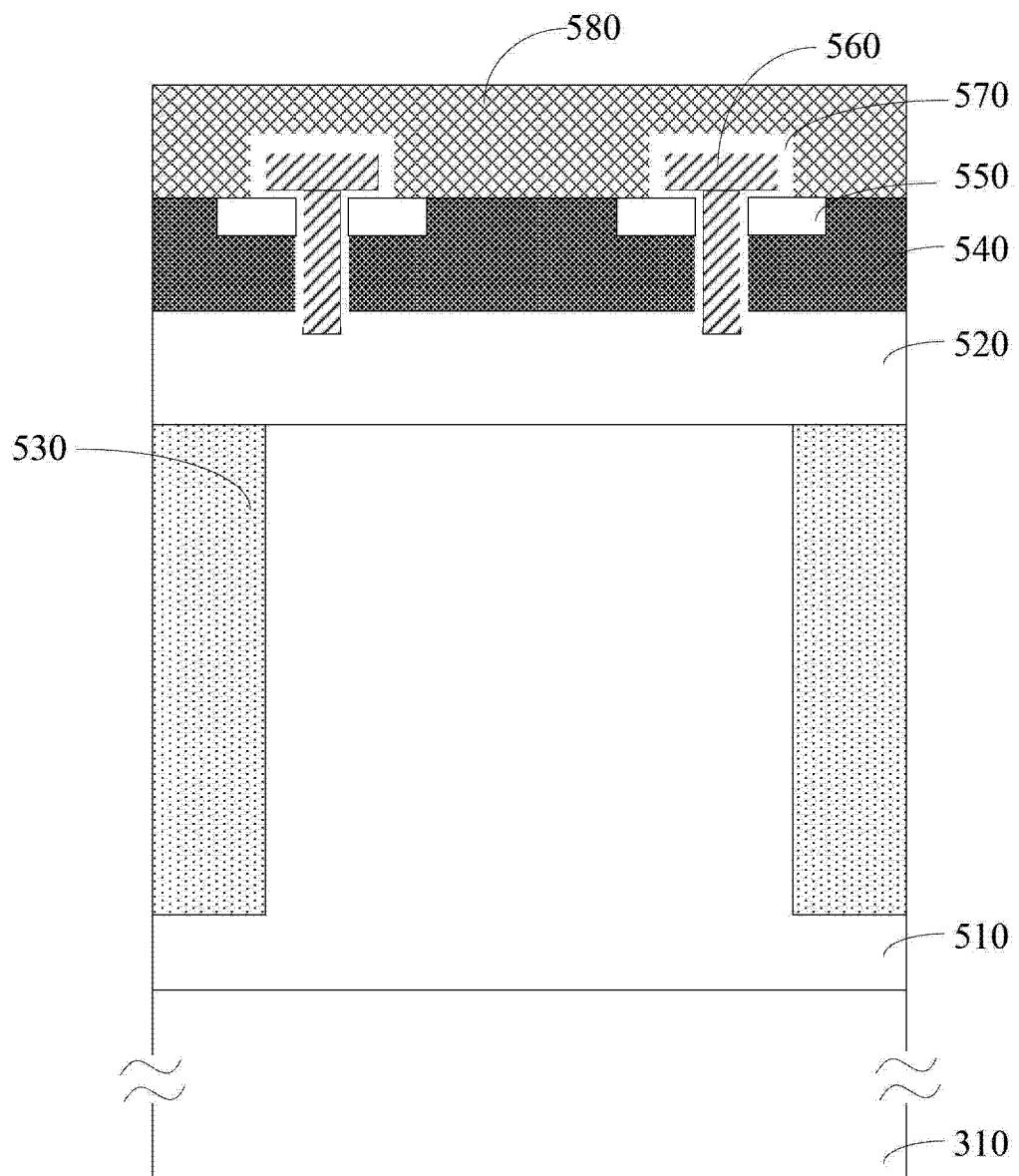


图 7

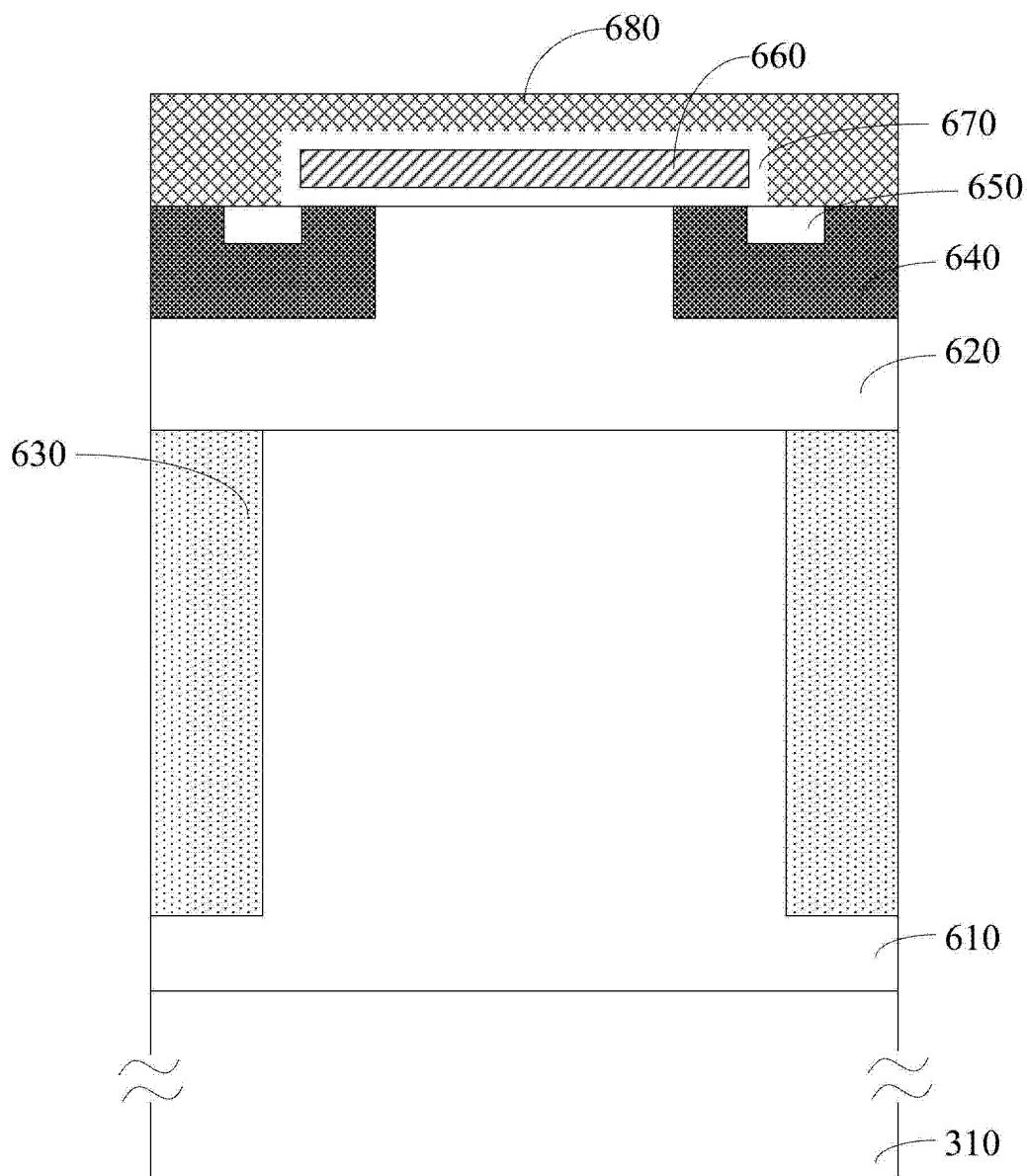


图 8

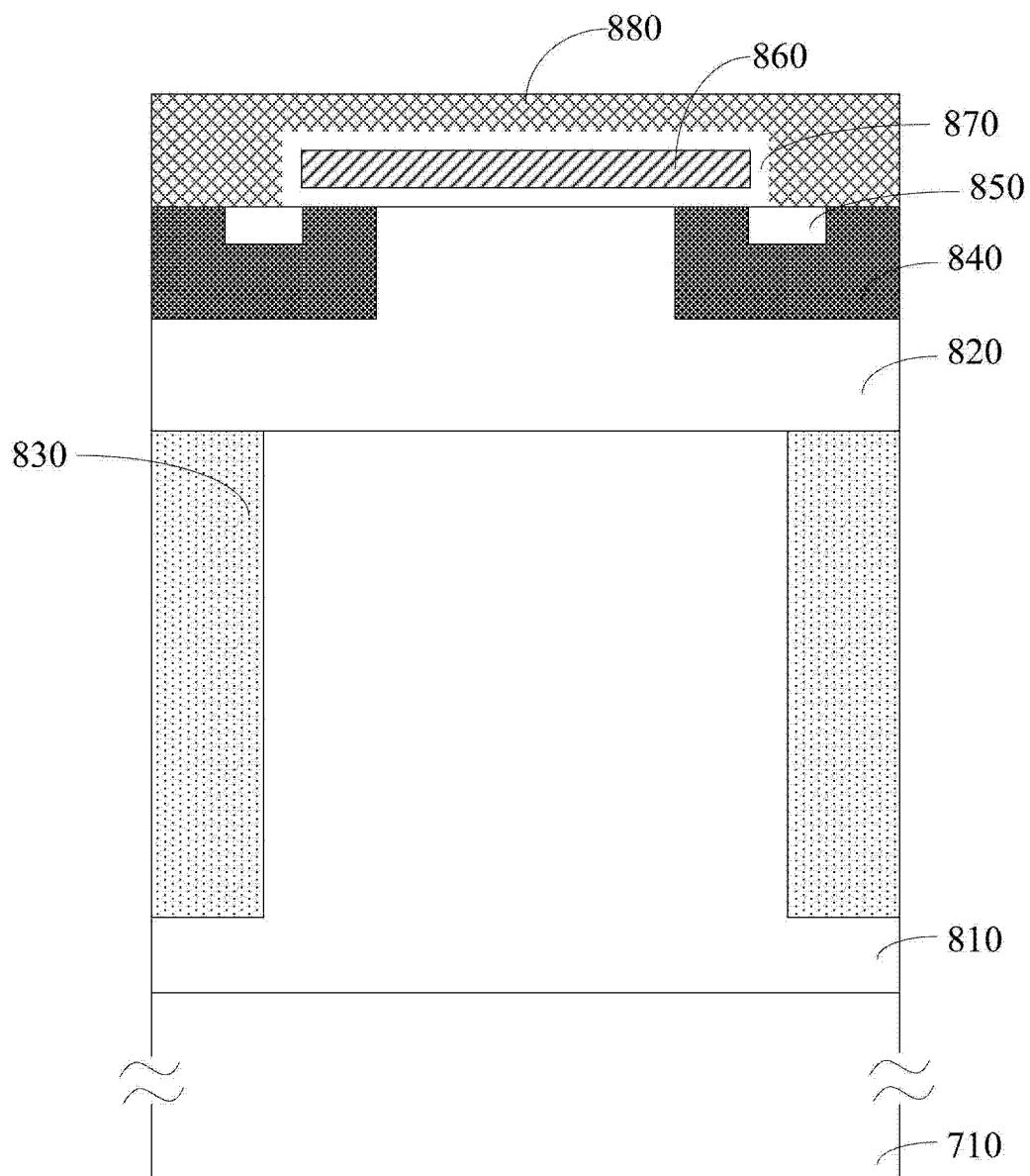


图 9

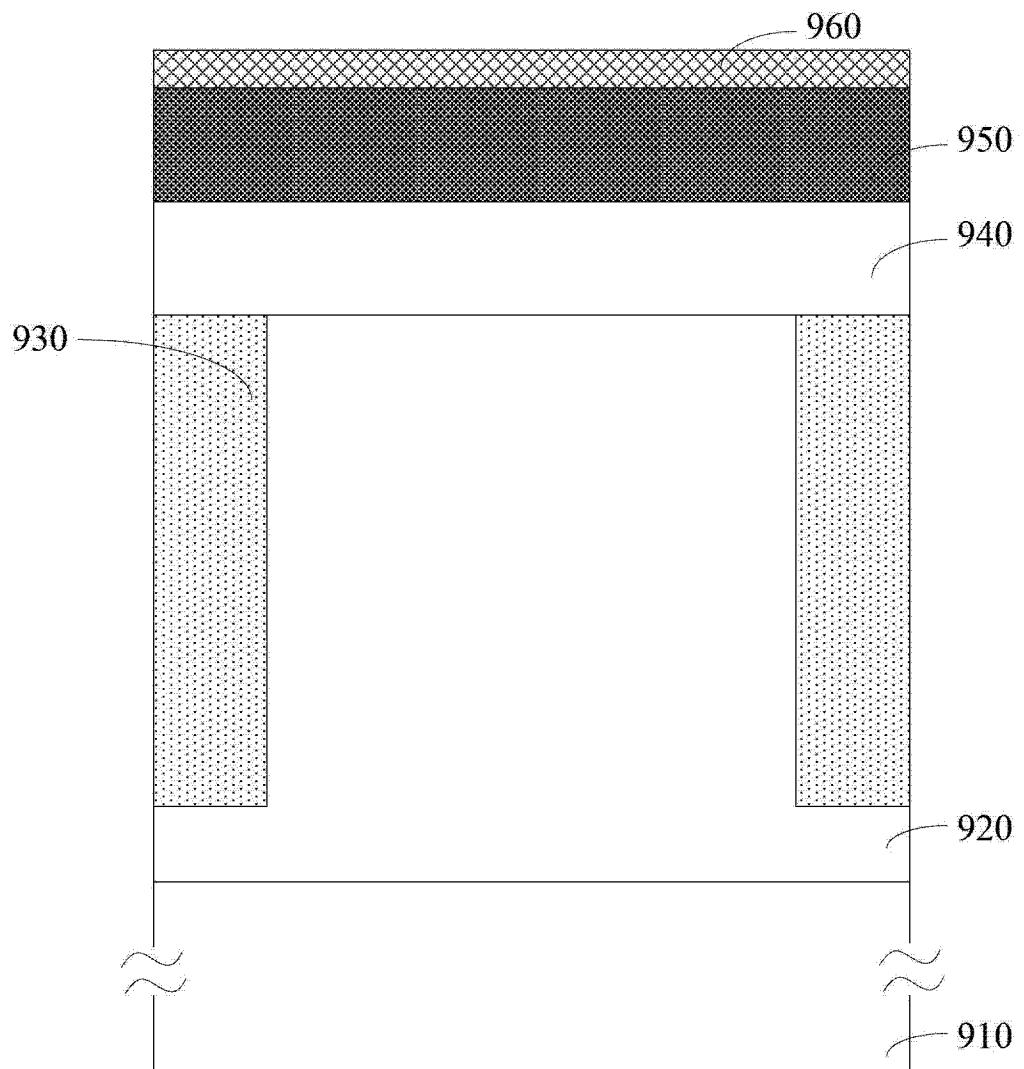


图 10