

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H03K 19/00	(11) 공개번호 특 1992-0019087
	(43) 공개일자 1992년 10월 22일
(21) 출원번호	특 1992-0004129
(22) 출원일자	1992년 03월 13일
(30) 우선권주장	91-73977 1991년 03월 13일 일본(JP) 91-141005 1991년 05월 16일 일본(JP) 91-147770 1991년 05월 23일 일본(JP)
(71) 출원인	닛본 덴기 가부시끼가이샤 세키모토 타다히로
(72) 발명자	일본국 도쿄도 미나토구 시바 5쵸메 7-1 기무라 가쓰지
(74) 대리인	일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내 이상희, 구영창, 주성민

심사청구 : 있음

(54) 승산기 및 이 승산기에 사용되는 제곱 회로

요약

내용 없음

대표도

도 3

명세서

[발명의 명칭]

승산기 및 이 승산기에 사용되는 제곱 회로

[도면의 간단한 설명]

제3도는 본 발명의 제1실시에 내지 제6실시에 따른 승산기의 회로도.

제4도는 본 발명의 제1실시에 따른 승산기의 회로도.

제5도는 제4도에 도시한 승산기에 사용되는 제곱 회로의 출력 특성도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

(57) 청구의 범위

청구항 1

제1제곱 회로의 출력 및 제2제곱 회로의 출력이 서로 공통으로 접속되고, 상기 제1제곱 회로의 제1입력 단자가 제1입력 전압으로 인가되며, 상기 제1제곱 회로의 제2입력 단자가 상기 제1입력 전압과 반대 위상인 제2입력 전압으로 인가되고, 상기 제2제곱회로의 제1입력 단자가 상기 제2입력 전압으로 인가되며, 상기 제2제곱 회로의 제2입력 단자가 상기 제1입력 전압으로 인가되는 차동 입력 단자 쌍을 각각 갖는 제1제곱 회로 및 제2제곱 회로를 포함하는 승산기에 있어서, 각각의 상기 제1 및 제2제곱 회로가, 입력이 반대 위상이고 출력이 공통으로 접속되며, 트랜지스터들이 서로 다른 에미터 크기를 갖도록 각각 배열된 2셋트의 비평형 차동 트랜지스터 쌍을 포함하는 것을 특징으로 하는 승산기.

청구항 2

제1항에 있어서, 상기 각각의 차동 트랜지스터 쌍이 저항에 각각 접속된 2개의 트랜지스터 에미터를 갖고, 큰 에미터 크기를 갖는 트랜지스터에 접속된 저항의 저항 값과 작은 에미터 크기를 갖는 트랜지스터에 접속된 저항의 저항 값의 비율이 상기 각각의 차동 트랜지스터 쌍의 에미터 크기 비율에 반비례하는 것을 특징으로 하는 승산기.

청구항 3

제1항에 있어서, 상기 각각의 차동 트랜지스터 쌍의 한 트랜지스터만이 저항에 접속된 에미터를 갖는 것

을 특징으로 하는 승산기.

청구항 4

제1제곱 회로의 출력 및 상기 제2제곱 회로의 출력이 서로 공통으로 접속되고, 상기 제1제곱 회로의 제1 입력 단자에는 제1입력 전압이 인가되며, 상기 제2제곱 회로의 제2입력 단자에는 상기 제1입력 전압과 반대 위상인 제2입력 전압이 인가되고, 상기 제2제곱 회로의 제1입력 단자에는 상기 제2입력 전압이 인가되며, 상기 제2제곱 회로의 제2입력 단자에는 상기 제1입력 전압이 인가되는 차동 트랜지스터 쌍을 각각 갖는 제1제곱 회로 및 제2제곱 회로를 포함하는 승산기에 있어서, 각각의 상기 제1 및 제2제곱 회로가, 트랜지스터가 동일한 에미터 크기를 갖고 각 쌍의 1개의 트랜지스터만이 저항을 갖는 2셋트의 비평형 차동 트랜지스터 쌍을 포함하는 것을 특징으로 하는 승산기.

청구항 5

제4항에 있어서, 상기 비평형 차동 트랜지스터 쌍이 달링톤 접속을 갖는 2개의 트랜지스터를 각각 포함하는 것을 특징으로 하는 승산기.

청구항 6

서로 위상이 반대로 되도록 각 차동 입력 단자 쌍에 인가된 2개의 입력 신호를 갖는 2개의 제곱 회로를 포함하고 공통으로 접속되는 에미터가 $K:1(K>1)$ 인 에미터 비율을 갖는 2셋트의 차동 트랜지스터 쌍을 포함하는 승산기에 있어서, 서로 에미터 크기가 다른 트랜지스터의 베이스들이 차동 입력 단자 쌍을 형성하고 4셋트의 차동 트랜지스터 쌍을 형성하는 동일한 에미터 크기를 갖는 4개의 트랜지스터의 콜렉터가 각각 차동 출력을 형성하기 위해 공통으로 접속되도록 상기 2셋트의 차동 트랜지스터 쌍이 상호 배열되는 것을 특징으로 하는 승산기.

청구항 7

출력이 공통으로 접속되는 제1차동 트랜지스터 쌍 및 제2차동 트랜지스터 쌍을 포함하는 제1제곱 회로와 출력이 공통으로 접속되는 제3차동 트랜지스터 쌍 및 제4차동 트랜지스터 쌍을 포함하는 제2제곱 회로를 포함하고, 상기 제1 및 제2제곱 회로의 출력이 공통으로 접속되는 승산기에 있어서, 제1입력 전압이 상기 제1차동 트랜지스터 쌍의 한 입력 단자와 상기 제2차동 트랜지스터 쌍의 한 입력 단자 사이에 인가되고, 제2입력 전압이 상기 제1차동 트랜지스터 쌍의 다른 입력 단자와 상기 제2차동 트랜지스터 쌍의 다른 입력 단자 사이에 인가되며, 상기 제2입력 전압이 상기 제3차동 트랜지스터 쌍의 한 입력 단자와 상기 제4차동 트랜지스터의 한 입력 단자 사이에 인가되고, 상기 제1입력 전압이 상기 제3차동 트랜지스터 쌍의 다른 입력 단자와 상기 제4차동 트랜지스터 쌍의 다른 트랜지스터 쌍의 다른 입력 단자 사이에 인가되며, 상기 각각의 차동 트랜지스터 쌍을 구성하는 2개의 트랜지스터들이 서로 다른 에미터 크기를 갖는 것을 특징으로 하는 승산기.

청구항 8

제7항에 있어서, 상기 각각의 차동 트랜지스터 쌍이 저항에 각각 접속된 2개의 트랜지스터 에미터를 갖고, 큰 에미터 크기를 갖는 상기 트랜지스터의 에미터에 접속된 저항의 저항 값과 작은 에미터 크기를 갖는 상기 트랜지스터의 에미터에 접속된 저항의 저항 값의 비율이 상기 각각의 차동 트랜지스터 쌍의 에미터 크기 비율에 반비례하는 것을 특징으로 하는 승산기.

청구항 9

제7항에 있어서, 상기 각각의 차동 트랜지스터 쌍중 1개의 트랜지스터만이 저항에 접속된 에미터를 갖는 것을 특징으로 하는 승산기.

청구항 10

출력이 공통으로 접속되는 제1차동 트랜지스터 쌍 및 제2차동 트랜지스터 쌍을 포함하는 제1제곱 회로와 출력이 공통으로 접속되는 제3차동 트랜지스터 쌍 및 제4차동 트랜지스터 쌍을 포함하는 제2제곱 회로를 포함하고, 상기 제1 및 제2제곱 회로의 출력이 공통으로 접속되는 승산기에 있어서, 제1입력 전압이 상기 제1차동 트랜지스터 쌍의 한 입력 단자와 상기 제2차동 트랜지스터 쌍의 한 입력 단자 사이에 인가되고, 제2입력 전압이 상기 제1차동 트랜지스터 쌍의 다른 입력 단자와 상기 제2차동 트랜지스터 쌍의 다른 입력 단자 사이에 인가되며, 상기 제2입력 전압이 상기 제3차동 트랜지스터 쌍의 한 입력 단자와 상기 제4차동 트랜지스터의 한 입력 단자 사이에 인가되고, 상기 제1입력 전압이 상기 제3차동 트랜지스터 쌍의 다른 입력 단자와 상기 제4차동 트랜지스터 쌍의 다른 트랜지스터 쌍의 다른 입력 단자 사이에 인가되며, 상기 각각의 차동 트랜지스터 쌍을 구성하는 2개의 트랜지스터들이 서로 다른 에미터 크기를 갖는 것을 특징으로 하는 승산기.

청구항 11

제10항에 있어서, 상기 차동 트랜지스터 쌍이 달링톤 접속을 갖는 2개의 트랜지스터를 포함하는 것을 특징으로 하는 승산기.

청구항 12

입력 신호가 반대 위상인 제1입력 단자 쌍 및 제2입력 단자 쌍과 공통으로 접속되는 에미터가 $K:1(K>1)$ 인 에미터 크기 비율을 갖는 4셋트의 차동 트랜지스터 쌍을 포함하는 승산기에 있어서, 제1차동 트랜지스터 쌍중 K 인 에미터 크기를 갖는 트랜지스터의 베이스와 제3차동 트랜지스터 쌍중 1인 에미터 크기를 갖는 트랜지스터의 베이스가 상기 제1차동 입력 단자 쌍의 한 입력 단자에 공통으로 접속되도록 상기 4셋트의 차동 트랜지스터 쌍이 배열되고, 제1차동 트랜지스터 쌍중 1인 에미터 크기를 갖는 트랜지스터의

베이스와 제4차동 트랜지스터 쌍중 K인 에미터 크기를 갖는 트랜지스터의 베이스가 상기 제2차동 입력 단자 쌍의 한 입력 단자에 공통으로 접속되며, 제2차동 트랜지스터 쌍중 K인 에미터 크기를 갖는 트랜지스터의 베이스와 제4차동 트랜지스터 쌍중 1인 에미터 크기를 갖는 트랜지스터의 베이스가 상기 제1입력 단자 쌍의 다른 입력 단자 쌍에 공통으로 접속되고, 제2차동 트랜지스터 쌍중 1인 에미터 크기를 갖는 트랜지스터의 베이스와 제3차동 트랜지스터 쌍중 K인 에미터 크기를 갖는 트랜지스터의 베이스가 상기 제2차동 입력 단자 쌍의 다른 입력에 공통으로 접속되며, 4셋트의 차동 트랜지스터 쌍중 동일한 에미터 크기를 갖는 4개의 트랜지스터의 콜렉터가 각각의 차동 출력을 형성하기 위해 공통으로 접속되는 것을 특징으로 하는 승산기.

청구항 13

차동 입력 단자 쌍을 각각 갖는 제1제곱 회로, 제2제곱 회로, 제3제곱 회로를 포함하고, 상기 제1제곱 회로가 상기 제2및 제3제곱 회로와 위상이 반대가 되도록 접속된 출력을 갖는 승산기에 있어서, 제1입력 전압이 상기 제1제곱 회로의 한 입력 단자에 인가되고, 제2입력 전압이 상기 제1제곱 회로의 다른 입력 단자에 인가되며, 제1입력 전압이 상기 제2제곱 회로의 입력 단자 쌍 양단에 인가되고, 제2입력 전압이 상기 제3제곱 회로의 입력 단자 쌍 양단에 인가되며, 각각의 차동 트랜지스터 쌍을 구성하는 2개의 트랜지스터가 서로 상이한 에미터 크기를 갖는 것을 특징으로 하는 승산기.

청구항 14

제13항에 있어서, 상기 각각의 차동 트랜지스터 쌍이 저항에 각각 접속된 2개의 트랜지스터 에미터를 갖고, 큰 에미터 크기를 갖는 상기 트랜지스터의 에미터에 접속된 저항의 저항 값과 작은 에미터 크기를 갖는 상기 트랜지스터의 에미터에 접속된 저항의 저항 값의 비율이 상기 각각의 차동 트랜지스터 쌍의 에미터 크기 비율에 반비례하는 것을 특징으로 하는 승산기.

청구항 15

제13항에 있어서, 상기 각각의 차동 트랜지스터 쌍중 1개의 트랜지스터만이 저항에 접속된 에미터를 갖는 것을 특징으로 하는 승산기.

청구항 16

차동 입력 단자 쌍을 각각 갖는 제1제곱 회로, 제2제곱 회로, 제3제곱 회로를 포함하고, 상기 제1제곱 회로가 상기 제2및 제3제곱 회로와 위상이 반대가 되도록 접속된 출력을 갖는 승산기에 있어서, 제1입력 전압이 상기 제1제곱 회로의 한 입력 단자에 인가되고, 제2입력 전압이 상기 제1제곱 회로의 다른 입력 단자에 인가되며, 제1입력 전압이 상기 제2제곱 회로의 입력 단자 쌍 양단에 인가되고, 제2입력 전압이 상기 제3제곱 회로의 입력 단자 쌍 양단에 인가되며, 각각의 차동 트랜지스터 쌍을 구성하는 2개의 트랜지스터가 서로 상이한 에미터 크기를 갖는 것을 특징으로 하는 승산기.

청구항 17

제16항에 있어서, 상기 차동 트랜지스터 쌍이 달링톤 접속을 갖는 2개의 트랜지스터를 포함하는 것을 특징으로 하는 승산기.

청구항 18

입력 신호가 동일 위상이고, 한 입력 단자가 공통 입력 단자로서 형성되는 제1입력 단자 쌍 및 제2입력 단자 쌍, 및 상기 제1입력단자 쌍과 제2입력 단자 쌍 사이에 제공된 제1제곱 회로, 제2제곱 회로 및 제3제곱 회로를 포함하고, 공통으로 접속되는 에미터가 $K:1(K>1)$ 인 에미터 크기 비율을 갖는 2셋트의 비평형 차동 트랜지스터 쌍을 각각 포함하며, 에미터 크기가 동일한 트랜지스터의 콜렉터 및 에미터 크기가 다른 트랜지스터의 콜렉터가 각각 공통으로 접속된 3개의 제곱 회로를 포함하는 승산기에 있어서, 제1제곱 회로 및 제2제곱 회로의 한 베이스가 상기 제1입력 단자 쌍의 다른 입력 단자에 공통으로 접속되고, 제1및 제3제곱 회로의 다른 베이스가 상기 제2입력 단자 쌍의 다른 입력 단자에 공통으로 접속되며, 제2제곱 회로의 다른 베이스와 제3제곱 회로의 한 베이스가 상기 공통 입력 단자에 각각 접속되고, 제2및 제3제곱 회로의 에미터 크기가 동일한 트랜지스터의 콜렉터가 공통으로 접속되므로, 제1제곱 회로의 에미터 크기가 다른 트랜지스터의 콜렉터에 각각 접속되는 것을 특징으로 하는 승산기.

청구항 19

차동 입력 단자 쌍을 각각 갖는 제1제곱 회로, 제2제곱 회로, 제3제곱 회로 및 제4제곱 회로를 포함하고, 상기 제1제곱 회로의 출력이 상기 제2제곱 회로, 제3제곱 회로 및 제4제곱 회로와 위상이 반대가 되도록 접속되는 승산기에 있어서, 제1입력 전압이 상기 제1제곱 회로의 한 입력 단자에 인가되고, 제2입력 전압이 상기 제1제곱 회로의 다른 입력 단자에 인가되며, 제1입력 전압이 상기 제2제곱 회로의 입력 단자 쌍 양단에 인가되고, 제2입력 전압이 상기 제3제곱 회로의 입력 단자 쌍 양단에 인가되며, 제1입력 전압 또는 제2입력 전압이 상기 제4제곱 회로의 입력 단자 쌍 양단에 인가되고, 상기 각 제곱 회로의 차동 트랜지스터 쌍을 각각 구성하는 2개의 트랜지스터는 서로 다른 에미터 크기를 갖는 것을 특징으로 하는 승산기.

청구항 20

제19항에 있어서, 상기 각각의 차동 트랜지스터 쌍이 저항에 각각 접속된 2개의 트랜지스터를 갖고, 큰 에미터 크기를 갖는 상기 트랜지스터의 에미터에 접속된 저항의 저항 값과 작은 에미터 크기를 갖는 상기 에미터에 접속된 저항 값의 비율이 상기 각각의 차동 트랜지스터 쌍의 에미터 크기 비율에 반비례하는 것을 특징으로 하는 승산기.

청구항 21

제19항에 있어서, 상기 각 차동 트랜지스터 쌍중 1개의 트랜지스터만이 저항에 접속된 에미터를 갖는 것을 특징으로 하는 승산기.

청구항 22

차동 입력 단자 쌍을 각각 갖는 제1제곱 회로, 제2제곱 회로, 제3제곱 회로 및 제4제곱 회로를 포함하고, 상기 제1제곱 회로의 출력이 상기 제2제곱 회로, 제3제곱 회로 및 제4제곱 회로와 위상이 반대가 되도록 접속되는 승산기에 있어서, 제1입력 전압이 상기 제1제곱 회로의 한 입력 단자에 인가되고, 제2입력 전압이 상기 제1제곱 회로의 다른 입력 단자에 인가되며, 제1입력 전압이 상기 제2제곱 회로의 입력 단자 쌍 양단에 인가되고, 제2입력 전압이 상기 제3제곱 회로의 입력 단자 쌍 양단에 인가되며, 제1입력 전압 또는 제2입력 전압이 상기 제4제곱 회로의 입력 단자 쌍 양단에 인가되고, 상기 각 제곱 회로의 각각의 차동 트랜지스터 쌍을 구성하는 2개의 트랜지스터가 서로 다른 에미터 크기를 갖고 상기 각 차동 트랜지스터 쌍중 1개의 트랜지스터만이 저항에 접속된 에미터를 갖는 것을 특징으로 하는 승산기.

청구항 23

제22항에 있어서, 상기 차동 트랜지스터 쌍이 달링톤 접속을 갖는 2개의 트랜지스터를 포함하는 것을 특징으로 하는 승산기.

청구항 24

입력 신호의 위상이 동상이고, 한 입력 단자가 공통 입력 단자로서 형성된 제1입력 단자 쌍 및 제2입력 단자 쌍과, 상기 제1입력 단자 쌍과 제2입력 단자 쌍 사이에 제공된 제1제곱 회로, 제2제곱 회로, 제3제곱 회로 및 제4제곱 회로를 포함하는 승산기에 있어서, 상기 4개의 제곱 회로가 공통으로 접속되는 에미터들이 에미터 크기 비율 $K:1(K>1)$ 을 갖는 2셋트의 비평형 차동 트랜지스터 쌍을 포함하고, 에미터 크기가 동일한 트랜지스터의 콜렉터 및 에미터 크기가 다른 트랜지스터의 콜렉터가 각각 공통으로 접속되며, 제1 및 제2제곱 회로의 한 베이스가 상기 제1입력 단자 쌍의 다른 입력 단자에 공통으로 접속되고, 제1 및 제4제곱 회로의 다른 베이스가 상기 제2입력 단자 쌍의 다른 입력 단자에 공통으로 접속되며, 제2제곱 회로의 다른 베이스 및 제3제곱 회로의 한 베이스가 상기 공통 입력 단자에 공통 접속되고, 제3제곱 회로의 다른 베이스와 제4제곱 회로의 한 베이스가 상기 제1 및 제3제곱 회로들 사이 및 제2 및 제4제곱 회로들 사이에 공통으로 접속되며, 에미터 크기가 동일한 트랜지스터의 콜렉터가 공통으로 접속되며, 에미터 크기가 다른 트랜지스터의 콜렉터가 공통으로 접속되는 것을 특징으로 하는 승산기.

청구항 25

정전류원에 의해 구동되는 제1차동 트랜지스터 쌍과 제2차동 트랜지스터 쌍으로 구성되는 승산기에 있어서, 상기 제1차동 트랜지스터 쌍이 정전류원(I_0)에 의해 구동되고 상기 제2차동 트랜지스터 쌍이 $\{2 \cdot H^{1/2} / (H+1)\} \cdot I_0$ 과 같은 정전류원에 의해 구동되고, 상기 제1차동 트랜지스터 쌍이 게이트 폭(W)과 게이트 길이(L)의 비율(W/L)이 1인 제1MOS트랜지스터 및 게이트 폭(W)과 게이트 길이(L)의 비율(W/L)이 $H(H \neq 1)$ 인 제2MOS트랜지스터를 포함하고, 상기 제2차동 트랜지스터 쌍이, 게이트 폭(W)과 게이트 길이(L)의 비율(W/L)이 제3MOS트랜지스터 및 $\{4 \cdot H^{1/2} / (H+1)^2\}$ 와 같은 제4MOS트랜지스터를 포함하며, 상기 제1 및 제3트랜지스터의 드레인과 상기 제2 및 제4트랜지스터의 드레인이 각각 공통으로 접속되고, 상기 제1 및 제4트랜지스터의 게이트와 상기 제2 및 제5트랜지스터의 게이트가 각각 공통으로 접속되는 것을 특징으로 하는 제곱 회로.

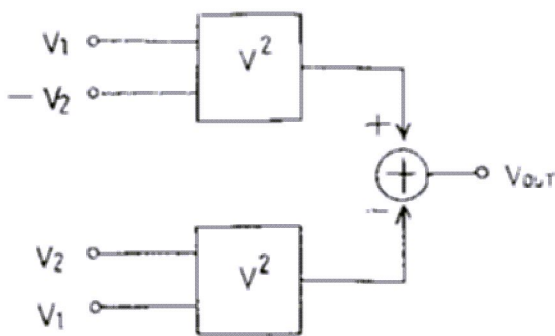
청구항 26

최소한 2개의 제25항에서 정해진 제곱 회로를 갖는 것을 특징으로 하는 승산기.

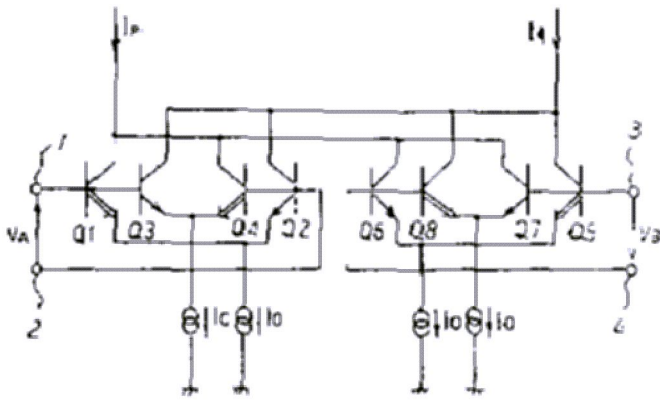
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면3



도면4



도면5

