

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5093855号
(P5093855)

(45) 発行日 平成24年12月12日 (2012.12.12)

(24) 登録日 平成24年9月28日 (2012.9.28)

(51) Int.Cl.

F I

H O 1 L 21/8247 (2006.01)

H O 1 L 27/10 4 3 4

H O 1 L 27/115 (2006.01)

H O 1 L 27/10 4 6 1

H O 1 L 27/10 (2006.01)

H O 1 L 27/10 4 8 1

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006.01)

請求項の数 17 (全 44 頁) 最終頁に続く

(21) 出願番号 特願2009-100471 (P2009-100471)
 (22) 出願日 平成21年4月17日 (2009.4.17)
 (62) 分割の表示 特願2003-517951 (P2003-517951)
 の分割
 原出願日 平成14年7月22日 (2002.7.22)
 (65) 公開番号 特開2009-246370 (P2009-246370A)
 (43) 公開日 平成21年10月22日 (2009.10.22)
 審査請求日 平成21年4月17日 (2009.4.17)
 (31) 優先権主張番号 特願2001-227203 (P2001-227203)
 (32) 優先日 平成13年7月27日 (2001.7.27)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2001-228870 (P2001-228870)
 (32) 優先日 平成13年7月30日 (2001.7.30)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (73) 特許権者 000233169
 株式会社日立超エル・エス・アイ・システムズ
 東京都国分寺市東恋ヶ窪三丁目 1 番地 1
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 田中 利広
 東京都小平市上水本町五丁目 2 〇 番 1 号
 株式会社日立製作所 半導体グループ内
 (72) 発明者 梅本 由紀子
 東京都小平市上水本町五丁目 2 〇 番 1 号
 株式会社日立製作所 半導体グループ内
 最終頁に続く

(54) 【発明の名称】 マイクロコンピュータ及びデータプロセッサ

(57) 【特許請求の範囲】

【請求項 1】

内部バスと、

前記内部バスに結合されている中央演算部と、

前記内部バスに結合された不揮発メモリと、を有し、

前記不揮発性メモリは、第 1 ゲートを含む第 1 トランジスタ部、及びビット線に接続されていて前記第 1 トランジスタ部を選択する第 2 ゲートを備える第 2 トランジスタ部を有する複数の不揮発メモリセルと、

前記複数の不揮発メモリセルの一つの前記第 1 ゲートに結合される第 1 回路と、

前記複数の不揮発メモリセルの一つの前記第 2 ゲートに結合される第 2 回路と、

前記第 1 回路に供給する第 1 電圧と前記第 2 回路に供給する第 2 電圧とを生成する電圧生成回路と、

前記ビット線をグローバルビット線に接続可能なスイッチ MOS トランジスタをオン状態に駆動する第 3 回路と、を含み、

前記第 2 回路と前記第 3 回路のゲート耐圧は前記第 1 回路のゲート耐圧より低いことを特徴とするマイクロコンピュータ。

【請求項 2】

前記複数の不揮発メモリセルは、チャネル領域と前記第 1 ゲートとの間に電荷蓄積領域を有することを特徴とした請求項 1 に記載のマイクロコンピュータ。

【請求項 3】

10

20

前記第1回路は、前記複数の不揮発メモリセルの一方側に配置されていることを特徴とする請求項1に記載のマイクロコンピュータ。

【請求項4】

前記第2回路は、前記一方側に対向している前記複数の不揮発メモリセルの他方側に配置されることを特徴とする請求項3に記載のマイクロコンピュータ。

【請求項5】

前記中央演算部はMOS型トランジスタを有し、

前記MOS型トランジスタのゲート耐圧は前記第1回路のゲート耐圧より低いことを特徴とする請求項1に記載のマイクロコンピュータ。

【請求項6】

半導体チップ上に形成されたマイクロコンピュータであって、
内部バスと、

MOS型トランジスタを有し前記内部バスと結合された中央演算部と、

前記内部バスに結合されたフラッシュメモリと、を有し、

前記フラッシュメモリは、第1ゲートを含む第1トランジスタ部、及びビット線に接続されて
いて前記第1トランジスタ部を選択する第2ゲートを備える第2トランジスタ部を
含む複数の不揮発メモリセルと、

前記複数の不揮発メモリセルの1つの前記第1ゲートに結合される第1ドライバと、

前記複数の不揮発メモリセルの1つの前記第2ゲートに結合される第2ドライバと、

前記第1ドライバに供給する第1電圧と前記第2ドライバに供給する第2電圧とを生成する電圧生成回路と、

前記ビット線をグローバルビット線に接続可能なスイッチMOSトランジスタをオン状態に駆動する第3ドライバと、を含み、

前記第2ドライバと前記第3ドライバのゲート耐圧と前記中央演算部の前記MOSトランジスタのゲート耐圧とは、前記第1ドライバのゲート耐圧より低いことを特徴とする
マイクロコンピュータ。

【請求項7】

前記複数の不揮発メモリセルは、チャネル領域と前記第1ゲートとの間に電荷蓄積領域を有することを特徴とした請求項6に記載のマイクロコンピュータ。

【請求項8】

前記第1ドライバは、前記複数の不揮発メモリセルの一方側に配置されていることを特徴とする請求項6に記載のマイクロコンピュータ。

【請求項9】

前記第2ドライバは、前記一方側に対向している前記複数の不揮発メモリセルの他方側に配置されることを特徴とする請求項8に記載のマイクロコンピュータ。

【請求項10】

半導体チップ上に形成されたデータプロセッサであって、
内部バスと、

MOS型トランジスタを有し前記内部バスに結合された中央演算部と、

前記内部バスに結合されたフラッシュメモリと、を有し、

前記フラッシュメモリは、夫々に第1制御ゲートと第2制御ゲートを有する複数の不揮発メモリセルと、

1つのワード線、1つの制御線、1つのソース線、及び1つのビット線が1つの不揮発メモリセルに接続されるように前記複数の不揮発メモリセルに結合される複数のワード線、
複数の制御線、複数のソース線、及び複数のビット線と、

前記ワード線を介して前記複数のメモリセルの前記第1制御ゲートに結合される第1ドライバと、

前記制御線を介して前記複数のメモリセルの前記第2制御ゲートに結合される第2ドライバと、

前記ビット線をグローバルビット線に接続可能なスイッチMOSトランジスタをオン状態

10

20

30

40

50

に駆動する第3ドライバと、を含み

前記第1ドライバと第3ドライバのゲート耐圧は前記第2ドライバのゲート耐圧より低いことを特徴とするデータプロセッサ。

【請求項11】

前記複数の不揮発メモリセルは、チャンネル領域と前記第2制御ゲートとの間に電荷蓄積領域を有することを特徴とした請求項10に記載のデータプロセッサ。

【請求項12】

前記中央演算部はMOS型トランジスタを有し、
前記MOS型トランジスタのゲート耐圧は前記第2ドライバのゲート耐圧より低いことを特徴とする請求項10に記載のデータプロセッサ。

【請求項13】

前記第1ドライバは、前記複数の不揮発メモリセルの一方側に配置されていることを特徴とする請求項10に記載のデータプロセッサ。

【請求項14】

前記第2ドライバは、前記一方側に対向している前記複数の不揮発メモリセルの他方側に配置されることを特徴とする請求項10に記載のデータプロセッサ。

【請求項15】

内部バスと、
前記内部バスに結合されている中央演算部と、
前記内部バスに結合されている不揮発性メモリと、を有し、
前記不揮発性メモリは、第1ゲートを備えソース線に接続する第1MOSトランジスタ部、及びビット線に接続されていて前記第1MOSトランジスタ部を選択的に前記ビット線に接続するための第2ゲートを備える第2MOSトランジスタ部を有する複数の不揮発メモリセルと、
前記複数の不揮発メモリセルの一つの前記第1ゲートに結合される第1回路と、
前記複数の不揮発メモリセルの一つの前記第2ゲートに結合される第2回路と、
前記第1回路に供給する第1電圧と前記第2回路に供給する第2電圧とを生成する電圧生成回路と、
第3ゲートを有し前記ビット線をグローバルビット線に接続するための選択MOSトランジスタと、
前記選択MOSトランジスタの前記第3ゲートに結合される第3回路と、
を有し、
前記第1MOSトランジスタ部は、前記第1ゲートの下方に配置されていて電荷の蓄積量に応じて情報が記憶される電荷蓄積領域を有し、
前記第1MOSトランジスタ部と第2トランジスタ部は相互間に絶縁領域が形成されて隣接され、
前記絶縁領域の下には前記第1トランジスタ部と第2トランジスタ部の双方のチャンネル領域に連続するチャンネル領域を有し、
前記第2回路と前記第3回路のゲート耐圧は前記第1回路のゲート耐圧よりも低く、
前記第2MOSトランジスタ部と前記第3MOSトランジスタのゲート耐圧は前記第1MOSトランジスタ部のゲート耐圧よりも低い、ことを特徴とするマイクロコンピュータ。

【請求項16】

半導体チップ上に形成されたマイクロコンピュータであって、
内部バスと、
MOS型トランジスタを有し前記内部バスと結合されている中央演算部と、
前記内部バスに結合されているフラッシュメモリと、を有し、
前記フラッシュメモリは、第1ゲートを備えソース線に接続する第1MOSトランジスタ部、及びビット線に接続されていて前記第1MOSトランジスタ部を選択的に前記ビット線に接続するための第2ゲートを備える第2MOSトランジスタ部を有する複数の不揮

10

20

30

40

50

発メモリセルと、

前記複数の不揮発メモリセルの1つの前記第1ゲートに結合される第1ドライバと、前記複数の不揮発メモリセルの1つの前記第2ゲートに結合される第2ドライバと、前記第1ドライバに供給する第1電圧と前記第2ドライバに供給する第2電圧とを生成する電圧生成回路と、

第3ゲートを有し前記ビット線をグローバルビット線に接続するための選択MOSトランジスタと、

前記選択MOSトランジスタの前記第3ゲートに結合される第3ドライバと、
を有し、

前記第1MOSトランジスタ部は、前記第1ゲートの下方に配置されていて電荷の蓄積量に応じて情報が記憶される電荷蓄積領域を有し、

前記第1MOSトランジスタ部と第2トランジスタ部は双方の間に絶縁領域が形成されて隣接され、

前記絶縁領域の下には前記第1トランジスタ部と第2トランジスタ部の双方のチャンネル領域に連続するチャンネル領域を有し、

前記第2ドライバと前記第3ドライバのゲート耐圧と前記中央演算部の前記MOSトランジスタのゲート耐圧とは前記第1ドライバのゲート耐圧よりも低く、

前記第2MOSトランジスタ部と前記第3MOSトランジスタのゲート耐圧は前記第1MOSトランジスタ部のゲート耐圧よりも低い、ことを特徴とするマイクロコンピュータ
。

【請求項17】

半導体チップ上に形成されたデータプロセッサであって、
内部バスと、

MOS型トランジスタを有し前記内部バスに結合された中央演算部と、

前記内部バスに結合されているフラッシュメモリと、を有し、

前記フラッシュメモリは、夫々に第1制御ゲートを備える第1トランジスタ部と第2制御ゲートを備える第2トランジスタ部と有する複数の不揮発メモリセルと、

1つのワード線、1つの制御線、1つのソース線、1つのビット線が1つの不揮発メモリセルに接続されるように前記複数の不揮発メモリセルに結合される複数のワード線と複数の制御線と複数のソース線と複数のビット線と、

前記ワード線を介して前記複数のメモリセルの前記第1制御ゲートに結合される第1ドライバと、

前記制御線を介して前記複数のメモリセルの前記第2制御ゲートに結合される第2ドライバと、

前記ビット線をグローバルビット線に接続するための選択MOSトランジスタと、
前記選択MOSトランジスタの第3制御ゲートに結合される第3ドライバと、
を有し、

前記第1トランジスタ部は前記第1ドライバから前記ワード線を介して前記第1制御ゲートが選択レベルに駆動されることにより第2トランジスタ部をビット線に接続し、

前記第2MOSトランジスタ部は、前記第2ゲートの下方に配置されていて電荷の蓄積量に応じて情報が記憶される電荷蓄積領域を有し、

前記第1MOSトランジスタ部と第2トランジスタ部は双方の間に絶縁領域が形成されて隣接され、

前記絶縁領域の下には前記第1トランジスタ部と第2トランジスタ部の双方のチャンネル領域に連続するチャンネル領域を有し、

前記第1ドライバと第3ドライバのゲート耐圧は前記第2ドライバのゲート耐圧より低く、

前記第1MOSトランジスタ部と前記選択MOSトランジスタのゲート耐圧は前記第2MOSトランジスタ部のゲート耐圧よりも低い、ことを特徴とするデータプロセッサ。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリを有する半導体装置、特に記憶情報の高速読み出し技術に関し、例えばフラッシュメモリ或はオンチップでフラッシュメモリを有するマイクロコンピュータなどに適用して有効な技術に関する。

【背景技術】

【0002】

不揮発性メモリセルとしてスプリットゲート型メモリセルやスタックゲート型メモリセルを挙げることができる。スプリットゲート型メモリセルは記憶部を構成するメモリMOS型トランジスタと、そのメモリ部を選択して情報を取り出すための選択MOS型トランジスタの2つのトランジスタから構成されている。公知文献としては、アイ・イー・イー・イー、ブイエルエスアイ・テクノロジー・シンポジウム（IEEE、VLSI Technology Symposium）の1994年予稿集71ページ乃至72ページ記載の技術がある。そのメモリセルの構造と動作を簡単に説明する。このスプリットゲート型メモリセルは、ソース、ドレイン、浮遊ゲート、及び制御ゲートから成る。浮遊ゲートへの電荷注入はホットエレクトロンの発生を用いるソースサイド・インジェクション方式である。浮遊ゲートに蓄積された電荷は、浮遊ゲート尖端部から制御ゲートへ放出する。このとき、制御ゲートには12ボルトの高電圧を掛けることが必要になる。電荷放出電極として機能した制御ゲートは、読み出し用の選択MOS型トランジスタのゲート電極でもある。選択MOS型トランジスタ部のゲート酸化膜は堆積酸化膜であり、浮遊ゲートと選択MOS型トランジスタのゲート電極とを電氣的に絶縁する膜としても機能している。スプリットゲート型メモリセルの他の公知技術としては、USP4659828、USP5408115、特開平5-136422の各号公報などがある。

【0003】

スタックゲート型メモリセルは、ソース、ドレイン、及びチャネル形成領域上にスタックされた浮遊ゲートと制御ゲートから成る。浮遊ゲートへの電荷注入はホットエレクトロンの発生を用いる。浮遊ゲートに蓄積された電荷は、基板に放出する。このとき、制御ゲートには-10ボルトの負の高電圧を掛けることが必要になる。読み出しは制御ゲートに3.3ボルトのような読み出し電圧を印加して行う。スタックゲート型メモリセルについては特開平11-232886などに記載がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】USP4659828号

【特許文献2】USP5408115号

【特許文献3】特開平5-136422

【非特許文献】

【0005】

【非特許文献1】アイ・イー・イー・イー、ブイエルエスアイ・テクノロジー・シンポジウム（IEEE、VLSI Technology Symposium）の1994年予稿集71ページ乃至72ページ

【発明の概要】

【発明が解決しようとする課題】

【0006】

データ処理の高速化の観点よりすれば、不揮発性記憶装置においても、その読み出し動作の高速性が重要となる。前記スプリットゲート型メモリセルにおいては、選択MOSトランジスタのゲート電極が消去電極としても機能する構成である。そのため、ゲート絶縁膜も絶縁耐圧を確保するために、書込み・消去電圧制御用の高耐圧MOSトランジスタのそれと同じ膜厚にせざるを得なかった。これにより、選択MOSトランジスタのGm（電流

供給能力としての相互コンダクタンス)は小さくなり、読出し電流を十分に取ることが出来る構造とは言い難い。このままでは低電圧下での高速動作には適さない。スタックゲート型セルの場合は書き込み・消去動作で高電圧が印加されるコントロールゲートに高耐圧を実現する厚いゲート酸化膜が採用されるので、これが読み出し動作時のGmを小さくし、読出し電流を十分に取ることができる構造とは言い難い。

【0007】

前記公知文献のUSP4,659,828及びUSP5,408,115は、書き込み・消去動作に関しての発明であり、読出し動作性能の向上については言及されていない。さらに、公知文献の特開平5-136422号公報は本発明と最も類似した形状を開示しているが、隣接する2つのゲート電極を絶縁する方法についての発明であり、読出し性能について 10の開示は無い。高性能化した論理演算装置に適合した、従来技術には無い不揮発性記憶装置が必要である。

【0008】

ビット線を主ビット線と副ビット線に階層化し、動作選択されるべきメモリセルが接続される副ビット線だけを選択して主ビット線に接続し、メモリセルによるビット線の寄生容量を見掛け上減らすことによって高速読み出し動作を実現する構造が採用されている。しかしながら、スタックゲート型メモリセルのように書き込み時にビット線にも高電圧の印加を要する場合には副ビット線を主ビット線に選択的に接続するためのMOSトランジスタに対して高耐圧化しなければならない、読み出し経路のGmが更に小さくなり、主・副ビット線による階層化ビット線構造による高速化が十分機能しない虞のあることが本発明 20者によって見出された。

【0009】

本発明の目的は、記憶情報の読み出し経路から高速性を損なう厚膜の高耐圧MOSトランジスタを排除することにある。

【0010】

本発明の目的は、不揮発性メモリセルから記憶情報を高速に読み出すことができる半導体装置を提供することである。

【0011】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。 30

【課題を解決するための手段】

【0012】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】

〔1〕半導体装置は複数個の不揮発性メモリセル(1)を有し、不揮発性メモリセルは、情報記憶に用いるMOS型の第1トランジスタ部(3)と前記第1トランジスタ部を選択するMOS型の第2トランジスタ部(4)とから成る。前記第2トランジスタ部は、ビット線(BL)に接続するビット線電極(16)、及びコントロールゲート制御線(CL)に接続するコントロールゲート電極(18)を有する。前記第1トランジスタ部は、ソース線に接続するソース線電極(10)、メモリゲート制御線(ML)に接続するメモリゲート電極(14)、及び前記メモリゲート電極の直下に配置された電荷蓄積領域(11)を有する。前記第2トランジスタ部のゲート絶縁耐圧は第1トランジスタ部のゲート絶縁耐圧よりも低い。換言すれば、前記第2トランジスタ部におけるコントロールゲート電極のゲート絶縁膜(17)の膜厚を t_c 、前記第1トランジスタ部におけるメモリゲート電極のゲート絶縁膜(11, 12, 13)の膜厚を t_m とすると、 $t_c < t_m$ の関係を持つ。ここで、MOSとは絶縁ゲート電界効果型のトランジスタ構造を総称する。 40

【0014】

上記より、データ読み出し動作では不揮発性メモリセルの第2トランジスタ部をオン状態にしたとき、第1トランジスタ部の閾値電圧状態に従って電流が流れるか否かに応じて 50

ビット線に記憶情報が読み出される。第2トランジスタ部は第1トランジスタ部よりもゲート酸化膜厚が薄く、また、ゲート耐圧も小さいから、記憶保持用のMOSトランジスタ部と選択用のMOSトランジスタ部の双方を高耐圧で形成する場合に比べ、選択用のMOSトランジスタ部に対して比較的低いゲート電圧で比較的大きなGmを得ることが容易になり、不揮発性メモリセル全体の電流供給能力、即ちGmを相対的に大きくする事ができ、読み出し速度の高速化に寄与する。

【0015】

第1トランジスタ部に比較的高い閾値電圧を設定する動作では、例えば、メモリゲート電極に高電圧を印加し、第2トランジスタ部をオン動作させてソース線からビット線に電流を流し、コントロールゲート側の電荷蓄積領域近傍で発生したホットエレクトロンを電荷蓄積領域に保持させればよい。第1トランジスタ部に比較的低い閾値電圧を設定する動作では、例えば、メモリゲート電極に高電圧を印加し、第2トランジスタ部をオン動作させてビット線電極及びソース線電極を回路の接地電位とし、電荷蓄積領域に保持されているエレクトロンをメモリゲート電極に放出させればよい。したがって、第1トランジスタ部に比較的低い閾値電圧又は比較的高い閾値電圧を設定する動作は、コントロールゲート制御線やビット線に高電圧を印加することなく実現することが可能である。このことは、第2トランジスタ部のゲート耐圧が比較的低くてよいことを保証する。

【0016】

電荷蓄積領域に蓄積した電荷がコントロールゲート電極にリークし難くするには、例えば、前記コントロールゲート電極と電荷蓄積領域との間の絶縁膜(9)の膜厚を t_i とすると、 $t_m \leq t_i$ の関係を持つことが望ましい。

【0017】

第2トランジスタ部の低いゲート耐圧をデバイス構造的に保証するには、例えば、ウェル領域に形成される前記ビット線電極とソース線電極との間に高濃度不純物領域(30)を形成しないようにすればよい。前記高濃度不純物領域は例えば不純物の拡散領域である。記憶保持用のMONOS部と選択用のMOSトランジスタ部の直列回路で構成される不揮発性メモリセルの場合は、双方のトランジスタ部の直列接続ノードが双方に共通の拡散領域(ソース・ドレイン領域)とされている。前記双方のトランジスタに共通の拡散領域が介在すると、書き込み時のMONOS部に高電圧が印加されてチャネルが形成せれると、MONOS側の高電圧がそのチャネルから前記双方のトランジスタ部に共通の拡散領域を介して選択MOSトランジスタ部に印加される。よってMONOS型メモリセルの場合には選択MOSトランジスタ部は高耐圧であることが必須になる。

【0018】

前記電荷蓄積領域には、絶縁膜に覆われた導電性浮遊ゲート電極、又は絶縁膜に覆われた電荷トラップ性絶縁膜、絶縁膜に覆われた導電性微粒子層等を採用してよい。

【0019】

前記ビット線をグローバルビット線(GL)に接続可能なスイッチMOSトランジスタ(19)を設け、デバイデッドビット線構造(階層型ビット線構造)を採用してよい。デバイデッドビット線構造により、読み出し動作において一部の不揮発性メモリセルだけをグローバルビット線に接続して、ビット線に寄生容量を見掛け上小さくして更に読み出し動作の高速化を図ることに寄与する。このとき、消去・書き込み動作において前記ビット線には高電圧を印加しなくても済むから、前記スイッチMOSトランジスタのゲート酸化膜厚は第1トランジスタ部のゲート酸化膜厚よりも薄く形成すればよい。要するに、前記スイッチMOSトランジスタには比較的大きな電流供給能力を与えることが容易であり、デバイデッドビット線構造による読み出し動作の高速化を保証することが可能になる。

【0020】

〔2〕更に詳細な態様として、半導体装置は、前記コントロールゲート制御線を駆動する第1ドライバ(21)、前記メモリゲート制御線を駆動する第2ドライバ(22)、前記スイッチMOSトランジスタをオン状態に駆動する第3ドライバ(23)、前記ソース線を駆動する第4ドライバ(24)を有し、前記第1ドライバ及び第3ドライバは第1電

10

20

30

40

50

圧を動作電源とし、前記第2ドライバ及び第4ドライバは前記第1電圧よりも高い電圧を動作電源とする。

【0021】

前記第1トランジスタ部の閾値電圧を高くするとき、第1ドライバの動作電源を第1電圧、第4ドライバの動作電源を第1電圧よりも高い第2電圧、第2ドライバの動作電源を第2電圧よりも高い第3電圧として、ビット線電極側から電荷蓄積領域にホットエレクトロンを注入可能にする制御回路(76)を有する。

【0022】

前記制御回路は、前記第1トランジスタ部の閾値電圧を低くするとき、前記第2ドライバの動作電源を第3電圧よりも高い第4電圧として、電荷蓄積領域からメモリゲート電極にエレクトロンを放出させる。

10

【0023】

閾値電圧が低くされた第1トランジスタ部は例えばデプレッション型とされ、閾値電圧が高くされた第1トランジスタ部は例えばエンハンスメント型とされてよい。読み出し動作時におけるメモリゲート電極は回路の接地電圧にすればよい。また、第1トランジスタ部に対し第1トランジスタ部を選択する第2トランジスタ部を有するので書込みおよび消去の厳密なベリファイ動作を行わない選択も可能になる。

【0024】

前記制御回路は、前記不揮発性メモリセルの記憶情報を読み出すとき、第1ドライバの動作電源を第1電圧、メモリゲート電極及びソース線電極を回路の接地電位としてよい。読み出し動作時の電流の向きはビット線からソース線の向きになる。

20

【0025】

前記制御回路は、前記不揮発性メモリセルの記憶情報を読み出すとき、第1ドライバの動作電源を第1電圧、メモリゲート電極及びビット線電極を回路の接地電位としてよい。読み出し動作時の電流の向きは上記とは逆にソース線からビット線の向きになる。

【0026】

以上説明した半導体装置は不揮発性メモリ単体だけでなく、不揮発性メモリをオンチップしたマイクロコンピュータやデータプロセッサ等の半導体装置であってもよい。例えば、半導体装置は更に、前記第1電圧を動作電源として論理動作を行う論理動作ユニット(61)を有する。

30

【0027】

レイアウト的な観点に立つと、前記第1ドライバ及び第3ドライバはアドレスデコード信号(51)を入力して動作が選択され、前記第2ドライバ及び第4ドライバは第1ドライバの出力(52)を入力して動作が選択されるものであってよい。

【0028】

前記不揮発性メモリセルアレイ(50)を挟んで一方側に前記第1ドライバ及び第3ドライバが配置され、他方側に前記第2ドライバ及び第4ドライバが配置されてよい。高電圧を動作電源とするドライバと相対的に低い電圧を動作電源として動作する回路を分離することが可能になる。

【0029】

40

前記メモリアレイ内においてメモリゲート制御線(ML)はメモリゲート電極と一体に形成され、ポリシリコン層(MGps)に低抵抗メタル層(MGmt)を積層して構成してよい。コントロールゲート制御線(CL)もコントロールゲート電極と一体に、ポリシリコン層(CGps)に低抵抗メタル層(CGmt)を積層して構成してよい。配線の抵抗を小さくすることができる。

【0030】

読み出し動作に応答して前記メモリゲート制御線を回路の接地電位に導通させるディスチャージMOSトランジスタ53をメモリゲート制御線の異なる位置に設けてよい。読み出し動作可能状態へ速やかに遷移することが可能になる。

【0031】

50

前記デバインドビット線構造における前記スイッチMOSトランジスタとして、pチャネル型MOSトランジスタ(19p)を採用してよい。信号レベルがスイッチMOSトランジスタの閾値電圧分下がるのを防止でき、ビット線への読み出し信号レベルの低電圧化に良好に対処することができる。但し、不揮発性メモリセルの閾値電圧を高くするとき、ビット線を回路の接地電位にしようとしても、そのpチャネル型スイッチMOSトランジスタの閾値電圧よりも低いレベルにはならない。これを解消するには、前記スイッチMOSトランジスタをCMOSトランスファゲート(19p, 19n)で構成すればよい。

【0032】

前記スイッチMOSトランジスタと相補的にスイッチ動作されるnチャネル型ディスチャージMOSトランジスタ(20n)をビット線に設けてよい。これにより、ビット線がスイッチMOSトランジスタを介して選択されたとき、ビット線はディスチャージMOSトランジスタにより完全にディスチャージされているから、読み出し開始前にプリチャージされたグローバルビット線のレベルが不所望に変動する事態を防止することができ、読み出し信号のセンス動作の安定化、読み出し動作の高速化に寄与する。

【0033】

〔3〕本発明を上記とは少し異なった観点より把握する。半導体装置は、半導体基板(2)にマトリクス配置された不揮発性メモリセル(1)を有し、前記不揮発性メモリセルは、前記半導体基板に、ソース線(SL)に接続するソース線電極(10)と、ビット線(BL)に接続するビット線電極(16)と、前記ソース線電極とビット線電極に挟まれたチャンネル領域とを有し、前記チャンネル領域上には、前記ビット線電極寄りに第1絶縁膜(17)を介して配置されコントロールゲート制御線(CL)に接続されたコントロールゲート電極(18)と、第2絶縁膜(12、13)及び電荷蓄積領域(11)を介して配置され前記コントロールゲート電極(18)と電気的に分離され且つメモリゲート制御線(ML)に接続されたメモリゲート電極(14)とを有する。前記第1絶縁膜の耐圧は第2絶縁膜の耐圧よりも低い。

【0034】

前記コントロールゲート電極を有する選択用のMOSトランジスタ部に対しては比較的低いゲート電圧で比較的大きなGmを得ることが容易になり、不揮発性メモリセル全体の電流供給能力、即ちGmを相対的に大きくする事ができ、読み出し速度の高速化に寄与する。

【0035】

不揮発性メモリセルの前記メモリゲートから見た閾値電圧を比較的高く設定するには、例えばメモリゲート電極に高電圧を印加し、コントロールゲート電極側をオン状態にしてソース線からビット線に電流を流し、コントロールゲート電極側の電荷蓄積領域近傍で発生したエレクトロンを電荷蓄積領域に保持させればよい。逆に比較的低い閾値電圧を設定するには、例えば、メモリゲート電極に高電圧を印加し、コントロールゲート電極側をオン状態にしてビット線電極及びソース線電極を回路の接地電位とし、電荷蓄積領域に保持されているエレクトロンをメモリゲート電極に放出させればよい。したがって、不揮発性メモリセルに比較的低い閾値電圧又は比較的高い閾値電圧を設定する動作は、コントロールゲート制御線やビット線に高電圧を印加することなく実現することが可能である。このことは、コントロールゲート電極側のゲート耐圧が比較的低くてよいことを保証する。

【0036】

上記不揮発性メモリセルを有する更に具体的な態様の半導体装置は、前記コントロールゲート制御線を駆動するコントロールゲートドライバ、前記メモリゲート制御線を駆動するメモリゲートドライバ、前記ソース線を駆動するソースライバを有し、このとき、前記コントロールゲートドライバは第1電圧を動作電源とし、前記メモリゲートドライバ及びソースドライバは前記第1電圧よりも高い電圧を動作電源とすればよい。

【0037】

前記メモリゲート電極から見た不揮発性メモリセルの閾値電圧を高くするとき、コンロ

10

20

30

40

50

ロールゲートドライバの動作電源を第1電圧、ソースドライバの動作電源を第1電圧よりも高い第2電圧、メモリゲートドライバの動作電源を第2電圧以上の第3電圧として、ビット線電極側から電荷蓄積領域にエレクトロンを注入可能にする制御回路を有する。

【0038】

前記制御回路は、前記メモリゲート電極から見た不揮発性メモリセルの閾値電圧を低くするとき、前記メモリゲートドライバの動作電源を第3電圧以上の第4電圧として、電荷蓄積領域からメモリゲート電極にエレクトロンを放出させる。

【0039】

前記制御回路は、前記不揮発性メモリセルの記憶情報を読み出すとき、コントロールゲートドライバの動作電源を第1電圧、メモリゲート電極及びソース線電極を回路の接地電位とする。この読み出し動作時の電流の向きはビット線からソース線の向きになる。尚、そのときメモリゲート電極は接地電位よりも高い電圧であってもよい。

10

【0040】

また、前記制御回路は、前記不揮発性メモリセルの記憶情報を読み出すとき、コントロールゲートドライバの動作電源を第1電圧、メモリゲート電極及びビット線電極を回路の接地電位とする。この読み出し動作時の電流の向きは上記とは逆にソース線からビット線の向きになる。上記同様に、そのときメモリゲート電極は接地電位よりも高い電圧であってもよい。

【0041】

半導体装置は不揮発性メモリ単体だけでなく、不揮発性メモリをオンチップしたマイクロコンピュータやデータプロセッサなどであってもよい。例えば半導体装置は、前記第1電圧を動作電源として論理動作を行う論理動作ユニットを有する。

20

【0042】

前記コントロールゲートドライバはアドレスデコード信号を入力して動作が選択され、前記メモリゲートドライバ及びソースドライバはコントロールゲートドライバの出力に基づいて動作が選択されるものであってよい。

【0043】

前記不揮発性メモリセルのアレイを挟んで一方側に前記コントロールゲートドライバが配置され、他方側に前記メモリゲートドライバ及びソースドライバが配置されてよい。高電圧を動作電源とするドライバと相対的に低い電圧を動作電源として動作する回路を分離

30

【0044】

前記不揮発性メモリセルのアレイ内においてメモリゲート制御線はメモリゲート電極と一体に形成され、ポリシリコン層に低抵抗メタル層が積層されて形成されてよい。配線の抵抗を小さくすることができる。

【0045】

前記メモリゲートドライバ及びソースドライバによるチップ占有面積の低減に着目すると、前記不揮発性メモリセルのアレイ内において、前記コントロールゲート制御線と対を成すメモリゲート制御線の複数本単位で前記メモリゲートドライバ(22A)を共有し、前記コントロールゲート制御線と対を成すソース線の複数本単位で前記ソースドライバ(24)を共有するのがよい。このとき、メモリゲートドライバによるメモリゲート制御線の共有本数は、ソースドライバによるソース線の共有本数以下であることが望ましい。例えば、不揮発性メモリセルに対する書き込み形式としてソース・ドレイン間に電流を流してメモリゲートに高電圧を印加させる場合、書き込み選択のメモリセルとの間でメモリゲート制御線を共有する書き込み非選択の不揮発性メモリセルのうち、書き込み選択メモリセルのソース・ドレイン間に電流を流すためのソース電位がソース線を介して与えられていれば、ソース・メモリゲート間の電界は特別大きくならない。そのソース電位が書き込み非選択の低いソース電位であれば、書き込み選択のメモリセルとの間でメモリゲート制御線を共有する書き込み非選択のメモリセルにはそのソース・メモリゲート間に消去時に匹敵するような大きな電界が作用される虞がある。このような大きな電界は書き込み状態の

40

50

メモリセルの閾値電圧を不所望に変化させるというディスターブを生ずる。上記メモリゲートドライバによるメモリゲート制御線の共有本数とソースドライバによるソース線の共有本数との上記関係は、そのようなディスターブの虞を未然に防止するのに役立つ。

【0046】

前記メモリゲートドライバ及びソースドライバは、対応する複数本のコントロールゲート制御線に対する選択状態の論理和を形成する論理和回路の出力に基づいて駆動されればよい。このとき、前記論理和回路のレイアウト面積を小さくするには、前記論理和回路の入力段に、コントロールゲート制御線の延長部分をゲート電極として用いるトランジスタを用いればよい。

【0047】

読み出し動作の高速化という観点より、読み出し動作に応答して前記メモリゲート制御線を前記第1の電源電圧に導通させるチャージMOSトランジスタをメモリゲート制御線の異なる位置に複数設けるとよい。メモリゲート制御線を読み出し動作上望ましいレベルに遷移される時間を短縮できる。

【0048】

さらにはメモリセルのしきい値電圧を所定の電圧分布内となるよう制御するために、書き込み動作後に書き込みベリファイ動作及び消去動作後に消去ベリファイ動作を行っても良い。

【0049】

〔4〕ここで、メモリセルのデバイス構造の観点より本発明の要点を列挙する。必ずしも全ての要点を具備する必要はなく、単独或いは種々組合せにおいて有効である。尚、書き込み・消去時に高電圧が印加されるゲート電極と、選択MOS型トランジスタのゲート電極を分離して構成する点は本発明における前提要件である。(1) 選択MOS型トランジスタのゲート絶縁膜厚を、書き込み・消去電圧を扱う高耐圧MOS型トランジスタのそれよりも薄くすることで、選択MOS型トランジスタのGmを高くする。また、選択MOS型トランジスタのゲート絶縁膜厚は最も薄い場合で論理演算部(コア・ロジック)を受け持つMOS型トランジスタあるいは外部との信号入出力を扱うI/O用MOS型トランジスタのゲート酸化膜と同等に設定する。また、選択MOS型トランジスタのゲート電極を、高速に動作するコア・ロジック用MOS型トランジスタで駆動する。(2) セルを構成する選択MOS型トランジスタの拡散層は、そのゲート酸化膜を有するコア・ロジック用あるいはI/O用MOS型トランジスタの拡散層と共通化し、短チャネル効果を抑制する。また、記憶保持用MOS型トランジスタの拡散層は、選択MOS型トランジスタの拡散層よりも高い接合耐圧を持たせる。(3) 選択MOS型トランジスタのしきい値を決めるチャネル不純物のp型濃度は、そのトランジスタのしきい値が正になるように且つ記憶保持用MOS型トランジスタのそれよりも濃く設定する。また、記憶保持用MOS型トランジスタは、消去時のしきい値が十分に低くなって読出し電流を大きく取れるよう、その中性しきい値を負にする。そのチャネル不純物のp型濃度は選択MOS型トランジスタのそれよりも低く設定する。あるいは、記憶保持用MOS型トランジスタの中性しきい値を負に設定するために、そのチャネルのn型不純物濃度を、しきい値が正である選択MOS型トランジスタのチャネルのn型不純物濃度よりも高くする。

【0050】

これにより、半導体不揮発性記憶装置の読出し速度改善を図ることができる。したがって、半導体不揮発性記憶装置を高速なプログラム読出しに供することができる。本発明の技術を用いた半導体集積回路装置を用いれば、高性能情報機器を、低コストで実現することが可能になる。特に、高速読出しが可能な一次格納記憶装置を組込む余裕の無い携帯機器などで有効である。

【図面の簡単な説明】

【0051】

【図1】第1図は本発明で用いる不揮発性メモリセルの一例を示す断面図である。

【図2】第2図は第1図の不揮発性メモリセルに対する特徴を代表的に示した説明図であ

10

20

30

40

50

る。

【図 3】第 3 図は不揮発性メモリセルの消去、書き込み状態をデプレション型、エンハンスメント型としたときの閾値電圧状態を例示する説明図である。

【図 4】第 4 図は不揮発性メモリセルの消去、書き込み状態を共にエンハンスメント型としたときの閾値電圧状態を例示する説明図である。

【図 5】第 5 図は第 2 図に示した不揮発性メモリセルに関する最適化前の幾つかの接続態様を比較例として示した説明図である。

【図 6】第 6 図はフローティングゲートを有するスタックゲート型のフラッシュメモリセルに関するデバイス断面、動作電圧、及び階層型ビット線構造を例示する説明図である。

【図 7】第 7 図はスプリットゲート型フラッシュメモリセルに関するデバイス断面、動作電圧、及び階層型ビット線構造を例示する説明図である。

【図 8】第 8 図は 1 トランジスタ／1 メモリセルの MONOS・スタックゲート型メモリセルに関するデバイス断面、動作電圧、及び階層型ビット線構造を例示する説明図である。

【図 9】第 9 図は 2 トランジスタ／1 メモリセルの MONOS 型メモリセルに関するデバイス断面、動作電圧、及び階層型ビット線構造を例示する説明図である。

【図 10】第 10 図は第 2 図の不揮発性メモリセルの書き込み動作に着目したときのデバイス断面を示す断面図である。

【図 11】第 11 図は記憶保持用の MONOS と選択用の MOS トランジスタの直列回路で構成される不揮発性メモリセルの構造に第 10 図の書き込み電圧状態と類似の電圧印加状態を与えたときの様子を示す断面図である。

【図 12】第 12 図は第 1 図の不揮発性メモリセルの平面的な構成を例示する平面図である。

【図 13】第 13 図は第 6 図及び第 8 図の不揮発性メモリセルの平面的な構成を例示する平面図である。

【図 14】第 14 図は第 7 図の不揮発性メモリセルの平面的な構成を例示する平面図である。

【図 15】第 15 図は第 9 図の不揮発性メモリセルの平面的な構成を例示する平面図である。

【図 16】第 16 図は第 1 図の不揮発性メモリセルを採用したメモリセルアレイの一例を示す回路図である。

【図 17】第 17 図は Z MOS を CMOS トランスファゲートで構成したメモリセルアレイの一例を示す回路図である。

【図 18】第 18 図は副ビット線ディスチャージトランジスタを採用したメモリセルアレイの一例を示す回路図である。

【図 19】第 19 図は第 1 図の不揮発性メモリセルを採用したメモリセルアレイに対するドライバの配置を例示する回路図である。

【図 20】第 20 図はメモリセルアレイの一例を示す回路図である。

【図 21】第 21 図はメモリセルアレイの別の例を示す回路図である。

【図 22】第 22 図はメモリセルアレイの更に別の例を示す回路図である。

【図 23】第 23 図は不揮発性メモリセルの読み出し動作における電流の向きをソース線からビット線方向とするとときの動作タイミングを例示するタイミングチャートである。

【図 24】第 24 図は不揮発性メモリセルを採用した不揮発性メモリをオンチップで備えるマイクロコンピュータのブロック図である。

【図 25】第 25 図はフラッシュメモリモジュールの詳細な一例を示すブロック図である。

【図 26】第 26 図は不揮発性メモリセルに対する順方向読み出し動作形態を例示する回路図である。

【図 27】第 27 図は第 26 図の順方向読み出し動作における主な信号波形を例示するタイミングチャートである。

10

20

30

40

50

【図28】第28図は不揮発性メモリセルに対する逆方向読み出し動作形態を例示する回路図である。

【図29】第29図は第28図の逆方向読み出し動作としてセンスアンプの入力側の主ビット線をプリチャージしてから読み出し動作を開始するときの主な信号波形を例示するタイミングチャートである。

【図30】第30図は第28図の逆方向読み出し動作としてセンスアンプの入力側の主ビット線をプリチャージしないで読み出し動作を開始するときの主な信号波形を例示するタイミングチャートである。

【図31】第31図は不揮発性メモリセルに対する別の書き込み電圧条件等を例示する説明図である。

10

【図32】第32図は不揮発性メモリセルを採用したメモリセルアレイとドライバ配置の別の例を示す回路図である。

【図33】第33図は第19図のようにメモリゲート制御線をコントロールゲート制御線の選択に応じて個別にドライバで駆動する回路形式を例示する回路図である。

【図34】第34図は第32図に应ずるメモリゲート制御線の駆動形式を主に示す回路図である。

【図35】第35図は許容されるディスタート状態におけるメモリセルの電圧印加状態を詳述する説明図である。

【図36】第36図はメモリゲート制御線の駆動形態としてコントロールゲート制御線の引き回しを要する構成を例示する回路図である。

20

【図37】第37図は論理回路の具体的な構成を例示する回路図である。

【図38】第38図はノアゲートのレイアウト構成を例示する平面図である。

【図39】第39図はソース線連結MOSトランジスタの採用可否による効果の相違を例示する説明図である。

【図40】第40図は本発明による第1の実施形態に係るメモリセルの断面図である。

【図41】第41図は本発明による第1の実施形態に係るメモリセルの動作と印加電圧の説明図である。

【図42】第42図は本発明による第1の実施形態に係るメモリセルに別のMOSトランジスタを混載した状態を示した断面図である。

【図43】第43図は本発明による第2の実施形態に係るメモリセルの断面図である。

30

【図44】第44図は本発明による第2の実施形態に係るメモリセルの動作と印加電圧の説明図である。

【図45】第45図は本発明による第2の実施形態に係るメモリセルの変形例の断面図である。

【図46】第46図は本発明による第2の実施形態に係るメモリセルにおけるチャネル濃度の差異を示した断面図である。

【図47】第47図は本発明による第3の実施形態に係るメモリセルの断面図である。

【図48】第48図は本発明による第4の実施形態に係るメモリセルの断面図である。

【図49】第49図は本発明による第5の実施形態に係るメモリセルの断面図である。

【図50】第50図は本発明によるメモリセルに他のMOS型トランジスタを混載した半導体集積回路を製造するプロセスにおける第1の断面図である。

40

【図51】第51図は本発明によるメモリセルに他のMOS型トランジスタを混載した半導体集積回路を製造するプロセスにおける第2の断面図である。

【図52】第52図は本発明によるメモリセルに他のMOS型トランジスタを混載した半導体集積回路を製造するプロセスにおける第3の断面図である。

【図53】第53図は本発明によるメモリセルに他のMOS型トランジスタを混載した半導体集積回路を製造するプロセスにおける第4の断面図である。

【図54】第54図は本発明によるメモリセルに他のMOS型トランジスタを混載した半導体集積回路を製造するプロセスにおける第5の断面図である。

【図55】第55図は本発明によるメモリセルに他のMOS型トランジスタを混載した半

50

導体集積回路を製造するプロセスにおける第6の断面図である。

【図56】第56図は本発明によるメモリセルに他のMOS型トランジスタを混載した半導体集積回路を製造するプロセスにおける第7の断面図である。

【図57】第57図は本発明によるメモリセルに他のMOS型トランジスタを混載した半導体集積回路を製造するプロセスにおける第8の断面図である。

【図58】第58図は本発明によるメモリセルを適用したメモリアレイの構成を例示する回路図である。

【図59】第59図は本発明による第6の実施形態に係るメモリセルの断面図である。

【図60】第60図は本発明による第6の実施形態のメモリセルを製造するプロセスにおける第1の断面図である。

【図61】第61図は本発明による第6の実施形態のメモリセルを製造するプロセスにおける第2の断面図である。

【図62】第62図は本発明による第6の実施形態のメモリセルを製造するプロセスにおける第3の断面図である。

【図63】第63図は本発明による第7の実施形態に係るメモリセルの断面図である。

【発明を実施するための形態】

【0052】

第1図には不揮発性メモリセル（以下単にメモリセルとも記す）の一例が示される。不揮発性メモリセル1は、シリコン基板上に設けたp型ウエル領域2に、情報記憶に用いるMOS型の第1トランジスタ部3と、前記第1トランジスタ部3を選択するMOS型の第2トランジスタ部4（選択MOSトランジスタ部）とを有して成る。第1トランジスタ部3は、ソース線に接続するソース線電極となるn型拡散層（n型不純物領域）10、電荷蓄積領域（例えばシリコン窒化膜）11、電荷蓄積領域11の表裏に配置された絶縁膜（例えば酸化シリコン膜）12、13、書込み・消去時に高電圧を印加するためのメモリゲート電極（例えばn型ポリシリコン層）14、及びメモリゲート電極保護用の酸化膜（例えば酸化シリコン膜）15を有する。前記絶縁膜12は膜厚5nm、電荷蓄積領域11は膜厚10nm（酸化シリコン膜換算）、前記酸化膜13は膜厚3nmとされる。前記第2トランジスタ部4は、ビット線に接続するビット線電極となるn型拡散層（n型不純物領域）16、ゲート絶縁膜（例えば酸化シリコン膜）17、コントロールゲート電極（例えばn型ポリシリコン層）18、前記コントロールゲート電極18とメモリゲート電極14を絶縁する絶縁膜（例えば酸化シリコン膜）9を有する。

【0053】

前記第1トランジスタ部3の電荷蓄積領域11とその表裏に配置された絶縁膜12及び絶縁膜13（併せてメモリゲート絶縁膜11、12、13と称する）との膜厚の総和を t_m 、コントロールゲート電極18のゲート絶縁膜17の膜厚を t_c 、コントロールゲート電極18と電荷蓄積領域11との間の絶縁膜の膜厚を t_i とすると、 $t_c < t_m \leq t_i$ の関係が実現されている。ゲート絶縁膜17とメモリゲート絶縁膜11、12、13との寸法差より、第2トランジスタ部4のゲート絶縁耐圧は第1トランジスタ部3のゲート絶縁耐圧よりも低くされる。第12図には第1図の不揮発性メモリセル1の平面的な構成が例示される。

【0054】

尚、拡散層16の部分に記載されたドレイン（*drain*）の語はデータ読み出し動作において当該拡散層16がトランジスタのドレイン電極として機能し、拡散層10の部分に記載されたソース（*source*）の語はデータ読み出し動作において当該拡散層10がトランジスタのソース電極として機能することを意味する。消去・書き込み動作ではドレイン電極、ソース電極の機能はドレイン（*drain*）、ソース（*source*）の表記に対して入れ替えることがある。

【0055】

第2図には第1図の不揮発性メモリセルに対する特徴が代表的に示される。第2図には階層型ビット線構造における不揮発性メモリセル1の接続形態が例示される。前記拡散層

10

20

30

40

50

16は副ビット線BL（以下単にビット線BLとも記す）に、拡散層10はソース線SLに、メモリゲート電極14はメモリゲート制御線MLに、コントロールゲート電極18はコントロールゲート制御線CLに接続される。副ビット線BLはnチャンネル型のスイッチMOSトランジスタ（ZMOS）19を介して主ビット線（グローバルビット線とも記す）GLに接続される。特に図示はしないが、副ビット線BLには複数個の不揮発性メモリセル1が接続され、1本の主ビット線GLには夫々前記ZMOS19を介して複数本のビット線BLが接続される。

【0056】

第2図では前記コントロールゲート制御線CLを駆動する第1ドライバ（ワードドライバ）21、メモリゲート制御線MLを駆動する第2ドライバ22、前記ZMOS19をスイッチ駆動する第3ドライバ（Zドライバ）23、前記ソース線SLを駆動する第4ドライバ24が代表的に図示されている。前記ドライバ22、24はゲート絶縁耐圧が高耐圧のMOSトランジスタを用いた高耐圧MOSドライバによって構成される。ドライバ21、23はゲート絶縁耐圧が比較的低いMOSトランジスタを用いたドライバによって構成される。

【0057】

不揮発性メモリセル1の第1トランジスタ部3に比較的高い閾値電圧を設定する書き込み動作では、例えば、メモリゲート電圧 V_{mg} 及びソース線電圧 V_s を高電圧とし、制御ゲート電圧 V_{cg} に1.8Vを与え、書き込み選択ビット線を0V（回路の接地電位）、書き込み非選択ビット線を1.8Vとして、書き込み選択ビット線の第2トランジスタ部4をオン動作させて、拡散層10から拡散層16に電流を流す。この電流により、コントロールゲート電極18側の電荷蓄積領域11近傍で発生したホットエレクトロンを電荷蓄積領域11に保持させればよい。書き込み電流を数マイクロ・アンペア～数十マイクロ・アンペア程度の定電流で書き込む場合、書き込み選択ビット線電位は接地電位に限らず、例えば0.8V程度印加し、チャンネル電流を流せばよい。書き込み動作においては、nチャンネル型のメモリセルにとって、拡散層10がドレインとして機能し、拡散層16がソースとして機能する。この書き込み形式はホットエレクトロンのソースサイドインジェクションとなる。

【0058】

第1トランジスタ部3に比較的低い閾値電圧を設定する消去動作では、例えば、メモリゲート電圧 V_{mg} に高電圧を印加し、電荷蓄積領域11に保持されているエレクトロンをメモリゲート電極14に放出させる。このとき、拡散層10を回路の接地電位とする。このとき、第2トランジスタ部4をオン状態にしてもよい。

【0059】

第1トランジスタ部3に対する上記書き込み・消去動作より明らかなように、コントロールゲート制御線CLやビット線BLに高電圧を印加することなく実現することが可能である。このことは、第2トランジスタ部4のゲート耐圧が比較的低くてよいことを保証する。ZMOS19も高耐圧であることを要しない。

【0060】

特に制限されないが、第3図に例示されるように、閾値電圧が低くされた消去状態の第1トランジスタ部3はデプレッション型とされ、閾値電圧が高くされた書き込み状態の第1トランジスタ部3はエンハンスメント型とされる。第3図の消去・書き込み状態において、読み出し動作時におけるメモリゲート電極14は回路の接地電圧にすればよい。更に読み出し動作を高速化する場合はメモリゲート電極14に例えば電源電圧 V_{dd} を印加してもよい。これに対し、第4図のように消去及び書き込みの双方の状態をエンハンスメント型にする場合には、読み出し動作時におけるメモリゲート電極14は例えば電源電圧 V_{dd} を印加する。第3図及び第4図の閾値状態とも、本発明の場合、情報記憶に用いるMOS型の第1トランジスタ部3に対し第1トランジスタ部3を選択するMOS型の第2トランジスタ部4を有するので、書き込み及び消去のベリファイ（検証）動作は必要がない。書き込み動作及び消去動作によるメモリセルへのストレス緩和が必要な場合、例えば書き込み

10

20

30

40

50

回数を多くする場合等では、ベリファイ動作を行なうことは妨げない。

【0061】

第3図の閾値状態において第2図の不揮発性メモリセル1に対する読み出し動作では、ソース線電圧 V_s 、メモリゲート電圧 V_{mg} を0Vにし、読み出し選択すべきメモリセルのコントロールゲート電圧 V_{cg} を1.8Vの選択レベルにすればよい。第2トランジスタ部4がオン状態にされたとき、第1トランジスタ部3の閾値電圧状態に従って電流が流れるか否かに応じてビット線BLに記憶情報が読み出される。第2トランジスタ部4は第1トランジスタ部3よりもゲート酸化膜厚が薄く、また、ゲート耐圧も小さいから、記憶保持用のMOSトランジスタと選択用のMOSトランジスタの双方を高耐圧で形成する場合に比べて不揮発性メモリセル1全体の電流供給能力を相対的に大きくする事ができ、データ読み出し速度を高速化することができる。

10

【0062】

不揮発性メモリセル1に対する読み出し動作では電流の向きを上記の順方向とは逆向（逆方向）にすることが可能である。例えば第23図に例示されるように、ソース線電圧 V_s を1.8V、ビット線電圧 V_d を0Vとする。読み出し選択メモリセルに対しては、第23図の時刻 t_0 でコントロールゲート電圧 V_{cg} が選択レベル（1.8V）にされる。この例の場合にはメモリセルは消去状態であるので低閾値電圧であるとするから、ビット線電圧 V_d は上昇する。この電圧変化が図示を省略するセンスアンプで検出される。

【0063】

第26図には不揮発性メモリセル1に対する順方向読み出し動作形態が回路図で例示される。 I_{read} は読み出し電流の向きを示す。第27図にはその時の主な信号波形が例示される。第28図には不揮発性メモリセル1に対する逆方向読み出し動作形態が回路図で例示される。第29図及び第30図にはその時の主な信号波形が例示される。第29図はセンスアンプの入力側のGLをプリチャージしてから読み出し動作を開始する場合、第30図はセンスアンプの入力側のGLをプリチャージしないで読み出し動作を開始する場合を示す。第26図及び第28図のセンスアンプは差動入力型であっても良い。この場合センスアンプのリファレンス入力は、第27図、第29図、第30図のデータ入力側のメモリ V_{th} の高電圧側と低電圧側との間の電圧である。

20

【0064】

第5図には第2図に示した不揮発性メモリセル2に関する最適化前の幾つかの接続態様が比較例として示される。本発明に対して比較例1は、書き込み電流の向き（ I_{prog} ）を本発明とは逆にした態様を示す。この場合、副ビット線BLに書き込み高電圧6Vを印加しなければならないので、ZMOSを高耐圧MOSトランジスタとし、Zドライバを高耐圧MOSドライバにすることが必要になり、階層型ビット線構造では本発明の形態に比べて記憶情報に読み出し動作が遅くなる。

30

【0065】

比較例2は第1トランジスタ部3を副ビット線BLに、第2トランジスタ部4をソース線SLに接続し、書き込み電流をソース線SL側から副ビット線BL側に流す構成になっている。この場合にはソース線SL側に書き込み高電圧を印加するから第2トランジスタ部4を高耐圧構造とし、ワードドライバを高耐圧MOSドライバにすることが必要になり、この点で読み出し動作の高速化に不向きである。

40

【0066】

比較例3は第1トランジスタ部3をビット線BLに、第2トランジスタ部4をソース線SLに接続し、書き込み電流をビット線BL側からソース線SL側に流す構成になっている。この場合も比較例1と同様にZMOS及びZドライバを高耐圧MOSトランジスタにすることが必要になり、この点で読み出し動作の高速化に不向きである。

【0067】

第5図より、不揮発性メモリセル1の読み出し動作を高速化するには、第1トランジスタ部3をソース線SLに、第2トランジスタ部4をビット線BLに接続し、書き込み電流の向きをソース線SL側からビット線BL側にすることが最適条件となる。

50

【0068】

第6図乃至第9図には第2図の不揮発性メモリセルと異なる不揮発性メモリセルを比較例として例示する。第6図はフローティングゲートを有するスタックゲート型のフラッシュメモリセルに関するデバイス断面、動作電圧、及び階層型ビット線構造が例示される。第7図はスプリットゲート型フラッシュメモリセルに関するデバイス断面、動作電圧、及び階層型ビット線構造が例示される。第8図は1Tr（トランジスタ）／1MC（メモリセル）のMONOS（メンタル・オキサイド・窒化膜（ナイトライド）・オキサイド・セミコンダクタ）・スタックゲート型メモリセルに関するデバイス断面、動作電圧、及び階層型ビット線構造が例示される。第9図は2Tr／1MCのMONOS型メモリセルに関するデバイス断面、動作電圧、及び階層型ビット線構造が例示される。第6図及び第8図の不揮発性メモリセルの平面的な構成は第13図に例示され、第7図の不揮発性メモリセルの平面的な構成は第14図に例示され、第9図の不揮発性メモリセルの平面的な構成は第15図に例示される。

10

【0069】

スタックゲート型、スプリットゲート型、MONOS型では、書き込み、消去の動作時にビット線電圧 V_d 或はコントロールゲート電圧 V_{cg} に高電圧を印加する必要がある。従って、コントロールゲート電極を駆動するワードドライバを構成するMOSトランジスタ、メモリセルのコントロールゲート電極直下のMOS型トランジスタ部、ドレインと接続するZMOS、及びZMOSを駆動するZドライバを構成するMOSトランジスタは、必要に応じて高電圧が印加されるので厚膜の高耐圧MOSトランジスタを用いて構成される。これらの厚膜の高耐圧MOSトランジスタは読み出し経路中に含まれており、読み出し速度を律束させる。従って、それら不揮発性メモリセルを用いたのでは高速な読み出し動作は困難である。

20

【0070】

第6図に示すスタックゲート型の不揮発性メモリセルにおける消去動作はF-Nトンネルで電子を蓄積している浮遊ゲートFGから基板に電子を引き抜く動作とされ、書き込み動作はホットエレクトロンによる電子を浮遊ゲートFGに蓄積する動作とされる。第7図に示すスプリットゲート型の不揮発性メモリセルにける消去動作はF-Nトンネルで電子を蓄積している浮遊ゲートFGから制御ゲートに電子を引き抜く動作とされ、書き込み動作は制御ゲート端で発生したホットエレクトロンをソースサイド注入で浮遊ゲートFGに蓄積する動作とされる。第8図に示す1Tr／1セルのMONOS型の不揮発性メモリセルにける消去動作はF-Nトンネルで電子を蓄積している電荷蓄積層ONOの窒化膜Nから制御ゲートに電子を引き抜く動作とされ、書き込み動作はソース端子に電圧を印加し（トランジスタレベルではソースとドレインを入換えて）ホットエレクトロンを電荷蓄積領域ONOの窒化膜Nに蓄積する動作とされる。第9図に示す2Tr／1セルのMONOS型の不揮発性メモリセルにける消去動作はメモリゲートに負の電圧を印加することで電子を蓄積している電荷蓄積層ONOの窒化膜Nから基板にF-Nトンネル電子を引き抜く動作とされ、書き込み動作はメモリゲート直下のチャンネルの電位によりF-Nトンネルで電子を電荷蓄積層ONOの窒化膜Nに蓄積する動作とされる。

30

【0071】

第6図乃至第9図の比較例として挙げられたスタックゲート型、スプリットゲート型、MONOS型の何れも、記憶情報の読み出し経路に高耐圧MOSトランジスタが介在され、読み出し動作の高速化には限界のあることが明らかである。

40

【0072】

第10図には第2図の不揮発性メモリセルの書き込み動作に着目したときのデバイス断面が示される。図の書き込み電圧状態では電荷蓄積領域11直下のコントロールゲート電極18附近まで6Vのチャンネルが形成され、これに対し、コントロールゲート電極18直下のチャンネルは0Vであり、これにより、電荷蓄積領域11のメモリゲート電極18側直下で急峻な電界（急電界）が形成され、ソース-ドレイン間のチャンネルを流れる電流を制御することが出来る。この急電界によりホットエレクトロンが生成され、電荷蓄積領域1

50

1に蓄積される。コントロールゲート電極18直下のチャンネルは0Vであるからコントロールゲート電極18の絶縁膜17は、高耐圧を要しない論理回路などの大多数のMOSトランジスタと同じまたは同程度の薄膜化が保証される。電流を絞る場合には、コントロールゲート電極18直下のチャンネルは0.8V程度である。

【0073】

書き込み動作においてコントロールゲート電極18直下のチャンネルが6Vにならないのは、ウェル領域2に形成される前記ビット線電極16とソース線電極10との間に高濃度不純物領域例えば拡散層が形成されていないからである。第11図に例示されるように、記憶保持用のMONOSと選択用のMOSトランジスタの直列回路で構成される不揮発性メモリセル（第9図のMONOSに相当）の構造を一例とすると、双方のトランジスタの直列接続ノードが双方に共通の拡散領域（ソース・ドレイン領域）30とされている。前記双方のトランジスタに共通の拡散領域30が介在すると、書き込み時の高電圧がMONOSに印加されてチャンネルが形成されると、MONOS側の高電圧がそのチャンネルから前記双方のトランジスタに共通の拡散領域30を介して選択MOSトランジスタに印加される。第10図の書き込み電圧状態と類似の電圧印加状態を示す第11図において、コントロールゲート電極31とメモリゲート電極32との間にある拡散層30には5V近くの電圧がかかり、ホットエレクトロンはドレイン端で発生し電荷蓄積層33に取り込まれる。コントロールゲート電極31の絶縁膜は、コントロールゲート電極31とメモリゲート電極32間の拡散層30が5Vになるので、高耐圧MOSの絶縁膜の膜厚とすることが必要になり、高速化の読み出し動作はできない。第9図の場合もそうであるように、MONOS型メモリセルの場合には選択MOSトランジスタは高耐圧であることが必須になる。

【0074】

第16図には前記不揮発性メモリセル1を採用したメモリセルアレイの一例が示される。不揮発性メモリセル1は1024行×2048列でマトリクス配置され、16行×2048列単位でソース線SLを共有する。副ビット線BLには1列64個の不揮発性メモリセルが接続され、夫々pチャンネルのZMOS19pを介して主ビット線GLに接続される。ZMOS19pとしてpチャンネル型MOSトランジスタを採用すると、伝播信号レベルはZMOS19pの前後で閾値電圧分下がることはない。したがって、ビット線LBへの読み出し信号レベルの低電圧化に良好に対処することができる。

【0075】

但し、不揮発性メモリセル1の書き込み又は消去を行うとき、ビット線LBを回路の接地電位（0V）にしようとしても、そのpチャンネル型のZMOS19pの閾値電圧よりも低いレベルにはならない。これを解消するには、第17図に例示されるように、pチャンネル型ZMOS19pとnチャンネル型ZMOS19nを並列接続したCMOSトランスファゲートを採用すればよい。前記CMOSトランスファゲートを構成するZMOS19p、19nはアドレスデコーダのデコード信号によってスイッチ制御される。40で示される論理はアドレスデコーダの最終デコード出力段を意味する。

【0076】

第18図には前記不揮発性メモリセル1を採用したメモリセルアレイの別の例が示される。同図に示される例は、pチャンネル型のZMOS19pと相補的にスイッチ動作されるnチャンネル型ディスチャージMOSトランジスタ20nを対応する副ビット線LBに設けてある。これにより、副ビット線LBがZMOS19pを介して選択されたとき、副ビット線LBはディスチャージMOSトランジスタ20nにより完全にディスチャージされているから、読み出し開始前にプリチャージされた主ビット線GLのレベルが不所望に変動する事態を防止することができ、差動センスアンプなどによる読み出し信号のセンス動作を安定化でき、読み出し動作の高速化に寄与することができる。前記ZMOS19p及びディスチャージMOSトランジスタ20nはアドレスデコーダのデコード信号によってスイッチ制御される。41で示される論理はアドレスデコーダの最終デコード出力段を意味する。

【0077】

第19図には前記不揮発性メモリセル1を採用したメモリセルアレイに対するドライバの配置が例示される。メモリセルアレイ50, 50は、例えば第16図で説明した構成を備える。2個の前記メモリセルアレイ50, 50を挟んで一方側に前記第1ドライバ21及び第3ドライバ23が配置され、他方側に前記第2ドライバ22及び第4ドライバ24が配置される。前記第1ドライバ21及び第3ドライバ23はアドレスデコード信号51を入力して動作が選択される。前記第2ドライバ22及び第4ドライバ24は第1ドライバ21の出力信号52を入力して動作が選択される。これにより、高電圧を動作電源とするドライバと相対的に低い電圧を動作電源として動作する回路を分離左右に分離することが可能になる。

【0078】

尚、第19図の構成では書き込み動作をコントロールゲート即ちメモリゲート単位で行うことが可能である。このとき、ソース線は16行分のメモリセルを単位に共通化されており、16本のコントロールゲート制御線52の論理和信号を用いてソース線を駆動制御するようになっている。Progは書き込み動作制御信号である。

【0079】

前記メモリアレイ50, 50内においてメモリゲート制御線MLはメモリゲート電極と一体に形成され、ポリシリコン層MGpsに低抵抗メタル層MGmtを積層して構成される。ポリシリコン層MGpsと低抵抗メタル層MGmtは適宜の個所でコンタクトが採られている。コントロールゲート制御線CLもコントロールゲート電極と一体に、ポリシリコン層CGpsに低抵抗メタル層CGmtを積層して構成される。ポリシリコン層CGpsと低抵抗メタル層CGmtも適宜の位置でコンタクトが採られている。上記低抵抗メタル層でポリシリコン配線を裏打ちするシャント構造を採用することにより、配線抵抗を小さくすることができる。

【0080】

読み出し動作に応答して前記メモリゲート制御線MLを回路の接地電位Vss(0V)に導通させるディスチャージMOSトランジスタ53を各メモリゲート制御線MLの異なる位置に設けてある。メモリゲート制御線MLの寄生容量や配線抵抗などによる比較的大きな遅延成分があっても、読み出し動作の為にメモリゲート制御線MLを0Vに速やかにディスチャージでき、読み出し動作可能状態へ速やかに遷移することが可能になる。

【0081】

第16図乃至第19図で説明したメモリセルアレイ50の構成において、書き込み単位はバイト(8ビット)書き込みが可能であり、さらに前述したようにソースサイドインジェクションであるので書き込み電流が通常のホットエレクトロンに比較して少ないので128バイト等のコントロールゲート制御線(ワード線)単位での書き込みも可能である。消去単位は基本的にワード線単位であるが、第16図に例示されるソース線SLを共通とする単位であってもよく、また複数のソース線SLの単位をまとめて一括に行ってもよい。

【0082】

尚、ワード線方向の欠陥救済を考えた場合は、欠陥救済の単位は少なくともソース線SLを共通とする単位になる。特に図示はしないが、欠陥救済の為に、欠陥部分と置き換えられる救済用のメモリアレイ、救済すべきアドレスを不揮発性メモリ等によって記憶する救済アドレスプログラム回路、救済アドレスプログラム回路に記憶されたアドレスとアクセスアドレスを比較するアドレスコンパレータ、及び救済用選択回路が設けられる。前記救済用選択回路は、前記アドレスコンパレータによる比較結果が一致のとき、アクセスアドレスによるアクセスを禁止し、それに代えて一致に係る救済用のアドレスを用い、前記救済用メモリアレイを動作させる。

【0083】

第20図乃至第22図には本発明に係る不揮発性メモリセル1の別の断面構造を示す。第20図に例示されるように、コントロールゲート電極18の上方に電荷蓄積領域11及びメモリゲート電極14を配置してもよい。また、第21図のように、コントロールゲート

10

20

30

40

50

ト電極 18 の隣に電荷蓄積領域 11 及びメモリゲート電極 14 を配置し、メモリゲート電極 14 をサイドウォールゲートとして形成してもよい。或は第 22 図のように、コントロールゲート電極 18 をサイドウォールゲートとして形成してもよい。

【0084】

特に図示はしないが、前記電荷蓄積領域 11 には、前記シリコン窒化膜（シリコンナイトライド膜）のような、絶縁膜に覆われた電荷トラップ性絶縁膜を採用することに限定されず、絶縁膜に覆われた導電性浮遊ゲート電極（例えばポリシリコン電極）、又は絶縁膜に覆われた導電性微粒子層等を採用してよい。導電性微粒子層は、例えばポリシリコンをドット状とするナノドットによって構成することができる。

【0085】

第 24 図には、以上説明した不揮発性メモリセルを採用した不揮発性メモリをオンチップで備える半導体装置、例えばマイクロコンピュータの全体的な構成が示される。マイクロコンピュータ 60 は、特に制限されないが、単結晶シリコンのような 1 個の半導体基板（半導体チップ）に、CMOS 集積回路製造技術により形成される。このマイクロコンピュータ 60 は、CPU（中央処理装置）61、揮発性メモリとしての RAM 62、不揮発性メモリとしてのフラッシュメモリモジュール 63、フラッシュメモリコントローラ 64、バスステートコントローラ 65、入出力ポート回路などの入出力回路（I/O）66、及びその他の周辺回路 67 を備え、それら回路モジュールは内部バス 68 に接続される。内部バス 68 はアドレス、データ、及び制御信号の各信号線を備える。CPU 61 は命令制御部と実行部を備え、フェッチした命令を解読し、解読結果にしたがって演算処理を行う。フラッシュメモリモジュール 63 は CPU 61 の動作プログラムやデータを格納する。RAM 62 は CPU 61 のワーク領域もしくはデータ一時記憶領域とされる。フラッシュメモリモジュール 63 の動作は CPU 61 がフラッシュコントローラ 64 に設定した制御データに基づいて制御される。バスステートコントローラ 65 は内部バス 68 を介するアクセス、外部バスアクセスに対するアクセスサイクル数、ウェイトステート挿入、バス幅等の制御を行う。

【0086】

第 24 図において 2 点鎖線で囲んだ領域 69 の回路は比較的ゲート酸化膜の薄い MOS トランジスタによって構成される回路部分を意味する。領域 69 の外の回路は、比較的ゲート酸化膜の厚い高耐圧 MOS トランジスタによって構成される回路部分になる。例えばフラッシュメモリモジュール 63 において高耐圧ドライバ 22、24 等が形成される領域になる。

【0087】

第 25 図にはフラッシュメモリモジュールの詳細な一例が示される。メモリセルアレイ 70 は第 16 図及び第 19 図等で説明した構成を有する。ドライバ回路 71 は前記ドライバ 23、21 等を備えて回路ブロックであり、X アドレスデコーダ（XDCR）73 から供給されるアドレスでコード信号に従って出力動作されるべきドライバが選択される。ドライバ回路 72 は前記ドライバ 22、24 などを備え、コントロールゲート制御線 CL 状態等に従って出力動作されるべきドライバが選択される。グローバルビット線 GL にはセンスアンプ回路及び書き込み制御回路 78 が接続される。センスアンプ回路 78 はグローバルビット線 GL に読み出されたリードデータを増幅してラッチする。書き込み制御回路 78 は書き込み動作によってグローバルビット線に供給すべき書き込み制御情報をラッチする。センスアンプ回路及び書き込み制御回路 78 は、Y 選択回路（YG）79 を介してデータ入出力バッファ（DTB）80 に接続され、内部バス 68 に含まれるデータバス 68D とインタフェース可能にされる。読み出し動作において Y 選択回路 78 は、Y アドレスデコーダ（YDCR）74 から出力されるアドレスデコード信号に従って、センスアンプ回路 78 にラッチされた読み出しデータを選択する。選択された読み出しデータはデータ入出力バッファ 80 を介して外部に出力可能にされる。書き込み動作において Y 選択回路 78 は、データ入出力バッファ 80 から供給される書き込みデータをどのグローバルビット線に対応させて書き込み制御回路 78 にラッチさせるかを制御する。

【0088】

アドレス信号はアドレスバス68Aからアドレスバッファ75に供給され、アドレスバッファ75からXアドレスデコーダ73及びYアドレスデコーダ74に供給される。読み出し、消去、書き込みに必要な動作電源は電圧発生回路(VS)77が外部電源Vdd, Vssに基づいて生成する。例えば第2図の書き込み動作電圧を想定すると、 $V_{dd} = 1.8V$ 、 $V_{CC E} = 1.2V$ 、 $V_{CC P} = 8V$ 、 $V_{CC D} = 6V$ になる。

【0089】

制御回路(CONT)76はフラッシュメモリコントローラ64に設定された制御情報に従って、フラッシュメモリモジュール63の、読み出し動作、消去動作、及び書き込み動作の制御シーケンスや動作電源の切換え制御を行う。動作電源に切換え制御とは、読み出し動作、消去動作、及び書き込み動作に応じて、ドライバ21~24の動作電源を第2図の動作態様に従って適切に切換える制御である。

【0090】

第31図には前記不揮発性メモリセルに対する別の書き込み電圧条件等が例示される。第2図との基本的な相違は電源電圧Vddを1.8Vから1.5Vに変更し、読み出し時のメモリゲート電圧Vmgを0Vから $V_{dd} = 1.5V$ に変更したことである。更に、書き込み(Program)及び消去(Erase)時のソース電圧Vs及びメモリゲート電圧Vmgも変更されている。また、第31図ではビット線BLにはZMOS19を用いた階層構造を採用していない。第2図のようなビット線階層構造を採用することは妨げない。図31においても図2と同様の効果を得ることができる。

【0091】

第32図には前記不揮発性メモリセル1を採用したメモリセルアレイとドライバの配置に関する別の例が示される。第32図の例では、第19図と同様に、前記コントロールゲートドライバ21はアドレスデコード信号を入力して動作が選択され、メモリゲートドライバ22A及びソースドライバ24はコントロールゲートドライバ21の出力に基づいて動作が選択される。そして、メモリアレイ50を挟んで一方側に前記コントロールゲートドライバ21が配置され、他方側に前記メモリゲートドライバ22A及びソースドライバ24が配置され、高電圧を動作電源とするドライバと相対的に低い電圧を動作電源として動作する回路が分離されている。ここまでの構成は第19図と同じであり、以下に相違点を説明する。尚、メモリゲートドライバ22Aは、メモリゲートドライバ22に対して駆動負荷が増えるので、不足する場合にはメモリゲートドライバ22よりも大きな駆動能力を持てばよい。

【0092】

第1の相違点はメモリゲート制御線MLを複数本単位で共通接続している。即ち、前記コントロールゲート制御線CLと対を成すメモリゲート制御線MLは例えば16本単位で前記メモリゲートドライバ22Aを共有する。ソース線SLに関しても例えば16本単位で前記ソースドライバ24を共有する。このとき、メモリゲートドライバ22Aによるメモリゲート制御線MLの共有本数Nm1は、ソースドライバ24によるソース線SLの共有本数Ns1以下にするという条件($N_{m1} \leq N_{s1}$)を満足させている。

【0093】

上記条件は以下の理由による。不揮発性メモリセルに対する書き込み形式としてソース・ドレイン間に電流を流してメモリゲート電極14に高電圧を印加させる場合、書き込み選択のメモリセルとの間でメモリゲート制御線MLを共有する書き込み非選択の不揮発性メモリセルのうち、書き込み選択メモリセルのソース・ドレイン間に電流を流すためのソース電位Vsがソース線SLを介して与えられていれば、ソース・メモリゲート間の電界は特別大きくならない。第31図及び第32図の例ではソース・メモリゲート間の電位差は6V程度である。そのソース電位が書き込み非選択の低いソース電位であれば、書き込み選択のメモリセルとの間でメモリゲート制御線を共有する書き込み非選択のメモリセルにはそのソース・メモリゲート間に1.2Vのような大きな電位差が形成され、これは消去時に匹敵するような大きな電界を作用する虞がある。このような大きな電界は書き込み状態

のメモリセルの閾値電圧を不所望に変化させるというディスターブを生ずる。上記メモリゲートドライバ22Aによるメモリゲート制御線MLの共有本数とソースドライバ24によるソース線SLの共有本数との上記関係は、そのようなディスターブの虞を未然に防止するのに役立つ。

【0094】

その理由を更に詳述する。第33図は第19図のようにメモリゲート制御線MLをコントロールゲート制御線と一対一対応させて個別にドライバ22で駆動する回路形式を例示してあり、ディスターブ受けるのはメモリゲート制御線MLを書き込み選択メモリセルと共有する同一行のAで示されるメモリセルだけである。このAのメモリセルにおいても書き込み選択のメモリセルと同じくソース線SLには6Vが印加されているから、ソース・メモリゲート間には6V程度の電位差しか生ぜず、消去時程の大きな電界を生ぜず、許容されるディスターブとなる。また、第33図において、その他のメモリセルは書き込み選択メモリセルとソース線が共通接続されていても書き込み選択メモリセルとメモリゲート制御線MLが異なれば、ソース・メモリゲート間には消去時と逆向きの電界しか生ぜず、書き込み時のディスターブを生じない。前記許容されるディスターブ状態におけるメモリセルの電圧印加状態を詳述すれば第35図のようになる。第32図に應ずる第34図の場合には、B、Cで示されるメモリセルにはAのメモリセルと同じようにソース・メモリゲート間には6V程度の電位差を生ずるが、これは第33図のAのメモリセルの場合と同じで許容されるディスターブを生ずるだけである。第34図において書き込み選択されるメモリゲート制御線MLの本数が書き込み選択のソース線本数よりも多いと、書き込み非選択ソース線に0V、書き込み選択メモリゲート制御線に12Vが印加される関係上、書き込み非選択ソース線と書き込み選択メモリゲート制御線とに接続するメモリセルのソース・メモリゲート間には消去時と同じ電界の向きに12Vの電位差が形成され、消去時に匹敵する状態に置かれることになるからである。

【0095】

前述の条件 $N_{ml} \leq N_{sl}$ でメモリゲートドライバ22Aにメモリゲート制御線MLを共有させ、且つソースドライバ24にソース線SLを共有させることにより、第34図に例示されるようにドライバ22A、24によるチップ占有面積を大幅に減らすことができる。例えば1024本のコントロールゲート制御CLに対し、第33図ではメモリゲートドライバ22は1024個配置され、第34図ではその1/16の64個で済む。

【0096】

第2の相違点はメモリゲートドライバ22Aとソースドライバ24の駆動制御信号を生成する論理構成である。即ち、第32図に示されるように、前記メモリゲートドライバ22A及びソースドライバ24は、対応する16本のコントロールゲート制御線CL0~CL15に対する選択状態の論理和を形成する論理和回路90の出力に基づいて駆動するように構成される。このとき、コントロールゲート制御線CL0~CL15の引き回しを少なくするために、論理和回路90をメモリアレイ50に寄せて配置し、その論理和結果信号CLOut0をドライバ22A、24に供給するように構成する。これにより第36図に例示されるような配線の引き回しが不要になり、ドライバ22Aの近傍にコントロールゲート制御線CL0~CL15を延在させて論理和回路100に入力させることを要しない。

【0097】

前記論理和回路90の具体的な構成は第37図に示される。論理和回路90はノア(NOR)ゲートにより構成される。ここでは後段にノアゲート91が介在され、信号Readによる読み出し動作の指示に対してはノアゲート91は使用せず、全てのメモリゲートに電圧Vddを印可している。言い換えるなら読み出し動作以外の消去動作や書き込み動作ではノアゲート91を使用する。

【0098】

特に、前記ノアゲート90は、そのレイアウト面積を小さくするために。コントロールゲート制御線CL0~CL15の延長部分をゲート電極として用いるトランジスタQ0~

10

20

30

40

50

Q15を用いて構成される。前記ノアゲート90のレイアウト構成は第38図に例示される。

【0099】

第3の相違点は読み出し動作の高速化という観点よりの改良である。即ち、第32図に例示されるように、読み出し動作にตอบสนองして前記メモリゲート制御線ML0…を前記電源電圧V_{dd}に導通させるチャージMOSトランジスタ92をメモリゲート制御線MLの異なる位置に複数設ける。メモリゲート制御線MLを読み出し動作上望ましいレベルに遷移させる時間を短縮することができる。前記チャージMOSトランジスタ92は、信号SWEにより書換えディスエーブルが指示される状態にตอบสนองしてオン状態にされる。

【0100】

更に第32図に例示されるように、16本単位でソースドライバ24を共有するソース線SL0…を読み出し動作にตอบสนองして回路の接地電位に導通させるMOSトランジスタ95を設け、更に16本単位のソース線SLのグループを選択的に導通させる連結MOSトランジスタ94を設ける。第39図に例示されるように読み出し動作時に前記連結MOSトランジスタ94及びMOSトランジスタ95をオン動作させることにより、見掛け上ソース線SLを低抵抗化することができる。前記MOSトランジスタ94、95は、図32において、信号Pにより非書き込みが指示される状態にตอบสนองしてオン状態にされる。

【0101】

第40図は、浮遊ゲートを用いたメモリセルにおける本発明の第1の実施形態を示す断面図である。メモリセルは、シリコン基板上に設けたp型ウエル領域PWE_L、ソース領域となるn型拡散層MS、ドレイン領域となるn型拡散層MD、浮遊ゲートFLG、トンネル酸化膜FTO、層間絶縁膜INTP、書込み・消去時に高電圧を印加するためのメモリゲート電極MG（材質はn型ポリシリコン）、メモリゲート電極MG保護用の酸化膜CAP、選択MOS型トランジスタのゲート酸化膜STOX、n型ポリシリコンからなる選択ゲート電極SG、及び選択ゲート電極SGとメモリゲート電極MGを絶縁する絶縁膜GAPOXで構成される。ゲート酸化膜STOXの膜厚は、絶縁膜GAPOXよりも薄く、書込み・消去用の高耐圧MOS型トランジスタのそれよりも薄く製造することの特徴とする。ゲート酸化膜STOXと絶縁膜GAPOXは、別層で形成される。層間絶縁膜INTPは、浮遊ゲート型では一般的に用いられているシリコンの酸化膜／窒化膜／酸化膜の積層構造で良い。

【0102】

第41図には第40図に開示したセルの動作と電圧の掛け方を示す。ここでは、浮遊ゲートFLGへの電荷注入を書込み（Program）と定義する。書込み方式はソースサイド・インジェクションを用いたホットエレクトロン書込みであり、ソース領域MSに印加する電圧V_sは5ボルト、メモリゲート電極MGに印加する電圧V_{mg}は10ボルト、選択MOS型トランジスタのゲート電極SGへ印加する電圧V_{sg}はそのトランジスタのしきい値と概ね同じとする。ホットエレクトロンの発生領域は、第40図と同様、二つのゲート電極が絶縁されたGAPOX領域下のチャンネル部である。

【0103】

消去動作となる浮遊ゲートFLGからの電荷放出の場合は、蓄積電荷（電子）をp型ウエル領域PWE_Lに向けて放出するような電界を発生させる。例えば、電位差20Vとする場合は、メモリゲート電極MGに印加する電圧V_{mg}を-20ボルト、p型ウエル領域PWE_Lに印加する電圧V_{wel}を0とする。或いは、メモリゲート電極MGに印加する電圧V_{mg}を-10ボルト、p型ウエル領域PWE_Lに印加する電圧V_{wel}を10V、ゲート電極SGへ印加する電圧V_{sg}を10ボルトとする。ゲート電極SGへ印加する電圧V_{sg}は、ゲート電極SGとp型ウエル領域PWE_Lの電位差を無くしてゲート酸化膜STOXが破損しないために必要な電圧である。

【0104】

混載するコア・ロジックの動作電圧が1.8ボルトである場合、読出し時のソース・ドレインへの電圧を書込み時と逆方向に印加するのであれば、ソース領域MSに印加する電

10

20

30

40

50

圧 V_s を0ボルト、ドレイン領域MDに印加する電圧 V_s を1.8ボルト、ゲート電極SGへ印加する電圧 V_{sg} を1.8ボルトとする。この時、消去状態におけるメモリのしきい値を0より十分低くしておけば、メモリゲート電極MGに印加する電圧 V_{mg} は0ボルトで読み出すことが出来る。順方向読出しの場合は、ドレイン領域MDに印加する電圧 V_d を1.8ボルト、ドレイン領域MSに印加する電圧 V_s を0とすれば良い。また、コア・ロジックの他に混在する可能性が高いものに、外部との入出力信号を扱うI/O用MOS型トランジスタがある。これはコア・ロジックよりも高い電圧、例えば、3.3ボルト、2.5ボルトなどを扱う。これらI/O用のMOS型トランジスタのゲート絶縁膜の膜厚は絶縁膜GAPOXよりも薄い。3.3ボルトの場合で概ね8ナノメートル、2.5ボルトの場合で6ナノメートル程度である。高い絶縁耐圧が必要になる絶縁膜GAPOXよりも薄い故に、ゲート酸化膜STOXの膜厚としてはこれらを採用することも可能である。印加する読出し電圧としては先の1.8ボルトでも、I/O用の3.3ボルト又は2.5ボルトでも良い。

10

【0105】

第42図には第40図の第1の実施形態であるメモリセルとこれに混載される他のMOS型トランジスタとの双方が断面構造で示される。第42図の断面構造に新たに表記として加わったものは、素子分離領域SGI、コア・ロジック用のnMOS型トランジスタ(Core Logic MOS)用p型ウエルLPWEL、そのゲート酸化膜LVGOX、そのゲート電極LVG、そのソース・ドレイン領域LVSD、書き込み・消去用高耐圧MOS型トランジスタのp型ウエルHPWEL、そのゲート酸化膜HVGGOX、そのゲート電極HVG、そのソース・ドレイン領域HVS D、配線層間絶縁膜INS M1、第1の配線層の内でコア・ロジックMOS型トランジスタの低い出力電圧を選択ゲート電極SGに供給する配線M1a、及び書き込み・消去用MOS型トランジスタの高い出力電圧をメモリゲート電極MGに供給する配線M1bである。実際には更に上層の配線が存在するが、本図では省略する。

20

【0106】

ゲート酸化膜STOX, LVGOX, HVGGOX及びトンネル酸化膜FTOが全てシリコン酸化膜として、それらの物理的膜厚を夫々、 t_S , t_L , t_H , t_F と定義すれば、本発明による不揮発性記憶装置では、 $t_L \leq t_S < t_F < t_H$ なる関係とする。ここでは、I/O用のMOS型トランジスタ断面図の記載を省略したが、そのゲート絶縁膜の膜厚を t_{IO} とすれば、 $t_L < t_{IO} < t_F$ の関係とする。膜厚 t_S として膜厚 t_{IO} と同じ膜厚を採用しても $t_L \leq t_S < t_F < t_H$ の関係は保たれ、本発明の範疇に入れることができる。これらの膜がシリコン酸化膜のみでは無い場合、例えば一部に窒化膜が用いられている場合であれば、本発明を特徴付ける膜厚関係を、物理的膜厚から電氣的膜厚に一般化することができる。何故ならば、ゲート絶縁膜の構造および膜厚は夫々の印加電圧に対応して設定されるものであり、それに準じた膜厚構成をセル構造にも適用する本発明の特徴と合致する。

30

【0107】

また、本発明の他の特徴をMOS型トランジスタとメモリセルとの接続関係で言えば、選択ゲート電極SGとコア・ロジック用MOS型トランジスタのソース・ドレイン領域LVSDとが配線層M1aで直接接続されていること、及び、メモリゲート電極MGと書き込み・消去用MOS型トランジスタのソース・ドレイン領域HVS Dとが配線層M1bで直接接続されていることである。

40

【0108】

第43図は、離散型電荷記憶を行うMONOS型メモリセルに対して本発明を適用した場合の第2の実施形態を示す断面図である。第40図と異なる点は、電荷蓄積領域がシリコンの窒化膜SINになり、その直下に酸化膜BOTOX、直上に酸化膜TOPOXとなる積層構造としたことである。窒化膜SINの膜厚は50ナノメートル以下とする。酸化膜TOPOXの厚さを t_T 、酸化膜BOTOXの厚さを t_B とすれば、酸化膜TOPOXを介して蓄積電荷を引きぬく場合は $t_B > t_T$ の関係、酸化膜BOTOXを介して蓄積電

50

荷を引き抜く場合は $t_B < t_T$ の関係となるように設定する。いずれの場合でも、第42図で説明した膜厚の関係、 $t_L \leq t_S < t_F < t_H$ は同様とする。ここでは電荷蓄積層としてシリコンの窒化膜を例示したが、他の絶縁性トラップ膜、例えばアルミナ等であっても本発明が適用できる。

【0109】

第44図には第43図に開示したセルの動作と電圧の掛け方を示す。基本的には第41図と同一だが、メモリゲート電極MGへ電荷を放出して消去する場合にメモリゲート電極MGへの印加電圧 V_{mg} を12ボルトとする。これは、酸化膜 BO_{TOX} の膜厚が酸化膜 $TOPOX$ のそれよりも厚い場合の電圧印加方法である。また、p型ウエル領域 $PWEL$ へ放出して消去する場合はメモリゲート電極MGへの印加電圧 V_{mg} を-12ボルトとする。これは酸化膜 BO_{TOX} の膜厚が酸化膜 $TOPOX$ のそれよりも薄い場合の電圧印加方法である。なお、消去電圧の絶対値12ボルトは一例であり、この数値をもって本発明が限定されるものではない。

【0110】

第45図は第43図のメモリセルにおけるソース及びドレイン構造を例示する。前提として、動作電圧は第44図の書込み、消去、逆方向読出しに対応する。この場合、ドレインの接合耐圧は1.8ボルト動作のCMOS（コア・ロジック用MOS型トランジスタ）と同一で良い。したがって、ドレイン領域はコア・ロジックのものと同じ構造を採用することが出来る。即ち、ドレイン領域を低濃度領域MDMと高濃度領域MDからなるLDD構造とし、コア・ロジック用MOS型トランジスタのソース・ドレイン領域と共通化することができる。これにより、選択MOS型トランジスタの短チャネル効果を抑制することができるので、そのゲート長を短くすることが可能になる。これは低電圧下で大きな読出し電流を得るのに適している。一方、書込み時に高電圧を印加するドレイン領域は、コア・ロジック用トランジスタのソース・ドレイン領域と同じ構造を用いることは出来ず、高濃度領域MSと耐圧向上のための拡散層MSMからなる二重ドレイン構造となる。このソース領域は、書込み・消去電圧制御用の高耐圧MOS型トランジスタのソース・ドレイン領域と共通化することも可能であり、必要に応じてメモリセル専用の構造としても良い。

【0111】

第46図は、第43図のメモリセルにおける選択MOS型トランジスタとメモリMOS型トランジスタのチャネル濃度の差異を表したものである。低電圧で大きな読出し電流を取るためには、MOS型トランジスタのしきい値は低いほど良い。しかし、選択MOS型トランジスタのしきい値があまり低過ぎると、そのゲート電圧が0の場合でも完全にはオフにならない。これではリーク電流が正常な読出し動作を阻害してしまう。したがって、選択MOS型トランジスタのしきい値は正の範囲で低いことが望ましい。一方、読出し電流を大きく取るためには、メモリMOS型トランジスタのしきい値を十分低くする必要がある。電荷の長時間蓄積を可能にするため、読出しの際のメモリゲート電極MGの電圧は0ボルトに設定しておくことが望ましい。したがって、選択MOS型トランジスタにリークを生じないことを前提とすれば、メモリMOS型トランジスタの消去状態のしきい値を負にする必要がある。

【0112】

従来の浮遊ゲート型であれば、消去電圧を高くすること或いは消去電圧を長時間印加することで十分低いしきい値を得ることが可能である。しかし、本実施形態のようにトラップ性膜を用いたメモリセルの場合、一定値以下にはしきい値が下がらないという特性がある。故に、メモリMOS型トランジスタのしきい値を下げるにはチャネル濃度を調整して、元々のしきい値を低く設定しておかなければならない。中性しきい値が負になるようにチャネル不純物濃度を設定すれば、消去後のしきい値も負にすることが可能である。そのような設定をしておけば、選択MOS型トランジスタをオンにして信号を読み出す際に、大きな読出し電流値を得る事ができる。したがって、選択MOS型トランジスタのチャネル領域SEの不純物濃度とメモリMOS型トランジスタのチャネル領域MEの不純物濃度とでは、必然的に差異を設けなければならない。第46図のようにp型ウエル領域PWE

L上に形成したメモリセルの場合でチャネル領域SEのp型不純物濃度 N_{se} とチャネル領域MEのp型不純物濃度 N_{me} を比較すれば、 $N_{se} > N_{me}$ の関係が成立するように各不純物濃度を設定する。あるいは、p型不純物濃度は同一でも、ME領域のn型不純物濃度をSE領域のn型不純物濃度よりも高く設定する。この濃度差は、低電圧下で大きな読出し電流をとることを目的とした本発明の要点の一つである。

【0113】

尚、従来の浮遊ゲート型を用いた場合にメモリMOS型トランジスタのしきい値を負に設定する場合は、放置状態においてしきい値が変動する量を小さく押さえるため、メモリMOS型トランジスタの中性しきい値を低く押さえる必要がある。読出し時にメモリゲート電極MGの電圧を0とする場合には、その中性しきい値も負に設定しておくことが望ましい。したがって、上述した要点は、メモリMOS型トランジスタの電荷蓄積方法に拘らず成立するものである。

10

【0114】

第47図は、電荷蓄積部位として微細な粒子を用いたメモリセルに対して本発明を適用した場合の第3の実施形態を示す断面図である。下地となる酸化膜BOX上に微粒子DOTSを設置する。微粒子DOTSの材質としてはポリシリコンが挙げられるが、他の材質でも良い。その粒子直径は、10ナノメートル以下が望ましい。微粒子DOTSを覆い隠すように層間絶縁膜INTOXを堆積し、その直上にメモリゲート電極MGを設置する。電荷蓄積部位が離散的になる点で、トラップ性の電荷蓄積膜と同等に考えて良い。したがって、これまで説明をした本発明内容のいずれかの組み合わせあるいは全てと併せて適用することが可能である。

20

【0115】

以上、本発明の骨子である $t_L \leq t_S < t_H$ の関係およびセル構造を説明した。以下、具体的な製法を第48図の第4の実施形態を示す断面図で説明する。ここで開示するのは、異方性ドライエッチにより形成される側壁スペーサGAPSWを第2の実施形態における選択ゲート電極SGとメモリゲート電極MGを絶縁する絶縁膜GAPOXとして用いた場合の断面構造である。側壁スペーサGAPSWは、通常のMOS型トランジスタで用いられる拡散層のLDD (Lightly Doped Drain) 構造を形成する場合に用いられる側壁スペーサを形成する方法と同様の手法で形成する。しかし、ドライエッチ直後の酸化膜はエッチダメージにより耐圧が低下する。通常のCMOSであれば印加電圧が低いこと及び側壁スペーサを介して隣接する電極がないので、耐圧低下はそれほど問題にはならない。しかし、選択ゲート電極SGとメモリゲート電極MGを絶縁する絶縁膜GAPOXとして使用する場合は15ボルト程度の耐圧を確保する必要がある。したがって、全面に堆積したシリコン酸化膜を異方性ドライエッチでエッチバックして側壁スペーサGAPSWに形成した後、選択ゲート電極SGとなるポリシリコンの堆積前に、耐圧を向上させるために酸素雰囲気中でアニールを施す処理を行うことが肝要である。本実施形態のメモリセル構造を実現するに当たり、欠かせないプロセスである。

30

【0116】

第49図は、第48図の選択MOS型トランジスタのゲート電極を、メモリ部に対して自己整合構造とした第5の実施形態の断面図である。この構造は、全面にゲート電極材料（例えばポリシリコン）を堆積して、異方性ドライエッチ処理を施して形成するものである。そのような手法で形成した選択MOS型トランジスタのゲート電極が図中のSGR1、SGR2である。同一の機能を有する第48図のゲート電極SGとは形状が異なるが、違いはその点だけである。即ち、本発明の要点である、 $t_L \leq t_S < t_H$ の関係他は崩れてはいない。

40

【0117】

以上の本発明によるメモリセルと他のMOS型トランジスタとを混載したときの製造プロセスに関する断面図を第50図乃至第56図に開示する。

【0118】

まず、第50図を説明する。p型シリコン基板PSUB上に、素子分離酸化膜領域SG

50

Iを形成し、コア・ロジック用n型MOS型トランジスタ（nMOS）用のp型ウェルPWL，コア・ロジック用p型MOS型トランジスタ（pMOS）用のn型ウェルNWL，書込み・消去用の高電圧制御用n型MOS型トランジスタ（nHVMOS）用のp型ウェルHPWL，高電圧制御用p型MOS型トランジスタ（pHVMOS）用のn型ウェルHNWL，メモリセル領域のn型ウェルMWLを形成する。次に、夫々のMOS型トランジスタのしきい値を制御するための不純物を、チャンネル表面になる領域に導入する。これにより、nMOS用不純物層NE，pMOS用不純物層PE，nHVMOS用不純物層HNE，pHVMOS用不純物層HPE，メモリMOS型トランジスタ用不純物層MEを形成する。

【0119】

10

次に、第51図を説明する。シリコン基板表面を清浄に処理した後、メモリMOS型トランジスタの下部酸化膜BOTOX（5ナノメートル）を熱酸化で形成し、その直上にシリコン窒化膜SIN（15ナノメートル）を気相成長法で堆積する。その後、シリコン窒化膜SIN表面に熱酸化処理を施し、上部酸化膜TOPOX（2ナノメートル）を形成する。続いて、後にメモリゲート電極となるn型ポリシリコン層NMG（100ナノメートル）及びメモリゲート電極MG保護用のシリコン酸化膜CAP（100ナノメートル）を、順次堆積する。

【0120】

次に、第52図を説明する。フォトリソグラフィ技術とドライエッチング技術を用いて、第51図でシリコン基板上に形成した5層の積層膜BOTOX，SIN，TOPOX，NMG，CAPをメモリMOS型トランジスタのゲート電極MG1，MG2の形状に加工する。これは図面の奥行き方向に長い線状の形状であり、ワード線と同じ本数だけ存在するが、図面上では2本だけ代表して示している。加工の際は、下部酸化膜BOTOX表面が露出する段階でドライエッチを停止し、残った下部酸化膜BOTOXをフッ酸で除去する。これは基板表面に不要なエッチングダメージが入らないようにするための手法である。このフッ酸処理により、基板表面が露出される。続いて、熱酸化膜BOX（5ナノメートル）を形成し、シリコン酸化膜HVGOX（15ナノメートル）を堆積する。後に、この2層の酸化膜は、高電圧制御用MOS型トランジスタのゲート酸化膜に供される。単なる堆積膜だけでは信頼性が劣るために積層構造とする。

20

【0121】

30

次に、第53図を説明する。フォトリソグラフィ技術により加工し、コア・ロジック用MOS型トランジスタを形成する領域と高電圧制御用MOS型トランジスタを形成する領域を覆うフォトレジスト膜RES1を形成する。その後、シリコン酸化膜HVGOXに対する異方性ドライエッチング技術により、選択MOS型トランジスタのチャンネル領域に存在する酸化膜を除去して基板表面を露出させる。この工程により、メモリMOS型トランジスタの選択MOS型トランジスタ側にはシリコン酸化膜HVGOXが加工された側壁スペーサGAPSWも同時に形成される。続いて、フォトレジスト膜RES1を残したまま、選択MOS型トランジスタのチャンネル領域にしきい値調整用の不純物層SEを形成する。不純物層SEと不純物層MEの不純物濃度は、第46図にて開示した関係を満たすものとする。

40

【0122】

次に、第54図を説明する。フォトリソグラフィ技術を用いてフォトレジスト膜RES2を加工し、コア・ロジック用MOS型トランジスタを形成する領域のみを開口した後、フッ酸処理により熱酸化膜BOXとシリコン酸化膜HVGOXからなる積層構造の酸化膜を完全に除去する。

【0123】

次に、第55図を説明する。前図に記載のフォトレジスト膜RES2を除去して洗浄工程を経た後、露出したシリコン基板表面（コア・ロジック用MOS型トランジスタ部と選択MOS型トランジスタ部）に熱酸化膜（4ナノメートル）を形成する。この熱酸化膜がコア・ロジック用MOS型トランジスタのゲート酸化膜LVGOX及び選択MOS型トラ

50

ンジスタのゲート酸化膜 S T O X になる。便宜上、本図ではコア・ロジック用 M O S 型トランジスタと選択 M O S 型トランジスタの各ゲート酸化膜を別符号 L V G O X, S T O X として示しているが、この製造方法であれば両者の膜厚は同一となる。続いて、全面にノンドープのポリシリコン膜 (150 ナノメートル) を堆積した後、n M O S 及び n H V M O S を形成する領域上では n 型, p M O S 及び p H V M O S を形成する領域では p 型となるようにポリシリコン膜に不純物を導入する。この不純物の濃度は、夫々 $1 \times 10^{20} / \text{cm}^3$ 以上とする。続いて、全面にシリコン酸化膜 (20 ナノメートル) を堆積した後、フォトリソグラフィ技術とドライエッチ技術を用いてポリシリコン膜とシリコン酸化膜の積層膜を加工し、n M O S のゲート電極 L V G n、p M O S のゲート電極 L V G p、n H V M O S のゲート電極 H V G n、及び p H V M O S のゲート電極 H V G p を形成する。この時、メモリ領域では選択 M O S 型トランジスタのソース側のゲート電極端のみを加工しておく。0.18 ミクロン世代でのゲート長は、例えばコア・ロジック用 M O S 型トランジスタでは 0.15 ミクロン、高電圧制御用 M O S 型トランジスタ H V M O S では 1.0 ミクロンとなるが、これは扱う電圧が異なる事による必然的結果である。続いて、適宜、フォトリソグラフィ技術と不純物イオンのインプランテーション技術を用いて、n M O S 用の浅い接合を持つ n 型ソース/ドレイン L L D D n、p M O S 用の浅い接合を持つ p 型ソース/ドレイン L L D D p、n H V M O S 用の高耐圧接合を持つ n 型ソース/ドレイン H L D D p、及び p H V M O S 用の高耐圧接合を持つ p 型ソース/ドレイン H L D D p を形成する。これらソース/ドレインは、使用する電圧に対して十分な接合耐圧を確保することを前提として設計されるべきものである。ここで導入したソース/ドレイン不純物の濃度は、コア・ロジック用 M O S 型トランジスタの方が高電圧制御用 M O S 型トランジスタ H V M O S のそれよりも高くする。また、選択 M O S 型トランジスタのドレインには n 型拡散層 M D M を形成するが、ここで開示した製造方法によれば、この n 型拡散層 M D M と n 型ソース/ドレイン L L D D n の不純物の濃度を同一のものとすることができる。

【0124】

次に、第 56 図を説明する。ここではメモリ M O S 型トランジスタのドレイン領域を形成する。フォトリソグラフィ工程により、メモリ M O S 型トランジスタのドレインとなる領域に対して開口を有し、その開口端がメモリゲート電極 M G 1, M G 2 上となるフォトレジスト膜 R E S 3 を形成した後、ポリシリコン膜とシリコン酸化膜の積層膜を異方性ドライエッチで加工して、2つの選択 M O S 型トランジスタの各ゲート電極 S G 1, S G 2 を形成する。続いて、フォトレジスト膜 R E S 3 を除去せずに、n 型不純物のイオン打込みを行い、メモリ M O S 型トランジスタのソース領域 M S M を形成する。

【0125】

次に、第 57 図を説明する。全面にシリコン酸化膜 (100 ナノメートル) を堆積し、続いて全面に異方性ドライエッチを施す。この処理により、全てのゲート電極の側壁にスペーサ S W S P L D D を形成する。全ての n 型トランジスタのソース/ドレインに高濃度の n 型拡散層 N S D, M S を、p 型トランジスタのソース/ドレインに高濃度の p 型拡散層 P S D を、イオン打込みと熱処理で形成する。続いて、全てのソース・ドレイン N S D, M S, P S D 及びゲート電極 L V G n, L V G p, H V G n, H V G p, S G 1, S G 2 の表面から酸化膜を除去し、シリコンを露出させる。全面に金属コバルト (10 ナノメートル) を堆積し、700 °C の熱処理を加えて自己整合コバルトシリサイドを形成する。反応しなかった不要なコバルトを洗浄により除去し、再び 750 °C で処理を施して、低抵抗のコバルトシリサイド層 C O S I を形成する。その後、全面に絶縁用の酸化膜 I N S M 1 を堆積する。以降の配線工程は、従来技術を用いて差し支え無い。

【0126】

第 58 図は、本発明のメモリセル技術を用いて構成したメモリアレイの一実施形態である。基本構成は N O R 型で、階層型ビット線構造をとる。簡略化のため、ここでは 2 本のグローバルビット線を代表して示す。センスアンプ S A P にはグローバルビット線 B L P が接続されている。グローバルビット線 B L P にはローカルビット線への分岐がある。Z A P はローカルビット線 L B A P を選択するための選択 M O S 型トランジスタである。ロ

ーカルビット線LBA Pには複数のメモリセルMPA 1～4が接続されている。図では4個のメモリセルを代表して示すが、接続されるメモリセル数としては16個、32個、64個といった場合がある。ローカルビット線LBA Pに接続されるのはメモリセルの選択MOS型トランジスタ側である。選択MOS型トランジスタZAP及びメモリセルMPA 1～4を纏めてブロックBLCPAとする。ブロックBLCPAに対し対称に並ぶブロックBLCQAでは、メモリセルMQA 1～4がローカルビット線LBAQに接続され、ZAQがそれらを選択するMOS型トランジスタである。ブロックBLCQAに対応するグローバルビット線はBLQであり、センスアンプSAQに繋がる。選択MOS型トランジスタZAP、ZAQはコア・ロジック用MOS型トランジスタと同じゲート酸化膜厚を有するMOS型トランジスタであり、それらのゲート電極に信号を送るドライバがZSLAである。ドライバZSLAもコア・ロジック用MOS型トランジスタで構成する。セル選択MOS型トランジスタのゲート電極は、横方向に隣接するブロックを横断したワード線に接続される。例えば、ワード線WAP 1はブロックBLCPに属するメモリセルMPA 1のセル選択MOS型トランジスタのゲート電極が、ブロックBLCQに属するメモリセルMPA 2のセル選択MOS型トランジスタのゲート電極が接続されている。ワード線WAP 1を選択するのはドライバWSLA 1である。これもコア・ロジック用MOS型トランジスタを用いる。ワード線WAP 2乃至ワード線WAP 4にはドライバWSLA 2乃至ドライバWSLA 4が1対1で対応する。ドライバWSLA 1乃至ドライバWSLA 4及びドライバZSLAを纏めて、ドライバ群DECAと名付ける。メモリゲートも図の横方向を横断する。MWAP 1はメモリセルMPA 1及びメモリセルMQA 1のメモリゲートに共通する配線である。書込み・消去時に高電圧を印加するため、配線MWAP 1に電圧を供給するドライバMSGLA 1を高耐圧MOS型トランジスタで構成する。配線MWAP 2乃至配線MWAP 4にはドライバMSGLA 2乃至ドライバMSGLA 4が1対1で対応する。書込み時はブロックBLCPAとブロックBLCQAで共有する配線COMSLに5ボルトを供給する必要がある。これは高耐圧MOS型トランジスタで構成するドライバPRVSで行う。高耐圧MOS型トランジスタで構成するドライバMSGLA 1乃至ドライバMSGLA 4及びドライバPRVSAを纏めて、ドライバ群HVD RVAと名付ける。図に示すように、グローバルビット線BLP、BLQには、更に他のブロックBLPB、BLQBが接続され、それらに対応するドライバ群DECB、HVD RVBが存在する。同様に、ブロックBLPC、BLQC、ドライバ群DECC、HVD RVCが存在する。読出し時にはドライバ群DECA乃至ドライバ群DECCに含まれる個々のドライバが、アドレスに応じてワード線を選択するが、これらはコア・ロジックと同等の性能を持つが故に、選択したワード線を高速に駆動できる。したがって、情報の読出しを高速に行うことが可能となる。これが本発明のメモリセル構造と対応するメモリアレイの構成方法である。

【0127】

第59図に、本発明のメモリセルにおいて、書込み時の電子がトラップ膜以外の領域に捕獲されることを低減するための構造を示す。これまで説明してきたメモリセルと基本的には同一であるが、選択ゲート電極SGとメモリゲート電極MGとを隔てる絶縁膜の形状およびその形成方法に特徴がある。図で示すとおり、SGとMGを隔てるMG側壁部の絶縁膜形状は、MG側壁部では厚く、トラップ膜SINの側壁部では薄くなっている。ソースサイド・インジェクションによる電子の注入はSG寄りのMG端部付近で起きるが、SGとMGを隔てる絶縁膜中に一部の電子が蓄積することは避けられない。その領域は本来の電子蓄積部位ではないので、消去時に必要な電界をかける事ができず、蓄積した電子を放出させにくい。結果として、所望の書込みおよび消去動作を阻害するおそれがある。したがって、この領域は、SGとMGの絶縁耐圧が許す範囲で、できる限り狭める方が望ましい。SGとMGの側面同士が相対する領域の絶縁膜の膜厚のみを厚くすることで、本来の書込みおよび消去動作を損ねることなく、SGとMGの絶縁耐圧を確保することができる。

【0128】

第60図乃至第62図を用いて製法を説明する。第60図において、MGを異方性ドライエッチで加工した後、ISSG酸化と呼ばれる方法で全面に10ナノメートル程度の酸化膜ISSGOXを被着する。この酸化手法は、アイ・イー・イー・イー、エレクトロン・デバイス・レターズ（IEEE ELECTRON DEVICE LETTERS）、ボリューム21、ナンバー9、2000年9月、430ページから432ページ、に掲載されているもので、絶縁耐圧の高い、高品質の薄い酸化膜を形成する事が可能な技術である。また、シリコン表面だけでなく、窒化膜表面にも同等の厚さの酸化膜を形成することも特徴のひとつである。この2つの特徴故に、記憶用トラップ膜の露出した側壁にも、絶縁耐圧の優れた酸化膜を被着することが可能になる。

【0129】

第61図は、第60図に続く工程である。ISSGOXを被着した後に熱酸化を追加するが、SIN側壁は殆ど酸化されず、ポリシリコンであるMGの側壁が厚く酸化される。この工程により、SGと記憶用トラップ膜との間の絶縁膜は薄く、SGとMGの間の絶縁膜を厚くすることができる。

【0130】

第62図は、第61図に続く工程である。第61図の形状を形成した直後は、シリコン基板表面も熱酸化される。ここで酸化膜の異方性エッチングを行うと、基板表面上に形成された酸化膜のみが除去され、MG側壁の厚い酸化膜GAPOX-THを必要な絶縁膜形状として残す事ができる。シリコン基板表面は、除去した熱酸化膜の分だけ後退する。その後、洗浄工程を経て、選択MOS型トランジスタ用の薄いゲート酸化膜STOXRを熱形成すれば良い。以降、SG、ソース（MSMおよびMS）、及びドレイン（MDMおよびMD）を順次形成すれば良い。これは本発明の他の実施項目と同様である。尚、第59図乃至第62図で説明してきた構造は、浮遊ゲート、トラップ膜、導電性微小粒子のいずれを用いた場合でも使用できる。

【0131】

第63図は、選択MOS型トランジスタのゲート絶縁膜に堆積酸化膜を使用した場合の対処法である。通常、堆積酸化膜中には多量の欠陥が存在し、不要な電荷蓄積やリーク電流の元となっている。ゲート絶縁膜として使用するには信頼性が著しく低いという欠点があった。酸素雰囲気中で熱処理を施すことで酸化膜中の欠陥（E' センタ）を低減できる事、および水素雰囲気中で高温熱処理を施す事で界面準位（Pb センタ）を低減できる事が、1996年版ジャーナル・オブ・アプライド・フィジクス、NO. 80、3430ページに掲載の、神垣らの論文に記されている。本発明のメモリセルを構成する選択MOS型トランジスタのゲート絶縁膜を堆積酸化膜で形成した場合にこの手法を用いれば、信頼性の高いMOS型トランジスタとして使用する事ができる。GAPOX形成は、第48図で説明したエッチバック方式を用いて形成すれば良い。その後、全面に堆積酸化膜STOXC Vを被着する。STOXC Vは選択ゲート電極SGとメモリ電極MGとを絶縁するために供されるのと同時にSG直下にも存在して、選択MOS型トランジスタのゲート絶縁膜としても機能する。STOXC Vを被着直後、酸素雰囲気中の熱処理を施し、続いてSGを被着、形成する手順を取る。本発明では、STOXC Vに施す酸素雰囲気中の熱処理を、800℃乃至850℃でのパイロジェニック酸化、10分乃至20分とする。その後、ソースMS、ドレインMDなどの拡散層を形成する。水素雰囲気での高温熱処理は、700℃乃至750℃で行うのが良い。水素雰囲気での熱処理を施すと、シリコン窒化膜中の電子伝導率を著しく下げる事ができる。したがって、本発明で用いた、ホットエレクトロンを窒化膜などのトラップ膜に局所的に注入して蓄積させる方式においては、自己電界により電子が横方向に拡散することを防止するために重要な工程となる。この水素雰囲気での熱処理は、700℃以上の他の熱処理が全て終了した配線工程直前に施す事で、最も良い効果を上げることができる。ここではSTOXC Vを1層の堆積酸化膜として説明したが、熱酸化膜あるいはISSG酸化膜形成後に堆積酸化膜を被着した積層構造でも良い。

【0132】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明

10

20

30

40

50

はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0133】

例えば、不揮発性メモリセルに対する閾値電圧状態と書き込み・消去状態との対応は相対的な概念であり上記とは逆の定義を行うことも可能である。

【0134】

不揮発メモリセルの低い閾値電圧状態はデプレッション型に限定されず、エンハンスメント型であってよいことは言うまでもない。

【0135】

また、書き込み、消去、読み出しの動作電圧は第2図の説明に限定されず適宜変更可能である。また、消去動作では電荷蓄積領域11のエレクトロンをメモリゲート14に放出させる形態に限定されず、消去時における電界の向きを逆向きとして、電荷蓄積領域11のエレクトロンをウェル領域2に放出させるようにしてもよい。

10

【0136】

ビット線にはグローバルビット線に対して階層化された構成を採用しなくてもよく、ビット線をセンスアンプ回路又は書き込み回路の接続してよい。また、センスアンプ回路又は書き込み回路の片方のみを上述の階層化構造にしてもよい。また、電源電圧、書き込み及び消去の高電圧等は更に別の電圧に適宜変更可能である。

【0137】

また、不揮発性メモリセルのONO構造における膜厚は、チャネル領域寄りより、3 nm (ナノ・メートル)、26.5 nm、0 nm近傍の組み合わせであったり、或は、5 nm、10 nm、3 nmの組み合わせであったりしてよい。

20

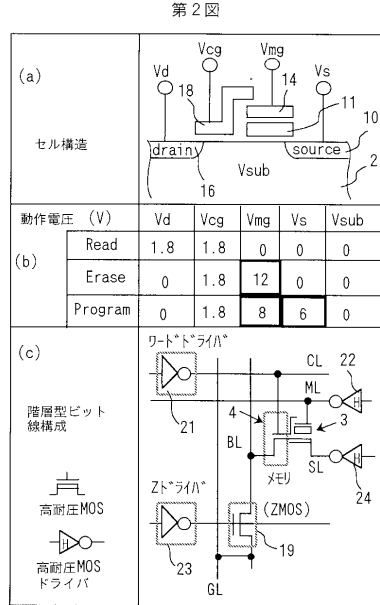
【産業上の利用可能性】

【0138】

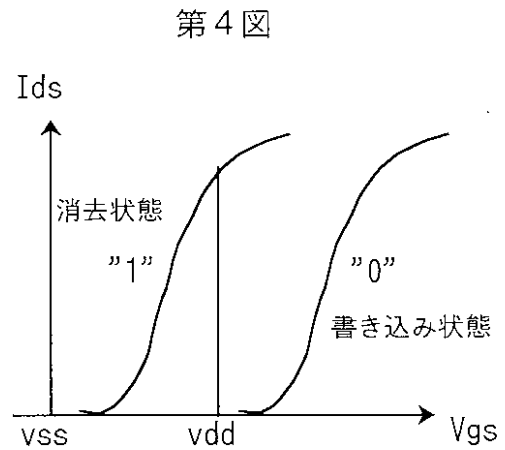
本発明に係る半導体装置は揮発性メモリをオンチップしたマイクロコンピュータに限定されず、単体フラッシュメモリ等の不揮発性メモリLSI、更にはシステム・オンチップ化されたところの比較的論理規模の大きなシステムLSIなどに広く適用することができる。更に、本発明に係る半導体装置は不揮発不揮発性メモリを用いたところのIDE (Integrated Device Electronics), ATA (AT Attachment) 等に準拠のメモリカードにも適用可能である。

30

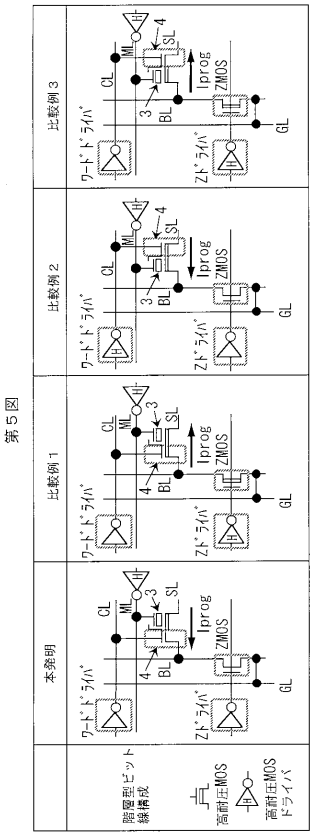
【図 2】



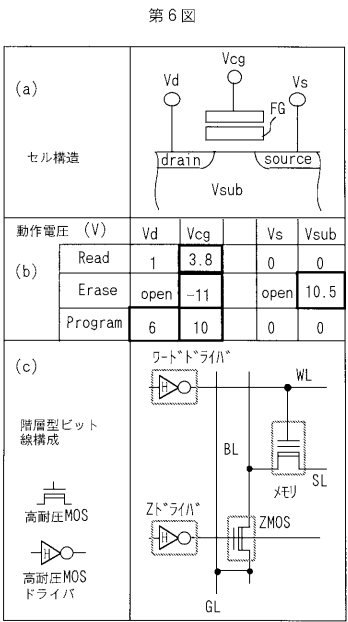
【図 4】



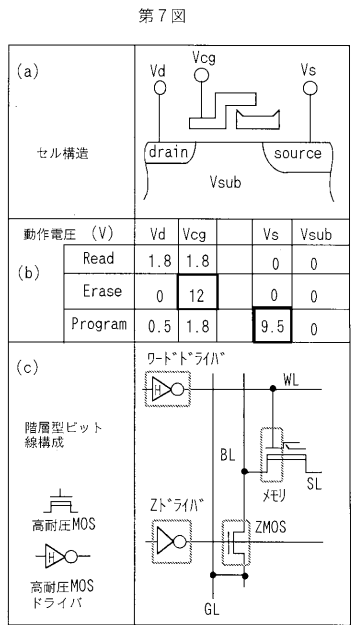
【図 5】



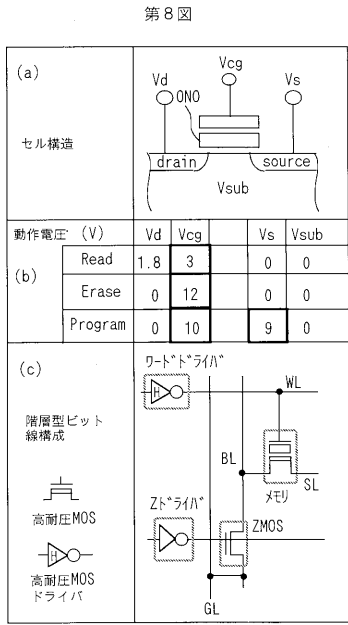
【図 6】



【図 7】

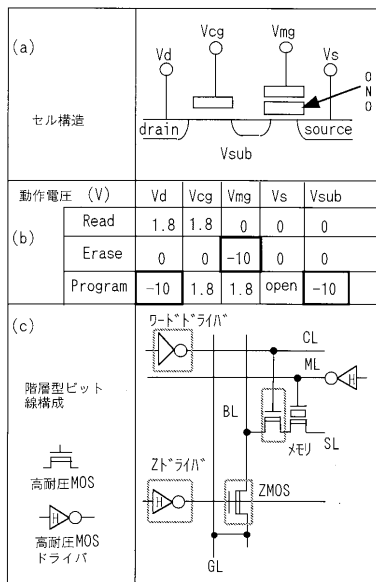


【図 8】



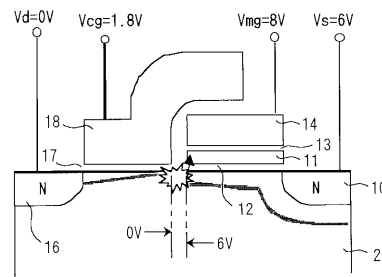
【図 9】

第 9 図



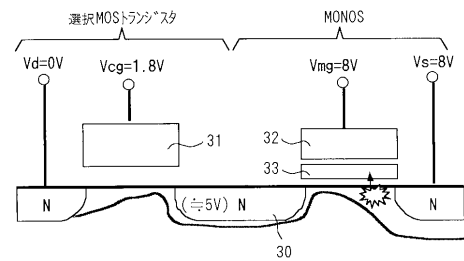
【図 10】

第 10 図



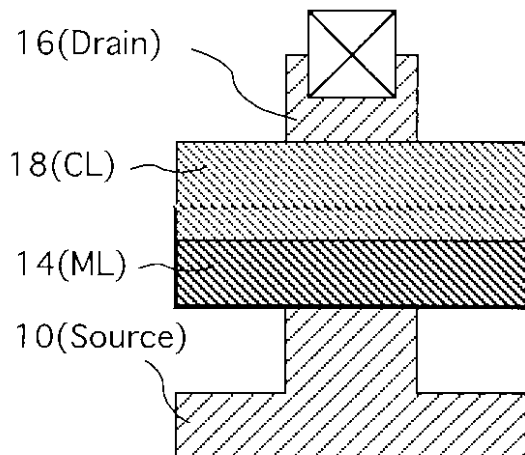
【図 11】

第 11 図



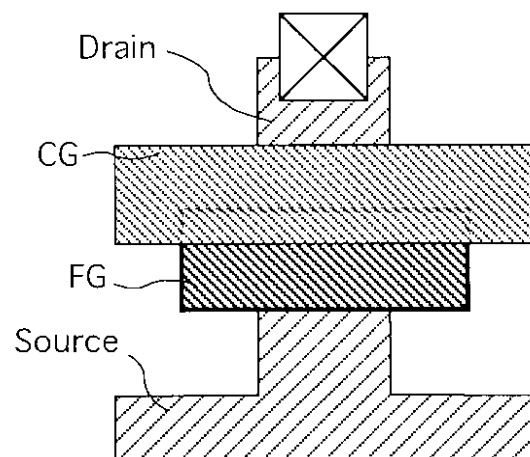
【図 12】

第 12 図



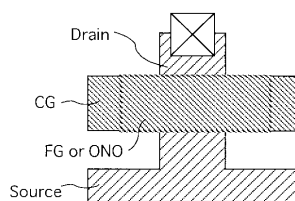
【図 14】

第 14 図

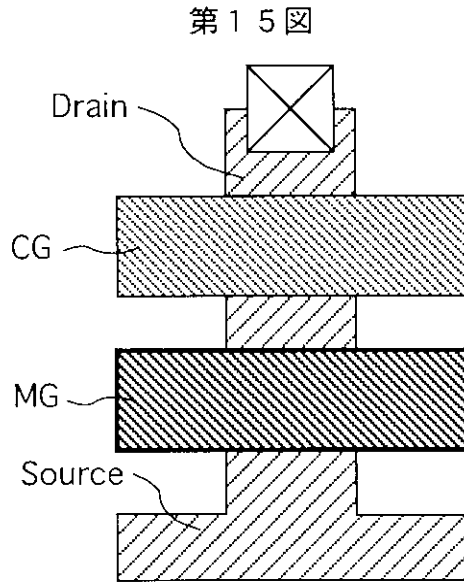


【図 13】

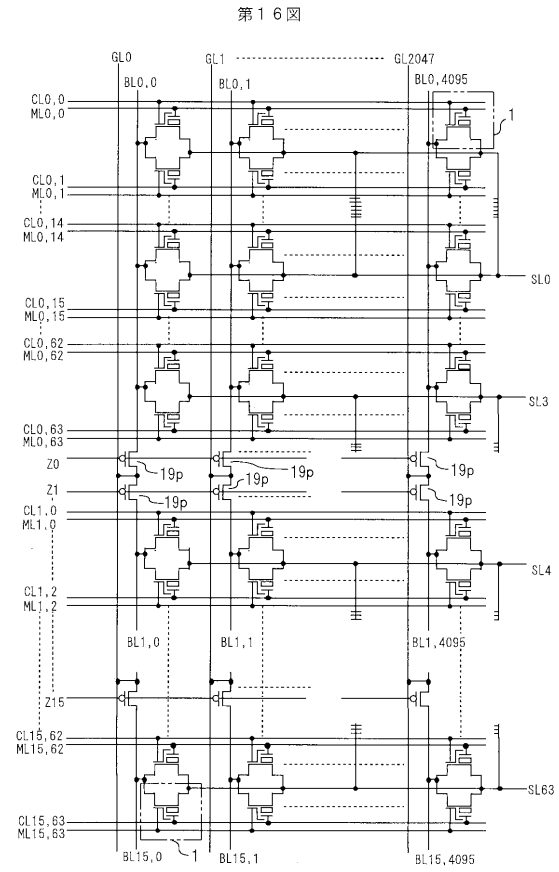
第 13 図



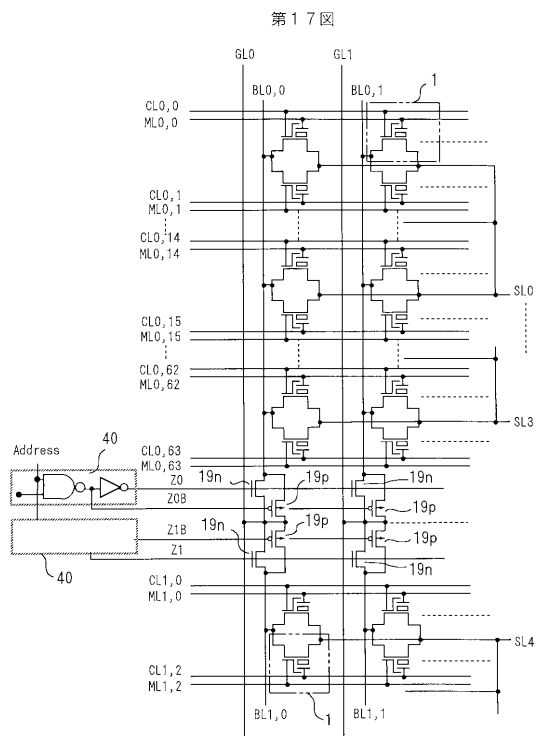
【図 15】



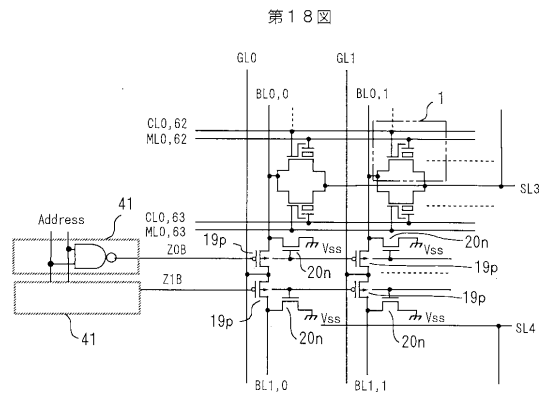
【図 16】



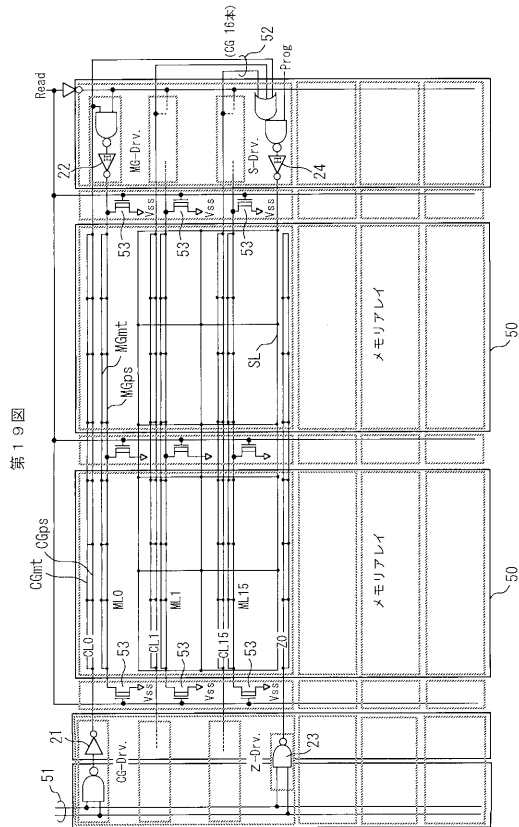
【図 17】



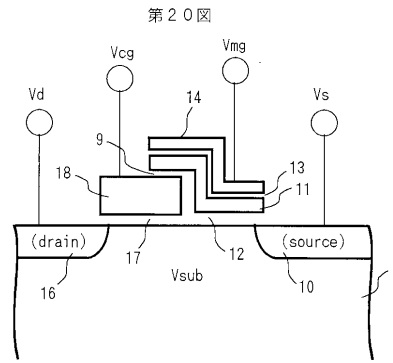
【図 18】



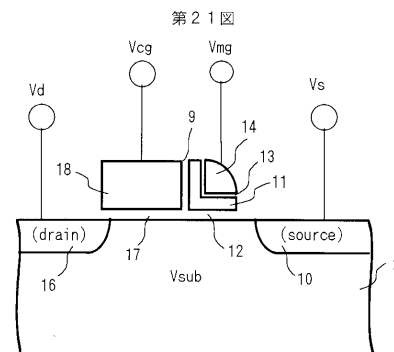
【図 19】



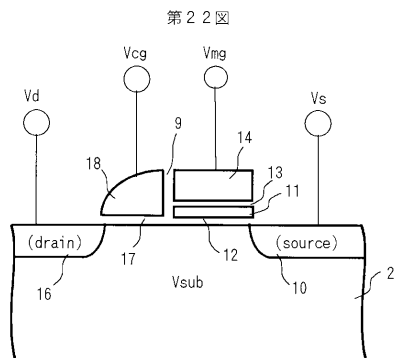
【図 20】



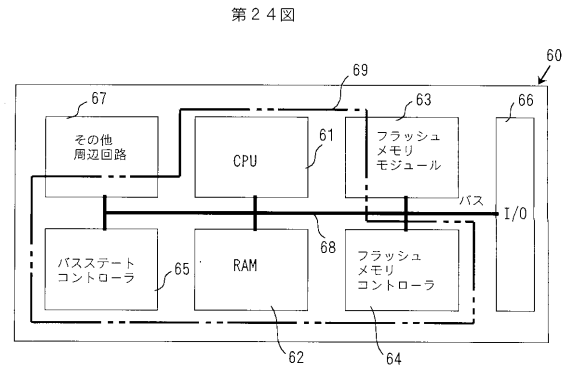
【図 2 1】



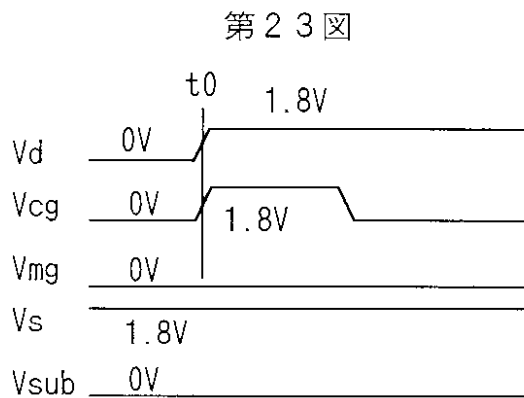
【図 2 2】



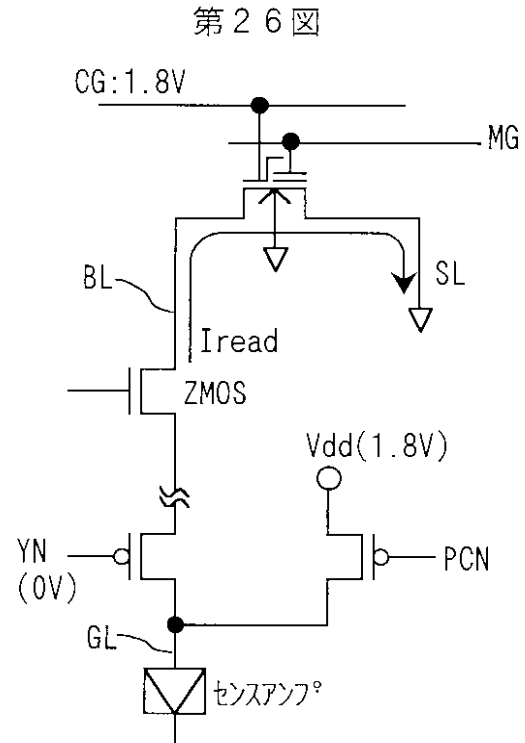
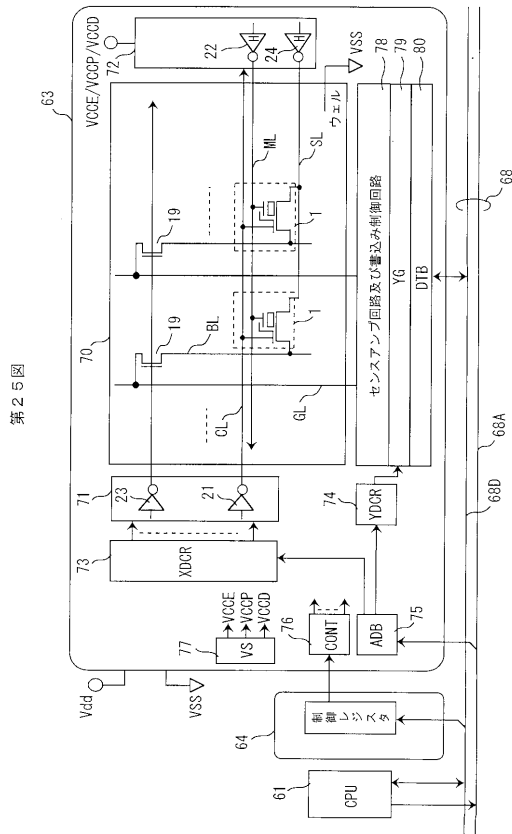
【図 24】



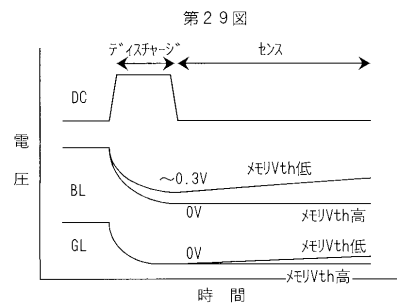
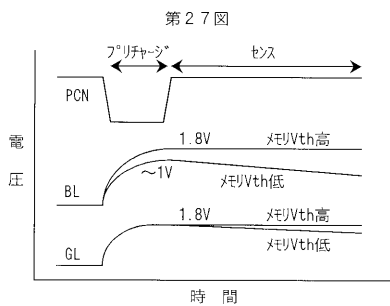
【图 2 3】



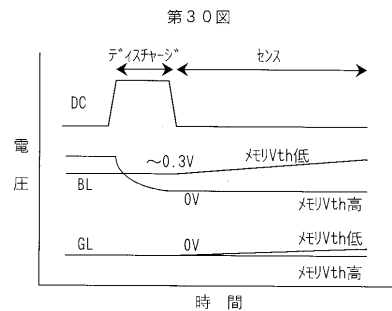
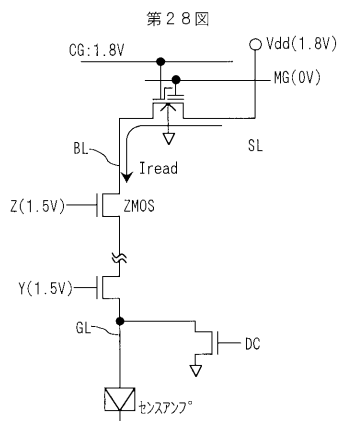
【図 26】



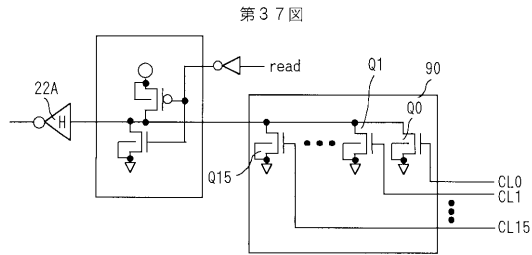
【图 29】



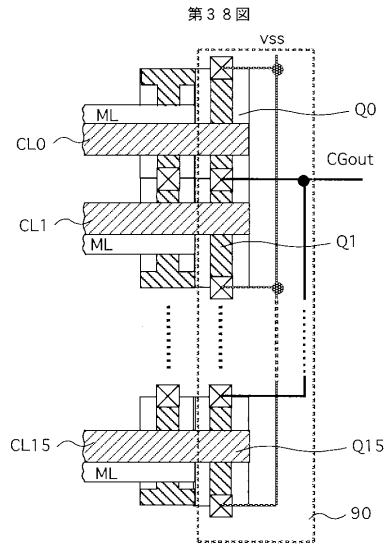
【図 30】



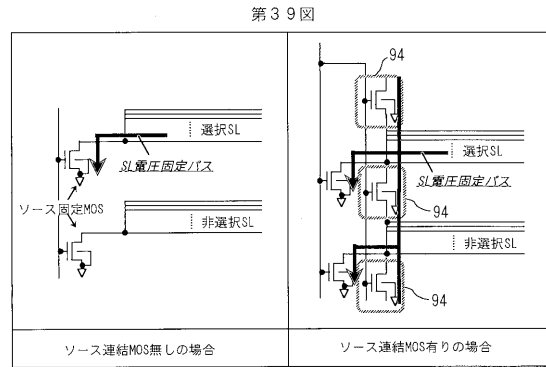
【図 37】



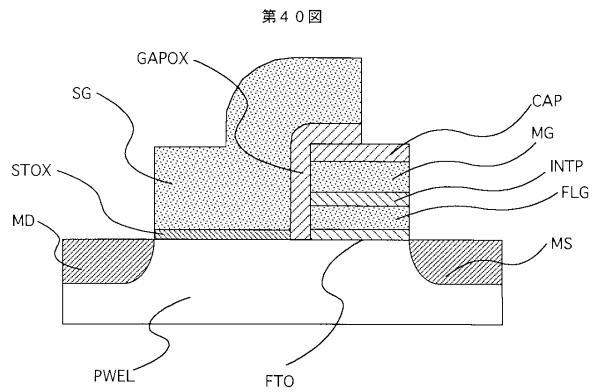
【図 38】



【図 39】



【図 40】

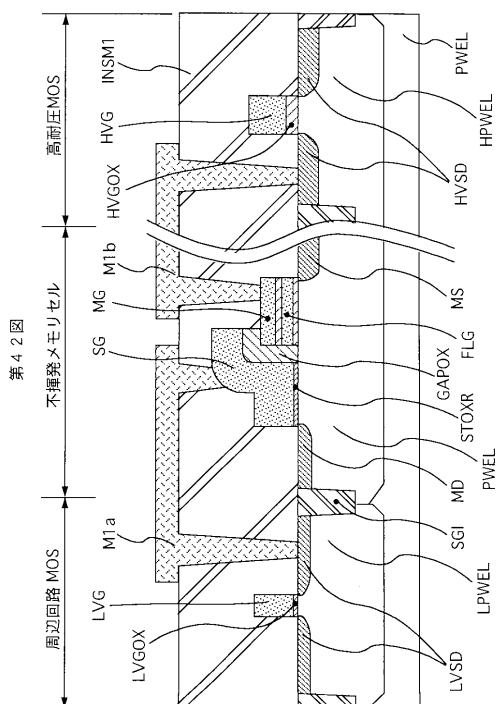


【図 41】

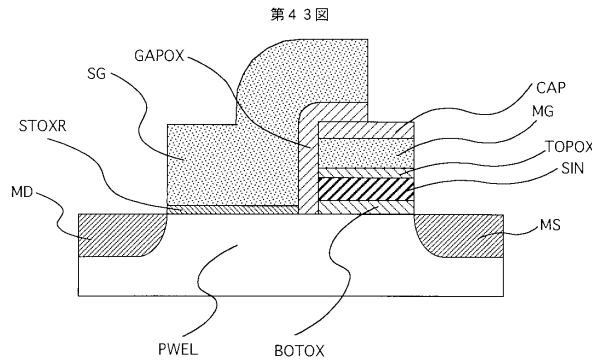
第 41 図

	Vsg	Vmg	Vd	Vs	Vwell	手法
書込 (注入)	$\sim V_t$	1.0	5	0	0	ソースサイド注入
消去 (放出)	1.0	-1.0	0	0	1.0	Pウェルへのトンネル放出
	0	-2.0	0	0	0	
読出	1.8	0	0	1.8	0	書込時ソース・ドレインと逆方向の読出し
	1.8	0	1.8	0	0	書込時ソース・ドレインと同一方向の読出し

【図 42】



【図 4 3】

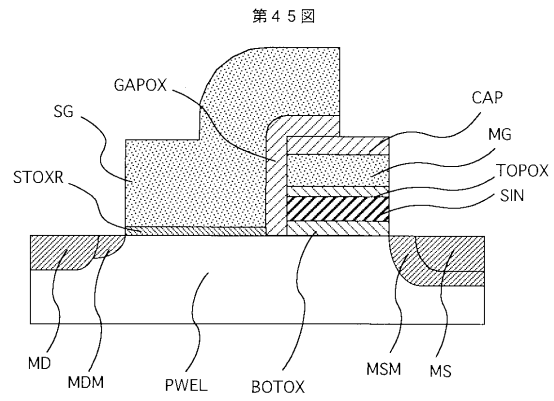


【図 4 4】

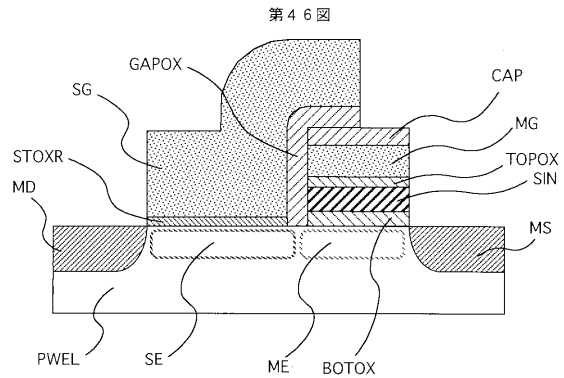
第 4 4 図

	Vsg	Vmg	Vd	Vs	Vwell	手法
書込 (注入)	$\sim V_t$	1	0	5	0	ソースサイド注入
消去 (放出)	0	1	2	0	0	メモリゲートへのトンネル
	0	-1	2	0	0	Pウェルへのトンネル
読出	1.8	0	0	1.8	0	書込時ソース・ドレインと逆方向の読出し
	1.8	0	1.8	0	0	書込時ソース・ドレインと同一方向の読出し

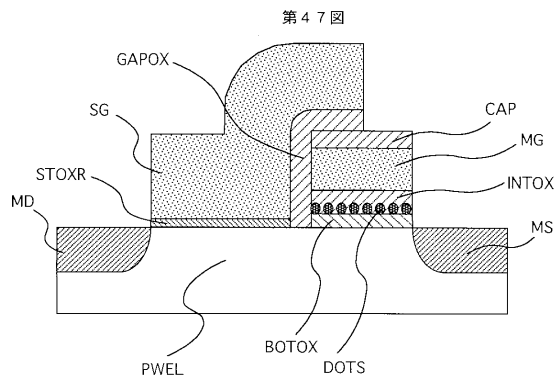
【図 4 5】



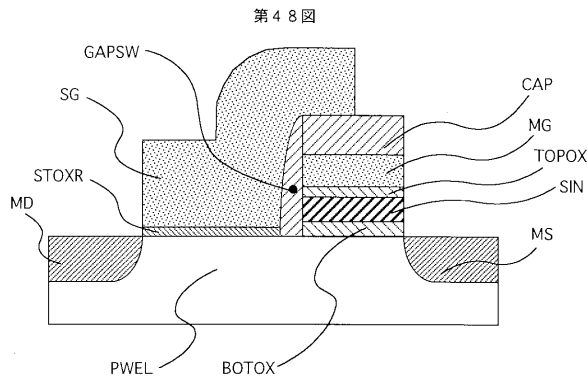
【図 4 6】



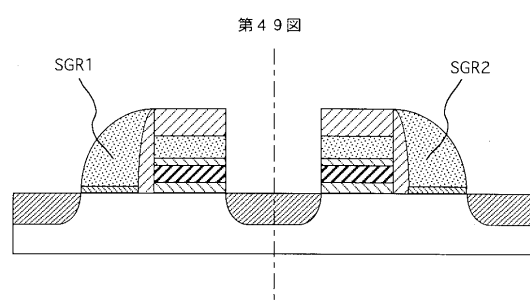
【図 4 7】



【図 4 8】

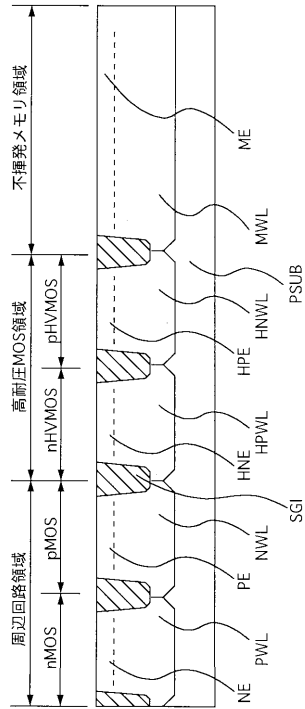


【図 4 9】



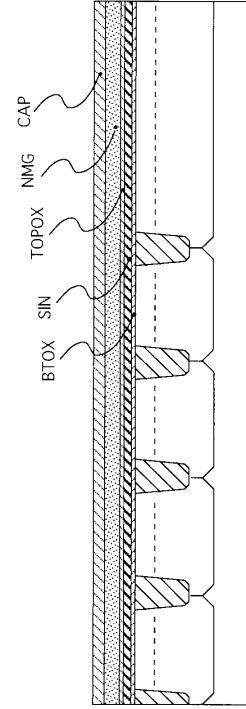
【図 5 0】

第 5 0 図



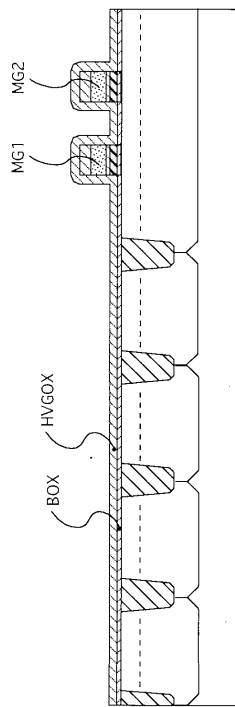
【図 5 1】

第 5 1 図



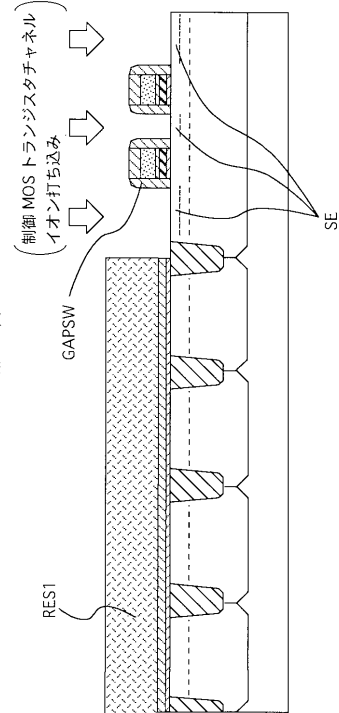
【図 5 2】

第 5 2 図



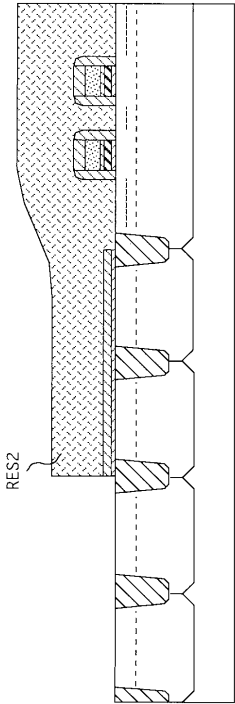
【図 5 3】

第 5 3 図



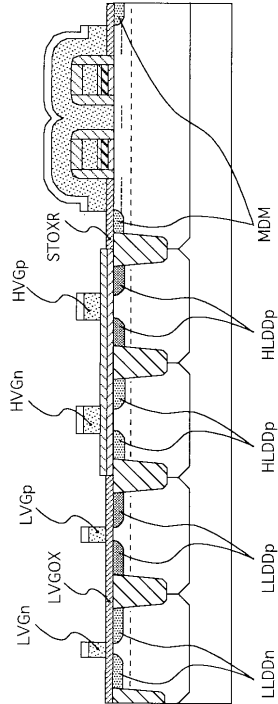
【図 5 4】

第 5 4 図



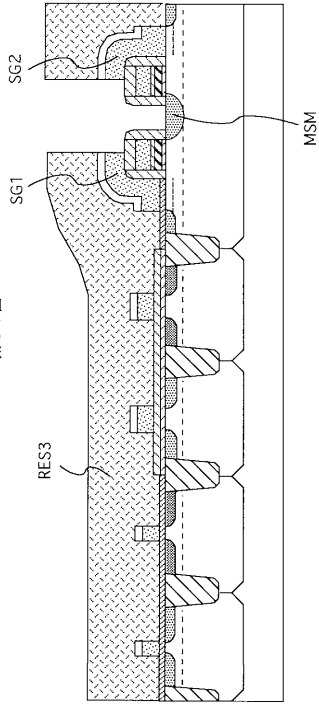
【図 5 5】

第 5 5 図



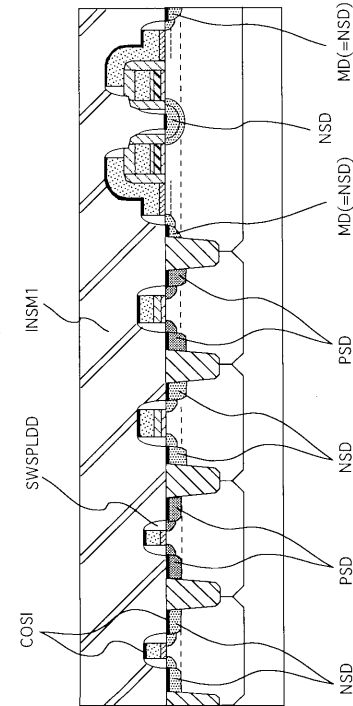
【図 5 6】

第 5 6 図

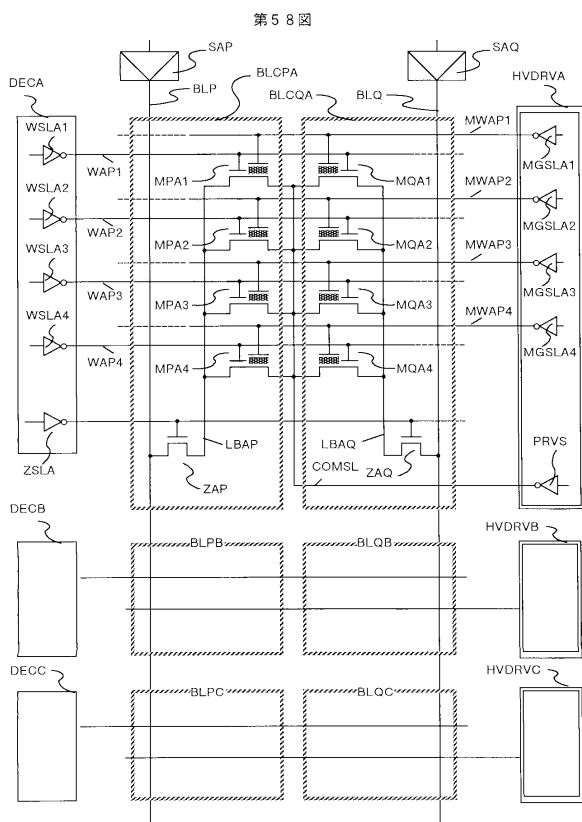


【図 5 7】

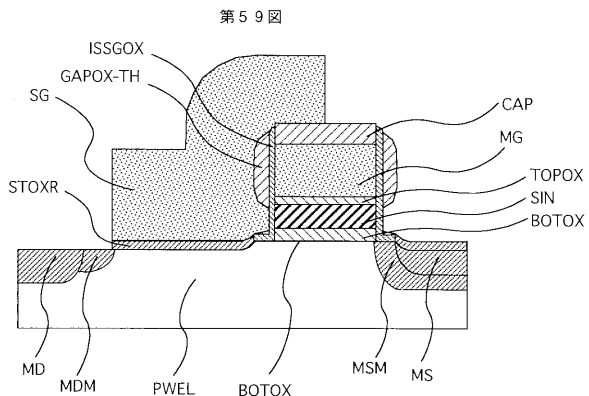
第 5 7 図



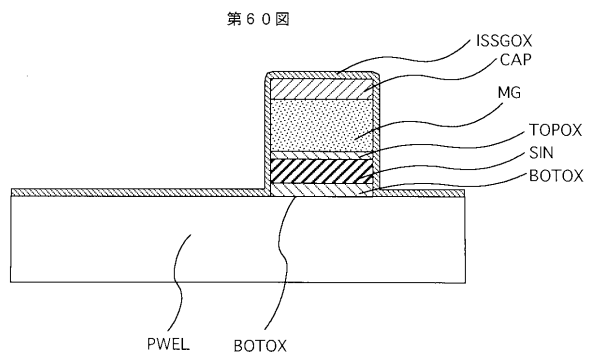
【図 5 8】



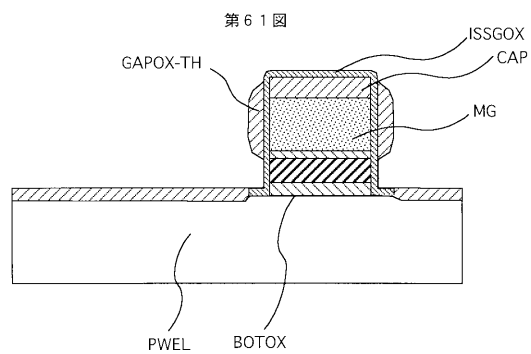
【図 5 9】



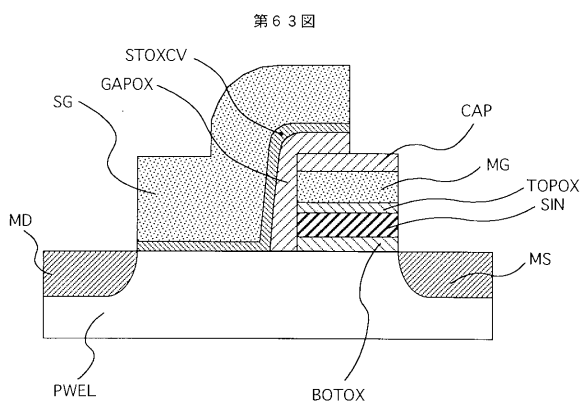
【図 60】



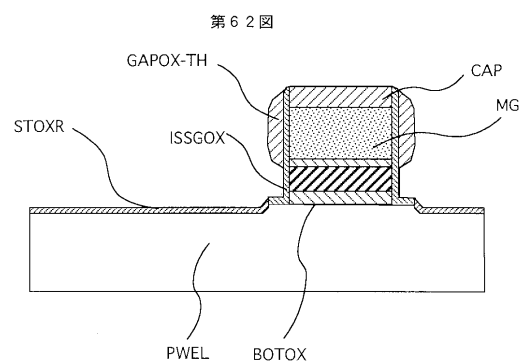
【図 6 1】



【図 6 3】



【図 6 2】



フロントページの続き

(51)Int.Cl. F I

H01L 29/792 (2006.01)

- (72)発明者 平木 充
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 品川 裕
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 藤戸 正道
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 鈴川 一文
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 谷川 博之
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 山本 貴志
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 神垣 良昭
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 南 眞一
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 片山 弘造
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 松崎 望
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

審査官 堀江 義隆

- (56)参考文献 特開平05-028786 (JP, A)
特開2000-269361 (JP, A)
特開2001-044395 (JP, A)
特開平08-064789 (JP, A)
特開2001-156275 (JP, A)
特表2001-526834 (JP, A)
国際公開第98/034233 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 21/336
H01L 27/10
H01L 27/115
H01L 29/788
H01L 29/792