



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0083566
(43) 공개일자 2010년07월22일

(51) Int. Cl.

G11C 16/24 (2006.01) H01L 27/115 (2006.01)

H01L 21/8247 (2006.01)

(21) 출원번호 10-2009-0003016

(22) 출원일자 2009년01월14일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김원주

경기도 화성시 진안동 진안골마을주공11단지
1108-1006

박윤동

경기도 용인시 기흥구 농서동 삼성종합기술원 기
숙사

(뒷면에 계속)

(74) 대리인

리엔목특허법인

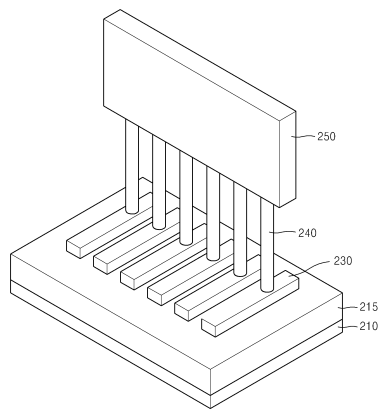
전체 청구항 수 : 총 67 항

(54) 적층 구조의 비휘발성 메모리 소자, 메모리 카드 및 전자 시스템

(57) 요약

적층 구조의 비휘발성 메모리 소자, 메모리 카드 및 시스템이 제공된다. 비휘발성 메모리 소자는 기판을 포함한다. 적층 낸드 셀어레이는 상기 기판 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는다. 적어도 하나의 신호 라인은 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합되도록 상기 기판 상에 배치된다.

대표도 - 도1



(72) 발명자

성정현

경기도 용인시 기흥구 보정동 동아솔레시아파트
120-1501

경용구

서울특별시 서초구 서초3동 현대슈퍼빌 C동 1001호

최상무

경기도 용인시 기흥구 농서동 삼성종합기술원 기숙
사 C206호

이태희

경기도 용인시 기흥구 마북동 현대필그린아파트
103-702

특허청구의 범위

청구항 1

기관;

상기 기관 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는 적층 낸드 셀어레이; 및

상기 기관 상에 배치되고, 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 신호 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서, 상기 적어도 하나의 신호 라인은 각 세트의 낸드 스트링들의 일단에 공통으로 연결된 비트 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 3

제 2 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 적어도 하나의 세트의 낸드 스트링들의 타단에 공통으로 연결된 적어도 하나의 공통 소오스 라인을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 4

제 2 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 복수의 워드 라인들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 5

제 4 항에 있어서, 각 낸드 스트링은 복수의 메모리셀들을 포함하고, 상기 복수의 워드 라인들은 상기 적어도 하나의 세트의 낸드 스트링들의 복수의 메모리셀들에 공통으로 결합된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 6

제 2 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 복수의 스트링 선택 라인들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 7

제 6 항에 있어서, 각 낸드 스트링은 복수의 스트링 선택 트랜지스터들을 포함하고, 상기 복수의 스트링 선택 라인들은 상기 적어도 하나의 세트의 낸드 스트링들의 스트링 선택 트랜지스터들에 공통으로 결합된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 8

제 2 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 접지 선택 라인을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 9

제 8 항에 있어서, 각 낸드 스트링은 적어도 하나의 접지 선택 트랜지스터를 포함하고, 상기 적어도 하나의 접지 선택 라인은 상기 적어도 하나의 세트의 낸드 스트링들의 접지 선택 트랜지스터에 공통으로 결합된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 10

제 1 항에 있어서, 상기 적어도 하나의 세트의 낸드 스트링들은 상기 기관 상에 일렬로 배열된 복수의 세트들의 낸드 스트링들을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 11

제 10 항에 있어서, 상기 적어도 하나의 신호 라인은 복수의 비트 라인들을 포함하고, 각 비트 라인은 각 세트의 낸드 스트링들에 공통으로 연결된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 12

제 11 항에 있어서, 상기 적어도 하나의 신호 라인은 복수의 스트링 선택 라인들, 복수의 워드 라인들, 적어도 하나의 접지 선택 라인 및 공통 소오스 라인을 더 포함하고,

상기 복수의 스트링 선택 라인들, 상기 복수의 워드 라인들, 상기 적어도 하나의 접지 선택 라인 및 상기 공통 소오스 라인은 상기 복수의 세트들의 낸드 스트링들에 공통으로 결합된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 13

제 1 항 내지 제 12 항의 어느 한 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 적층 낸드 셀어레이 아래에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 14

제 13 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 기판 상의 적어도 하나의 수직 플러그를 통하여 상기 적어도 하나의 세트의 낸드 스트링들에 결합된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 15

제 1 항에 있어서, 상기 적어도 하나의 신호 라인은,

상기 적층 낸드 셀어레이 아래 및 상기 기판 상에 배치된 적어도 하나의 비트 라인; 및

상기 적층 낸드 셀어레이 아래 및 상기 적어도 하나의 비트 라인 상에 배치된, 복수의 스트링 선택 라인들, 복수의 워드 라인들, 적어도 하나의 접지 선택 라인 및 공통 소오스 라인을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 16

제 1 항에 있어서, 상기 기판 상의 코어 회로 유닛을 더 포함하고, 상기 코어 회로 유닛은 상기 적어도 하나의 신호 라인과 전기적으로 연결된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 17

제 16 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 적층 낸드 셀어레이 아래에 배치되고, 상기 코어 회로 유닛 및 상기 적어도 하나의 신호 라인은 상기 적층 낸드 셀어레이 아래에서만 연결된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 18

제 17 항에 있어서, 상기 코어 회로 유닛은 상기 적어도 하나의 신호 라인 중 복수의 스트링 선택 라인들, 복수의 워드 라인들 및 적어도 하나의 접지 선택 라인에 연결된 로우 디코더를 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 19

제 17 항에 있어서, 상기 코어 회로 유닛은 상기 적어도 하나의 신호 라인 중 복수의 비트 라인들에 연결된 칼럼 디코더를 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 20

제 17 항에 있어서, 상기 코어 회로 유닛은,

상기 적어도 하나의 신호 라인의 일부에 연결된 로우 디코더;

상기 적어도 하나의 신호 라인의 다른 일부에 연결된 칼럼 디코더;

상기 칼럼 디코더에 결합된 감지 증폭기;

상기 감지 증폭기 또는 상기 칼럼 디코더에 결합된 페이지 버퍼; 및

상기 로우 디코더, 상기 칼럼 디코더 및 상기 페이지 버퍼에 결합된 제어 로직을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 21

기관;

상기 기관 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는 적층 낸드 셀어레이; 및

상기 기관 상에 배치되고, 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 신호 라인을 포함하고,

각 낸드 스트링은 복수의 스트링 선택 트랜지스터들을 포함하고,

상기 적어도 하나의 신호 라인은,

각 세트의 낸드 스트링들의 일단에 공통으로 연결된 비트 라인; 및

상기 적어도 하나의 세트의 낸드 스트링들의 스트링 선택 트랜지스터들에 공통으로 결합된 복수의 스트링 선택 라인들을 포함하고,

각 낸드 스트링의 스트링 선택 트랜지스터들은 적어도 하나의 디플리션-모드의(depletion-mode)의 스트링 선택 트랜지스터를 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 22

제 21 항에 있어서, 각 세트의 낸드 스트링들의 수는 각 낸드 스트링의 스트링 선택 트랜지스터들의 수와 같은 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 23

제 22 항에 있어서, 각 낸드 스트링의 스트링 선택 트랜지스터들은 하나의 인핸스먼트-모드(enhancement-mode)의 스트링 선택 트랜지스터 및 나머지의 디플리션-모드의(depletion-mode)의 스트링 선택 트랜지스터들을 포함하고,

상기 적어도 하나의 세트의 낸드 스트링들의 인핸스먼트-모드의 스트링 선택 트랜지스터들은 상기 복수의 스트링 선택 라인들과 일대일로 결합된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 24

제 21 항에 있어서, 각 낸드 스트링의 스트링 선택 트랜지스터들의 수는 각 세트의 낸드 스트링들의 수보다 적은 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 25

제 21 항에 있어서, 각 세트의 낸드 스트링들의 수는 2^k 개이고, 각 낸드 스트링의 스트링 선택 트랜지스터들의 수는 m 개($m = 2 \times k$)(단, $k > 2$)인 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 26

제 25 항에 있어서, 각 낸드 스트링의 스트링 선택 트랜지스터들은 k 개의 인핸스먼트-모드의 스트링 선택 트랜지스터 및 나머지의 디플리션-모드의 스트링 선택 트랜지스터들을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 27

제 26 항에 있어서, 각 스트링 선택 라인들은 각 세트의 낸드 스트링들의 2^{k-1} 개의 인헨스먼트-모드의 스트링 선택 트랜지스터들과 결합된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 28

기관;

상기 기관 상에 수직으로 적층된 적어도 하나의 제 1 세트의 낸드 스트링들 및 상기 적어도 하나의 제 1 세트의 낸드 스트링들에 대향 배치된 적어도 하나의 제 2 세트의 낸드 스트링들을 갖는 적층 낸드 셀어레이; 및

상기 기관 상에 배치되고, 상기 적어도 하나의 제 1 세트의 낸드 스트링들 및 상기 적어도 하나의 제 2 세트의 낸드 스트링들 중 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 신호 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 29

제 28 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 적어도 하나의 제 1 세트의 낸드 스트링들 및 상기 적어도 하나의 제 2 세트의 낸드 스트링들의 일단에 공통으로 연결된 적어도 하나의 비트 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 30

제 29 항에 있어서, 상기 적어도 하나의 신호 라인은 상기 적어도 하나의 제 1 세트의 낸드 스트링들 및 상기 적어도 하나의 제 2 세트의 낸드 스트링들의 타단에 공통으로 연결된 적어도 하나의 공통 소오스 라인을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 31

제 29 항에 있어서, 상기 적어도 하나의 바닥 신호 라인은,

상기 적어도 하나의 제 1 세트의 낸드 스트링들에 공통으로 결합된 복수의 제 1 워드 라인들; 및

상기 적어도 하나의 제 2 세트의 낸드 스트링들에 공통으로 결합된 복수의 제 2 워드 라인들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 32

제 31 항에 있어서, 상기 복수의 제 1 워드 라인들은 상기 적층 낸드 셀어레이의 아래에 배치되고, 상기 복수의 제 2 워드 라인들은 상기 적층 낸드 셀어레이의 위에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 33

제 29 항에 있어서, 상기 적어도 하나의 바닥 신호 라인은,

상기 적어도 하나의 제 1 세트의 낸드 스트링들에 공통으로 결합된 복수의 제 1 스트링 선택 라인들; 및

상기 적어도 하나의 제 2 세트의 낸드 스트링들에 공통으로 결합된 복수의 제 2 스트링 선택 라인들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 34

제 33 항에 있어서, 상기 복수의 제 1 스트링 선택 라인들은 상기 적층 낸드 셀어레이의 아래에 배치되고, 상기 복수의 제 2 스트링 선택 라인들은 상기 적층 낸드 셀어레이의 위에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 35

제 29 항에 있어서, 상기 적어도 하나의 바닥 신호 라인은,

상기 적어도 하나의 제 1 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 제 1 접지 선택 라인; 및

상기 적어도 하나의 제 2 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 제 2 접지 선택 라인을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 36

제 35 항에 있어서, 상기 복수의 제 1 접지 선택 라인들은 상기 적층 낸드 셀어레이의 아래에 배치되고, 상기 복수의 제 2 접지 선택 라인들은 상기 적층 낸드 셀어레이의 위에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 37

기관; 및

상기 기관 상에 적층된 복수의 낸드 블록들을 포함하고, 각 낸드 블록들은,

상기 기관 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는 적층 낸드 셀어레이; 및

상기 기관 상에 배치되고, 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 신호 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 38

제 37 항에 있어서, 상기 복수의 낸드 블록들 가운데 최하층 낸드 블록의 적어도 하나의 신호 라인은, 상기 최하층 낸드 블록의 적층 낸드 셀어레이 아래 및 상기 기관 상에 배치되고 상기 복수의 낸드 블록들의 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 연결된 적어도 하나의 비트 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 39

제 38 항에 있어서, 상기 복수의 낸드 블록들 가운데 최하층 낸드 블록의 적어도 하나의 신호 라인은, 상기 최하층 낸드 블록의 적층 낸드 셀어레이 아래 및 상기 기관 상에 배치되고 상기 복수의 낸드 블록들의 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 연결된 적어도 하나의 공통 소오스 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 40

제 38 항에 있어서, 각 낸드 블록의 적어도 하나의 신호 라인은 복수의 스트링 선택 라인들, 복수의 워드 라인들, 적어도 하나의 접지 선택 라인 및 적어도 하나의 공통 소오스 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 41

기관;

상기 기관 상에 수직으로 적층된 적어도 하나의 세트의 반도체층들;

상기 적어도 하나의 세트의 반도체층들의 적어도 일측 상에 배치되고, 상기 기관 상으로 상기 반도체층들을 가로질러 수직으로 신장하는 복수의 제어 게이트 전극들;

상기 기관 상에 배치되고, 상기 적어도 하나의 세트의 반도체층들에 공통으로 연결된 적어도 하나의 비트 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 42

제 41 항에 있어서, 상기 적어도 하나의 비트 라인 및 상기 적어도 하나의 세트의 반도체층들을 연결하는 적어도 하나의 제 1 콘택 플러그를 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 43

제 42 항에 있어서, 상기 적어도 하나의 제 1 콘택 플러그는 상기 적어도 하나의 세트의 반도체층들을 관통하여 상기 기관 상에 수직으로 신장된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 44

제 41 항에 있어서, 상기 복수의 제어 게이트 전극들에 연결된 복수의 워드 라인들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 45

제 44 항에 있어서, 상기 적어도 하나의 비트 라인은 상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기판 상에 배치되고, 상기 복수의 워드 라인들은 상기 적어도 하나의 세트의 반도체층들 및 상기 적어도 하나의 비트 라인 사이에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 46

제 41 항에 있어서, 상기 복수의 제어 게이트 전극들 및 상기 적어도 하나의 세트의 반도체층들 사이의 복수의 스토리지 매체들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 47

제 46 항에 있어서, 상기 복수의 스토리지 매체들은,
 상기 적어도 하나의 세트의 반도체층들 상의 복수의 터널링 절연층들;
 상기 복수의 터널링 절연층들 상의 복수의 전하 저장층들; 및
 상기 복수의 전하 저장층들 상의 복수의 플로팅 절연층들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 48

제 41 항에 있어서, 상기 적어도 하나의 세트의 반도체층들의 일측 상에 상기 기판 상으로 수직하게 신장된 복수의 스트링 선택 게이트 전극들; 및
 상기 복수의 스트링 선택 게이트 전극들에 연결된 복수의 스트링 선택 라인들 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 49

제 48 항에 있어서, 상기 적어도 하나의 세트의 반도체층들의 일측 상에 상기 기판 상으로 수직으로 신장된 적어도 하나의 접지 선택 게이트 전극; 및
 상기 적어도 하나의 접지 선택 게이트 전극에 연결된 적어도 하나의 접지 선택 라인을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 50

제 49 항에 있어서, 상기 적어도 하나의 비트 라인은 상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기판 상에 배치되고, 상기 복수의 스트링 선택 라인들 및 상기 적어도 하나의 접지 선택 라인은 상기 적어도 하나의 세트의 반도체층들 및 상기 적어도 하나의 비트 라인 사이에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 51

제 41 항에 있어서, 상기 적어도 하나의 세트의 반도체층들에 공통으로 연결된 공통 소오스 라인을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 52

제 51 항에 있어서, 각 반도체층은 소오스 영역 및 상기 소오스 영역을 둘러싸는 바디 영역을 포함하고, 상기 공통 소오스 라인은 상기 소오스 영역 및 상기 바디 영역에 공통으로 연결된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 53

제 52 항에 있어서, 상기 적어도 하나의 세트의 반도체층들을 관통하여 상기공동 소오스 라인과 상기 적어도 하나의 세트의 반도체층들의 소오스 영역 및 바디 영역을 연결하는 적어도 하나의 제 2 콘택 플러그를 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 54

기관;

상기 기관 상에 수직으로 적층된 적어도 하나의 세트의 반도체층들;

상기 적어도 하나의 세트의 반도체층들의 적어도 일측 상에 배치되고, 상기 기관 상으로 상기 반도체층들을 가로질러 수직으로 신장하는 복수의 제 1 제어 게이트 전극들;

상기 적어도 하나의 세트의 반도체층들의 상기 복수의 제 1 제어 게이트 전극들 반대편 타측 상에 배치되고, 상기 기관 상으로 상기 반도체층들을 가로질러 수직으로 신장하는 복수의 제 2 제어 게이트 전극들; 및

상기 적어도 하나의 세트의 반도체층들에 공통으로 연결된 적어도 하나의 비트 라인을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 55

제 54 항에 있어서, 상기 복수의 제 1 제어 게이트 전극들에 연결된 복수의 제 1 워드 라인들; 및

상기 복수의 제 2 제어 게이트 전극들에 연결된 복수의 제 2 워드 라인들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 56

제 55 항에 있어서, 상기 복수의 제 1 워드 라인들은 상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기관 상에 배치되고, 상기 복수의 제 2 워드 라인들은 상기 적어도 하나의 세트의 반도체층들 위에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 57

제 54 항에 있어서, 상기 적어도 하나의 세트의 반도체층들의 일측 상에 상기 기관 상으로 수직하게 신장된 복수의 제 1 스트링 선택 게이트 전극들; 및

상기 적어도 하나의 세트의 반도체층들의 상기 복수의 제 1 스트링 선택 게이트 전극들 반대편 타측 상에 상기 기관 상으로 수직하게 신장된 복수의 제 2 스트링 선택 게이트 전극들을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 58

제 57 항에 있어서, 상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기관 상에 배치되고 상기 복수의 제 1 스트링 선택 게이트 전극들에 연결된 복수의 제 1 스트링 선택 라인들; 및

상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기관 상에 배치되고 상기 복수의 제 2 스트링 선택 게이트 전극들에 연결된 복수의 제 2 스트링 선택 라인들 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 59

제 58 항에 있어서, 상기 복수의 제 1 스트링 선택 라인들은 상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기관 상에 배치되고, 상기 복수의 제 2 스트링 선택 라인들은 상기 적어도 하나의 세트의 반도체층들 위에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 60

제 54 항에 있어서, 상기 적어도 하나의 세트의 반도체층들의 일측 상에 상기 기관 상으로 수직하게 신장된 적

어도 하나의 제 1 접지 선택 게이트 전극; 및

상기 적어도 하나의 세트의 반도체층들의 상기 적어도 하나의 제 1 스트링 선택 게이트 전극 반대편 타측 상에 상기 기판 상으로 수직하게 신장된 적어도 하나의 제 2 접지 선택 게이트 전극을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 61

제 60 항에 있어서, 상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기판 상에 배치되고 상기 적어도 하나의 제 1 접지 선택 게이트 전극에 연결된 적어도 하나의 제 1 접지 선택 라인들; 및

상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기판 상에 배치되고 상기 적어도 하나의 제 2 접지 선택 게이트 전극들에 연결된 적어도 하나의 제 2 접지 선택 라인들 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 62

제 58 항에 있어서, 상기 적어도 하나의 제 1 접지 선택 라인은 상기 적어도 하나의 세트의 반도체층들 아래 및 상기 기판 상에 배치되고, 상기 적어도 하나의 제 2 접지 선택 라인은 상기 적어도 하나의 세트의 반도체층들 위에 배치된 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 63

제 54 항에 있어서, 상기 적어도 하나의 세트의 반도체층들에 공통으로 연결된 공통 소오스 라인을 더 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 64

제 54 항에 있어서, 상기 적어도 하나의 세트의 반도체층들은 상기 기판 상에 일렬로 배열된 복수의 세트들의 반도체층들을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 65

제 64 항에 있어서, 상기 적어도 하나의 비트 라인은 상기 복수의 세트들의 반도체층들 아래 및 상기 기판 상의 복수의 비트 라인들을 포함하는 것을 특징으로 하는 적층 구조의 비휘발성 메모리 소자.

청구항 66

비휘발성 메모리 소자를 포함하는 메모리; 및

상기 메모리를 제어하기 위한 제어기를 포함하고, 상기 비휘발성 메모리 소자는,

기판;

상기 기판 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는 적층 낸드 셀어레이; 및

상기 기판 상에 배치되고, 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 신호 라인을 포함하는 것을 특징으로 하는 메모리 카드.

청구항 67

비휘발성 메모리 소자를 포함하는 메모리;

상기 메모리와 버스를 통해서 통신하는 프로세서; 및

상기 버스과 통신하는 입출력 장치를 포함하고, 상기 비휘발성 메모리 소자는,

기판;

상기 기판 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는 적층 낸드 셀어레이; 및

상기 기판 상에 배치되고, 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 신호 라인을 포함하는 것을 특징으로 하는 전자 시스템.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자에 관한 것이고, 특히 비휘발성 메모리 소자, 및 이를 포함하는 메모리 카드 및 시스템에 관한 것이다.

배경기술

[0002] 전자 제품은 그 부피가 점점 작아지면서도 고용량의 데이터 처리를 요하고 있다. 이에 따라, 이러한 전자 제품에 사용되는 비휘발성 메모리 소자의 부피를 줄이면서 그 집적도를 높일 필요가 있다. 이러한 점에서, 종래의 평면형 구조 대신에 적층 구조를 갖는 비휘발성 메모리 소자가 고려되고 있다.

발명의 내용

해결하고자하는 과제

[0003] 하지만, 적층 구조의 셀어레이와 주변 회로의 배치 및 연결이 복잡해지고, 이에 따라서 비휘발성 메모리 소자의 집적도 증가에 제약이 따른다.

[0004] 따라서 본 발명이 이루고자 하는 기술적 과제는 적층 구조의 셀어레이와 주변 회로의 배치 및 연결을 단순화하여 집적도를 높인 비휘발성 메모리 소자를 제공하는 데 있다.

[0005] 본 발명이 이루고자하는 다른 기술적 과제는 상기 비휘발성 메모리 소자를 포함하는 메모리 카드 및/또는 전자 시스템을 제공하는 데 있다.

[0006] 하지만, 전술한 기술적 과제는 예로써 제공되었고, 본 발명이 이루고자하는 기술적 과제가 전술한 예에 의해서 제한되지는 않는다.

과제 해결수단

[0007] 본 발명의 일 형태에 따른 비휘발성 메모리 소자가 제공된다. 기판이 제공된다. 적층 낸드 셀어레이는 상기 기판 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는다. 적어도 하나의 신호 라인은 상기 기판 상에 배치되고, 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된다.

[0008] 상기 비휘발성 메모리 소자의 일 예에 있어서, 상기 적어도 하나의 신호 라인은, 각 세트의 낸드 스트링들의 일 단에 공통으로 연결된 비트 라인 및/또는 상기 적어도 하나의 세트의 낸드 스트링들의 타단에 공통으로 연결된 적어도 하나의 공통 소오스 라인을 포함할 수 있다.

[0009] 상기 비휘발성 메모리 소자의 다른 예에 있어서, 상기 적어도 하나의 신호 라인은, 상기 적어도 하나의 세트의 낸드 스트링들의 스트링 선택 트랜지스터들에 공통으로 결합된 복수의 스트링 선택 라인들, 상기 적어도 하나의 세트의 낸드 스트링들의 메모리셀들에 공통으로 결합된 복수의 워드 라인들, 및/또는 상기 적어도 하나의 세트의 낸드 스트링들의 적어도 하나의 접지 선택 트랜지스터에 공통으로 결합된 적어도 하나의 접지 선택 라인을 더 포함할 수 있다.

[0010] 상기 비휘발성 메모리 소자의 다른 예에 있어서, 상기 적어도 하나의 세트의 낸드 스트링들은 상기 기판 상에 일렬로 배열된 복수의 세트들의 낸드 스트링들을 포함할 수 있다. 상기 적어도 하나의 신호 라인은 복수의 비트 라인들을 포함하고, 각 비트 라인은 각 세트의 낸드 스트링들에 연결될 수 있다.

[0011] 상기 비휘발성 메모리 소자의 다른 예에 있어서, 상기 적어도 하나의 신호 라인은 상기 적층 낸드 셀어레이 아래에 배치되고, 나아가 상기 적어도 하나의 신호 라인은 상기 기판 상의 적어도 하나의 수직 플러그를 통하여 상기 적어도 하나의 세트의 낸드 스트링들에 결합될 수 있다.

[0012] 상기 비휘발성 메모리 소자의 다른 예에 있어서, 코어 회로 유닛이 상기 기판 상에 제공되고, 나아가 상기 코어 회로 유닛은 상기 적층 낸드 셀어레이 아래에서 상기 적어도 하나의 신호 라인과 전기적으로 연결될 수 있다.

[0013] 본 발명의 다른 형태에 따른 비휘발성 메모리 소자가 제공된다. 기판이 제공된다. 적층 낸드 셀어레이는 상기

기관 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는다. 적어도 하나의 신호 라인은 상기 기관 상에 배치되고, 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된다. 각 낸드 스트링은 복수의 스트링 선택 트랜지스터들을 포함한다. 상기 적어도 하나의 신호 라인은, 상기 적어도 하나의 세트의 낸드 스트링들의 일단에 공통으로 연결된 적어도 하나의 비트 라인; 및 상기 적어도 하나의 세트의 낸드 스트링들의 스트링 선택 트랜지스터들에 공통으로 결합된 복수의 스트링 선택 라인들을 포함한다. 각 낸드 스트링의 스트링 선택 트랜지스터들은 적어도 하나의 디플리션-모드의(depletion-mode)의 스트링 선택 트랜지스터를 포함한다.

[0014] 본 발명의 다른 형태에 따른 비휘발성 메모리 소자가 제공된다. 기관이 제공된다. 상기 기관 상에 수직으로 적층된 적어도 하나의 제 1 세트의 낸드 스트링들 및 상기 적어도 하나의 제 1 세트의 낸드 스트링들에 대향 배치된 적어도 하나의 제 2 세트의 낸드 스트링들을 갖는 적층 낸드 셀어레이가 제공된다. 적어도 하나의 신호 라인은 상기 기관 상에 배치되고, 상기 적어도 하나의 제 1 세트의 낸드 스트링들 및 상기 적어도 하나의 제 2 세트의 낸드 스트링들 중 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된다.

[0015] 상기 비휘발성 메모리 소자의 일 예에 있어서, 상기 적어도 하나의 신호 라인은 상기 적어도 하나의 제 1 세트의 낸드 스트링들 및 상기 적어도 하나의 제 2 세트의 낸드 스트링들의 일단에 공통으로 연결된 적어도 하나의 비트 라인 및/또는 상기 적어도 하나의 제 2 세트의 낸드 스트링들 및 상기 적어도 하나의 제 2 세트의 낸드 스트링들의 타단에 공통으로 연결된 적어도 하나의 공통 소오스 라인을 포함할 수 있다.

[0016] 상기 비휘발성 메모리 소자의 다른 예에 있어서, 상기 적어도 하나의 신호 라인은 복수의 제 1 및 제 2 스트링 선택 라인들, 복수의 제 1 및 제 2 워드 라인들 및 적어도 하나의 제 1 및 제 2 접지 선택 라인을 더 포함할 수 있다. 나아가, 상기 복수의 제 1 스트링 선택 라인들, 상기 복수의 제 1 워드 라인들 및 상기 적어도 하나의 제 1 접지 선택 라인은 상기 적어도 하나의 제 1 세트의 낸드 스트링들에 공통 결합되고, 상기 복수의 제 2 스트링 선택 라인들, 상기 복수의 제 2 워드 라인들 및 상기 적어도 하나의 제 2 접지 선택 라인은 상기 적어도 하나의 제 2 세트의 낸드 스트링들에 공통 결합될 수 있다.

[0017] 본 발명의 다른 형태에 따른 비휘발성 메모리 소자가 제공된다. 기관 및 상기 기관 상에 적층된 복수의 낸드 블록들이 제공된다. 각 낸드 블록들은, 상기 기관 상에 수직으로 적층된 적어도 하나의 세트의 낸드 스트링들을 갖는 적층 낸드 셀어레이; 및 상기 기관 상에 배치되고, 상기 적어도 하나의 세트의 낸드 스트링들에 공통으로 결합된 적어도 하나의 신호 라인을 포함한다.

[0018] 본 발명의 다른 형태에 따른 비휘발성 메모리 소자가 제공된다. 기관이 제공된다. 적어도 하나의 세트의 반도체층들은 상기 기관 상에 수직으로 적층된다. 복수의 제어 게이트 전극들은 상기 적어도 하나의 세트의 반도체층들의 적어도 일측 상에 배치되고, 상기 기관 상으로 상기 반도체층들을 가로질러 수직으로 신장한다. 적어도 하나의 비트 라인은 상기 기관 상에 배치되고, 상기 적어도 하나의 세트의 반도체층들에 공통으로 연결된다.

[0019] 본 발명의 다른 형태에 따른 비휘발성 메모리 소자가 제공된다. 기관이 제공된다. 적어도 하나의 세트의 반도체층들은 상기 기관 상에 수직으로 적층된다. 복수의 제 1 제어 게이트 전극들은 상기 적어도 하나의 세트의 반도체층들의 적어도 일측 상에 배치되고, 상기 기관 상으로 상기 반도체층들을 가로질러 수직으로 신장한다. 복수의 제 2 제어 게이트 전극들은 상기 적어도 하나의 세트의 반도체층들의 상기 복수의 제 1 제어 게이트 전극들 반대편 타측 상에 배치되고, 상기 기관 상으로 상기 반도체층들을 가로질러 수직으로 신장한다. 적어도 하나의 비트 라인은 상기 적어도 하나의 세트의 반도체층들에 공통으로 연결된다.

[0020] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 메모리 카드가 제공된다. 전술한 실시예들의 어느 한 형태에 따른 비휘발성 메모리 소자를 포함하는 메모리가 제공된다. 상기 메모리를 제어하기 위한 제어기가 제공된다.

[0021] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 형태에 따른 전자 시스템이 제공된다. 전술한 실시예들의 어느 한 형태에 따른 비휘발성 메모리 소자를 포함하는 메모리가 제공된다. 상기 메모리와 버스를 통해서 통신하는 프로세서가 제공된다. 상기 버스와 통신하는 입출력 장치가 제공된다.

효 과

[0022] 본 발명의 실시예들에 따른 비휘발성 메모리 소자에 따르면, 신호 라인들이 적층 낸드 셀어레이의 아래에 배치되기 때문에, 적층 낸드 셀어레이와 신호 라인들의 연결이 단순화될 수 있다. 이에 따라, 적층 낸드 셀어레이 영역 외에 기관 상에서 신호 라인들을 위한 별도의 공간을 할당할 필요가 없고, 또한 신호 라인들의 배치를 위해서 적층 낸드 셀어레이의 크기를 키울 필요가 없다. 따라서 이 실시예에 따른 비휘발성 메모리 소자는 고집적

화될 수 있다.

[0023] 또한 본 발명의 실시예들에 따른 비휘발성 메모리 소자에 따르면, 코어 회로 유닛과 바닥 신호 라인은 적층 낸드 셀어레이 아래에 동일 또는 유사한 레벨에 배치될 수 있다. 따라서 코어 회로 유닛과 바닥 신호 라인의 배치 및 연결이 단순화 될 수 있다.

발명의 실시를 위한 구체적인 내용

[0024] 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려 주기 위해 제공되는 것이다. 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 과장될 수 있다.

[0025] 본 발명의 실시예들에서, 용어들은 해당 기술분야에서 통상적으로 알려진 의미를 가질 수 있다. 예를 들어, 적어도 하나는 최소한 하나, 즉 하나 또는 그 이상의 수를 의미하며, 하나 또는 복수와도 동일한 의미로 사용될 수 있다.

[0026] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 사시도이다.

[0027] 도 1을 참조하면, 기관(210)이 제공된다. 기관(210)은 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체, 또는 II-VI족 산화물 반도체를 포함할 수 있다. 예를 들어, IV족 반도체는 실리콘, 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다. 기관(210)은 벌크 웨이퍼 또는 에피택셜층으로 제공될 수 있다.

[0028] 적층 낸드 셀어레이(250)는 기관(210) 상에 제공될 수 있다. 적층 낸드 셀어레이(250)는 기관(210) 상에 수직으로 적층된 낸드 스트링들(미도시)을 포함할 수 있고, 그 상세한 구조는 후술하기로 한다.

[0029] 적어도 하나의 신호 라인, 예컨대 복수의 신호 라인들(230)은 적층 낸드 셀어레이(250)에 결합될 수 있다. 예를 들어, 신호 라인들(230)은 적층 낸드 셀어레이(250) 아래에 제공될 수 있고, 나아가 절연층(215)을 개재하여 기관(210) 상에 제공될 수 있다. 신호 라인들(230)은 적층 낸드 셀어레이(250)와 전기적인 신호를 주고받을 수 있다. 예를 들어, 신호 라인들(230)은 후술하는 바와 같이 적어도 하나의 비트 라인, 복수의 스트링 선택 라인들, 복수의 워드 라인들, 적어도 하나의 접지 선택 라인 및/또는 적어도 하나의 공통 소오스 라인을 포함할 수 있다.

[0030] 신호 라인들(230)이 적층 낸드 셀어레이(250)의 아래에 배치되는 경우, 적층 낸드 셀어레이(250)와 신호 라인들(230)의 연결은 단순화될 수 있다. 예를 들어, 적층 낸드 셀어레이(250)는 복수의 수직 플러그들(240)을 통해서 그 아래의 신호 라인들(230)과 연결될 수 있다. 이러한 구조에 따르면, 신호 라인들(230)이 기관(210) 상에서 별도의 공간을 차지하지 않고, 또한 신호 라인들(230)의 배치를 위해서 적층 낸드 셀어레이(250)의 크기를 키울 필요가 없다. 따라서 비휘발성 메모리 소자가 고집적화될 수 있다.

[0031] 한편, 이 실시예의 변형된 예에서, 신호 라인들(230)은 적층 낸드 셀어레이(250) 위에 배치될 수도 있다. 이 경우, 수직 플러그들(240)은 적층 낸드 셀어레이(250) 위로 신장되고, 신호 라인들(230)은 수직 플러그들(240) 상에 배치될 수 있다.

[0032] 이 실시예의 다른 변형된 예에서, 신호 라인들(230)은 적층 낸드 셀어레이(250)의 위 또는 아래에 나누어서 배치될 수도 있다. 이 경우, 신호 라인들(230)은 수직 플러그들(240)의 위 또는 아래에 연결될 수 있다.

[0033] 도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 1의 비휘발성 메모리 소자의 일부 구성을 보다 구체적으로 보여줄 수 있다.

[0034] 도 2를 참조하면, 기관(도 1의 210) 상에 배치된, 적층 낸드 셀어레이(250)와 신호 라인들(230)의 배치 및 그 연결 관계가 설명될 수 있다. 예를 들어, 신호 라인들(230)은 비트 라인들(BL1, BL2), 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm), 워드 라인들(WL1, WL2 ... WLn-1, WLn), 접지 선택 라인(GSL) 및 공통 소오스 라인(CSL)을 포함할 수 있다.

[0035] 예를 들어, 신호 라인들(230)은 적층 낸드 셀어레이(250) 아래에 배치될 수 있다. 비트 라인들(BL1, BL2)은 최하부에 배치되고, 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm), 워드 라인들(WL1, WL2 ... WLn-1, WLn), 접지 선택 라인(GSL) 및 공통 소오스 라인(CSL)은 적층 낸드 셀어레이(250) 및 비트 라인들(BL1, BL2) 사이에 배열될 수 있다.

- [0036] 적층 낸드 셀어레이(250)는 수직 적층 구조를 갖는 적어도 하나의 세트의 낸드 스트링들, 예컨대 제 1 세트의 낸드 스트링들(NS1) 및 제 2 세트의 낸드 스트링들(NS2)을 포함할 수 있다. 제 1 세트의 낸드 스트링들(NS1) 및 제 2 세트의 낸드 스트링들(NS2)은 기판(도 1의 210) 상에 일렬로 배열될 수 있다. 한편, 적층 낸드 셀어레이(250)는 복수의 세트들의 낸드 스트링들(미도시)을 더 포함할 수 있고, 이들은 기판(도 1의 210) 상에 매트릭스 형태로 배열될 수 있다.
- [0037] 제 1 세트의 낸드 스트링들(NS1) 및 제 2 세트의 낸드 스트링들(NS2)은 기판(도 1의 210) 상에 수직으로 서로 적층된 복수의 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)을 각각 포함할 수 있다. 적층 낸드 셀어레이(250)는 수직으로 적층되는 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)의 수를 증가시켜서 메모리 용량을 증가시킬 수 있다. 따라서 이 실시예에 따른 비휘발성 메모리 소자는 고집적화될 수 있다.
- [0038] 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)은 실질적으로 동일한 구조를 가질 수 있고, 실질적으로 기판과 수평한 방향으로 각각 신장될 수 있다. 예를 들어, 각 낸드 스트링(NLj)은 같은 층에 배치된, 복수의 스트링 선택 트랜지스터들(T_{SS}), 복수의 메모리셀들(MC) 및 적어도 하나의 접지 선택 트랜지스터(T_{GS})를 포함할 수 있다. 스트링 선택 트랜지스터들(T_{SS}) 및 접지 선택 트랜지스터(T_{GS})는 메모리셀들(MC)을 사이에 두고 서로 반대편에 배치될 수 있다.
- [0039] 제 1 비트 라인(BL1)은 제 1 세트의 낸드 스트링들(NS1)의 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)의 일단에 공통으로 연결되고, 제 2 비트 라인(BL2)은 제 2 세트의 낸드 스트링들(NS2)의 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)의 일단에 공통으로 연결될 수 있다. 공통 소오스 라인(CSL)은 제 1 및 제 2 세트들의 낸드 스트링들(NS1, NS2)의 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)의 타단에 공통으로 연결될 수 있고, 나아가 메모리셀들(MC)의 바다에 더 연결될 수 있다. 이러한 구조에서 각 비트 라인(BLj)이 각 세트의 낸드 스트링들(NSj)에서 공유되기 때문에, 비트 라인들(BL1, BL2)의 수가 통상적인 경우에 비해서 크게 감소될 수 있고 그 구조도 단순화될 수 있다.
- [0040] 제 1 비트 라인(BL1) 및 제 2 비트 라인(BL2)은 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)의 신장 방향과 실질적으로 평행하게 신장할 수 있고, 공통 소오스 라인(CSL)은 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)의 신장 방향과 실질적으로 수직하게 신장할 수 있다. 공통 소오스 라인(CSL)은 제 1 및 제 2 비트 라인들(BL1, BL2) 상에 제공될 수 있다.
- [0041] 워드 라인들(WL1, WL2 ... WLn-1, WLn)은 메모리셀들(MC)의 동작을 제어하도록 제공될 수 있다. 복수의 워드 라인들(WL1, WL2 ... WLn-1, WLn)은 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)에 공통으로 결합될 수 있다. 예를 들어, 워드 라인들(WL1, WL2 ... WLn-1, WLn)은 제 1 및 제 2 세트들의 낸드 스트링들(NS1, NS2)의 메모리셀들(MC)에 공통으로 결합될 수 있다. 예컨대, 각 워드 라인(WLj)은 그 위에 적층된 해당 메모리셀들(MC)의 제어 게이트들에 공통으로 연결될 수 있다.
- [0042] 복수의 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)은 비트 라인들(BL1, BL2)과 메모리셀들(MC) 사이의 신호 전달을 제어하도록 제공될 수 있다. 예를 들어, 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)은 각 비트 라인(BLj)의 신호를 해당 세트의 낸드 스트링들(NSj)에서 분리하기 위한 믹싱(muxing) 구조를 제공할 수 있다. 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)의 수(m)는 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)의 수(i)보다 작거나 같을 수 있다.
- [0043] 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)은 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)에 공통으로 결합될 수 있다. 예를 들어, 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)은 제 1 및 제 2 세트들의 낸드 스트링들(NS1, NS2)의 스트링 선택 트랜지스터들(T_{SS})에 공통으로 결합될 수 있다. 예컨대, 스트링 선택 라인(SSLj)은 그 위에 적층된 스트링 선택 트랜지스터들(T_{SS})의 게이트들에 공통으로 연결될 수 있다.
- [0044] 적어도 하나의 접지 선택 라인(GSL)은 메모리셀들(MC)과 공통 소오스 라인(CSL)의 신호 연결을 제어하도록 제공될 수 있다. 접지 선택 라인(GSL)은 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)에 공통으로 결합될 수 있다. 예를 들어, 접지 선택 라인(GSL)은 제 1 및 제 2 세트들의 낸드 스트링들(NS1, NS2)의 접지 선택 트랜지스터(T_{GS})의 게이트들에 공통으로 연결될 수 있다. 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm), 워드 라인들(WL1, WL2 ... WLn-1, WLn) 및 접지 선택 라인(GSL)은 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)의 신장 방향과 실질적으로 수직하게 신장할 수 있고, 제 1 및 제 2 비트 라인들(BL1, BL2) 상에 제공될 수 있다.
- [0045] 한편, 이 실시예의 변형된 예에서, 신호 라인들(230)은 적층 낸드 셀어레이(250) 위에 배치될 수도 있다. 예를

들어, 비트 라인들(BL1, BL2)은 최상부에 배치되고, 스트링 선택 라인들(SSL1, SSL2 ... SSL_{m-1}, SSL_m), 워드 라인들(WL1, WL2 ... WL_{n-1}, WL_n), 접지 선택 라인(GSL) 및 공통 소오스 라인(CSL)은 적층 낸드 셀어레이(250) 및 비트 라인들(BL1, BL2) 사이에 배열될 수 있다.

- [0046] 이 실시예의 다른 변형된 예에서, 신호 라인들(230)은 적층 낸드 셀어레이(250)의 위 또는 아래에 나누어서 배치될 수도 있다. 예를 들어, 비트 라인들(BL1, BL2), 스트링 선택 라인들(SSL1, SSL2 ... SSL_{m-1}, SSL_m), 워드 라인들(WL1, WL2 ... WL_{n-1}, WL_n), 접지 선택 라인(GSL) 및 공통 소오스 라인(CSL) 가운데 적어도 하나는 적층 낸드 셀어레이(250)의 아래에 배치되고, 나머지는 적층 낸드 셀어레이(250)의 위에 배치될 수도 있다.
- [0047] 도 3은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이다. 도 4는 도 3의 비휘발성 메모리 소자의 낸드 스트링들의 선택 방법을 보여주는 회로도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 2의 비휘발성 메모리 소자의 일 예로써 제공될 수 있고, 따라서 중복된 설명은 생략된다.
- [0048] 도 3을 참조하면, 도시의 간략화를 위해서, 제 1 세트의 낸드 스트링들(NS1)과 신호 라인들(230)이 도시된다. 낸드 스트링들(NL1, NL2 ... NL7, NL8)의 수는 예시적으로 8개로 도시되었다. 하지만, 이 실시예가 이러한 수치에 제한되는 것은 아니다.
- [0049] 낸드 스트링들(NL1, NL2 ... NL7, NL8)의 수와 스트링 선택 라인들(SSL1, SSL2 ... SSL7, SSL8)의 수는 동일할 수 있다. 각 낸드 스트링(NL_j) 내의 스트링 선택 트랜지스터들(T_{SS})은 적어도 하나의 인핸스먼트-모드(enhancement-mode)의 스트링 선택 트랜지스터(T_{SSE})와 적어도 하나의 디플리션-모드(depletion-mode)의 스트링 선택 트랜지스터(T_{SSD})를 포함할 수 있다. 예를 들어, 각 낸드 스트링(NL_j) 내의 스트링 선택 트랜지스터들(T_{SS})은 하나의 인핸스먼트-모드의 스트링 선택 트랜지스터들(T_{SSE})과 나머지(7개)의 디플리션-모드의 스트링 선택 트랜지스터들(T_{SSD})(접선으로 둘러싸임)를 포함할 수 있다.
- [0050] 스트링 선택 트랜지스터들(T_{SSE})은 스트링 선택 라인들(SSL1, SSL2 ... SSL7, SSL8)과 일대일로 결합될 수 있다. 예를 들어, 스트링 선택 트랜지스터들(T_{SSE})은 전체 스트링 선택 트랜지스터들(T_{SS})의 배치에서 대각선을 따라서 배치될 수 있다.
- [0051] 스트링 선택 트랜지스터들(T_{SSE})은 통상적으로(normally) 오프(off) 상태에 있고, 해당 스트링 선택 라인(SSL_j)에 턴-온(turn-on) 전압이 인가된 경우에만 온(on) 상태로 전환될 수 있다. 예를 들어, 스트링 선택 트랜지스터들(T_{SSE})이 NMOS인 경우, 턴-온 전압은 문턱 전압 보다 큰 양의 값을 가질 수 있다. 반면, 스트링 선택 트랜지스터들(T_{SSD})는 통상적으로 온 상태에 있고, 해당 스트링 선택 라인(SSL_j)에 턴-오프 전압을 인가한 경우에만 오프(off) 상태로 전환될 수 있다. 예를 들어, 스트링 선택 트랜지스터들(T_{SSD})이 NMOS인 경우, 턴-오프 전압은 문턱 전압보다 작은 음의 값을 가질 수 있다.
- [0052] 따라서 각 낸드 스트링(NL_j) 내의 메모리셀들(MC)에 접근하기 위해서는, 해당 스트링 선택 트랜지스터들(T_{SSE})과 결합된 해당 스트링 선택 라인(SSL_j)에 턴-온 전압을 인가하고 나머지 스트링 선택 라인들에 턴-오프 전압(0V)을 인가할 수 있다.
- [0053] 예를 들어, 도 4에 도시된 바와 같이, 제 1 비트 라인(BL1)과 낸드 스트링(NL4) 내의 메모리셀들(MC)을 전기적으로 연결하기 위해서는, 해당 스트링 선택 라인(SSL4)에 턴-온 전압(V_{cc})을 인가하고, 나머지 스트링 선택 라인들(SSL1, SSL2, SSL3, SSL5 ... SSL8)에 턴-오프 전압(V_{off}), 예컨대 0V를 인가할 수 있다. 도 4에서 "0"는 턴-온 상태를 나타내고, "X"는 턴-오프 상태를 나타낸다. 이 때, 제 1 비트 라인(BL1)과 나머지 낸드 스트링들(NL1, NL2, NL3, NL5 ... NL8)의 전기적인 연결은 차단된다.
- [0054] 도 5는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이다. 도 6 및 도 7은 도 5의 비휘발성 메모리 소자의 낸드 스트링들의 선택 방법을 보여주는 회로도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 2의 비휘발성 메모리 소자의 일 예로써 제공될 수 있고, 또한 도 3의 변형된 예로써 제공될 수 있고, 따라서 실시예들에서 중복된 설명은 생략된다.
- [0055] 도 5를 참조하면, 스트링 선택 라인들(SSL1, SSL2 ... SSL5, SSL6)의 수는 낸드 스트링들(NL1, NL2 ... NL7,

NL8)의 수보다 작을 수 있다. 이 실시예에서, 낸드 스트링들(NL1, NL2 ... NL7, NL8)의 수는 2^3 개이고, 스트링 선택 라인들(SSL1, SSL2 ... SSL5, SSL6)의 수는 6개($6 = 2 \times 3$)이다. 각 낸드 스트링(NL_j)의 스트링 선택 라인들(SSL1, SSL2 ... SSL5, SSL6)은 3개의 인헨스먼트-모드의 스트링 선택 트랜지스터들(T_{SSE}) 및 나머지(3개)의 디플리션-모드의 스트링 선택 트랜지스터들(T_{SSD})을 포함할 수 있다. 각 스트링 선택 라인(SSL_j)은 $4(2^{3-1})$ 개의 스트링 선택 트랜지스터들(T_{SSE})과 나머지(4개)의 디플리션-모드의 스트링 선택 트랜지스터들(T_{SSD})과 결합될 수 있다.

[0056] 보다 일반화시키면, 낸드 스트링들의 수가 2^k 개인 경우, 스트링 선택 라인들의 수는 m개($m = 2 \times k$)이다. 각 낸드 스트링의 스트링 선택 라인들은 k개의 인헨스먼트-모드의 스트링 선택 트랜지스터들(T_{SSE}) 및 나머지(k개)의 디플리션-모드의 스트링 선택 트랜지스터들(T_{SSD})을 포함할 수 있다. 각 스트링 선택 라인은 2^{k-1} 개의 스트링 선택 트랜지스터들(T_{SSE})과 나머지(2^{k-1} 개)의 디플리션-모드의 스트링 선택 트랜지스터들(T_{SSD})과 결합될 수 있다.

[0057] 도 5에 도시된 바와 같이, 제 1 세트의 낸드 스트링들(NS1)에서 스트링 선택 트랜지스터들(T_{SSE})과 디플리션-모드의 스트링 선택 트랜지스터들(T_{SSD})은 워드 라인들(WL1) 방향으로 갈수록 낸드 스트링들(NL1, NL2 ... NL7, NL8)을 순차로 반씩 분할하도록 배열될 수 있다. 이러한 배치에 따르면, 스트링 선택 라인들(SSL1, SSL2 ... SSL5, SSL6) 가운데 세 개에 턴-온 전압을 인가하고 나머지에 턴-오프 전압(0V)을 인가하면 해당하는 하나의 낸드 스트링에 접근할 수 있다.

[0058] 예를 들어, 도 6에 도시된 바와 같이, 스트링 선택 라인들(SSL1, SSL4, SSL6)에 턴-온 전압(V_{cc})을 인가하고, 스트링 선택 라인들(SSL2, SSL3, SSL5)에 턴-오프 전압(V_{off}), 예컨대 0V를 인가함으로써, 낸드 스트링(NL8)과 제 1 비트 라인(BL1)을 전기적으로 연결할 수 있다. 이 경우, 다른 낸드 스트링들(NL1 ... NL7)과 제 1 비트 라인(BL1)의 전기적인 연결은 차단될 수 있다.

[0059] 다른 예로, 도 7에 도시된 바와 같이, 스트링 선택 라인들(SSL2, SSL3, SSL6)에 턴-온 전압(V_{cc})을 인가하고, 스트링 선택 라인들(SSL1, SSL4, SSL5)에 턴-오프 전압(V_{off}), 예컨대 0V를 인가함으로써, 낸드 스트링(NL2)과 제 1 비트 라인(BL1)을 전기적으로 연결할 수 있다. 이 경우, 다른 낸드 스트링들(NL1, NL3 ... NL8)과 제 1 비트 라인(BL1)의 전기적인 연결은 차단될 수 있다.

[0060] 스트링 선택 라인들(SSL1, SSL2 ... SSL5, SSL6)에 턴-온 전압(V_{cc})이 인가된 경우를 "1"로 표시하고 턴-오프 전압(V_{off}), 예컨대 0V가 인가된 경우를 "0"으로 표시한 경우, 각 낸드 스트링(NL_j)을 제 1 비트 라인(BL1)과 연결하기 위한 동작 조건은 다음과 같다. 낸드 스트링(NL8)의 [100101]의 전압을, 낸드 스트링(NL7)의 경우 [100110] 전압을, 낸드 스트링(NL6)의 경우 [101001] 전압을, 낸드 스트링(NL5)의 경우 [101010] 전압을, 낸드 스트링(NL4)의 경우 [010101] 전압을, 낸드 스트링(NL3)의 경우 [010110] 전압을, 낸드 스트링(NL2)의 경우 [011001] 전압을, 그리고 낸드 스트링(NL1)의 경우 [011010] 전압을 스트링 선택 라인들(SSL1, SSL2 ... SSL5, SSL6)에 인가할 수 있다.

[0061] 표 1은 도 2의 비휘발성 메모리 소자의 동작 조건을 나타낸다. 도 8 및 도 9는 도 2의 비휘발성 메모리 소자의 동작 방법을 보여주는 회로도들이다.

표 1

[0062]

	프로그램	읽기	소거
SEL_BL	0V	V _{read}	FT
USL_BL	V _{cc}	FT	FT
SSL	V _{cc} /V _{off} 의 조합		FT
SEL_WL	V _{pgm}	V _{ref}	0V
USL_WL	V _{pass}	V _{pass2}	0V

GSL	V_{off}	V_{cc}	FT
CSL/BD	0V	0V	V_{ers}

- [0063] 선택된 비트 라인(SEL_BL)은 비트 라인들(BL1, BL2) 중 선택된 적어도 하나를 나타내고, 비선택된 비트 라인(USL_BL)은 나머지 비트 라인을 나타낼 수 있다. 선택된 워드 라인(SEL_WL)은 워드 라인들(WL1, WL2 ... WLn-1, WLn) 가운데 선택된 적어도 하나를 나타내고, 비선택된 워드 라인(USL_WL)은 나머지 워드 라인들을 나타낼 수 있다.
- [0064] 프로그램 동작의 경우, 선택된 비트 라인(SEL_BL)에 0V를 인가하고, 비선택된 비트 라인(USL_BL)에는 채널 부스팅을 위해서 동작 전압(V_{cc})을 인가하고, 선택된 워드 라인(SEL_WL)에는 프로그램 전압(V_{pgm})을 인가하고, 비선택된 워드 라인(USL_WL)에는 패스 전압(V_{pass})을 인가할 수 있다. 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)에는 도 6 및 도 7을 참조해서 설명한 바와 같이 해당 낸드 스트링(NLi)을 선택하도록 턴-온 전압(V_{cc})과 턴-오프 전압(V_{off})의 적절한 조합을 인가할 수 있다. 접지 선택 라인(GSL)에는 턴-오프 전압(V_{off})을 인가할 수 있다. 예를 들어, 패스 전압(V_{pass})은 메모리셀들(MC)의 문턱 전압보다 크고, 프로그램 전압(V_{pgm})은 패스 전압(V_{pass})보다 클 수 있다.
- [0065] 예를 들어, 도 8에 도시된 바와 같이, 선택된 메모리셀(MC1)에 데이터를 프로그램하기 위해서는 선택된 워드 라인(WL2)에 프로그램 전압(V_{pgm})을 인가하고, 비선택된 워드 라인들(WL1, WL3 ... WLn-1, WLn)에 패스 전압(V_{pass})을 인가할 수 있다. 한편, 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)에는 전술한 바와 같이, 낸드 스트링(NL3)과 제 1 비트 라인(BL1)을 전기적으로 연결하도록, [010110] 전압을 인가할 수 있다. 이 경우, 선택된 메모리셀(MC1)에는 F-N 터널링을 이용하여 전하가 주입되고, 다른 메모리셀들(MC)에는 채널 부스팅에 의해서 전하 주입이 차단될 수 있다.
- [0066] 읽기 동작의 경우, 선택된 비트 라인(SEL_BL)에 읽기 전압(V_{read})을 인가하고, 선택된 워드 라인(SEL_WL)에는 기준 전압(V_{ref})을 인가하고, 비선택된 워드 라인(USL_WL)에는 제 2 패스 전압(V_{pass2})을 인가할 수 있다. 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)에는 도 6 및 도 7을 참조해서 설명한 바와 같이 해당 낸드 스트링(NLi)을 선택하도록 턴-온 전압(V_{cc})과 턴-오프 전압(V_{off})의 적절한 조합을 인가할 수 있다. 접지 선택 라인(GSL)에는 턴-온 전압(V_{cc})을 인가할 수 있다. 제 2 패스 전압(V_{pass2})은 메모리셀들(MC)의 문턱 전압보다 크거나 같고 패스 전압(V_{pass})보다 작을 수 있다.
- [0067] 예를 들어, 도 9에 도시된 바와 같이, 선택된 메모리셀(MC1)의 데이터 상태를 읽기 위해서는 선택된 워드 라인(WL2)에 기준 전압(V_{ref})을 인가하고, 비선택된 워드 라인들(WL1, WL3 ... WLn-1, WLn)에 제 2 패스 전압(V_{pass2})을 인가할 수 있다. 한편, 스트링 선택 라인들(SSL1, SSL2 ... SSLm-1, SSLm)에는 전술한 바와 같이, 낸드 스트링(NL3)과 제 1 비트 라인(BL1)을 전기적으로 연결하도록, [010110] 전압을 인가할 수 있다. 이 경우, 선택된 메모리셀(MC1)은 그 데이터 상태에 따라서 턴-온 되거나 또는 턴-오프 될 수 있다. 따라서 낸드 스트링(NL3)을 통한 전류를 측정하여 선택된 메모리셀(MC1)의 데이터 상태를 읽어낼 수 있다.
- [0068] 소거 동작의 경우, 선택된 워드 라인(SEL_WL) 및 비선택된 워드 라인(USL_WL)에 0V를 인가한 상태에서, 메모리셀들(MC)의 바디(BD)에 소거 전압(V_{ers})을 인가할 수 있다. 예를 들어, 공통 소오스 라인(CSL)이 바디(BD)와 결합된 경우, 공통 소오스 라인(CSL)에 소거 전압(V_{ers})을 인가함으로써 메모리셀들(MC)의 바디(BD)에 소거 전압(V_{ers})을 인가할 수 있다. 이에 따라, 전체 메모리셀들(MC) 내에 저장된 전하가 F-N(Fowler-Nordheim) 터널링에 의해서 일시에 제거될 수 있다.
- [0069] 도 10은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 사시도이다. 도 11은 도 10의 비휘발성 메모리 소자의 평면도이고, 도 12는 도 11의 비휘발성 메모리 소자의 XII-XII'선에서 절취한 단면도이고, 도 13은 도 11의 비휘발성 메모리 소자의 XIII-XIII'선에서 절취한 단면도이다.
- [0070] 도 10 내지 도 13을 참조하면, 제 1 세트의 반도체층들(150a) 및 제 2 세트의 반도체층들(150b)이 기판(110) 상에 수직으로 적층될 수 있다. 반도체층들(150a, 150b)의 수는 비휘발성 메모리 소자의 용량에 따라서 적절하게

선택될 수 있고, 이 실시예의 범위를 제한하지 않는다. 반도체층들(150a, 150b)은 드레인 영역들(152), 소오스 영역들(154) 및 바디 영역들(153)을 포함할 수 있다. 예를 들어, 각 반도체층(150a, 150b)은 일단에 드레인 영역(152) 및 타단에 소오스 영역(154)을 포함하고, 드레인 영역(152) 및 소오스 영역(154) 주위에 바디 영역(153)을 포함할 수 있다. 드레인 영역(152)들 및 소오스 영역들(154)은 바디 영역들(153)과 PN 접합을 형성할 수 있다.

[0071] 제 1 비트 라인(120a)은 제 1 세트의 반도체층들(150a)의 일단에 공통으로 연결되고, 제 2 비트 라인(120b)은 제 2 세트의 반도체층들(150b)의 일단에 공통으로 연결될 수 있다. 예를 들어, 제 1 비트 라인(120a)은 제 1 세트의 반도체층들(150a) 및 기관(110) 상의 절연층(115) 사이에 제공되고, 제 2 비트 라인(120b)은 제 2 세트의 반도체층들(150b) 아래 및 기관(110) 상에 제공될 수 있다. 제 1 및 제 2 비트 라인들(120a, 120b)은 도 1의 제 1 및 제 2 비트 라인(BL1, BL2)에 대응될 수 있다.

[0072] 제 1 비트 라인(120a)은 제 1 콘택 플러그들(155)을 통해서 제 1 세트의 반도체층들(150a)의 드레인 영역들(152)에 공통으로 연결되고, 제 2 비트 라인(120b)은 제 1 콘택 플러그들(155)을 통해서 제 2 세트의 반도체층들(150b)의 드레인 영역들(152)에 공통으로 연결될 수 있다. 제 1 콘택 플러그들(155)은 제 1 세트의 반도체층들(150a) 또는 제 2 세트의 반도체층들(150b)을 관통하여 기관(110) 상에 수직으로 신장될 수 있다. 제 1 콘택 플러그들(155)은 제 1 세트의 반도체층들(150a) 또는 제 2 세트의 반도체층들(150b)의 드레인 영역(152)과 직접 접촉될 수 있다.

[0073] 적어도 하나의 공통 소오스 라인(140)은 반도체층들(150a, 150b)에 공통으로 연결될 수 있다. 예를 들어, 공통 소오스 라인(140)은 반도체층들(150a, 150b)의 아래 및 비트 라인들(120a, 120b) 상에 제공될 수 있다. 공통 소오스 라인(140)은 제 2 콘택 플러그(160)를 통해서 반도체층들(150a, 150b)의 소오스 영역들(154) 및 바디 영역들(153)에 공통으로 연결될 수 있다. 예를 들어, 제 2 콘택 플러그(160)는 반도체층들(150a, 150b)을 관통하여 소오스 영역들(154) 및 바디 영역들(153)에 접촉되도록 기관(110) 상으로 수직으로 신장할 수 있다. 제 2 콘택 플러그(160)는 반도체층들(150a, 150b)을 가로질러 기관(110) 상에 수직하게 신장될 수 있다. 공통 소오스 라인(140)은 도 1의 공통 소오스 라인(CSL)에 대응할 수 있다.

[0074] 복수의 스트링 선택 게이트 전극들(170), 적어도 하나의 접지 선택 게이트 전극(180) 및 복수의 제어 게이트 전극들(190)은 반도체층들(150a, 150b)의 측면 상에 제공되고 기관(110) 상으로 수직으로 신장할 수 있다. 복수의 스트링 선택 라인들(125), 복수의 워드 라인들(130) 및 적어도 하나의 접지 선택 라인(135)은 반도체층들(150a, 150b)의 아래 및 비트 라인들(120a, 120b) 상에 제공될 수 있다. 스트링 선택 라인들(125)은 스트링 선택 게이트 전극들(170)과 연결되고, 워드 라인들(130)은 제어 게이트 전극들(190)과 연결되고, 접지 선택 라인(135)은 접지 선택 게이트 전극(180)에 연결될 수 있다.

[0075] 제 1 세트의 반도체층들(150a)과 제어 게이트 전극들(190)의 사이 및 제 2 세트의 반도체층들(150b)과 제어 게이트 전극들(190)의 사이에는 복수의 스토리지 매체들(185)이 제공될 수 있다. 예를 들어, 스토리지 매체들(185)은 제 1 및 제 2 세트의 반도체층들(150a, 150b) 상의 복수의 터널링 절연층들(181), 터널링 절연층들(181) 상의 복수의 전하 저장층들(182) 및 전하 저장층들(182) 상의 복수의 블로킹 절연층들(183)을 포함할 수 있다. 스토리지 매체들(185)은 제어 게이트 전극들(190)을 둘러싸도록 제공될 수 있다.

[0076] 전하 저장층들(182)은 전하 저장 능력을 가질 수 있다. 예를 들어, 전하 저장층들(182)은 트랩 타입일 수 있고, 예컨대 실리콘 질화층, 양자 도트(quantum dots) 또는 나노크리스탈(nanocrystals)을 포함할 수 있다. 양자 도트 또는 나노크리스탈은 도전체, 예컨대 금속 또는 반도체의 미세 입자들로 구성될 수 있다. 다른 예로, 전하 저장층들(182)은 플로팅 타입일 수 있고, 도핑된 폴리실리콘과 같은 도전체를 포함할 수 있다.

[0077] 제 1 세트의 반도체층들(150a)과 스트링 선택 게이트 전극들(170)의 사이 및 제 2 세트의 반도체층들(150b)과 스트링 선택 게이트 전극들(170)의 사이에는 복수의 스트링 선택 게이트 절연층(165)이 제공될 수 있다. 스트링 선택 게이트 절연층(165)은 스토리지 매체들(185)과 유사하게 복수의 절연층들(161, 162, 163)을 포함할 수 있다. 하지만, 이 실시예가 이에 제한되는 것은 아니고, 스트링 선택 게이트 절연층(165)은 절연층들(161, 162, 163) 가운데 하나 또는 둘을 포함할 수도 있다.

[0078] 제 1 세트의 반도체층들(150a)과 접지 선택 게이트 전극들(180)의 사이 및 제 2 세트의 반도체층들(150b)과 접지 선택 게이트 전극들(180)의 사이에는 복수의 접지 선택 게이트 절연층(175)이 제공될 수 있다. 접지 선택 게이트 절연층(175)은 스토리지 매체들(185)과 유사하게 복수의 절연층들(171, 172, 173)을 포함할 수 있다. 하지만, 이 실시예가 이에 제한되는 것은 아니고, 접지 선택 게이트 절연층(175)은 절연층들(171, 172, 173) 가운데

하나 또는 둘을 포함할 수도 있다.

- [0079] 이 실시예에 따르면, 반도체층들(150a, 150b)과 신호 라인들(230), 예컨대 비트 라인들(120a, 120b), 스트링 선택 라인들(125), 워드 라인들(130), 접지 선택 라인(135) 및 공통 소오스 라인(140)의 연결이 수직 연결 구조를 이용하여 단순화 될 수 있다. 따라서 신호 라인들(230)과 반도체층들(120a, 120b)을 결합하기 위해서 별도의 배선 구조를 배치할 필요가 없기 때문에, 이 실시예에 따른 비휘발성 메모리 소자가 고집적화 될 수 있다.
- [0080] 한편, 이 실시예의 변형된 예에서, 신호 라인들(230), 예컨대 비트 라인들(120a, 120b), 스트링 선택 라인들(125), 워드 라인들(130), 접지 선택 라인(135) 및 공통 소오스 라인(140) 가운데 적어도 하나가 반도체층들(150a, 150b) 위에 배치될 수도 있다.
- [0081] 도 14는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 사시도이다. 도 15는 도 14의 비휘발성 메모리 소자의 평면도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 10 내지 도 13의 비휘발성 메모리 소자를 참조할 수 있고 중복된 설명은 생략된다.
- [0082] 도 14 및 도 15를 참조하면, 공통 소오스 라인(140)은 복수의 제 2 콘택 플러그들(160a)을 통해서 반도체층들(150a, 150b)의 소오스 영역들(154) 및 바디 영역들(153)에 공통으로 결합될 수 있다. 예를 들어, 제 2 콘택 플러그들(160a)은 반도체층들(150a, 150b)의 일측 상에 반도체층들(150a, 150b)을 가로질러 기판(110) 상에 수직하게 신장될 수 있다. 제 2 콘택 플러그들(160a)의 측벽들은 반도체층들(150a, 150b)의 일측으로부터 소오스 영역들(154)을 관통하여 바디 영역들(154) 내로 신장될 수 있다. 이에 따라, 제 2 콘택 플러그들(160a)은 소오스 영역들(154) 및 바디 영역들(153)과 직접 접촉될 수 있다.
- [0083] 도 16은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 평면도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 10 내지 도 13의 비휘발성 메모리 소자를 참조할 수 있고 중복된 설명은 생략된다.
- [0084] 도 16을 참조하면, 스토리지 매체들(185a)은 제 1 세트의 반도체층들(150a)과 제어 게이트 전극들(190)의 사이 및 제 2 세트의 반도체층들(150b)과 제어 게이트 전극들(190)의 사이에서 제어 게이트 전극들(190)을 가로질러 신장하는 라인 타입으로 제공될 수 있다. 이 경우, 전하 저장층들(182)은 플로팅-타입이 아닌 트랩-타입으로 제공될 수 있다.
- [0085] 스트링 선택 게이트 절연층(165a)들 및 접지 선택 게이트 절연층들(175a)은 스토리지 매체들(185a)과 연결되도록 제공될 수 있다. 예를 들어, 동일 라인에 배치된, 스트링 선택 게이트 절연층(165a), 스토리지 매체(185a) 및 접지 선택 게이트 절연층(175a)은 서로 연결되어 해당 라인에 배치된 제어 게이트 전극들(190)의 외곽을 둘러싸는 띠 형상을 가질 수 있다. 이러한 스트링 선택 게이트 절연층들(165a), 스토리지 매체들(185a) 및 접지 선택 게이트 절연층들(175a)은 반도체층들(150a, 150b) 사이의 트렌치를 매립하는 일체형으로 형성될 수 있다.
- [0086] 도 17은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 1의 비휘발성 메모리 소자의 변형된 예에 해당할 수 있고, 따라서 중복된 설명은 생략된다.
- [0087] 도 17을 참조하면, 적어도 하나의 비트 라인(BL1)은 적어도 하나의 제 1 세트의 낸드 스트링들(NS1) 및 적어도 하나의 제 2 세트의 낸드 스트링들(NS2)에 공통으로 연결될 수 있다. 제 1 세트의 낸드 스트링들(NS1) 및 제 2 세트의 낸드 스트링들(NS2)은 바디를 공유하도록 대향 배치될 수 있다. 적어도 하나의 공통 소오스 라인(CSL)은 제 1 세트의 낸드 스트링들(NS1) 및 제 2 세트의 낸드 스트링들(NS2)에 공통으로 연결될 수 있다.
- [0088] 제 1 워드 라인들(WL1o, WL12o ... WLno)은 제 1 세트의 낸드 스트링들(NS1)에 공통으로 결합되고, 제 2 워드 라인들(WL1e, WL12e ... WLne)은 제 2 세트의 낸드 스트링들(NS2)에 공통으로 결합될 수 있다. 제 1 스트링 선택 라인들(SSL1o, SSL2o ... SSLmo)은 제 1 세트의 낸드 스트링들(NS1)에 공통으로 결합되고, 제 2 스트링 선택 라인들(SSL1e, SSL2e ... SSLme)은 제 2 세트의 낸드 스트링들(NS2)에 공통으로 결합될 수 있다. 제 1 접지 선택 라인들(GSL1o, GSL2o ... GSLmo)은 제 1 세트의 낸드 스트링들(NS1)에 공통으로 결합되고, 제 2 접지 선택 라인들(GSL1e, GSL2e ... GSLme)은 제 2 세트의 낸드 스트링들(NS2)에 공통으로 결합될 수 있다.
- [0089] 제 1 스트링 선택 라인들(SSL1o, SSL2o ... SSLmo), 제 1 워드 라인들(WL1o, WL12o ... WLno), 제 1 접지 선택 라인들(GSL1o, GSL2o ... GSLmo) 및 공통 소오스 라인(CSL)은 낸드 스트링들(NS1, NS2)의 아래에 배치될 수 있다. 제 2 스트링 선택 라인들(SSL1e, SSL2e ... SSLme), 제 2 워드 라인들(WL1e, WL12e ... WLne) 및 제 2 접지 선택 라인들(GSL1e, GSL2e ... GSLme)은 낸드 스트링들(NS1, NS2)의 위에 배치될 수 있다.
- [0090] 이 실시예에 따르면, 제 1 낸드 스트링들(NS1)과 제 2 낸드 스트링들(NS2)을 분리해서 동작시킴으로써 데이터

처리 용량을 늘일 수 있다.

- [0091] 이 실시예의 변형된 예에 따르면, 제 1 스트링 선택 라인들(SSL1o, SSL2o ... SSLmo) 및 제 2 스트링 선택 라인들(SSL1e, SSL2e ... SSLme)은 서로 구분되지 않고 제 1 낸드 스트링들(NS1) 및 제 2 낸드 스트링들(NS2) 위 또는 아래에 배치될 수 있고, 예컨대, 도 2의 스트링 선택 라인들(SSL1, SSL2 ... SSLm)로 대체될 수도 있다. 유사하게, 제 1 접지 선택 라인들(GSL1o, GSL2o ... GSLmo) 및 제 2 접지 선택 라인들(GSL1e, GSL2e ... GSLme)은 구분되지 않고 제 1 낸드 스트링들(NS1) 및 제 2 낸드 스트링들(NS2)의 위 또는 아래에 배치될 수 있고, 예컨대 도 2의 접지 선택 라인들(GSL1, GSL2 ... GSLm)로 대체될 수도 있다.
- [0092] 이 경우, 제 1 낸드 스트링들(NS1)의 메모리셀들(MC) 및 제 2 낸드 스트링들(NS2)의 메모리셀들(MC)은 제 1 워드 라인들(WL1o, WL12o ... WLno)과 제 2 워드 라인들(WL1e, WL12e ... WLne)을 분리하여 동작시킴으로써 서로 독립적으로 동작할 수 있다. 따라서, 이 경우에도 제 1 낸드 스트링들(NS1)과 제 2 낸드 스트링들(NS2)을 분리해서 동작시킴으로써 데이터 처리 용량을 늘일 수 있다.
- [0093] 도 18은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 개략적인 사시도이고, 도 19는 도 18의 비휘발성 메모리 소자의 개략적인 평면도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 17의 구조에 대응할 수 있고, 또한 도 10 내지 도 13의 설명을 참조할 수 있다.
- [0094] 도 18 및 도 19를 참조하면, 비트 라인들(120a, 120b 또는 BL1, BL2, BL3, BL4)은 제 1 콘택 플러그들(155)을 통해서 반도체층들(150a, 150b, 150c, 150d)과 연결될 수 있다. 공통 소오스 라인(140 또는 CSL)은 제 2 콘택 플러그들(160)을 통하여 반도체층들(150a, 150b, 150c, 150d)과 연결될 수 있다.
- [0095] 제 1 제어 게이트 전극들(190a)은 반도체층들(150a, 150b, 150c, 150d)의 일측에 배치되고, 제 2 제어 게이트 전극들(190b)은 반도체층들(150a, 150b, 150c, 150d)의 타측에 배치될 수 있다. 제 1 제어 게이트 전극들(190a) 및 제 2 제어 게이트 전극들(190b)은 반도체층들(150a, 150b, 150c, 150d)의 서로 반대편에 배치될 수 있다. 제 1 제어 게이트 전극들(190a) 및 제 2 제어 게이트 전극들(190b)은 반도체층들(150a, 150b, 150c, 150d)을 가로질러 교대로 배치될 수 있다.
- [0096] 제 1 제어 게이트 전극들(190a)은 제 1 워드 라인들(130a 또는 WL1o, WL12o ... WLno)에 공통으로 연결될 수 있고, 제 2 제어 게이트 전극들(190b)은 제 2 워드 라인들(130b 또는 WL1e, WL12e ... WLne)에 공통으로 연결될 수 있다. 제 1 워드 라인들(130a 또는 WL1o, WL12o ... WLno)은 반도체층들(150a, 150b, 150c, 150d)의 아래에 배치될 수 있고, 제 2 워드 라인들(130b 또는 WL1e, WL12e ... WLne)은 반도체층들(150a, 150b, 150c, 150d)의 위에 배치될 수 있다.
- [0097] 제 1 스트링 선택 게이트 전극들(170a)은 반도체층들(150a, 150b, 150c, 150d)의 일측에 배치되고, 제 2 스트링 선택 게이트 전극들(170b)은 반도체층들(150a, 150b, 150c, 150d)의 타측에 배치될 수 있다. 제 1 스트링 선택 게이트 전극들(170a) 및 제 2 스트링 선택 게이트 전극들(170b)은 반도체층들(150a, 150b, 150c, 150d)의 서로 반대편에 배치될 수 있다. 제 1 스트링 선택 게이트 전극들(170a) 및 제 2 스트링 선택 게이트 전극들(170b)은 반도체층들(150a, 150b, 150c, 150d)을 가로질러 교대로 배치될 수 있다.
- [0098] 제 1 스트링 선택 게이트 전극들(170a)은 제 1 스트링 선택 라인들(125a 또는 SSL1o, SSL2o ... SSLmo)에 공통으로 연결될 수 있고, 제 2 스트링 선택 게이트 전극들(170b)은 제 2 스트링 선택 라인들(125b 또는 SSL1e, SSL2e ... SSLme)에 공통으로 연결될 수 있다. 제 1 스트링 선택 라인들(125a 또는 SSL1o, SSL2o ... SSLmo)은 반도체층들(150a, 150b, 150c, 150d)의 아래에 배치될 수 있고, 제 2 스트링 선택 라인들(125b 또는 SSL1e, SSL2e ... SSLme)은 반도체층들(150a, 150b, 150c, 150d)의 위에 배치될 수 있다.
- [0099] 제 1 접지 선택 게이트 전극들(180a)은 반도체층들(150a, 150b, 150c, 150d)의 일측에 배치되고, 제 2 접지 선택 게이트 전극들(180b)은 반도체층들(150a, 150b, 150c, 150d)의 타측에 배치될 수 있다. 제 1 접지 선택 게이트 전극들(180a) 및 제 2 접지 선택 게이트 전극들(180b)은 반도체층들(150a, 150b, 150c, 150d)의 서로 반대편에 배치될 수 있다. 제 1 접지 선택 게이트 전극들(180a) 및 제 2 접지 선택 게이트 전극들(180b)은 반도체층들(150a, 150b, 150c, 150d)을 가로질러 교대로 배치될 수 있다.
- [0100] 제 1 접지 선택 게이트 전극들(180a)은 제 1 접지 선택 라인(135a 또는 GSLo)에 공통으로 연결될 수 있고, 제 2 접지 선택 게이트 전극들(180b)은 제 2 접지 선택 라인들(135b 또는 GSLe)에 공통으로 연결될 수 있다. 제 1 접지 선택 라인(135a 또는 GSLo)은 반도체층들(150a, 150b, 150c, 150d)의 아래에 배치되고, 제 2 접지 선택 라인들(135b 또는 GSLe)은 반도체층들(150a, 150b, 150c, 150d)의 위에 배치될 수 있다.

[0101] 표 2는 도 18 및 도 19의 비휘발성 메모리 소자의 1/2 bit의 동작 방법을 보여주는 표이다.

표 2

[0102]

1/2 bit	프로그램	읽기	소거
SEL_BL	0V	V_{read}	FT
USL_BL	V_{cc}	FT	FT
SSLo	V_{cc}/V_{off} 의 조합		FT
SSLe	V_{off}		FT
SEL_WLo	V_{pgm}	V_{ref}	0V
USL_WLo	V_{pass}	V_{pass2}	0V
WLe	V_{off}	V_{off}	0V
GSLo	V_{off}	V_{cc}	FT
GSLe	V_{off}	V_{off}	FT
CSL/BD	0V	0V	V_{ers}

[0103] 1/2 비트 동작의 경우, 제 1 워드 라인들(WLo)과 결합된 메모리셀들(MC)에 데이터를 저장할 수 있다. 이 경우, 비트 라인(BL), 제 1 워드 라인들(WLo), 제 1 스트링 선택 라인들(SSLo), 제 1 접지 선택 라인(GSLo) 및 공통 소오스 라인(CSL)에 대한 동작은 표 1과 동일하다. 다만, 1/2 비트 동작 시, 제 2 워드 라인들(WLe), 제 2 스트링 선택 라인들(SSLe), 제 2 접지 선택 라인(GSLe)에는 턴-오프 전압(V_{off})이 인가될 수 있다.

[0104] 표 3은 도 18 및 도 19의 비휘발성 메모리 소자의 2/2 bit의 동작 방법을 보여주는 표이다.

표 3

[0105]

2/2 bit	프로그램	읽기	소거
SEL_BL	0V	V_{read}	FT
USL_BL	V_{cc}	FT	FT
SSLe	V_{cc}/V_{off} 의 조합		FT
SSLo	0V		FT
SEL_WLe	V_{pgm}	V_{ref}	0V
USL_WLe	V_{pass}	V_{pass2}	0V
WLo	V_{off}	V_{off}	0V
GSLe	V_{off}	V_{cc}	FT
GSLo	V_{off}	V_{off}	FT
CSL/BD	0V	0V	V_{ers}

[0106] 1/2 비트 동작의 경우, 제 2 워드 라인들(WLe)과 결합된 메모리셀들(MC)에 데이터를 저장할 수 있다. 이 경우, 비트 라인(BL), 제 2 워드 라인들(WLe), 제 2 스트링 선택 라인들(SSLe), 제 2 접지 선택 라인(GSLe) 및 공통 소오스 라인(CSL)에 대한 동작은 표 1과 동일하다. 다만, 2/2 비트 동작 시, 제 1 워드 라인들(WLo), 제 1 스트링 선택 라인들(SSLo), 제 1 접지 선택 라인(GSLo)에는 턴-오프 전압(V_{off})이 인가될 수 있다.

[0107] 이러한 동작 방법을 이용하면, 단위셀당 적어도 2 비트의 데이터를 처리할 수 있다. 따라서 이 실시예에 따른 비휘발성 메모리 소자는 멀티-비트 동작을 지원할 수 있다.

[0108] 도 20은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 1의 비휘발성 메모리 소자를 참조할 수 있고, 따라서 중복된 설명은 생략될 수 있다.

- [0109] 도 20을 참조하면, 복수의 낸드 블록들(NB1, NB2)이 서로 적층될 수 있다. 낸드 블록들(NB1, NB2)의 수는 비휘발성 메모리 소자의 용량에 따라서 적절하게 선택될 수 있고, 이 실시예의 범위를 제한하지 않는다. 낸드 블록들(NB1, NB2) 내의 적층 낸드 셀어레이(250) 및 신호 라인들(230)은 도 1의 설명을 참조할 수 있다. 다만, 최하층 낸드 블록(NB1)의 비트 라인(BL) 및 공통 소오스 라인(CSL)은 낸드 블록들(NB1, NB2) 내의 낸드 스트링들(NL1, NL2 ... NLi-1, NLi)에 공통으로 연결될 수 있다.
- [0110] 도 21은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 사시도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 19의 비휘발성 메모리 소자에 대응할 수 있다.
- [0111] 도 21을 참조하면, 기판(110) 상에 낸드 블록들(NB1, NB2)이 적층될 수 있다. 낸드 블록들(NB1, NB2)의 구조는 도 10 내지 도 13의 설명을 참조할 수 있다. 낸드 블록들(NB1, NB2)의 제 1 콘택 플러그들(155)은 서로 수직으로 연결될 수 있다. 또한, 낸드 블록들(NB1, NB2)의 제 2 콘택 플러그들(160)은 서로 수직으로 연결될 수 있다.
- [0112] 하지만, 낸드 블록들(NB1, NB2) 사이에서 스트링 선택 게이트 전극들(125), 제어 게이트 전극들(130) 및 접지 선택 게이트 전극들(135)은 서로 절연층(115)에 의해서 분리될 수 있다. 따라서 낸드 블록들(NB1, NB2)을 분리하여 형성함으로써, 스트링 선택 게이트 전극들(125), 제어 게이트 전극들(130) 및 접지 선택 게이트 전극들(135)을 형성하기 위한 공정에서 애스펙트 비를 낮춤으로써 제조 신뢰성을 향상시킬 수 있다.
- [0113] 도 22는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 20의 비휘발성 메모리 소자의 변형된 예에 해당할 수 있고, 따라서 중복된 설명은 생략된다.
- [0114] 도 22를 참조하면, 낸드 블록들(NB1, NB2) 사이에서 공통 소오스 라인들(CSL)이 분리되어 제공될 수 있다.
- [0115] 도 23 내지 도 26은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 보여주는 단면도들이다.
- [0116] 도 23을 참조하면, 기판(110) 상에 절연층(115)을 형성하고, 절연층(115) 상에 비트 라인(120a)을 형성할 수 있다. 비트 라인(120a) 상에 층간 절연층(122)을 형성하고, 그 위에 스트링 선택 라인들(125), 워드 라인들(130), 접지 선택 라인(135) 및 공통 소오스 라인(140)을 형성할 수 있다. 이어서, 스트링 선택 라인들(125), 워드 라인들(130), 접지 선택 라인(135) 및 공통 소오스 라인(140)을 덮도록 층간 절연층(122)을 형성할 수 있다. 층간 절연층(122)은 하나의 층으로 도시되었지만, 복수의 절연층들의 적층 구조를 포함할 수 있다.
- [0117] 도 24를 참조하면, 층간 절연층(122)을 개재하여 복수의 제 1 반도체층들(150a)을 적층할 수 있다. 제 1 반도체층들(150a)은 단결정의 에피택셜층이거나 또는 다결정층일 수 있다.
- [0118] 도 25를 참조하면, 제 1 반도체층들(150a) 내에 불순물들을 도핑하여 드레인 영역들(152) 및 소오스 영역들(154)을 형성할 수 있다. 드레인 영역들(152) 내에 제 1 반도체층들(150a)을 관통하여 비트 라인(120a) 및 공통 소오스 라인(140)을 노출하도록 제 1 콘택 홀(153) 및 제 2 콘택 홀(156)을 형성할 수 있다. 또한, 제 1 반도체층들(150a)의 측벽을 노출하도록 층간 절연층(154)을 관통하고 제 1 반도체층들(150a)을 가로질러 신장하는 제 3 콘택 홀들(157)을 형성할 수 있다. 제 3 콘택 홀들(157)은 스트링 선택 라인들(125), 워드 라인들(130) 및 접지 선택 라인(135)을 각각 노출할 수 있다.
- [0119] 도 26을 참조하면, 제 1 콘택 홀(153)을 매립하도록 제 1 콘택 플러그(155)를 형성하고, 제 2 콘택 홀(156)을 매립하도록 제 2 콘택 플러그(160)를 형성할 수 있다. 또한, 스트링 선택 라인들(125) 위의 제 3 콘택 홀들(157) 내에 스트링 선택 게이트 절연층들(165) 및 스트링 선택 게이트 전극들(170)을 형성하고, 접지 선택 라인(140) 위의 제 3 콘택 홀들(157) 내에 접지 선택 게이트 절연층(175) 및 접지 선택 게이트 전극(180)을 형성하고, 워드 라인들(130) 위의 제 3 콘택 홀들(157) 내에 스토리지 매체들(185) 및 제어 게이트 전극들(190)을 형성할 수 있다.
- [0120] 도 27은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 사시도이다. 이 실시예에 따른 비휘발성 메모리 소자는 도 1의 비휘발성 메모리 소자를 참조할 수 있고, 따라서 중복된 설명은 생략될 수 있다.
- [0121] 도 27을 참조하면, 코어 회로 유닛(270)이 기판(210) 상에 제공될 수 있다. 코어 회로 유닛(270)은 적층 낸드 셀어레이(250) 아래에 신호 라인들(230)과 동일한 레벨 또는 유사한 레벨에 제공될 수 있다. 코어 회로 유닛(270)과 신호 라인들(230)은 적층 낸드 셀어레이(250) 아래에서만 서로 연결될 수 있다. 이 실시예에서, 코어 회로 유닛(270)과 바닥 신호 라인(230)은 적층 낸드 셀어레이(250) 아래에 유사한 레벨에 배치되기 때문에 그 연결이 간단해진다.

- [0122] 하지만, 이 실시예의 변형된 예에서, 신호 라인들(230)의 적어도 일부가 적층 낸드 셀어레이(250)의 위에 배치될 수도 있다. 이 경우, 신호 라인들(230)의 일부는 적층 낸드 셀어레이(250)를 가로질러 코어 회로 유닛(270)과 연결될 수 있다.
- [0123] 도 28은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자(200)를 보여주는 개략적인 블록도이다. 예를 들어, 이 실시예에 따른 비휘발성 메모리 소자(200)는 도 27의 비휘발성 메모리 소자의 일 예로써 제공될 수 있다.
- [0124] 도 28을 참조하면, 코어 회로 유닛(270)은 제어 로직(271), 로우 디코더(272), 칼럼 디코더(273), 감지 증폭기(274) 및/또는 페이지 버퍼(275)를 포함할 수 있다. 제어 로직(271)은 로우 디코더(272), 칼럼 디코더(273) 및/또는 페이지 버퍼(275)와 통신할 수 있다. 로우 디코더(272)는 스트링 선택 라인들(SSL), 워드 라인들(WL) 및/또는 접지 선택 라인들(GSL)을 통해서 적층 구조의 낸드 셀어레이(250)와 통신할 수 있다. 칼럼 디코더(273)는 비트 라인들(BL)을 통해서 낸드 셀어레이(250)와 통신할 수 있다. 감지 증폭기(274)는 낸드 셀어레이(250)로부터 신호가 출력될 때 칼럼 디코더(273)와 연결되고, 낸드 셀어레이(250)로 신호가 전달될 때는 칼럼 디코더(273)와 연결되지 않을 수 있다.
- [0125] 예를 들어, 제어 로직(271)은 로우 어드레스 신호를 로우 디코더(272)에 전달하고, 로우 디코더(272)는 이러한 신호들을 디코딩하여 스트링 선택 라인들(SSL), 워드 라인들(WL) 및 접지 선택 라인들(GSL)을 통해서 낸드 셀어레이(250)에 로우 어드레스 신호를 전달할 수 있다. 제어 로직(271)은 칼럼 어드레스 신호를 칼럼 디코더(273) 또는 페이지 버퍼(275)에 전달하고, 칼럼 디코더(273)는 이 신호를 디코딩하여 비트 라인들(BL)을 통해서 낸드 셀어레이(250)에 칼럼 어드레스 신호를 전달할 수 있다. 적층 낸드 셀어레이(250)의 신호는 칼럼 디코더들(273)을 통해서 감지 증폭기(274)에 전달되고, 여기에서 증폭되어 페이지 버퍼(275)를 거쳐서 제어 로직(271)에 전달될 수 있다.
- [0126] 도 29는 본 발명의 일 실시예에 따른 메모리 카드(400)를 보여주는 개략도이다.
- [0127] 도 29를 참조하면, 메모리 카드(400)는 하우징(430) 내에 제어기(410)와 메모리(420)를 포함할 수 있다. 제어기(410)와 메모리(420)는 전기적인 신호를 교환할 수 있다. 예를 들어, 제어기(410)의 명령에 따라서, 메모리(420)와 제어기(410)는 데이터를 주고받을 수 있다. 이에 따라, 메모리 카드(400)는 메모리(420)에 데이터를 저장하거나 또는 메모리(420)로부터 데이터를 외부로 출력할 수 있다.
- [0128] 예를 들어, 메모리(420)는 전술한 실시예들에 따른 비휘발성 메모리 소자들 중 적어도 하나를 포함할 수 있다. 이러한 메모리 카드(400)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들어, 메모리 카드(400)는 멀티미디어 카드(multi media card; MMC) 또는 보안 디지털(secure digital card; SD) 카드를 포함할 수 있다.
- [0129] 도 30은 본 발명의 일 실시예에 따른 전자 시스템(500)을 보여주는 블록도이다.
- [0130] 도 30을 참조하면, 전자 시스템(500)은 프로세서(510), 입/출력 장치(530) 및 메모리 칩(520)을 포함할 수 있고, 이들은 버스(bus, 540)를 이용하여 서로 데이터 통신을 할 수 있다. 프로세서(510)는 프로그램을 실행하고, 시스템(500)을 제어하는 역할을 할 수 있다. 입/출력 장치(530)는 시스템(500)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 시스템(500)은 입/출력 장치(530)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다.
- [0131] 메모리(520)는 프로세서(510)의 동작을 위한 코드 및 데이터를 저장할 수 있다. 예를 들어, 메모리(420)는 전술한 실시예들에 따른 비휘발성 메모리 소자들 중 적어도 하나를 포함할 수 있다.
- [0132] 예를 들어, 이러한 전자 시스템(500)은 메모리(520)를 필요로 하는 다양한 전자 제어 장치를 구성할 수 있고, 예컨대 모바일 폰(mobile phone), MP3 플레이어, 네비게이션(navigation), 고상 디스크(solid state disk; SSD) 또는 가전 제품(household appliances)에 이용될 수 있다.
- [0133] 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 따라서 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

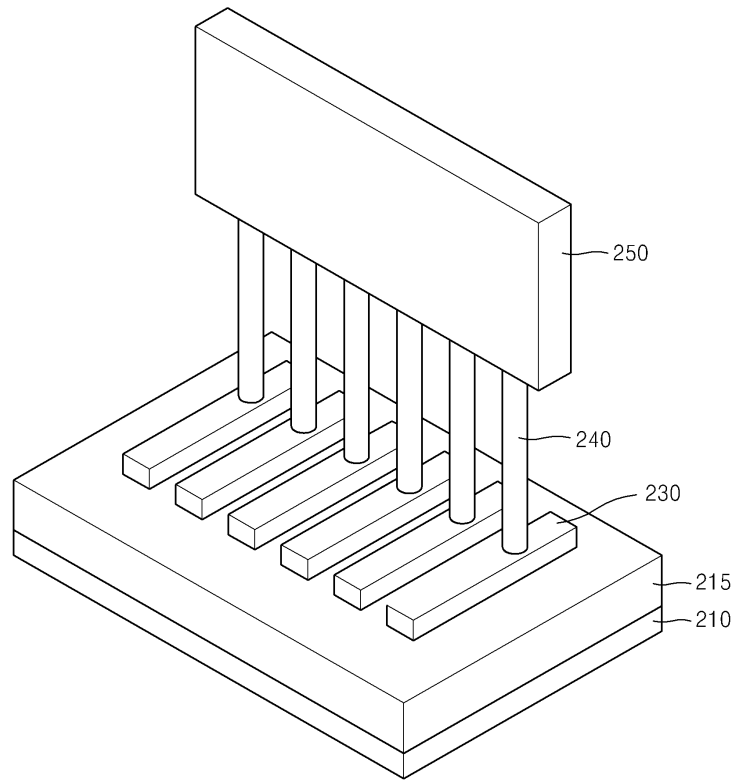
도면의 간단한 설명

- [0134] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 사시도이고;

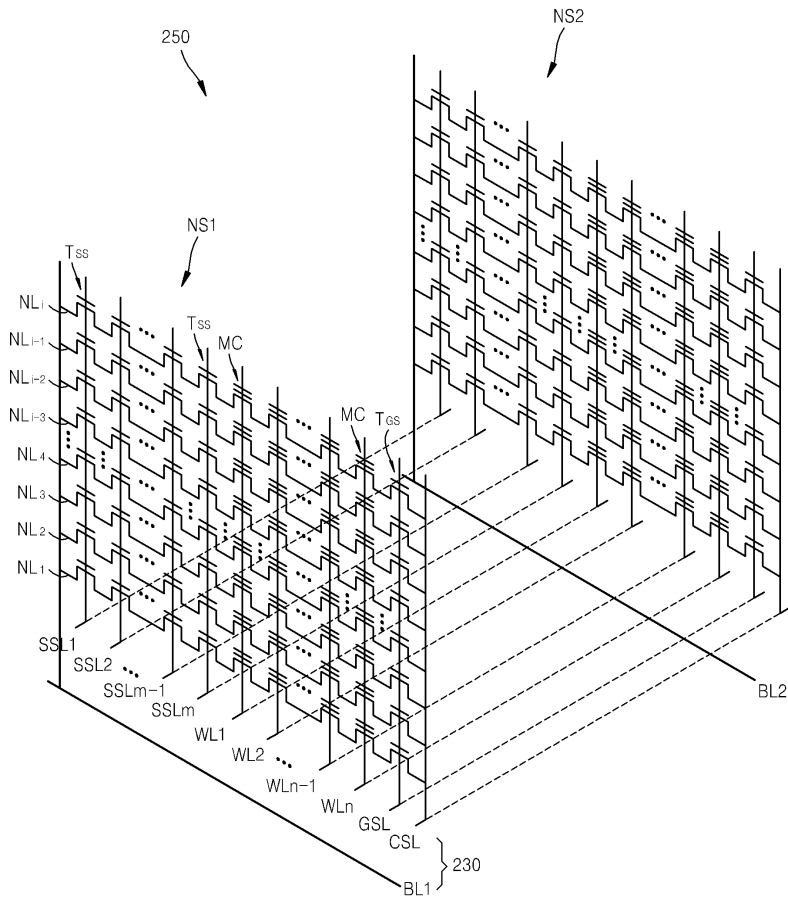
- [0135] 도 2는 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이고;
- [0136] 도 3은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이고;
- [0137] 도 4는 도 3의 비휘발성 메모리 소자의 낸드 스트링들의 선택 방법을 보여주는 회로도이고;
- [0138] 도 5는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 회로도이고;
- [0139] 도 6 및 도 7은 도 5의 비휘발성 메모리 소자의 낸드 스트링들의 선택 방법을 보여주는 회로도들이고;
- [0140] 도 8 및 도 9는 도 2의 비휘발성 메모리 소자의 동작 방법을 보여주는 회로도들이고;
- [0141] 도 10은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 보여주는 사시도이고;
- [0142] 도 11은 도 10의 비휘발성 메모리 소자의 평면도이고;
- [0143] 도 12는 도 11의 비휘발성 메모리 소자의 XII-XII'선에서 절취한 단면도이고;
- [0144] 도 13은 도 11의 비휘발성 메모리 소자의 XIII-XIII'선에서 절취한 단면도이고;
- [0145] 도 14는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이고;
- [0146] 도 15는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 개략적인 평면도이고;
- [0147] 도 16은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 개략적인 평면도이고;
- [0148] 도 17은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이고;
- [0149] 도 18은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 개략적인 사시도이고;
- [0150] 도 19는 도 18의 비휘발성 메모리 소자의 개략적인 평면도이고;
- [0151] 도 20은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이고;
- [0152] 도 21은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 사시도이고;
- [0153] 도 22는 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자의 회로도이고;
- [0154] 도 23 내지 도 26은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 보여주는 단면도들이고;
- [0155] 도 27은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 사시도이고;
- [0156] 도 28은 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 보여주는 개략적인 블록도이고;
- [0157] 도 29는 본 발명의 일 실시예에 따른 메모리 카드를 보여주는 개략도이고; 그리고
- [0158] 도 30은 본 발명의 일 실시예에 따른 전자 시스템을 보여주는 블록이다.

도면

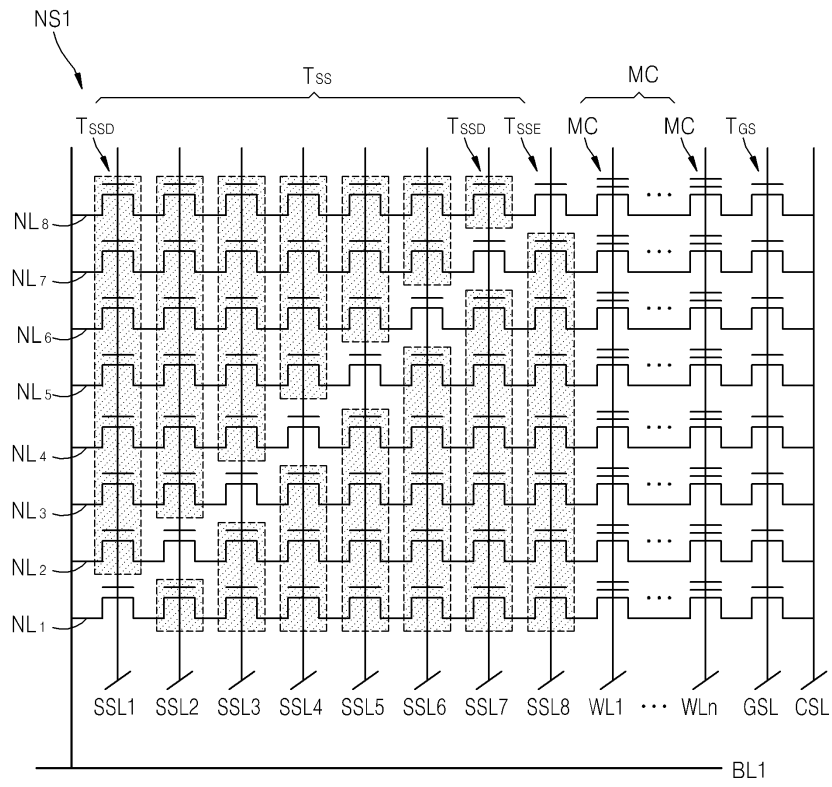
도면1



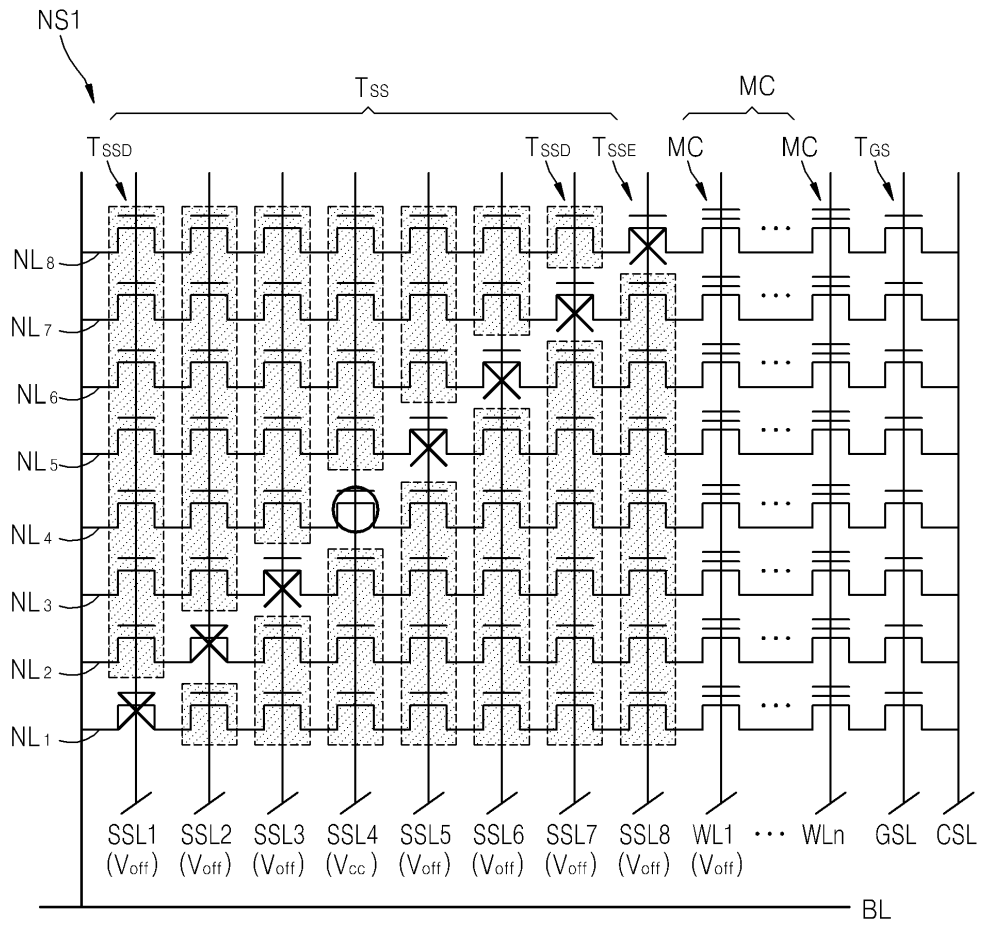
도면2



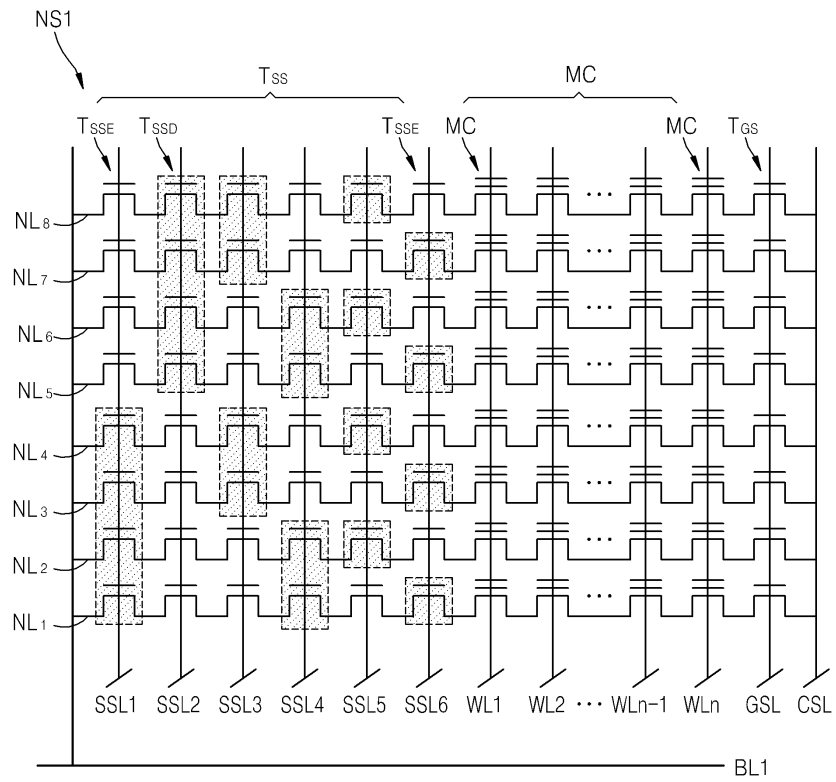
도면3



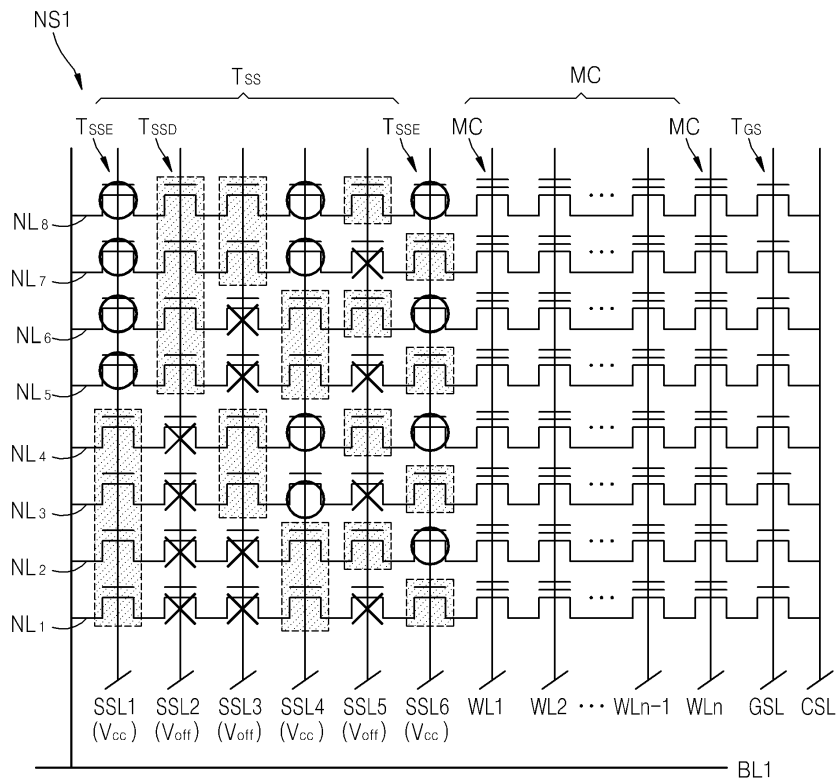
도면4



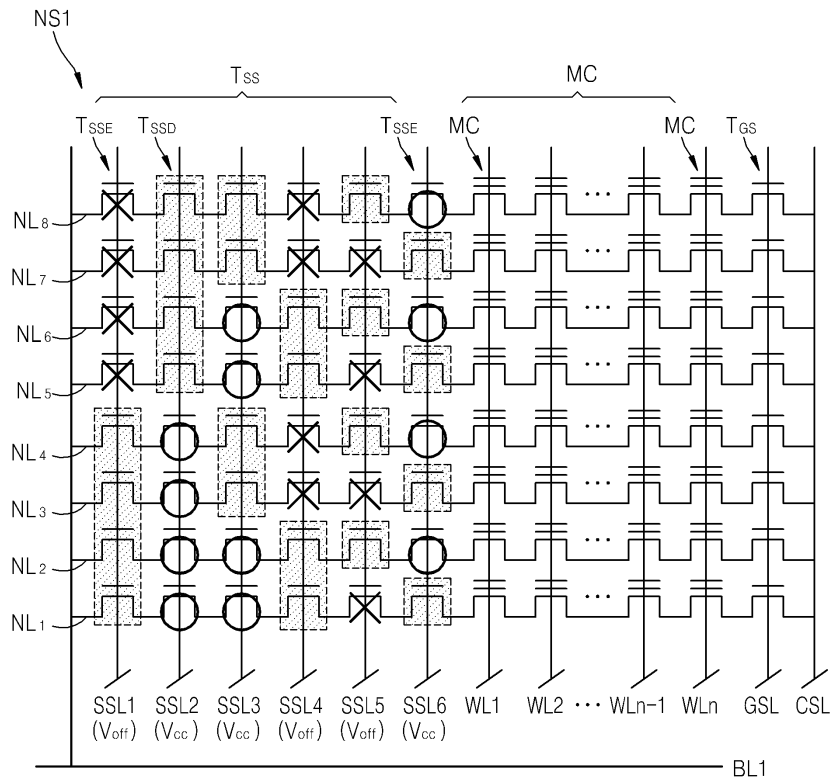
도면5



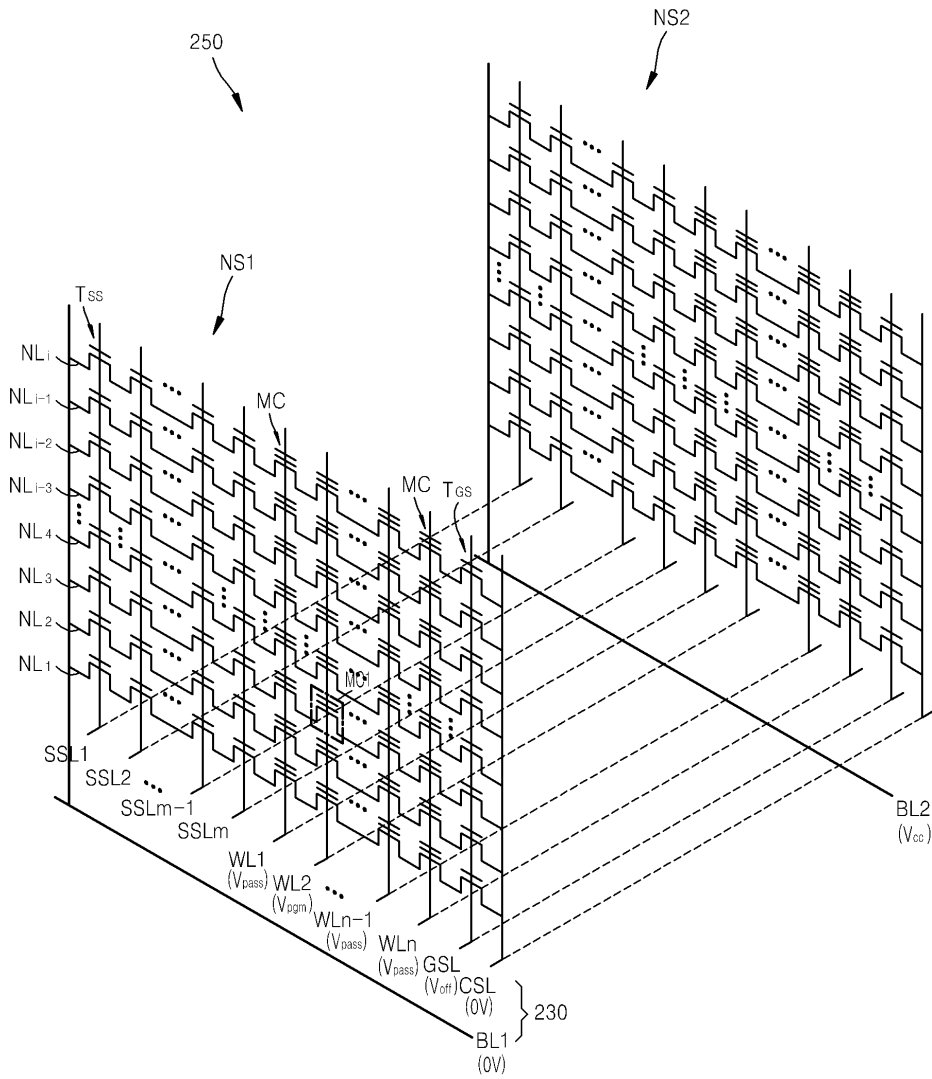
도면6



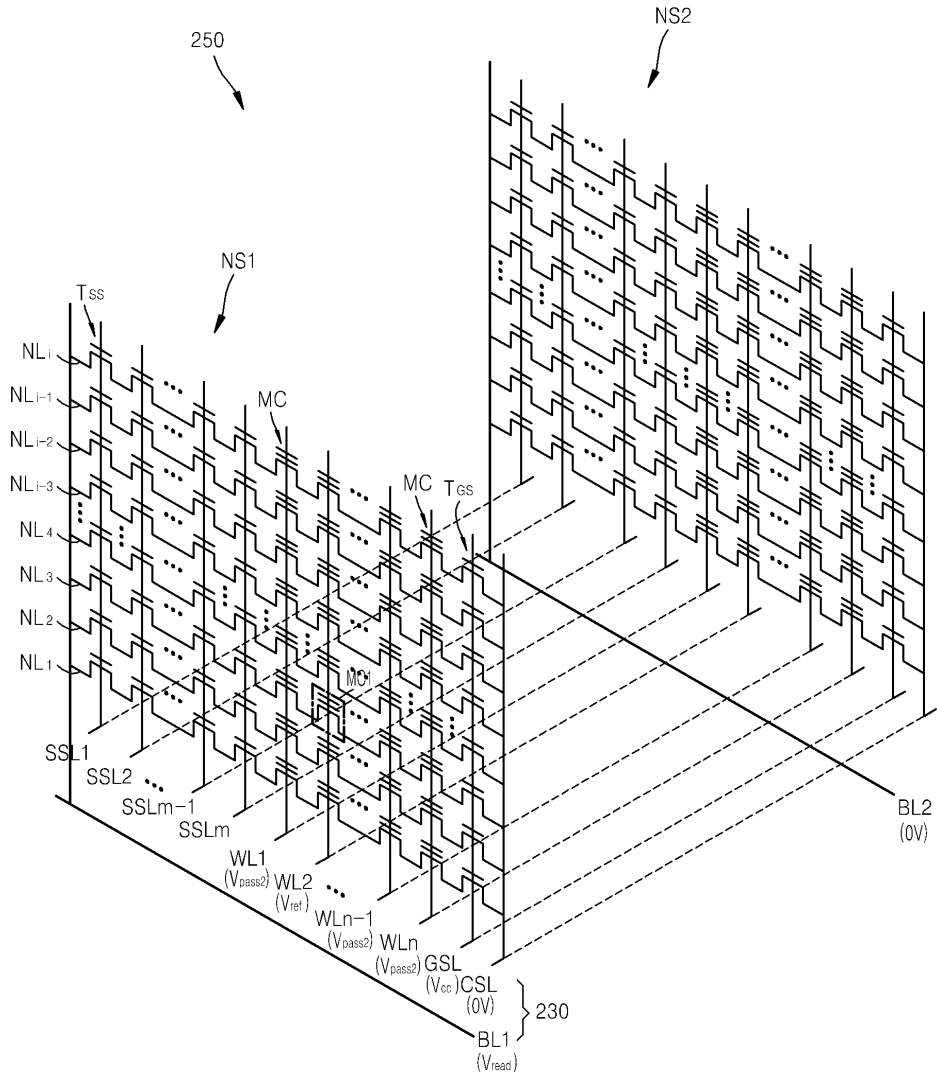
도면7



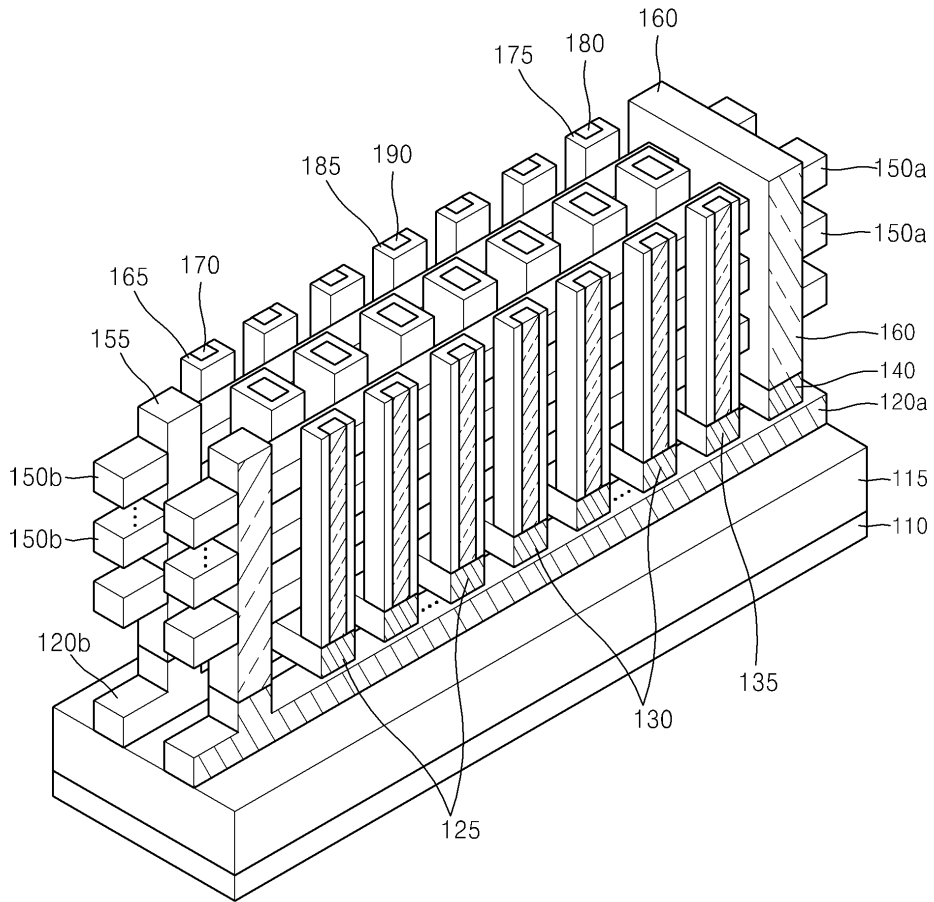
도면8



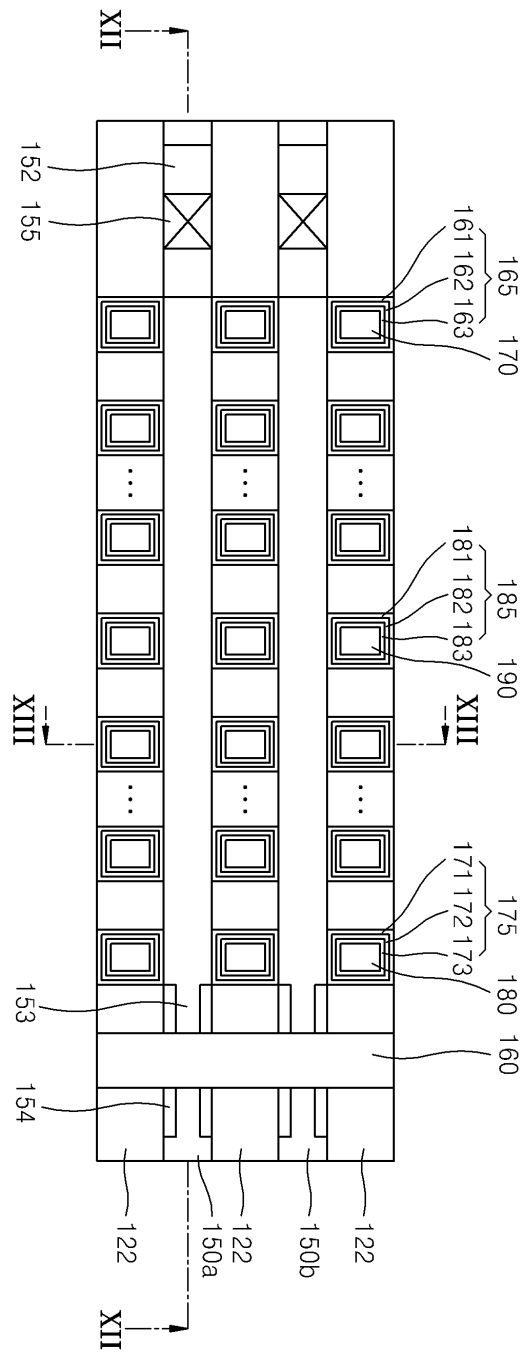
도면9



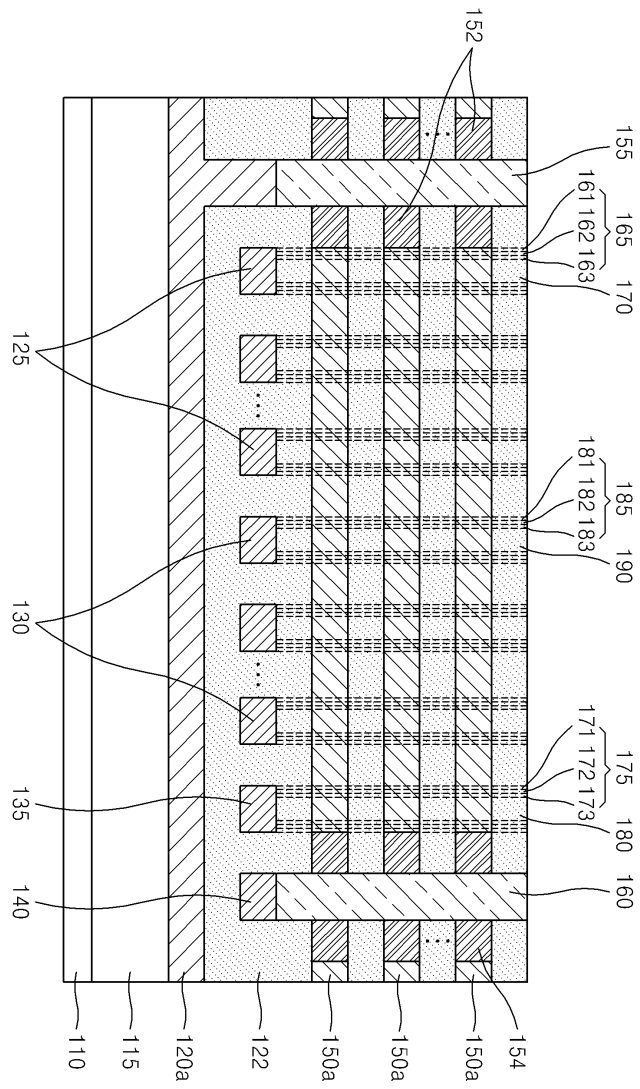
도면10



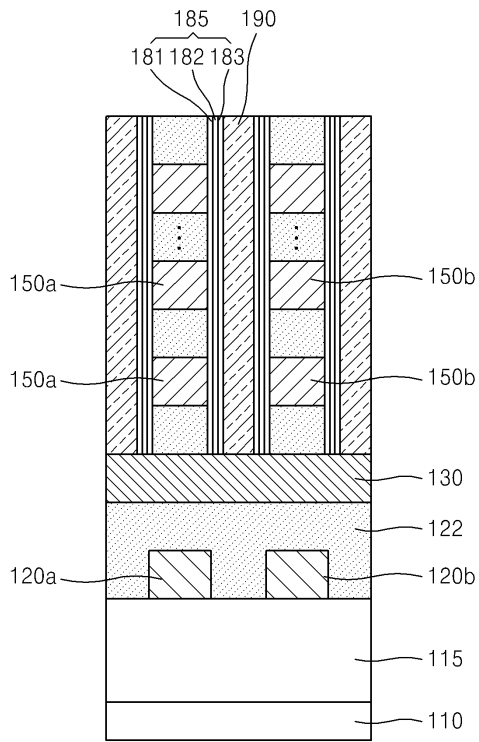
도면11



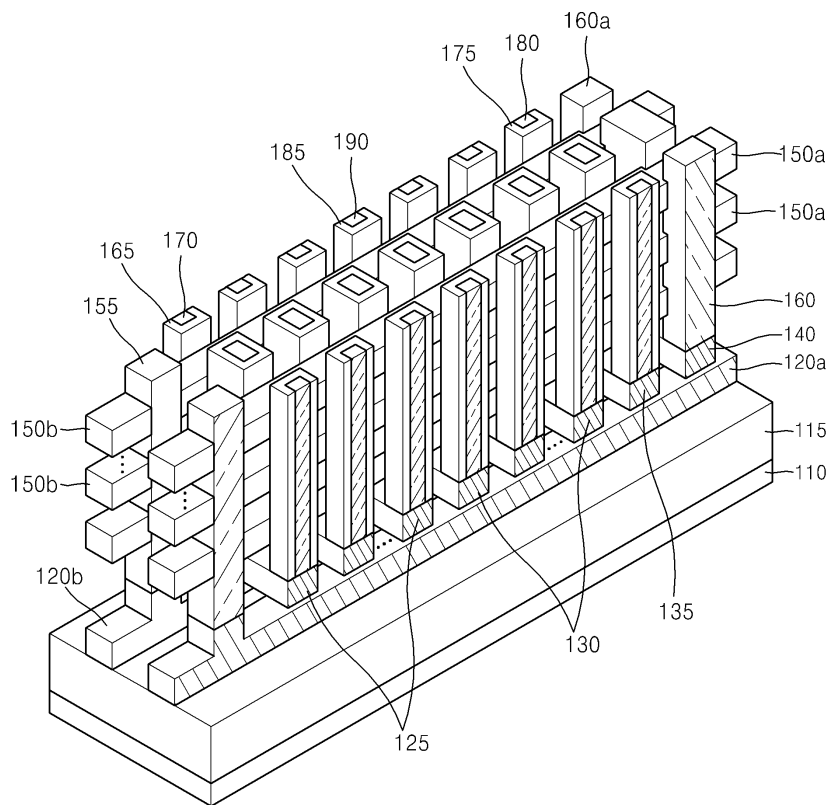
도면12



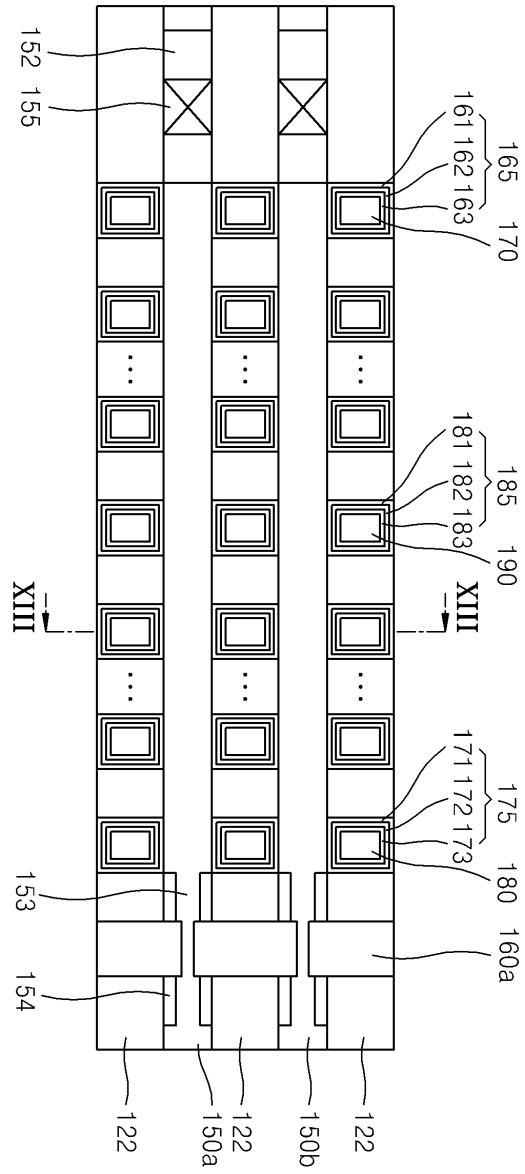
도면13



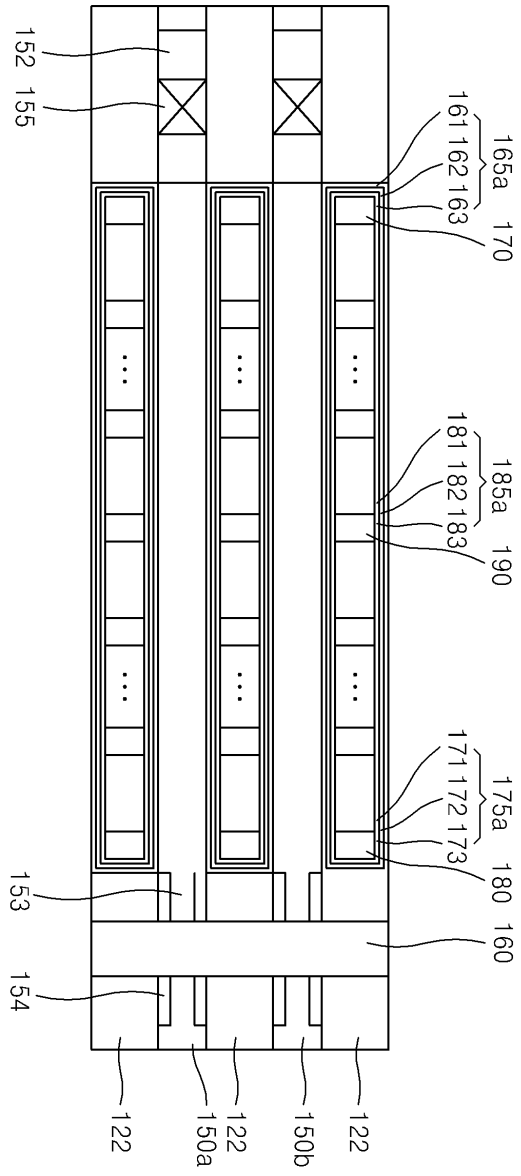
도면14



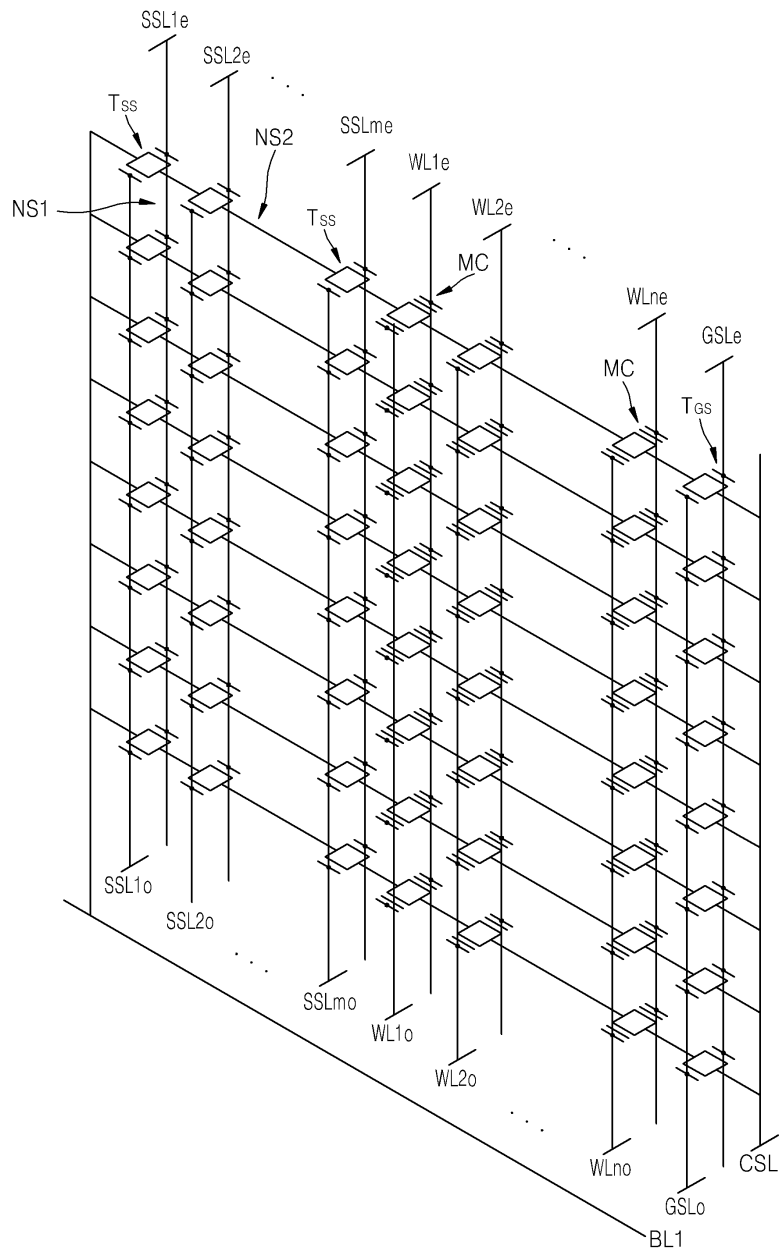
도면15



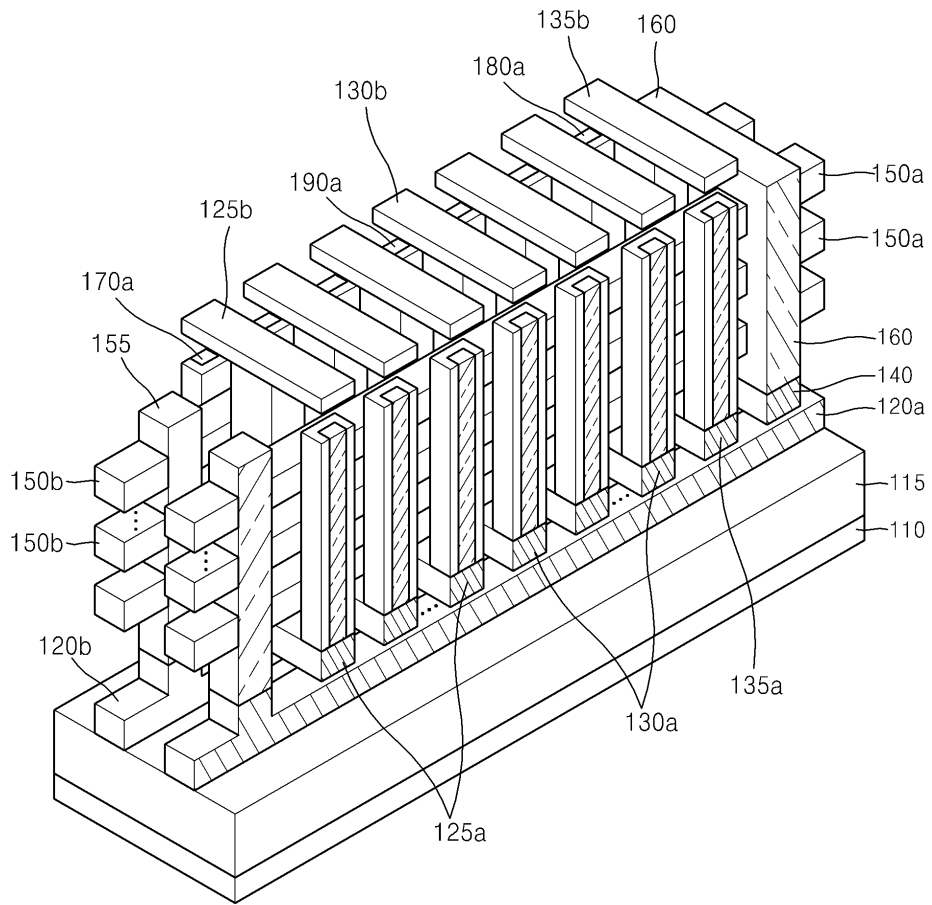
도면16



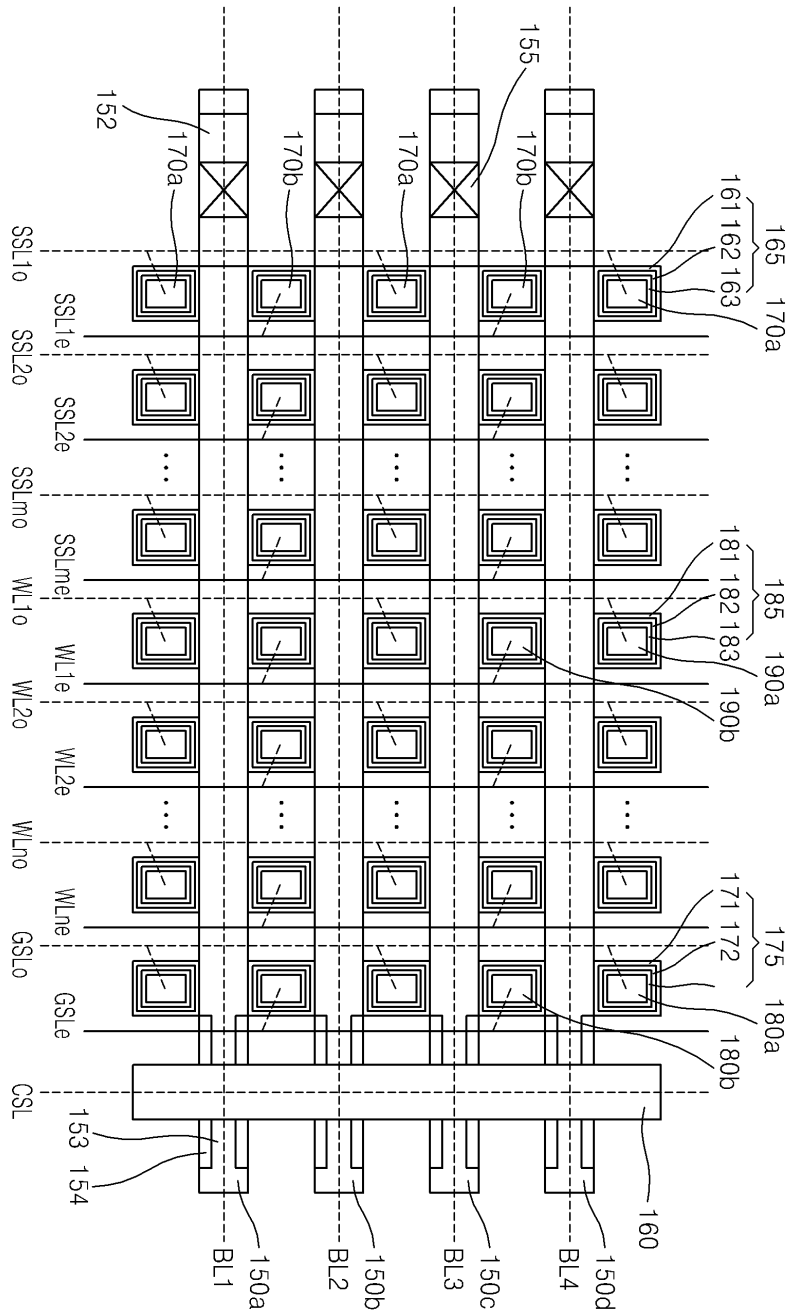
도면17



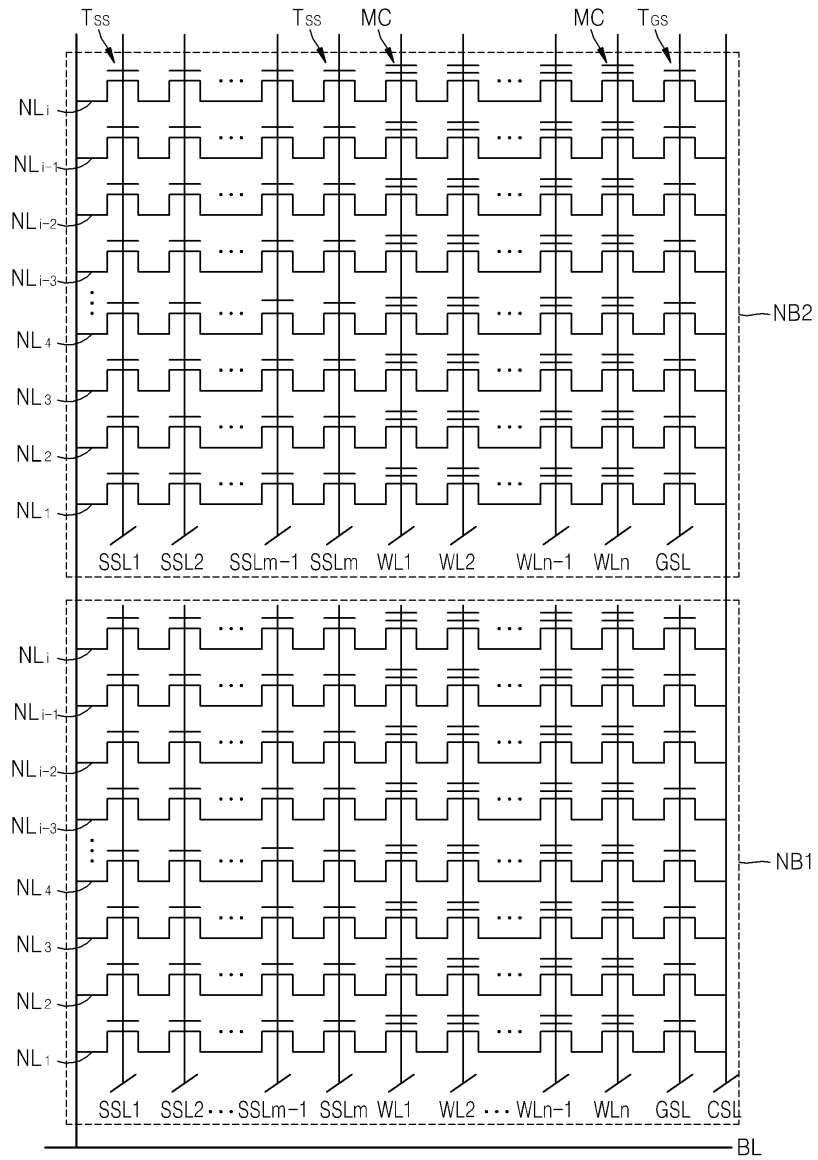
도면18



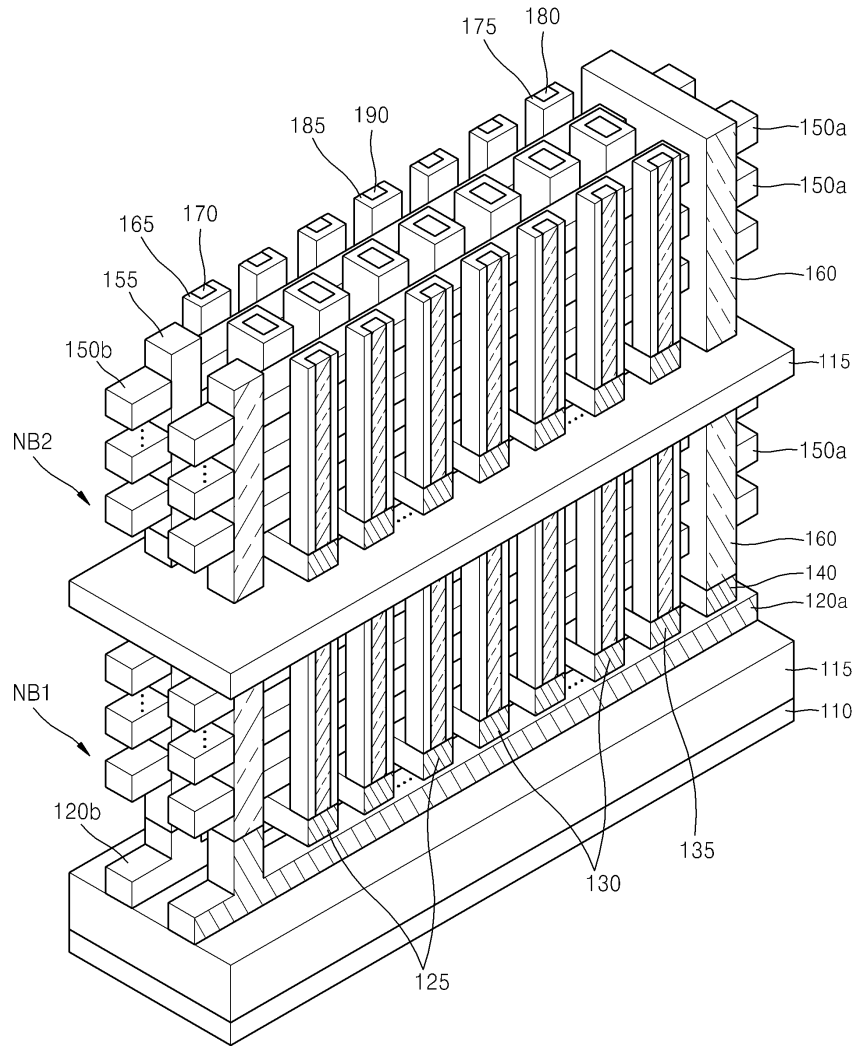
도면19



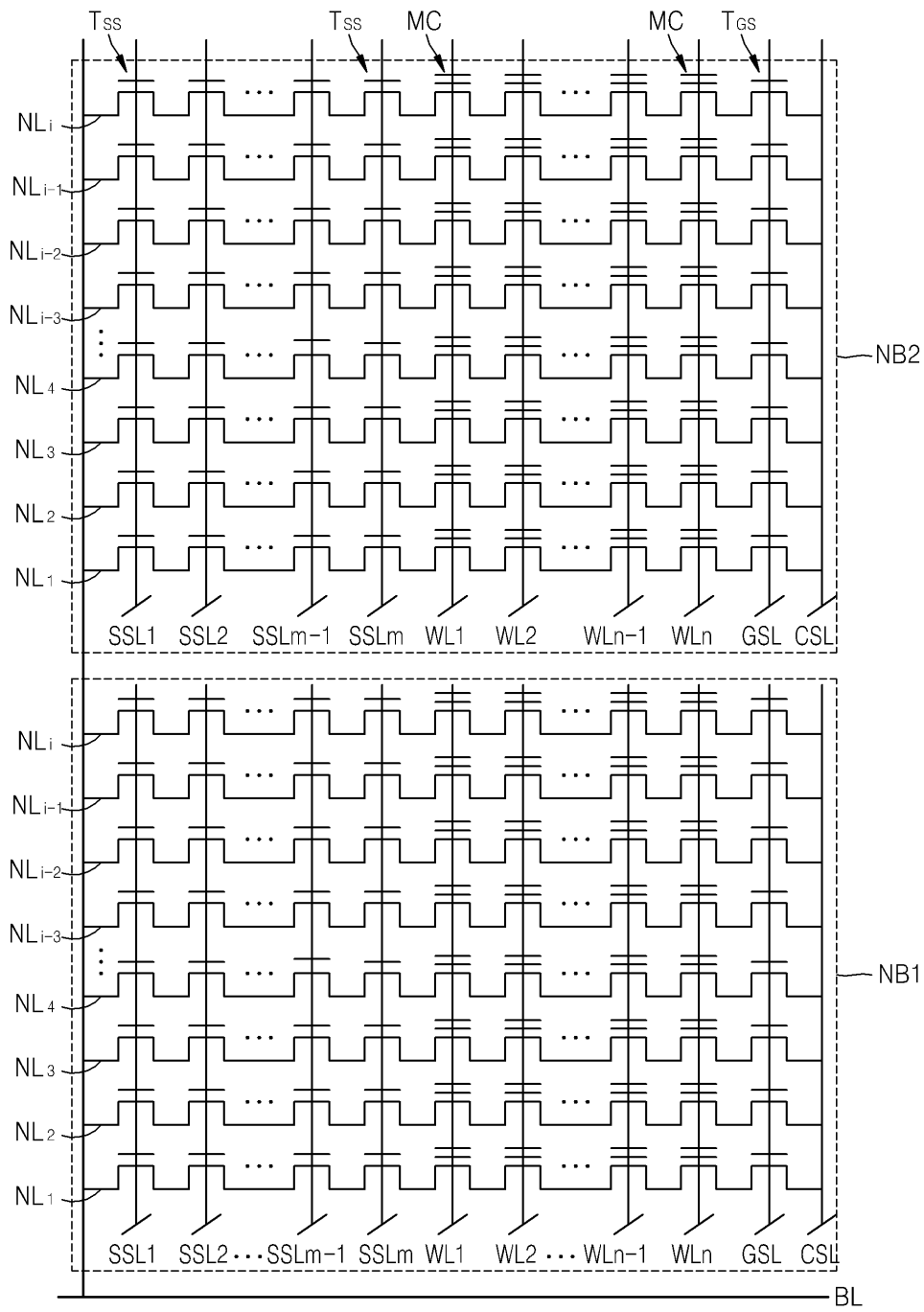
도면20



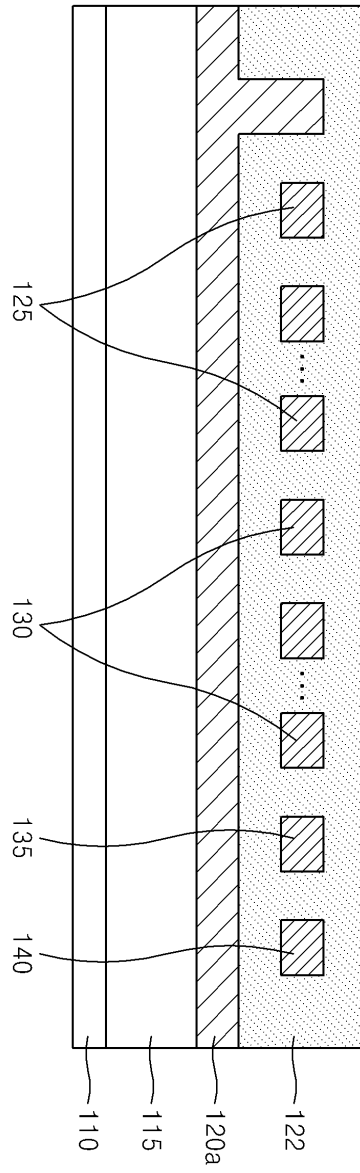
도면21



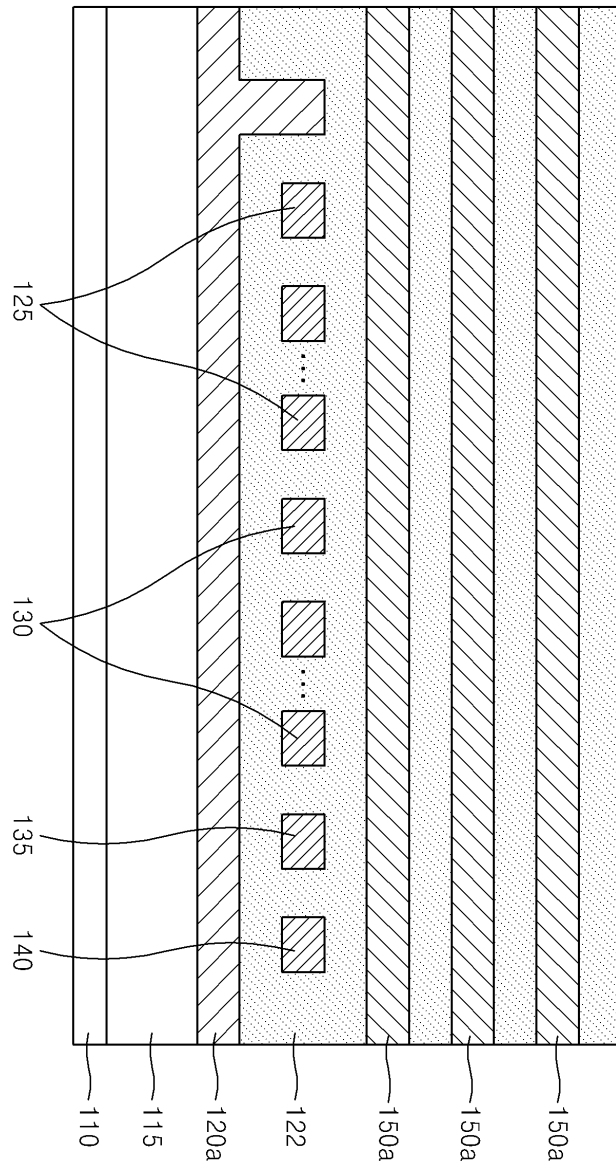
도면22



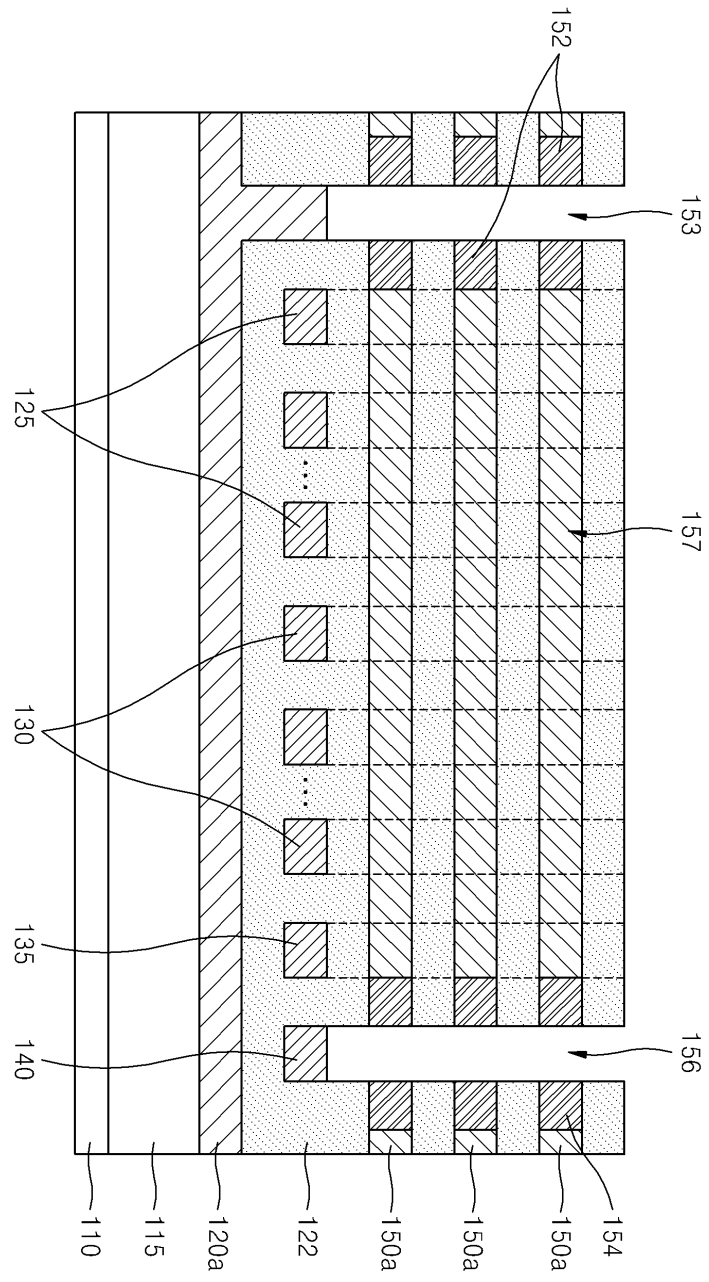
도면23



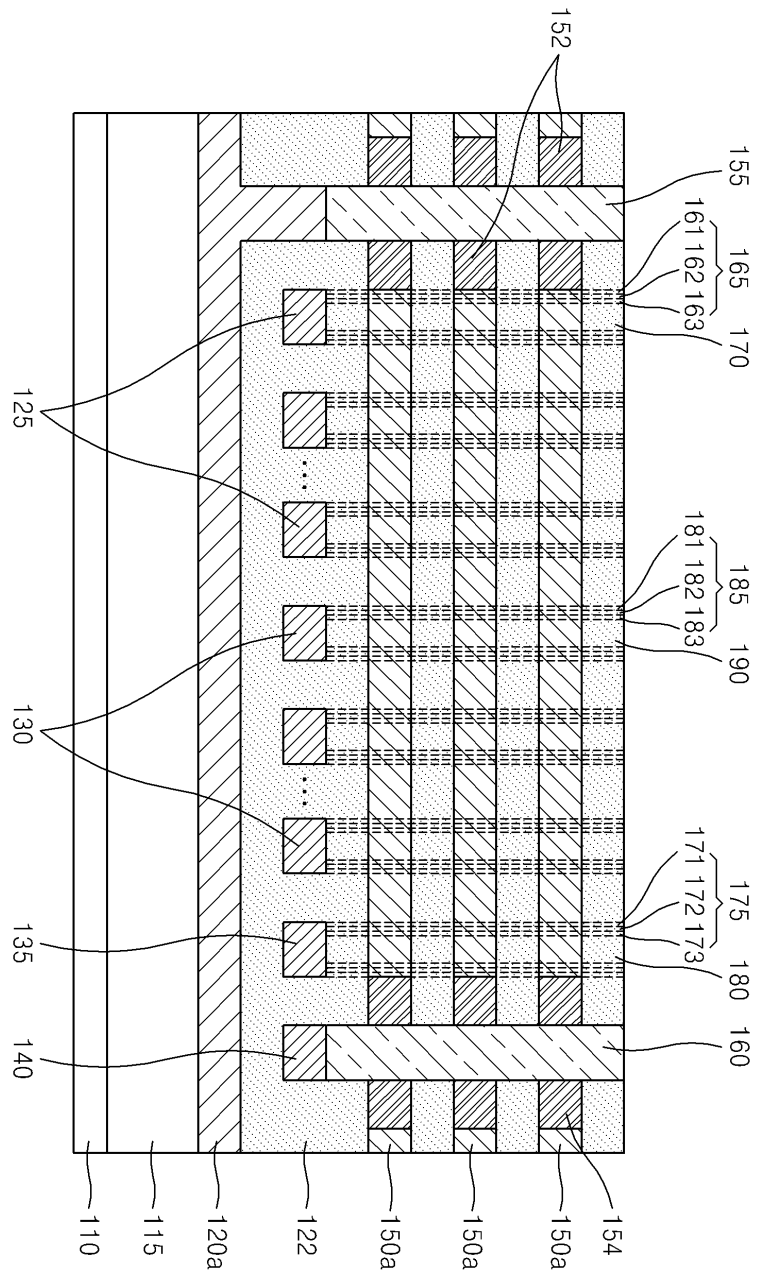
도면24



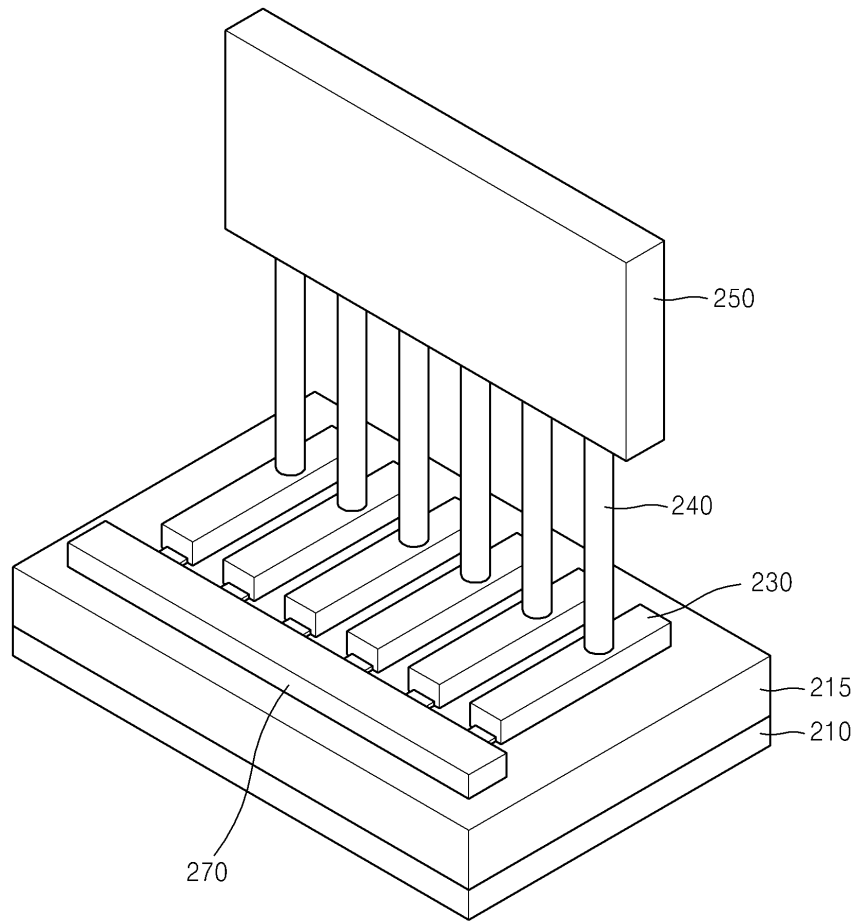
도면25



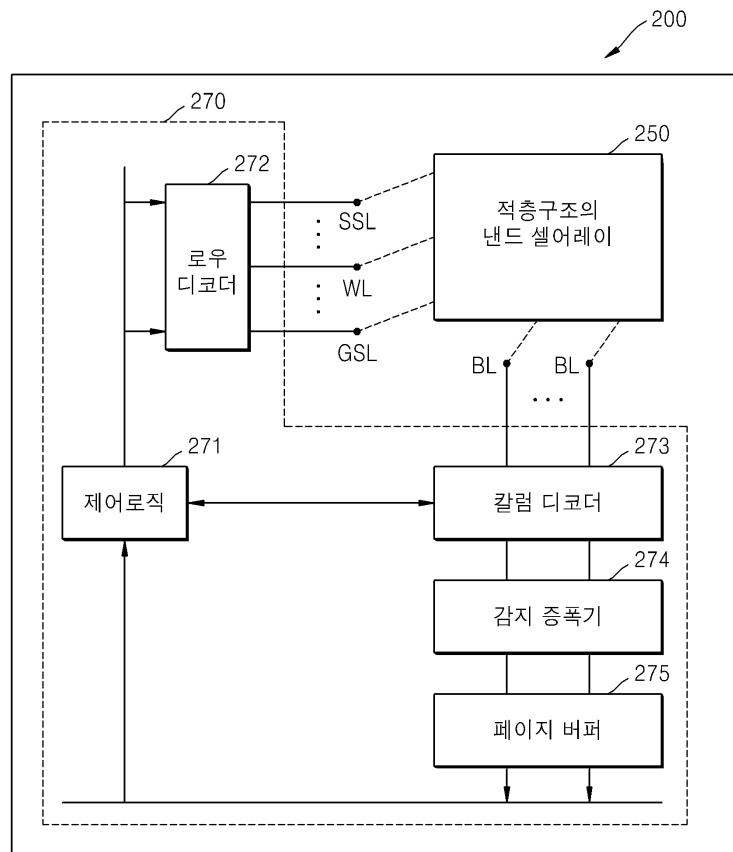
도면26



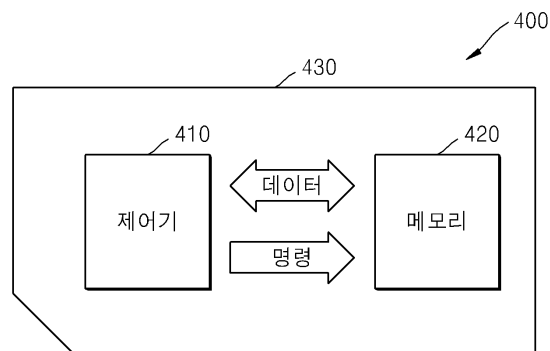
도면27



도면28



도면29



도면30

