

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2015년 10월 15일 (15.10.2015)



(10) 국제공개번호
WO 2015/156504 A1

- (51) 국제특허분류:
H01L 33/12 (2010.01)
- (21) 국제출원번호: PCT/KR2015/002056
- (22) 국제출원일: 2015년 3월 3일 (03.03.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2014-0041244 2014년 4월 7일 (07.04.2014) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 100-714 서울시 중구 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (72) 발명자: 이호준 (LEE, Ho Jun); 100-714 서울시 중구 한강대로 416 번지 서울스퀘어, Seoul (KR).
- (74) 대리인: 김기문 (KIM, Ki Moon); 135-936 서울특별시 강남구 역삼로 114, 6 층 (역삼동, 현죽빌딩), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

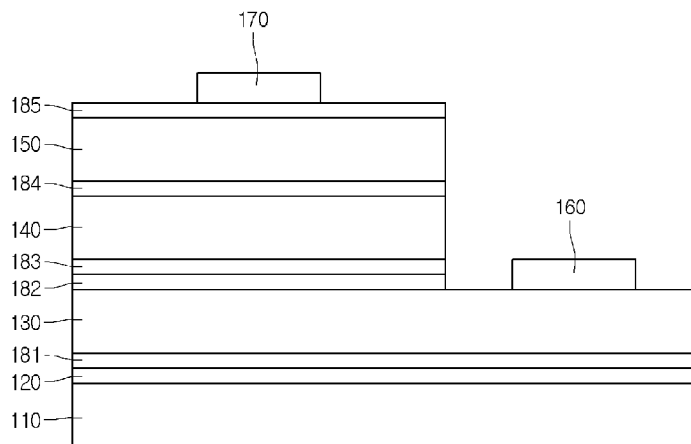
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: LIGHT EMITTING DEVICE AND LIGHTING SYSTEM HAVING SAME

(54) 발명의 명칭 : 발광소자 및 이를 구비하는 조명 시스템



(57) Abstract: A light emitting device according to an embodiment comprises: a substrate; a first buffer layer disposed on the substrate; a second buffer layer disposed on the first buffer layer and containing Al; a first conductive type semiconductor layer disposed on the second buffer layer; an active layer disposed on the first conductive type semiconductor layer; and a second conductive type semiconductor layer disposed on the active layer, wherein the second buffer layer comprises a first layer and a second layer which are horizontally disposed, the first layer having an increased Al composition ratio as the first layer becomes closer to the first conductive type semiconductor layer, and the second layer having a decreased Al composition ratio as the second layer becomes closer to the first conductive type semiconductor layer. The embodiment configures the buffer layer by horizontally disposing the first layer of which the Al composition ratio linearly increases and the second layer of which the Al composition ratio linearly decreases, thereby having an effect of being capable of effectively controlling strain due to the lattice mismatch and the thermal expansion coefficient difference between the substrate and the first conductive type semiconductor layer.

(57) 요약서:

[다음 쪽 계속]



WO 2015/156504 A1



실시예에 따른 발광소자는 기판과, 상기 기판 상에 배치된 제 1 버퍼층과, 상기 제 1 버퍼층 상에 배치되며 AI를 포함하는 제 2 버퍼층과, 상기 제 2 버퍼층 상에 배치된 제 1 도전형 반도체층과, 상기 제 1 도전형 반도체층 상에 배치된 활성층과, 상기 활성층 상에 배치된 제 2 도전형 반도체층을 포함하고, 상기 제 2 버퍼층은 수평으로 배치된 제 1 층과 제 2 층을 포함하며, 제 1 층은 제 1 도전형 반도체층에 인접할수록 AI 조성비가 증가하고, 제 2 층은 제 1 도전형 반도체층에 인접할수록 AI 조성비가 감소하는 것을 특징으로 한다. 실시예는 버퍼층을 AI 조성비가 선형적으로 증가하는 제 1 층과 AI 조성비가 선형적으로 감소하는 제 2 층을 수평으로 배치함으로써, 기판과 제 1 도전형 반도체층 사이의 격자 불일치 및 열팽창 계수 차이에 의한 스트레인을 효과적으로 제어할 수 있는 효과가 있다.

명세서

발명의 명칭: 발광소자 및 이를 구비하는 조명 시스템

기술분야

- [1] 실시예는 광 효율을 향상시키기 위한 발광소자에 관한 것이다.

배경기술

- [2] 일반적으로, 발광소자(Light Emitting Device)는 전기에너지가 빛 에너지로 변환되는 특성의 화합물 반도체로서, 주기율표상에서 III족과 V족 등의 화합물 반도체로 생성될 수 있고 화합물 반도체의 조성비를 조절함으로써 다양한 색상구현이 가능하다.
- [3] 발광소자는 순방향전압 인가 시 n층의 전자와 p층의 정공(hole)이 결합하여 전도대(Conduction band)와 가전대(Valance band)의 밴드갭 에너지에 해당하는 만큼의 에너지를 발산하는데, 이 에너지는 주로 열이나 빛의 형태로 방출되며, 빛의 형태로 발산되면 발광소자가 되는 것이다. 예를 들어, 질화물 반도체는 높은 열적 안정성과 폭넓은 밴드갭 에너지에 의해 광소자 및 고출력 전자소자 개발 분야에서 큰 관심을 받고 있다. 특히, 질화물 반도체를 이용한 청색(Blue) 발광소자, 녹색(Green) 발광소자, 자외선(UV) 발광소자 등은 상용화되어 널리 사용되고 있다.
- [4] 종래 질화물 반도체는 실리콘(Si) 기판 상에 GaN 재질의 제1 도전형 반도체층과, 활성층과 제2 도전형 반도체층이 순차적으로 적층되어 형성되며, 기판과 제1 도전형 반도체층 사이에는 기판과 GaN층 사이의 격자 불일치 및 열팽창 계수로 인해 스트레인이 발생하는 것을 방지하기 위해 버퍼층이 배치된다.
- [5] 이러한 버퍼층은 주로 AlGaIn을 성장하여 형성하고 있으며, Al 조성비를 기판 표면으로부터 증가 또는 감소등의 방법으로 버퍼층을 형성하고 있다.
- [6] 하지만, Al 조성비를 기판 표면으로부터 감소시키는 경우, Al 조성비를 기판 표면으로부터 증가시키는 경우에 비해 스트레인 제어가 더욱 효과적이나, GaN 성장 구간에 강한 압축 스트레인(Compressive Strain)이 걸려 소성 변형(Plastic Deformation)이 발생하는 문제점이 있다.

발명의 상세한 설명

기술적 과제

- [7] 상기와 같은 문제점을 해결하기 위해, 실시예는 기판과 GaN층 사이에 스트레인을 효과적으로 제어하여 발광 효율을 향상시키기 위한 발광소자 및 조명 시스템을 제공하는 것을 그 목적으로 한다.

과제 해결 수단

- [8] 상술한 목적을 달성하기 위하여, 실시예에 따른 발광소자는 기판과, 상기 기판 상에 배치된 제1 버퍼층과, 상기 제1 버퍼층 상에 배치되며 Al을 포함하는 제2

버퍼층과, 상기 제2 버퍼층 상에 배치된 제1 도전형 반도체층과, 상기 제1 도전형 반도체층 상에 배치된 활성층과, 상기 활성층 상에 배치된 제2 도전형 반도체층을 포함하고, 상기 제2 버퍼층은 수평으로 배치된 제1 층과 제2 층을 포함하며, 제1 층은 제1 도전형 반도체층에 인접할수록 Al 조성비가 증가하고, 제2 층은 제1 도전형 반도체층에 인접할수록 Al 조성비가 감소하는 것을 특징으로 한다.

발명의 효과

- [9] 실시예는 버퍼층을 Al 조성비가 선형적으로 증가하는 제1 층과 Al 조성비가 선형적으로 감소하는 제2 층을 수평으로 배치함으로써, 기판과 제1 도전형 반도체층 사이의 격자 불일치 및 열팽창 계수 차이에 의한 스트레인을 효과적으로 제어할 수 있는 효과가 있다.
- [10] 또한, 실시예는 버퍼층의 제2 층 폭을 제1 층 폭보다 크게 형성함으로써, 매우 강한 압축 스트레인(Compressive Strain)이 작용하여 스트레인을 매우 효과적으로 제어할 수 있는 효과가 있다.

도면의 간단한 설명

- [11] 도 1은 제1 실시예에 따른 발광소자를 나타낸 단면도이다.
- [12] 도 2는 제1 실시예에 따른 발광소자의 버퍼층을 나타낸 단면도이다.
- [13] 도 3은 제1 실시예에 따른 버퍼층의 Al 조성비를 나타낸 그래프이다.
- [14] 도 4는 제1 실시예에 따른 발광소자의 버퍼층 및 u-GaN층을 나타낸 단면도이다.
- [15] 도 5는 제2 실시예에 따른 발광소자를 나타낸 단면도이다.
- [16] 도 6은 제2 실시예에 따른 발광소자의 버퍼층을 나타낸 단면도이다.
- [17] 도 7은 제2 실시예에 따른 버퍼층의 Al 조성비를 나타낸 그래프이다.
- [18] 도 8은 제3 실시예에 따른 발광소자를 나타낸 단면도이다.
- [19] 도 9는 제3 실시예에 따른 발광소자의 버퍼층을 나타낸 단면도이다.
- [20] 도 10은 제3 실시예에 따른 버퍼층의 Al 조성비를 나타낸 그래프이다.
- [21] 도 11은 제4 실시예에 따른 발광소자를 나타낸 단면도이다.
- [22] 도 12는 제4 실시예에 따른 발광소자의 버퍼층을 나타낸 단면도이다.
- [23] 도 13은 제4 실시예에 따른 버퍼층의 Al 조성비를 나타낸 그래프이다.
- [24] 도 14 내지 도 20은 제1 실시예에 따른 발광소자의 제조방법을 나타낸 단면도이다.
- [25] 도 21은 실시예들에 따른 발광소자가 구비된 발광소자의 패키지를 나타낸 단면도이다.
- [26] 도 22 내지 도 24는 실시예들에 따른 발광소자가 구비된 조명시스템의 실시예들을 나타낸 분해 사시도이다.

발명의 실시를 위한 최선의 형태

- [27] 이하, 도면을 참조하여 실시예를 상세히 설명하기로 한다.

[28]

[29] 도 1은 제1 실시예에 따른 발광소자를 나타낸 단면도이고, 도 2는 제1 실시예에 따른 발광소자의 버퍼층을 나타낸 단면도이고, 도 3은 제1 실시예에 따른 버퍼층의 Al 조성비를 나타낸 그래프이고, 도 4는 제1 실시예에 따른 발광소자의 버퍼층 및 u-GaN층을 나타낸 단면도이다.

[30] 도 1을 참조하면, 제1 실시예에 따른 발광소자는 기판(110)과, 상기 기판(110) 상에 배치된 버퍼층(120)과, 상기 버퍼층(120) 상에 배치된 u-GaN층(181), 상기 u-GaN(181)층 상에 배치된 제1 도전형 반도체층(130)과, 상기 제1 도전형 반도체층(130) 상에 배치된 전류 확산층(182)과, 상기 전류 확산층(182) 상에 배치된 스트레인 제어층(183)과, 상기 스트레인 제어층(183) 상에 배치된 활성층(140)과, 상기 활성층(140) 상에 배치된 전자 차단층(184)과, 상기 전자 차단층(184) 상에 배치된 제2 도전형 반도체층(150)과, 상기 제2 도전형 반도체층(150) 상에 배치된 투광성 전극층(185)과, 상기 제1 도전형 반도체층(130) 상에 배치된 제1 전극(160)과, 상기 투광성 전극층(185) 상에 배치된 제2 전극(170)을 포함한다.

[31] 기판(110)은 열전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판일 수 있다. 예를 들어, 상기 기판(110)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, and Ga_2O_3 중 적어도 하나를 사용할 수 있다.

[32] 상기 기판(110) 상에는 버퍼층(120)이 배치될 수 있다.

[33] 버퍼층(120)은 상기 발광구조물의 재료와 기판(110)의 격자 불일치를 완화시켜 주는 역할을 한다. 버퍼층(120)으로는 3족-5족 화합물 반도체를 포함할 수 있다. 버퍼층(120)은 Al을 포함하는 재료로 형성될 수 있다. 버퍼층(120)은 AlN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있다. 상기 버퍼층(120)에 대해서는 추후 도면을 참조하여 상세히 설명하기로 한다.

[34] 상기 버퍼층(120) 상에는 u-GaN(undoped GaN)층(181)이 배치될 수 있다. u-GaN층(181)은 막의 질을 향상시키는 역할을 할 수 있다.

[35] 상기 u-GaN층(181) 상에는 제1 도전형 반도체층(130)이 배치될 수 있다.

[36] 상기 제1 도전형 반도체층(130)은 예를 들어, n형 반도체층을 포함할 수 있다. 상기 제1 도전형 반도체층(130)은 화합물 반도체로 구현될 수 있다. 상기 제1 도전형 반도체층(130)은 예로서 II족-VI족 화합물 반도체 또는 III족-V족 화합물 반도체로 구현될 수 있다.

[37] 상기 제1 도전형 반도체층(130)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제1 도전형 반도체층(130)은, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑될 수 있다.

[38] 상기 전류 확산층(182)은 내부 양자 효율을 향상시켜 광 효율을 증대시킬 수 있으며, 언도프트 질화갈륨층(undoped GaN layer)일 수 있다. 전류 확산층(182)

상에는 전자 주입층(미도시)이 더 형성될 수도 있다. 상기 전자 주입층은 도전형 질화갈륨층일 수 있다. 예를 들어, 상기 전자 주입층은 n형 도핑 원소가 6.0×10^{18} atoms/cm³ ~ 3.0×10^{19} atoms/cm³의 농도로 도핑 됨으로써 효율적으로 전자주입을 할 수 있다.

[39] 상기 전자 확산층(182) 상에는 스트레인 제어층(183)이 형성될 수 있다.

[40] 스트레인 제어층(183)은 제1 도전형 반도체층(130)과 활성층(140) 사이의 격자 불일치에 기이한 응력을 효과적으로 완화시키는 역할을 한다.

[41] 상기 스트레인 제어층(183)의 격자상수는 상기 제1 도전형 반도체층(130)의 격자 상수보다는 크되, 상기 활성층(140)의 격자 상수보다는 작을 수 있다. 이에 따라 활성층(140)과 제1 도전형 반도체층(130) 사이에 격자상수 차이에 의한 스트레스를 최소화할 수 있다.

[42] 상기 스트레인 제어층(183) 상에는 활성층(140)이 배치될 수 있다.

[43] 활성층(140)은 상기 제1 도전형 반도체층(130)을 통해서 주입되는 전자(또는 정공)와 상기 제2 도전형 반도체층(150)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(140)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(130)은 단일 우물 구조, 다중 우물 구조, 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니다.

[44] 상기 활성층(140)은 화합물 반도체로 구현될 수 있다. 상기 활성층(140)은 예로서 II족-VI족 또는 III족-V족 화합물 반도체로 구현될 수 있다. 상기 활성층(140)은 예로서 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 활성층(140)이 상기 다중 우물 구조로 구현된 경우, 상기 활성층(140)은 복수의 우물층과 복수의 장벽층이 적층되어 구현될 수 있으며, 예를 들어, InGaN 우물층/GaN 장벽층의 주기로 구현될 수 있다.

[45] 상기 활성층(140) 상에는 전자 차단층(EBL, 184)이 배치될 수 있다.

[46] 전자 차단층(184)은 전자 차단(electron blocking) 및 활성층의 클래딩(MQW cladding) 역할을 하며, 이로 인해 발광 효율을 향상시킬 수 있다. 전자 차단층(184)은 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)계 반도체로 형성될 수 있으며, 상기 활성층(140)의 에너지 밴드 갭보다는 높은 에너지 밴드 갭을 가질 수 있으며, 약 100Å ~ 약 600Å의 두께로 형성될 수 있으나 이에 한정되는 것은 아니다. 이와 달리, 상기 전자 차단층(184)은 $\text{Al}_z\text{Ga}_{1-z}\text{N}/\text{GaN}$ ($0 \leq z \leq 1$) 초격자(superlattice)로 형성될 수 있다.

[47] 상기 전자 차단층(184) 상에는 제2 도전형 반도체층(150)이 배치될 수 있다.

[48] 상기 제2 도전형 반도체층(150)은 예를 들어, p형 반도체층으로 구현될 수 있다. 상기 제2 도전형 반도체층(150)은 화합물 반도체로 구현될 수 있다. 상기 제2 도전형 반도체층(150)은 예로서 II족-VI족 화합물 반도체 또는 III족-V족 화합물 반도체로 구현될 수 있다.

- [49] 상기 제2 도전형 반도체층(150)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제2 도전형 반도체층(150)은, 예를 들어 GaN, AlN, AlGaN, InGaN, InN, InAlGaN, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [50] 상기 제1 도전형 반도체층(130)이 p형 반도체층을 포함하고 상기 제2 도전형 반도체층(150)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제2 도전형 반도체층(150) 아래에는 n형 또는 p형 반도체층을 포함하는 반도체층이 더 형성될 수도 있다. 이에 따라, 상기 발광 구조물은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다.
- [51] 상기 제1 도전형 반도체층(130) 및 상기 제2 도전형 반도체층(150) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광 구조물의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [52] 제2 도전형 반도체층(150) 상에는 투광성 전극층(185)이 배치될 수 있다.
- [53] 투광성 전극층(185)은 캐리어 주입을 효율적으로 할 수 있도록 단일 금속 또는 금속합금, 금속 산화물 등을 다층으로 적층할 수도 있다. 예컨대, 투광성 전극층(185)은 반도체와 전기적인 접촉이 우수한 물질로 형성될 수 있으며, 투광성 전극층(185)으로는 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 및 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으며, 이러한 재료에 한정되는 않는다.
- [54] 투광성 전극층(185) 상에는 제2 전극(170)이 형성되며, 상부 일부가 노출된 제1 도전형 반도체층(130) 상에는 제1 전극(160)이 형성된다. 제1 전극(160) 및 제2 전극(170)으로는 예컨대, Cr, Ti, Ag, Ni, RH, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 어느 하나를 포함하는 금속 또는 합금으로 형성될 수 있다. 이후, 최종적으로 제1 전극(160) 및 제2 전극(170)이 서로 연결됨으로써 발광 소자의 제작이 완료될 수 있다.
- [55] 한편, 도 2에 도시된 바와 같이, 제1 실시예에 따른 버퍼층(120)은 제1 버퍼층(122)과 제2 버퍼층(124)을 포함할 수 있다.
- [56] 제1 버퍼층(122)은 AlN을 포함할 수 있다. 제1 버퍼층(122)은 하나의 층으로 형성된 것으로 도시하였으나, 2개 이상의 층으로 형성될 수 있다. 제2 버퍼층(124)은 제1 버퍼층(122) 상에 배치될 수 있다. 제2 버퍼층(124)의 높이는 제1 버퍼층(122)의 높이와 동일하게 형성될 수 있다.
- [57] 제2 버퍼층(124)은 AlGaIn을 포함할 수 있다. 제2 버퍼층(124)은 u-GaN층(181)과 접하도록 배치될 수 있다. 제2 버퍼층(124)은 제1 층(124a)과 제2

층(124b)을 포함할 수 있다. 제1 층(124a)과 제2 층(124b)은 수평으로 다수개가 배치될 수 있다. 다수의 제1 층(124a)과 제2 층(124b)은 수평으로 번갈아가며 배치될 수 있다. 다수의 제1 층(124a)과 제2 층(124b)은 방사형으로 번갈아가며 배치될 수 있다. 제2 버퍼층(124)의 최외곽에는 제2 층(124b)이 배치될 수 있다. 제2 버퍼층(124)의 최외각에 제2 층(124b)을 배치함으로써, 제2 버퍼층(124) 상에 보다 많은 수의 제2 층(124b)을 형성할 수 있게 된다.

- [58] 제2 층(124b)의 폭(W2)은 제1 층(124a)의 폭(W1)보다 클 수 있다. 제1 층(124a)의 높이(h1)는 제2 층(124b)의 높이(h2)와 동일할 수 있다. 다수의 제1 층(124a)의 폭은 서로 동일하거나 서로 다른 폭으로 형성될 수 있다. 다수의 제2 층(124b)의 폭은 서로 동일하거나 서로 다른 폭으로 형성될 수 있다.
- [59] 도 3에 도시된 바와 같이, 제1 층(124a)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함할 수 있다. 제1 층(124a)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 선형적으로 증가할 수 있다. 제1 도전형 반도체층(130)에 인접한 제1 층(124a)의 Al 조성비는 100% 일 수 있다. 제1 층(124a)은 기판(110)에 인접할수록 Al 조성비가 선형적으로 감소할 수 있다. 기판(110)에 인접한 제1 층(124a)의 Al 조성비는 0%일 수 있다.
- [60] 제2 층(124b)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함할 수 있다. 제2 층(124b)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 선형적으로 감소할 수 있다. 제1 도전형 반도체층(130)에 인접한 제2 층(124b)의 Al 조성비는 0% 일 수 있다. 제2 층(124b)은 기판(110)에 인접할수록 Al의 조성비가 증가할 수 있다. 기판(110)에 인접한 제2 층(124b)의 Al 조성비는 100%일 수 있다.
- [61] 상기와 같이, 버퍼층(120)은 제1 도전형 반도체층(130)에 인접할수록 Al 조성비가 선형적으로 증가하는 제1 층(124a)과 제1 도전형 반도체층(130)에 인접할수록 Al 조성비가 선형적으로 감소하는 제2 층(124b)을 수평으로 배치함으로써, 기판(110)과 제1 도전형 반도체층(130) 사이의 물리적 특성(격자 불일치, 열팽창 계수 차이)에 의한 스트레인을 효과적으로 제어할 수 있는 효과가 있다.
- [62] 도 4에 도시된 바와 같이, 제2 층(124b)의 폭을 제1 층(124a)의 폭보다 크게 형성하게 되면, u-GaN층(181)에 매우 강한 압축 스트레인(Compressive Strain)이 작용하여 스트레인 제어에 매우 효과적이다. 즉, 제1 층(124a)의 폭과 제2 층(124b)의 폭을 동일하게 형성할 경우에 비해 u-GaN층(181)에 압축 스트레인(Compressive Strain)이 더 강하게 작용하여 스트레인 제어에 매우 효과적이다. 더불어, 제2 층(124b)들 사이에 제1 층(124a)을 배치함으로써, 격자 불일치를 완화하여 전위가 높아지는 것을 방지할 수 있게 된다.
- [63]
- [64] 도 5는 제2 실시예에 따른 발광소자를 나타낸 단면도이고, 도 6은 제2 실시예에 따른 발광소자의 버퍼층을 나타낸 단면도이고, 도 7은 제2 실시예에 따른 버퍼층의 Al 조성비를 나타낸 그래프이다.

- [65] 도 5를 참조하면, 제2 실시예에 따른 발광소자는 기판(110)과, 상기 기판(110)상에 배치된 버퍼층(220)과, 상기 버퍼층(220)상에 배치된 u-GaN층(181), 상기 u-GaN(181)층상에 배치된 제1 도전형 반도체층(130)과, 상기 제1 도전형 반도체층(130)상에 배치된 전류 확산층(182)과, 상기 전류 확산층(182)상에 배치된 스트레인 제어층(183)과, 상기 스트레인 제어층(183)상에 배치된 활성층(140)과, 상기 활성층(140)상에 배치된 전자 차단층(184)과, 상기 전자 차단층(184)상에 배치된 제2 도전형 반도체층(150)과, 상기 제2 도전형 반도체층(150)상에 배치된 투광성 전극층(185)과, 상기 제1 도전형 반도체층(130)상에 배치된 제1 전극(160)과, 상기 투광성 전극층(185)상에 배치된 제2 전극(170)을 포함한다. 여기서, 버퍼층을 제외한 구성은 제1 실시예에 따른 발광소자의 구성 요소들과 동일하므로 생략한다.
- [66] 도 6에 도시된 바와 같이, 제2 실시예에 따른 버퍼층(220)은 제1 버퍼층(222)과 제2 버퍼층(224)을 포함할 수 있다.
- [67] 제1 버퍼층(222)은 AlN을 포함할 수 있다. 제2 버퍼층(224)은 제1 버퍼층(222)상에 배치될 수 있다. 제2 버퍼층(224)은 AlGaIn을 포함할 수 있다.
- [68] 제2 버퍼층(224)은 제1 층(224a)과 제2 층(224b)을 포함할 수 있다. 제1 층(224a)과 제2 층(224b)은 수평으로 번갈아가며 배치될 수 있다. 제1 층(224a)과 제2 층(224b)은 방사형으로 번갈아가며 배치될 수 있다. 제2 버퍼층(224)의 최외곽에는 제2 층(224b)이 배치될 수 있다. 제2 층(224b)의 폭은 제1 층(224a)의 폭보다 클 수 있다. 제1 층(224a)의 높이는 제2 층(224b)의 높이와 동일할 수 있다.
- [69] 도 7에 도시된 바와 같이, 제1 층(224a)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함할 수 있다. 제1 층(224a)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 비선형적으로 증가할 수 있다. 제1 층(224a)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 아래로 볼록하게 비선형적으로 증가할 수 있다. 제1 도전형 반도체층(130)에 인접한 제1 층(224a)의 Al 조성비는 100%일 수 있다. 기판(110)에 인접한 제1 층(224a)의 Al 조성비는 0%일 수 있다.
- [70] 제2 층(224b)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함할 수 있다. 제2 층(224b)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 비선형적으로 감소할 수 있다. 제2 층(224b)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 위로 볼록하게 비선형적으로 감소할 수 있다. 제1 도전형 반도체층(130)에 인접한 제2 층(224b)의 Al 조성비는 0%일 수 있다. 기판(110)에 인접한 제2 층(224b)의 Al 조성비는 100%일 수 있다.
- [71] 상기과 같이, 버퍼층(220)은 제1 도전형 반도체층(130)에 인접할수록 Al 조성비가 비선형적으로 증가하는 제1 층(224a)과 제1 도전형 반도체층(130)에 인접할수록 Al 조성비가 비선형적으로 감소하는 제2 층(224b)을 수평으로 배치함으로써, 기판(110)과 제1 도전형 반도체층(130) 사이의 물리적 특성(격자 불일치, 열팽창 계수 차이)에 의한 스트레인을 효과적으로 제어할 수 있는 효과가 있다.

[72]

[73] 도 8은 제3 실시예에 따른 발광소자를 나타낸 단면도이고, 도 9는 제3 실시예에 따른 발광소자의 버퍼층을 나타낸 단면도이고, 도 10은 제3 실시예에 따른 버퍼층의 Al 조성비를 나타낸 그래프이다.

[74] 도 8을 참조하면, 제3 실시예에 따른 발광소자는 기판(110)과, 상기 기판(110) 상에 배치된 버퍼층(320)과, 상기 버퍼층(320) 상에 배치된 u-GaN층(181), 상기 u-GaN(181)층 상에 배치된 제1 도전형 반도체층(130)과, 상기 제1 도전형 반도체층(130) 상에 배치된 전류 확산층(182)과, 상기 전류 확산층(182) 상에 배치된 스트레인 제어층(183)과, 상기 스트레인 제어층(183) 상에 배치된 활성층(140)과, 상기 활성층(140) 상에 배치된 전자 차단층(184)과, 상기 전자 차단층(184) 상에 배치된 제2 도전형 반도체층(150)과, 상기 제2 도전형 반도체층(150) 상에 배치된 투광성 전극층(185)과, 상기 제1 도전형 반도체층(130) 상에 배치된 제1 전극(160)과, 상기 투광성 전극층(185) 상에 배치된 제2 전극(170)을 포함한다. 여기서, 버퍼층을 제외한 구성은 제1 실시예에 따른 발광소자의 구성 요소들과 동일하므로 생략한다.

[75] 도 9에 도시된 바와 같이, 제3 실시예에 따른 버퍼층(320)은 제1 버퍼층(322)과 제2 버퍼층(324)을 포함할 수 있다.

[76] 제1 버퍼층(322)은 AlN을 포함할 수 있다. 제2 버퍼층(324)은 제1 버퍼층(322) 상에 배치될 수 있다. 제2 버퍼층(324)은 AlGaIn을 포함할 수 있다.

[77] 제2 버퍼층(324)은 제1 층(324a)과 제2 층(324b)을 포함할 수 있다. 제1 층(324a)과 제2 층(324b)은 수평으로 번갈아가며 배치될 수 있다. 제1 층(324a)과 제2 층(324b)은 방사형으로 번갈아가며 배치될 수 있다. 제2 버퍼층(324)의 최외곽에는 제2 층(324b)이 배치될 수 있다. 제2 층(324b)의 폭은 제1 층(324a)의 폭보다 클 수 있다. 제1 층(324a)의 높이는 제2 층(324b)의 높이와 동일할 수 있다.

[78] 도 10에 도시된 바와 같이, 제1 층(324a)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함할 수 있다. 제1 층(324a)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 비선형적으로 증가할 수 있다. 제1 층(324a)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 위로 볼록하게 비선형적으로 증가할 수 있다. 제1 도전형 반도체층(130)에 인접한 제1 층(324a)의 Al 조성비는 100% 일 수 있다. 기판(110)에 인접한 제1 층(324a)의 Al 조성비는 0%일 수 있다.

[79] 제2 층(324b)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함할 수 있다. 제2 층(324b)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 비선형적으로 감소할 수 있다. 제2 층(324b)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 아래로 볼록하게 비선형적으로 감소할 수 있다. 제1 도전형 반도체층(130)에 인접한 제2 층(324b)의 Al 조성비는 0% 일 수 있다. 기판(110)에 인접한 제2 층(324b)의 Al 조성비는 100%일 수 있다.

[80] 상기과 같이, 버퍼층(320)은 제1 도전형 반도체층(130)에 인접할수록 Al 조성비가 비선형적으로 증가하는 제1 층(324a)과 제1 도전형 반도체층(130)에

인접할수록 Al 조성비가 비선형적으로 감소하는 제2 층(324b)을 수평으로 배치함으로써, 기판(110)과 제1 도전형 반도체층(130) 사이의 물리적 특성(격자 불일치, 열팽창 계수 차이)에 의한 스트레인을 효과적으로 제어할 수 있는 효과가 있다.

[81]

[82] 도 11은 제4 실시예에 따른 발광소자를 나타낸 단면도이고, 도 12는 제4 실시예에 따른 발광소자의 버퍼층을 나타낸 단면도이고, 도 13은 제4 실시예에 따른 버퍼층의 Al 조성비를 나타낸 그래프이다.

[83] 도 11을 참조하면, 제4 실시예에 따른 발광소자는 기판(110)과, 상기 기판(110) 상에 배치된 버퍼층(420)과, 상기 버퍼층(420) 상에 배치된 u-GaN층(181), 상기 u-GaN(181)층 상에 배치된 제1 도전형 반도체층(130)과, 상기 제1 도전형 반도체층(130) 상에 배치된 전류 확산층(182)과, 상기 전류 확산층(182) 상에 배치된 스트레인 제어층(183)과, 상기 스트레인 제어층(183) 상에 배치된 활성층(140)과, 상기 활성층(140) 상에 배치된 전자 차단층(184)과, 상기 전자 차단층(184) 상에 배치된 제2 도전형 반도체층(150)과, 상기 제2 도전형 반도체층(150) 상에 배치된 투광성 전극층(185)과, 상기 제1 도전형 반도체층(130) 상에 배치된 제1 전극(160)과, 상기 투광성 전극층(185) 상에 배치된 제2 전극(170)을 포함한다. 여기서, 버퍼층을 제외한 구성은 제1 실시예에 따른 발광소자의 구성 요소들과 동일하므로 생략한다.

[84] 도 12에 도시된 바와 같이, 제4 실시예에 따른 버퍼층(420)은 제1 버퍼층(422)과 제2 버퍼층(424)을 포함할 수 있다.

[85] 제1 버퍼층(422)은 AlN을 포함할 수 있다. 제2 버퍼층(424)은 제1 버퍼층(422) 상에 배치될 수 있다. 제2 버퍼층(424)은 AlGaIn을 포함할 수 있다.

[86] 제2 버퍼층(424)은 제1 층(424a)과 제2 층(424b)을 포함할 수 있다. 제1 층(424a)과 제2 층(424b)은 수평으로 번갈아가며 배치될 수 있다. 제1 층(424a)과 제2 층(424b)은 방사형으로 번갈아가며 배치될 수 있다. 제2 버퍼층(424)의 최외곽에는 제2 층(424b)이 배치될 수 있다. 제2 층(424b)의 폭은 제1 층(424a)의 폭보다 클 수 있다. 제1 층(424a)의 높이는 제2 층(424b)의 높이와 동일할 수 있다.

[87] 도 13에 도시된 바와 같이, 제1 층(424a)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함할 수 있다. 제1 층(424a)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 계단형으로 증가할 수 있다. 제1 도전형 반도체층(130)에 인접한 제1 층(424a)의 Al 조성비는 100% 일 수 있다. 기판(110)에 인접한 제1 층(424a)의 Al 조성비는 0%일 수 있다.

[88] 제2 층(424b)은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함할 수 있다. 제2 층(424b)은 제1 도전형 반도체층(130)에 인접할수록 Al의 조성비가 계단형으로 감소할 수 있다. 제1 도전형 반도체층(130)에 인접한 제2 층(424b)의 Al 조성비는 0% 일 수 있다. 기판(110)에 인접한 제2 층(424b)의 Al 조성비는 100%일 수 있다.

[89] 상기과 같이, 버퍼층(420)은 제1 도전형 반도체층(130)에 인접할수록 Al

조성비가 계단형으로 증가하는 제1 층(424a)과 제1 도전형 반도체층(130)에 인접할수록 Al 조성비가 계단형으로 감소하는 제2 층(424b)을 수평으로 배치함으로써, 기판(110)과 제1 도전형 반도체층(130) 사이의 물리적 특성(격자 불일치, 열팽창 계수 차이)에 의한 스트레인을 효과적으로 제어할 수 있는 효과가 있다.

[90]

[91] 이하에서는 도면을 참조하여 제1 실시예에 따른 발광소자의 제조방법을 살펴본다. 도 14 내지 도 20은 제1 실시예에 따른 발광소자의 제조방법을 나타낸 단면도이다.

[92] 도 14에 도시된 바와 같이, 기판(110)이 마련되면, 기판(110)의 일면에 제1 버퍼층(122)을 형성하는 단계를 수행한다. 제1 버퍼층(122)은 기판(110) 상에 AIN을 유기금속 화학증착법(MOCVD, Metal Organic Chemical Vapor Deposition)에 의해 일정 두께로 증착할 수 있다. 버퍼층(122)은 MOCVD 외에도 화학 증착법(CVD, Chemical Vapor Deposition), 분자선 성장법(MBE, Molecular beam epitaxy), 스퍼터링법(Sputtering)으로 형성될 수 있다.

[93] 도 15에 도시된 바와 같이, 기판(110) 상에 제1 버퍼층(122)이 형성되면, 제1 버퍼층(122) 상에 제1 마스크층(M1)을 형성하는 단계를 수행한다. 제1 마스크층(M1)은 PR 또는 SiO₂를 사용하여 형성할 수 있으며, 포토 공정을 통하여 제1 마스크층(M1)을 제1 버퍼층(122)의 일부 영역에만 형성할 수 있다.

[94] 도 16에 도시된 바와 같이, 제1 버퍼층(122) 상에 제1 마스크층(M1)이 형성되면, 제1 마스크층(M1) 사이로 제2 버퍼층의 제1 층(124a)을 형성하는 단계를 수행한다. 제1 층(124a)은 AlGaIn을 이용하여 선택적으로 형성할 수 있다. 제1 층(124a)은 Al 조성비를 증가시키면서 형성될 수 있다.

[95] 도 17에 도시된 바와 같이, 제1 버퍼층(122) 상에 제1 층(124a)이 형성되면, 제1 마스크층(M1)을 제거하고, 제1 층(124a) 상에 제2 마스크층(M2)을 형성하는 단계를 수행한다. 제2 마스크층(M2)은 PR 또는 SiO₂를 사용하여 형성할 수 있다.

[96] 도 18에 도시된 바와 같이, 제1 층(124a) 상에 제2 마스크층(M2)이 형성되면, 제1 층(124a) 사이에 제2 층(124b)을 선택적으로 성장하는 단계를 수행한다. 제2 층(124b)은 AlGaIn을 이용하여 선택적으로 형성할 수 있다. 제2 층(124b)은 Al 조성비를 감소시키면서 형성될 수 있다. 제1 층(124a) 및 제2 층(124b)이 형성되면, 제2 마스크층(M2)을 제거할 수 있다.

[97] 도 19에 도시된 바와 같이, 제1 버퍼층(122) 상에 제2 버퍼층(124)인 제1 층 및 제2 층이 형성되면, 제2 버퍼층(124) 상에 u-GaN층(181), 제1 도전형 반도체층(130), 전류 확산층(182), 스트레인 제어층(183), 활성층(140), 전자 차단층(184), 제2 도전형 반도체층(150), 투광성 전극층(185)을 순차적으로 형성하는 단계를 수행한다.

[98] u-GaN층(181)은 GaN을 MOCVD 법으로 증착하여 형성할 수 있다. 제1 도전형 반도체층(130)은 GaN을 MOCVD법으로 증착하여 형성될 수 있으며, 그 외에도

3-5족, 2-6족의 화합물을 증착하여 형성할 수 있다. 이와 함께, 제1 도전형 반도체층(130)은 챔버에 트리메틸 갈륨 가스(TMGa), 암모니아 가스(NH₃), 질소 가스(N₂), 및 실리콘(Si)와 같은 n형 불순물을 포함하는 실란 가스(SiH₄)가 주입되어 형성될 수 있다.

- [99] 전류 확산층(182), 스트레인 제어층(183)은 MOCVD에 의해 일정 두께로 증착될 수 있다. 활성층(140)은 소정의 성장 온도 예컨대, 700 내지 900도 범위 내에서 H₂ 또는/및 TMGa(또는 TEGa), TNin, TMAI의 소스로 선택적으로 공급하여, GaN 또는 InGaN으로 이루어진 우물층과, GaN, AlGaIn, InGaIn 또는 InAlGaIn으로 이루어진 장벽층을 형성할 수 있다.
- [100] 전자 차단층(184)은 이온 주입되어 형성될 수 있으며, 예컨대, Al 조성이 1~30% 범위로 구성된 Al_xIn_yGa(1-x-y)로 형성될 수 있다.
- [101] 제2 도전형 반도체층(150)은 상기 전자 차단층(184) 상에 비세틸 사이클로 펜타디에닐 마그네슘(EtCp₂Mg){Mg(C₂H₅C₅H₄)₂}가 주입되어 형성될 수 있으며, 이에, 제2 도전형 반도체층(150)은 p형 GaN층이 형성될 수 있다. 투광성 전극층(185)은 ITO를 증착시켜 형성할 수 있다.
- [102] 도 20에 도시된 바와 같이, 제2 도전형 반도체층(150) 상에 투광성 전극층(185)이 형성되면, 제1 도전형 반도체층(130)의 일부가 노출되도록 메사 식각 공정을 수행할 수 있다. 예컨대, 투광성 전극층(185), 제2 도전형 반도체층(150), 전자 차단층(184), 활성층(140), 스트레인 제어층(183), 전류 확산층(182)의 일부를 제거하여 제1 도전형 반도체층(130)의 상부 일부가 노출되도록 형성할 수 있다.
- [103] 제1 도전형 반도체층(130)의 상부 일부가 노출되면, 제1 도전형 반도체층(130) 상에 제1 전극(160)을 형성하고, 투광성 전극층(188) 상에 제2 전극(170)을 형성하여 실시예에 따른 발광 소자의 제조 공정을 마칠 수 있다.
- [104]
- [105] 도 21은 실시예들에 따른 발광소자가 구비된 발광소자의 패키지를 나타낸 단면도이다.
- [106] 도 21에 도시된 바와 같이, 발광 소자 패키지(500)는 패키지 몸체부(505)와, 상기 패키지 몸체부(505) 상에 배치된 제3 전극층(513) 및 제4 전극층(514)과, 상기 패키지 몸체부(505) 상에 배치되어 상기 제3 전극층(513) 및 제4 전극층(514)과 전기적으로 연결되는 발광 소자(100)와, 상기 발광 소자(100)를 포위하는 몰딩부재(530)가 포함된다.
- [107] 상기 패키지 몸체부(505)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상기 발광 소자(100)의 주상에 경사면이 형성될 수 있다.
- [108] 상기 제3 전극층(513) 및 제4 전극층(514)은 서로 전기적으로 분리되며, 상기 발광 소자(100)에 전원을 제공하는 역할을 한다. 또한, 상기 제3 전극층(513) 및 제4 전극층(514)은 상기 발광 소자(100)에서 발생된 빛을 반사시켜 광 효율을

증가시키는 역할을 할 수 있으며, 상기 발광 소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.

[109] 상기 발광 소자(100)는 상기 패키지 몸체부(505) 상에 배치되거나 상기 제3 전극층(513) 또는 제4 전극층(514) 상에 배치될 수 있다.

[110] 상기 발광 소자(100)는 상기 제3 전극층(513) 및/또는 제4 전극층(514)과 와이어 방식, 플립칩 방식 또는 다이 본딩 방식 중 어느 하나에 의해 전기적으로 연결될 수도 있다. 실시예에서는 상기 발광 소자(100)가 상기 제1 전극층(513) 및 제2 전극층(514)과 각각 와이어를 통해 전기적으로 연결된 것이 예시되어 있으나 이에 한정되는 것은 아니다.

[111] 상기 몰딩부재(530)는 상기 발광 소자(100)를 포위하여 상기 발광 소자(100)를 보호할 수 있다. 또한, 상기 몰딩부재(530)에는 형광체(532)가 포함되어 상기 발광 소자(100)에서 방출된 광의 파장을 변화시킬 수 있다.

[112]

[113] 도 22 내지 도 24는 실시예들에 따른 발광소자가 구비된 조명시스템의 실시예들을 나타낸 분해 사시도이다.

[114] 도 22에 도시된 바와 같이, 실시예에 따른 조명 장치는 커버(2100), 광원 모듈(2200), 방열체(2400), 전원 제공부(2600), 내부 케이스(2700), 소켓(2800)을 포함할 수 있다. 또한, 실시예에 따른 조명 장치는 부재(2300)와 홀더(2500) 중 어느 하나 이상을 더 포함할 수 있다. 상기 광원 모듈(2200)은 본 발명에 따른 발광소자(100) 또는 발광소자 패키지(200)를 포함할 수 있다.

[115] 예컨대, 상기 커버(2100)는 벌브(bulb) 또는 반구의 형상을 가지며, 속이 비어 있고, 일 부분이 개구된 형상으로 제공될 수 있다. 상기 커버(2100)는 상기 광원 모듈(2200)과 광학적으로 결합될 수 있다. 예를 들어, 상기 커버(2100)는 상기 광원 모듈(2200)로부터 제공되는 빛을 확산, 산란 또는 여기시킬 수 있다. 상기 커버(2100)는 일종의 광학 부재일 수 있다. 상기 커버(2100)는 상기 방열체(2400)와 결합될 수 있다. 상기 커버(2100)는 상기 방열체(2400)와 결합하는 결합부를 가질 수 있다.

[116]

[117] *상기 커버(2100)의 내면에는 유백색 도료가 코팅될 수 있다. 유백색의 도료는 빛을 확산시키는 확산제를 포함할 수 있다. 상기 커버(2100)의 내면의 표면 거칠기는 상기 커버(2100)의 외면의 표면 거칠기보다 크게 형성될 수 있다. 이는 상기 광원 모듈(2200)로부터의 빛이 충분히 산란 및 확산되어 외부로 방출시키기 위함이다.

[118] 상기 커버(2100)의 재질은 유리(glass), 플라스틱, 폴리프로필렌(PP), 폴리에틸렌(PE), 폴리카보네이트(PC) 등일 수 있다. 여기서, 폴리카보네이트는 내광성, 내열성, 강도가 뛰어나다. 상기 커버(2100)는 외부에서 상기 광원 모듈(2200)이 보이도록 투명할 수 있고, 불투명할 수 있다. 상기 커버(2100)는 블로우(blow) 성형을 통해 형성될 수 있다.

- [119] 상기 광원 모듈(2200)은 상기 방열체(2400)의 일 면에 배치될 수 있다. 따라서, 상기 광원 모듈(2200)로부터의 열은 상기 방열체(2400)로 전도된다. 상기 광원 모듈(2200)은 광원부(2210), 연결 플레이트(2230), 커넥터(2250)를 포함할 수 있다.
- [120] 상기 부재(2300)는 상기 방열체(2400)의 상면 상에 배치되고, 복수의 광원부(2210)들과 커넥터(2250)이 삽입되는 가이드홈(2310)들을 갖는다. 상기 가이드홈(2310)은 상기 광원부(2210)의 기판 및 커넥터(2250)와 대응된다.
- [121] 상기 부재(2300)의 표면은 빛 반사 물질로 도포 또는 코팅된 것일 수 있다. 예를 들면, 상기 부재(2300)의 표면은 백색의 도료로 도포 또는 코팅된 것일 수 있다. 이러한 상기 부재(2300)는 상기 커버(2100)의 내면에 반사되어 상기 광원 모듈(2200)측 방향으로 되돌아오는 빛을 다시 상기 커버(2100) 방향으로 반사한다. 따라서, 실시 예에 따른 조명 장치의 광 효율을 향상시킬 수 있다.
- [122] 상기 부재(2300)는 예로서 절연 물질로 이루어질 수 있다. 상기 광원 모듈(2200)의 연결 플레이트(2230)는 전기 전도성의 물질을 포함할 수 있다. 따라서, 상기 방열체(2400)와 상기 연결 플레이트(2230) 사이에 전기적인 접촉이 이루어질 수 있다. 상기 부재(2300)는 절연 물질로 구성되어 상기 연결 플레이트(2230)와 상기 방열체(2400)의 전기적 단락을 차단할 수 있다. 상기 방열체(2400)는 상기 광원 모듈(2200)로부터의 열과 상기 전원 제공부(2600)로부터의 열을 전달받아 방열한다.
- [123] 상기 홀더(2500)는 내부 케이스(2700)의 절연부(2710)의 수납홈(2719)를 막는다. 따라서, 상기 내부 케이스(2700)의 상기 절연부(2710)에 수납되는 상기 전원 제공부(2600)는 밀폐된다. 상기 홀더(2500)는 가이드 돌출부(2510)를 갖는다. 상기 가이드 돌출부(2510)는 상기 전원 제공부(2600)의 돌출부(2610)가 관통하는 홀을 갖는다.
- [124] 상기 전원 제공부(2600)는 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 상기 광원 모듈(2200)로 제공한다. 상기 전원 제공부(2600)는 상기 내부 케이스(2700)의 수납홈(2719)에 수납되고, 상기 홀더(2500)에 의해 상기 내부 케이스(2700)의 내부에 밀폐된다.
- [125] 상기 전원 제공부(2600)는 돌출부(2610), 가이드부(2630), 베이스(2650), 연장부(2670)를 포함할 수 있다.
- [126] 상기 가이드부(2630)는 상기 베이스(2650)의 일 측에서 외부로 돌출된 형상을 갖는다. 상기 가이드부(2630)는 상기 홀더(2500)에 삽입될 수 있다. 상기 베이스(2650)의 일 면 상에 다수의 부품이 배치될 수 있다. 다수의 부품은 예를 들어, 외부 전원으로부터 제공되는 교류 전원을 직류 전원으로 변환하는 직류변환장치, 상기 광원 모듈(2200)의 구동을 제어하는 구동칩, 상기 광원 모듈(2200)을 보호하기 위한 ESD(ElectroStatic discharge) 보호 소자 등을 포함할 수 있으나 이에 대해 한정하지는 않는다.
- [127] 상기 연장부(2670)는 상기 베이스(2650)의 다른 일 측에서 외부로 돌출된

형상을 갖는다. 상기 연장부(2670)는 상기 내부 케이스(2700)의 연결부(2750) 내부에 삽입되고, 외부로부터의 전기적 신호를 제공받는다. 예컨대, 상기 연장부(2670)는 상기 내부 케이스(2700)의 연결부(2750)의 폭과 같거나 작게 제공될 수 있다. 상기 연장부(2670)에는 "+ 전선"과 "- 전선"의 각 일 단이 전기적으로 연결되고, "+ 전선"과 "- 전선"의 다른 일 단은 소켓(2800)에 전기적으로 연결될 수 있다.

[128] 상기 내부 케이스(2700)는 내부에 상기 전원 제공부(2600)와 함께 몰딩부를 포함할 수 있다. 몰딩부는 몰딩 액체가 굳어진 부분으로서, 상기 전원 제공부(2600)가 상기 내부 케이스(2700) 내부에 고정될 수 있도록 한다.

[129]

[130] 도 23에 도시된 바와 같이, 실시예에 따른 조명 장치는 커버(3100), 광원부(3200), 방열체(3300), 회로부(3400), 내부 케이스(3500), 소켓(3600)을 포함할 수 있다. 상기 광원부(3200)는 실시 예에 따른 발광소자 또는 발광소자 패키지를 포함할 수 있다.

[131] 상기 커버(3100)는 벌브(bulb) 형상을 가지며, 속이 비어 있다. 상기 커버(3100)는 개구(3110)를 갖는다. 상기 개구(3110)를 통해 상기 광원부(3200)와 부재(3350)가 삽입될 수 있다.

[132] 상기 커버(3100)는 상기 방열체(3300)와 결합하고, 상기 광원부(3200)와 상기 부재(3350)를 둘러쌀 수 있다. 상기 커버(3100)와 상기 방열체(3300)의 결합에 의해, 상기 광원부(3200)와 상기 부재(3350)는 외부와 차단될 수 있다. 상기 커버(3100)와 상기 방열체(3300)의 결합은 접착제를 통해 결합할 수도 있고, 회전 결합 방식 및 후크 결합 방식 등 다양한 방식으로 결합할 수 있다. 회전 결합 방식은 상기 방열체(3300)의 나사홈에 상기 커버(3100)의 나사선이 결합하는 방식으로, 상기 커버(3100)의 회전에 의해 상기 커버(3100)와 상기 방열체(3300)가 결합하는 방식이고, 후크 결합 방식은 상기 커버(3100)의 턱이 상기 방열체(3300)의 홈에 끼워져 상기 커버(3100)와 상기 방열체(3300)가 결합하는 방식이다.

[133] 상기 커버(3100)는 상기 광원부(3200)와 광학적으로 결합한다. 구체적으로 상기 커버(3100)는 상기 광원부(3200)의 발광 소자(3230)로부터의 광을 확산, 산란 또는 여기서시킬 수 있다. 상기 커버(3100)는 일종의 광학 부재일 수 있다. 여기서, 상기 커버(3100)는 상기 광원부(3200)로부터의 광을 여기서시키기 위해, 내/외면 또는 내부에 형광체를 가질 수 있다.

[134] 상기 커버(3100)의 내면에는 유백색 도료가 코팅될 수 있다. 여기서, 유백색 도료는 빛을 확산시키는 확산재를 포함할 수 있다. 상기 커버(3100)의 내면의 표면 거칠기는 상기 커버(3100)의 외면의 표면 거칠기보다 클 수 있다. 이는 상기 광원부(3200)로부터의 광을 충분히 산란 및 확산시키기 위함이다.

[135] 상기 커버(3100)의 재질은 유리(glass), 플라스틱, 폴리프로필렌(PP), 폴리에틸렌(PE), 폴리카보네이트(PC) 등일 수 있다. 여기서, 폴리카보네이트는

내광성, 내열성, 강도가 뛰어나다. 상기 커버(3100)는 외부에서 상기 광원부(3200)와 상기 부재(3350)가 보일 수 있는 투명한 재질일 수 있고, 보이지 않는 불투명한 재질일 수 있다. 상기 커버(3100)는 예컨대 블로우(blow) 성형을 통해 형성될 수 있다.

- [136] 상기 광원부(3200)는 상기 방열체(3300)의 부재(3350)에 배치되고, 복수로 배치될 수 있다. 구체적으로, 상기 광원부(3200)는 상기 부재(3350)의 복수의 측면들 중 하나 이상의 측면에 배치될 수 있다. 그리고, 상기 광원부(3200)는 상기 부재(3350)의 측면에서도 상단부에 배치될 수 있다.
- [137] 상기 광원부(3200)는 상기 부재(3350)의 6 개의 측면들 중 3 개의 측면들에 배치될 수 있다. 그러나 이에 한정하는 것은 아니고, 상기 광원부(3200)는 상기 부재(3350)의 모든 측면들에 배치될 수 있다. 상기 광원부(3200)는 기관(3210)과 발광 소자(3230)를 포함할 수 있다. 상기 발광 소자(3230)는 기관(3210)의 일 면상에 배치될 수 있다.
- [138] 상기 기관(3210)은 사각형의 판 형상을 갖지만, 이에 한정되지 않고 다양한 형태를 가질 수 있다. 예를 들면, 상기 기관(3210)은 원형 또는 다각형의 판 형상일 수 있다. 상기 기관(3210)은 절연체에 회로 패턴이 인쇄된 것일 수 있으며, 예를 들어, 일반 인쇄회로기판(PCB: Printed Circuit Board), 메탈 코어(Metal Core) PCB, 연성(Flexible) PCB, 세라믹 PCB 등을 포함할 수 있다. 또한, 인쇄회로기판상에 패키징하지 않은 LED 칩을 직접 본딩할 수 있는 COB(Chips On Board) 타입을 사용할 수 있다. 또한, 상기 기관(3210)은 광을 효율적으로 반사하는 재질로 형성되거나, 표면이 광을 효율적으로 반사하는 컬러, 예를 들어 백색, 은색 등으로 형성될 수 있다. 상기 기관(3210)은 상기 방열체(3300)에 수납되는 상기 회로부(3400)와 전기적으로 연결될 수 있다. 상기 기관(3210)과 상기 회로부(3400)는 예로서 와이어(wire)를 통해 연결될 수 있다. 와이어는 상기 방열체(3300)를 관통하여 상기 기관(3210)과 상기 회로부(3400)를 연결시킬 수 있다.
- [139] 상기 발광 소자(3230)는 적색, 녹색, 청색의 광을 방출하는 발광 다이오드 칩이거나 UV를 방출하는 발광 다이오드 칩일 수 있다. 여기서, 발광 다이오드 칩은 수평형(Lateral Type) 또는 수직형(Vertical Type)일 수 있고, 발광 다이오드 칩은 청색(Blue), 적색(Red), 황색(Yellow), 또는 녹색(Green)을 발산할 수 있다.
- [140] 상기 발광 소자(3230)는 형광체를 가질 수 있다. 형광체는 가넷(Garnet)계(YAG, TAG), 실리케이트(Silicate)계, 나이트라이드(Nitride)계 및 옥시나이트라이드(Oxynitride)계 중 어느 하나 이상일 수 있다. 또는 형광체는 황색 형광체, 녹색 형광체 및 적색 형광체 중 어느 하나 이상일 수 있다.
- [141] 상기 방열체(3300)는 상기 커버(3100)와 결합하고, 상기 광원부(3200)로부터의 열을 방열할 수 있다. 상기 방열체(3300)는 소정의 체적을 가지며, 상면(3310), 측면(3330)을 포함한다. 상기 방열체(3300)의 상면(3310)에는 부재(3350)가 배치될 수 있다. 상기 방열체(3300)의 상면(3310)은 상기 커버(3100)와 결합할 수

있다. 상기 방열체(3300)의 상면(3310)은 상기 커버(3100)의 개구(3110)와 대응되는 형상을 가질 수 있다.

[142] 상기 방열체(3300)의 측면(3330)에는 복수의 방열핀(3370)이 배치될 수 있다. 상기 방열핀(3370)은 상기 방열체(3300)의 측면(3330)에서 외측으로 연장된 것이거나 측면(3330)에 연결된 것일 수 있다. 상기 방열핀(3370)은 상기 방열체(3300)의 방열 면적을 넓혀 방열 효율을 향상시킬 수 있다. 여기서, 측면(3330)은 상기 방열핀(3370)을 포함하지 않을 수도 있다.

[143] 상기 부재(3350)는 상기 방열체(3300)의 상면(3310)에 배치될 수 있다. 상기 부재(3350)는 상면(3310)과 일체일 수도 있고, 상면(3310)에 결합된 것일 수 있다. 상기 부재(3350)는 다각 기둥일 수 있다. 구체적으로, 상기 부재(3350)는 육각 기둥일 수 있다. 육각 기둥의 부재(3350)는 윗면과 밑면 그리고 6 개의 측면들을 갖는다. 여기서, 상기 부재(3350)는 다각 기둥뿐만 아니라 원 기둥 또는 타원 기둥일 수 있다. 상기 부재(3350)가 원 기둥 또는 타원 기둥일 경우, 상기 광원부(3200)의 상기 기판(3210)은 연성 기판일 수 있다.

[144] 상기 부재(3350)의 6 개의 측면에는 상기 광원부(3200)가 배치될 수 있다. 6 개의 측면 모두에 상기 광원부(3200)가 배치될 수도 있고, 6 개의 측면들 중 몇 개의 측면들에 상기 광원부(3200)가 배치될 수도 있다. 도 16에서는 6 개의 측면들 중 3 개의 측면들에 상기 광원부(3200)가 배치되어 있다.

[145] 상기 부재(3350)의 측면에는 상기 기판(3210)이 배치된다. 상기 부재(3350)의 측면은 상기 방열체(3300)의 상면(3310)과 실질적으로 수직을 이룰 수 있다. 따라서, 상기 기판(3210)과 상기 방열체(3300)의 상면(3310)은 실질적으로 수직을 이룰 수 있다.

[146] 상기 부재(3350)의 재질은 열 전도성을 갖는 재질일 수 있다. 이는 상기 광원부(3200)로부터 발생하는 열을 빠르게 전달받기 위함이다. 상기 부재(3350)의 재질로서는 예를 들면, 알루미늄(Al), 니켈(Ni), 구리(Cu), 마그네슘(Mg), 은(Ag), 주석(Sn) 등과 상기 금속들의 합금일 수 있다. 또는 상기 부재(3350)는 열 전도성을 갖는 열 전도성 플라스틱으로 형성될 수 있다. 열 전도성 플라스틱은 금속보다 무게가 가볍고, 단방향성의 열 전도성을 갖는 이점이 있다.

[147] 상기 회로부(3400)는 외부로부터 전원을 제공받고, 제공받은 전원을 상기 광원부(3200)에 맞게 변환한다. 상기 회로부(3400)는 변환된 전원을 상기 광원부(3200)로 공급한다. 상기 회로부(3400)는 상기 방열체(3300)에 배치될 수 있다. 구체적으로, 상기 회로부(3400)는 상기 내부 케이스(3500)에 수납되고, 상기 내부 케이스(3500)와 함께 상기 방열체(3300)에 수납될 수 있다. 상기 회로부(3400)는 회로 기판(3410)과 상기 회로 기판(3410) 상에 탑재되는 다수의 부품(3430)을 포함할 수 있다.

[148] 상기 회로 기판(3410)은 원형의 판 형상을 갖지만, 이에 한정되지 않고 다양한 형태를 가질 수 있다. 예를 들면, 상기 회로 기판(3410)은 타원형 또는 다각형의

판 형상일 수 있다. 이러한 회로 기관(3410)은 절연체에 회로 패턴이 인쇄된 것일 수 있다.

- [149] 상기 회로 기관(3410)은 상기 광원부(3200)의 기관(3210)과 전기적으로 연결된다. 상기 회로 기관(3410)과 상기 기관(3210)의 전기적 연결은 예로서 와이어(wire)를 통해 연결될 수 있다. 와이어는 상기 방열체(3300)의 내부에 배치되어 상기 회로 기관(3410)과 상기 기관(3210)을 연결할 수 있다.
- [150] 다수의 부품(3430)은 예를 들어, 외부 전원으로부터 제공되는 교류 전원을 직류 전원으로 변환하는 직류변환장치, 상기 광원부(3200)의 구동을 제어하는 구동칩, 상기 광원부(3200)를 보호하기 위한 ESD(ElectroStatic discharge) 보호 소자 등을 포함할 수 있다.
- [151] 상기 내부 케이스(3500)는 내부에 상기 회로부(3400)를 수납한다. 상기 내부 케이스(3500)는 상기 회로부(3400)를 수납하기 위해 수납부(3510)를 가질 수 있다.
- [152] 상기 수납부(3510)는 예로서 원통 형상을 가질 수 있다. 상기 수납부(3510)의 형상은 상기 방열체(3300)의 형상에 따라 달라질 수 있다. 상기 내부 케이스(3500)는 상기 방열체(3300)에 수납될 수 있다. 상기 내부 케이스(3500)의 수납부(3510)는 상기 방열체(3300)의 하면에 형성된 수납부에 수납될 수 있다.
- [153] 상기 내부 케이스(3500)는 상기 소켓(3600)과 결합될 수 있다. 상기 내부 케이스(3500)는 상기 소켓(3600)과 결합하는 연결부(3530)를 가질 수 있다. 상기 연결부(3530)는 상기 소켓(3600)의 나사홈 구조와 대응되는 나사산 구조를 가질 수 있다. 상기 내부 케이스(3500)는 부도체이다. 따라서, 상기 회로부(3400)와 상기 방열체(3300) 사이의 전기적 단락을 막는다. 예로서 상기 내부 케이스(3500)는 플라스틱 또는 수지 재질로 형성될 수 있다.
- [154]
- [155] 상기 소켓(3600)은 상기 내부 케이스(3500)와 결합될 수 있다. 구체적으로, 상기 소켓(3600)은 상기 내부 케이스(3500)의 연결부(3530)와 결합될 수 있다. 상기 소켓(3600)은 종래 재래식 백열 전구와 같은 구조를 가질 수 있다. 상기 회로부(3400)와 상기 소켓(3600)은 전기적으로 연결된다. 상기 회로부(3400)와 상기 소켓(3600)의 전기적 연결은 와이어(wire)를 통해 연결될 수 있다. 따라서, 상기 소켓(3600)에 외부 전원이 인가되면, 외부 전원은 상기 회로부(3400)로 전달될 수 있다. 상기 소켓(3600)은 상기 연결부(3550)의 나사산 구조와 대응되는 나사홈 구조를 가질 수 있다.
- [156]
- [157] 도 24에 도시된 바와 같이, 조명장치 예컨대, 백라이트 유닛은 도광판(1210)과, 상기 도광판(1210)에 빛을 제공하는 발광모듈부(1240)와, 상기 도광판(1210) 아래에 반사 부재(1220)와, 상기 도광판(1210), 발광모듈부(1240) 및 반사 부재(1220)를 수납하는 바텀 커버(1230)를 포함할 수 있으나 이에 한정되지 않는다.

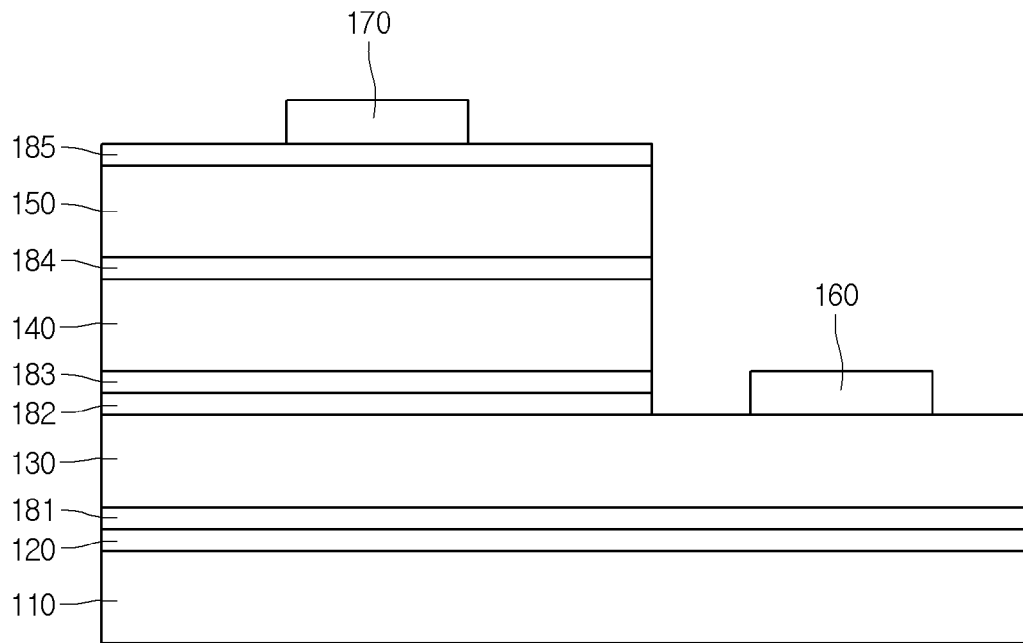
- [158] 상기 도광판(1210)은 빛을 확산시켜 면광원화 시키는 역할을 한다. 상기 도광판(1210)은 투명한 재질로 이루어지며, 예를 들어, PMMA(polymethyl metaacrylate)와 같은 아크릴 수지 계열, PET(polyethylene terephthlate), PC(poly carbonate), COC(cycloolefin copolymer) 및 PEN(polyethylene naphthalate) 수지 중 하나를 포함할 수 있다.
- [159] 상기 발광모듈부(1240)은 상기 도광판(1210)의 적어도 일 측면에 빛을 제공하며, 궁극적으로는 상기 백라이트 유닛이 배치되는 디스플레이 장치의 광원으로써 작용하게 된다.
- [160] 상기 발광모듈부(1240)은 상기 도광판(1210)과 접할 수 있으나 이에 한정되지 않는다. 구체적으로는, 상기 발광모듈부(1240)은 기판(1242)과, 상기 기판(1242)에 탑재된 다수의 발광소자 패키지(200)를 포함하는데, 상기 기판(1242)이 상기 도광판(1210)과 접할 수 있으나 이에 한정되지 않는다.
- [161] 상기 기판(1242)은 회로패턴(미도시)을 포함하는 인쇄회로기판(PCB, Printed Circuit Board)일 수 있다. 다만, 상기 기판(1242)은 일반 PCB 뿐 아니라, 메탈 코어 PCB(MCPCB, Metal Core PCB), 연성 PCB(FPCB, Flexible PCB) 등을 포함할 수도 있으며, 이에 대해 한정하지는 않는다.
- [162] 그리고, 상기 다수의 발광소자 패키지(200)는 상기 기판(1242) 상에 빛이 방출되는 발광면이 상기 도광판(1210)과 소정 거리 이격되도록 탑재될 수 있다.
- [163] 상기 도광판(1210) 아래에는 상기 반사 부재(1220)가 형성될 수 있다. 상기 반사 부재(1220)는 상기 도광판(1210)의 하면으로 입사된 빛을 반사시켜 위로 향하게 함으로써, 상기 백라이트 유닛의 휘도를 향상시킬 수 있다. 상기 반사 부재(1220)는 예를 들어, PET, PC, PVC 레진 등으로 형성될 수 있으나, 이에 대해 한정하지는 않는다.
- [164] 상기 바텀 커버(1230)는 상기 도광판(1210), 발광모듈부(1240) 및 반사 부재(1220) 등을 수납할 수 있다. 이를 위해, 상기 바텀 커버(1230)는 상면이 개구된 박스(box) 형상으로 형성될 수 있으나, 이에 대해 한정하지는 않는다.
- [165] 상기 바텀 커버(1230)는 금속 재질 또는 수지 재질로 형성될 수 있으며, 프레스 성형 또는 압출 성형 등의 공정을 이용하여 제조될 수 있다.
- [166]
- [167] 상기에서는 도면 및 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 실시예의 기술적 사상으로부터 벗어나지 않는 범위 내에서 실시예는 다양하게 수정 및 변경시킬 수 있음은 이해할 수 있을 것이다.
- 산업상 이용가능성**
- [168] 실시예는 발광 소자의 신뢰성을 개선시켜 줄 수 있다.

청구범위

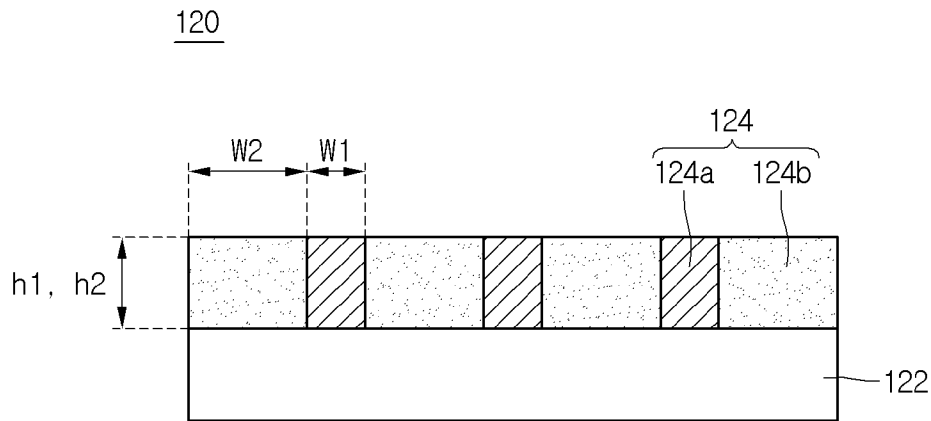
- [청구항 1] 기판;
 상기 기판 상에 배치된 제1 버퍼층;
 상기 제1 버퍼층 상에 배치되며 Al을 포함하는 제2 버퍼층;
 상기 제2 버퍼층 상에 배치된 제1 도전형 반도체층;
 상기 제1 도전형 반도체층 상에 배치된 활성층; 및
 상기 활성층 상에 배치된 제2 도전형 반도체층;을 포함하고,
 상기 제2 버퍼층은 수평으로 배치된 제1 층과 제2 층을 포함하며,
 제1 층은 제1 도전형 반도체층에 인접할수록 Al 조성비가
 증가하고, 제2 층은 제1 도전형 반도체층에 인접할수록 Al
 조성비가 감소하는 발광소자.
- [청구항 2] 제 1 항에 있어서,
 상기 제1 층은 제1 도전형 반도체층에 인접할 수록 Al 조성비가
 선형적으로 증가하고, 상기 제2 층은 제1 도전형 반도체층에
 인접할 수록 Al 조성비가 선형적으로 감소하는 발광소자.
- [청구항 3] 제 1 항에 있어서,
 상기 제1 층은 제1 도전형 반도체층에 인접할 수록 Al 조성비가
 비선형적으로 증가하고, 상기 제2 층은 제1 도전형 반도체층에
 인접할 수록 Al 조성비가 비선형적으로 감소하는 발광소자.
- [청구항 4] 제 3 항에 있어서,
 상기 제1 층의 Al 조성비는 아래로 볼록하게 비선형적으로
 증가하고, 상기 제2 층의 Al 조성비는 위로 볼록한 비선형적으로
 감소하는 발광소자.
- [청구항 5] 제 3 항에 있어서,
 상기 제1 층의 Al 조성비는 위로 볼록하게 비선형적으로 증가하고,
 상기 제2 층의 Al 조성비는 아래로 볼록하게 비선형적으로
 감소하는 발광소자.
- [청구항 6] 제 1 항에 있어서,
 상기 제1 층은 제1 도전형 반도체층에 인접할 수록 Al 조성비가
 계단형으로 증가하고, 상기 제2 층은 제1 도전형 반도체층에
 인접할 수록 Al 조성비가 계단형으로 감소하는 발광소자.
- [청구항 7] 제 1 항에 있어서,
 상기 제1 버퍼층은 AlN을 포함하고, 상기 제2 버퍼층은 AlGaIn을
 포함하는 발광소자.
- [청구항 8] 제 1 항에 있어서,
 상기 제2 버퍼층의 상부에는 u-GaN층이 더 배치되는 발광소자.
- [청구항 9] 제 1 항에 있어서,

- 상기 제1 도전형 반도체층과 활성층 사이에 순차적으로 배치된 전류 확산층 및 스트레인 제어층을 더 포함하는 발광소자.
- [청구항 10] 제 1 항에 있어서,
상기 제2 도전형 반도체층 상에 배치된 투광성 전극층을 더 포함하는 발광소자.
- [청구항 11] 기판;
상기 기판 상에 배치된 제1 버퍼층;
상기 제1 버퍼층 상에 배치된 제2 버퍼층;
상기 제2 버퍼층 상에 배치된 제1 도전형 반도체층;
상기 제1 도전형 반도체층 상에 배치된 활성층; 및
상기 활성층 상에 배치된 제2 도전형 반도체층;을 포함하고,
상기 제2 버퍼층은 수평으로 배치된 제1 층과 제2 층을 포함하며,
상기 제1 층과 제2 층의 폭은 서로 상이한 발광소자.
- [청구항 12] 제 11 항에 있어서,
상기 제1 층과 제2 층은 번갈아가면서 배치되는 발광소자.
- [청구항 13] 제 12 항에 있어서,
상기 제2 버퍼층의 최외곽에는 제2 층이 배치되는 발광소자.
- [청구항 14] 제 13 항에 있어서,
상기 제2 층의 폭은 제1 층의 폭보다 크게 형성된 발광소자.
- [청구항 15] 제 14 항에 있어서,
상기 제2 버퍼층은 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$)을 포함하는 발광소자.
- [청구항 16] 제 15 항에 있어서,
상기 제1 층은 제1 도전형 반도체층에 인접할수록 Al 조성비가 증가하고, 제2 층은 제1 도전형 반도체층에 인접할수록 Al 조성비가 감소하는 발광소자.
- [청구항 17] 제 11 항에 있어서,
상기 제1 버퍼층은 AlN을 포함하는 발광소자.
- [청구항 18] 제 11 항에 있어서,
상기 제1 도전형 반도체층과 활성층 사이에 순차적으로 배치된 전류 확산층 및 스트레인 제어층을 더 포함하는 발광소자.
- [청구항 19] 제 11 항에 있어서,
상기 제2 도전형 반도체층 상에 배치된 투광성 전극층을 더 포함하는 발광소자.
- [청구항 20] 제1 항 내지 제 19 항 중 어느 한 항의 발광소자를 포함하는 조명 시스템.

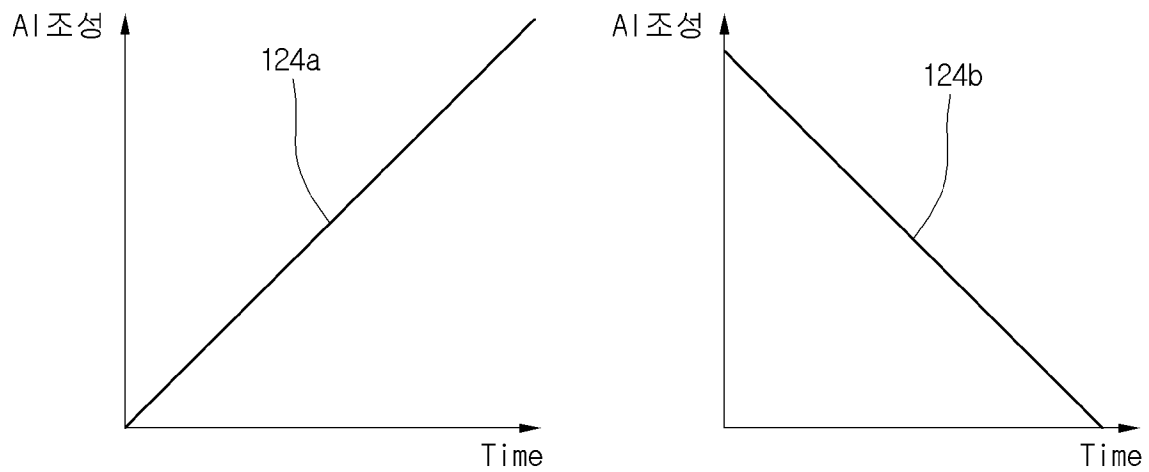
[Fig. 1]



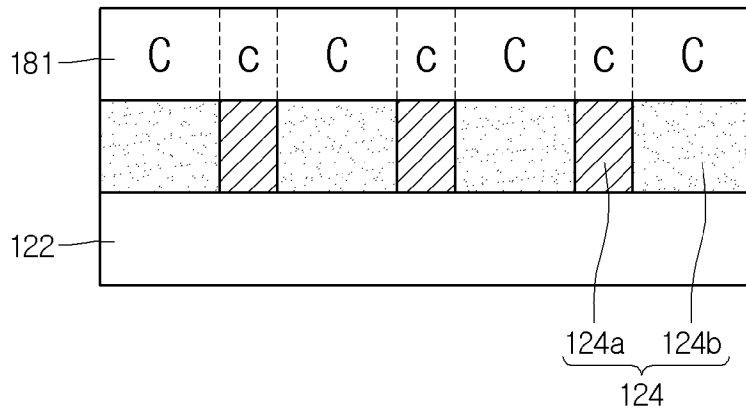
[Fig. 2]



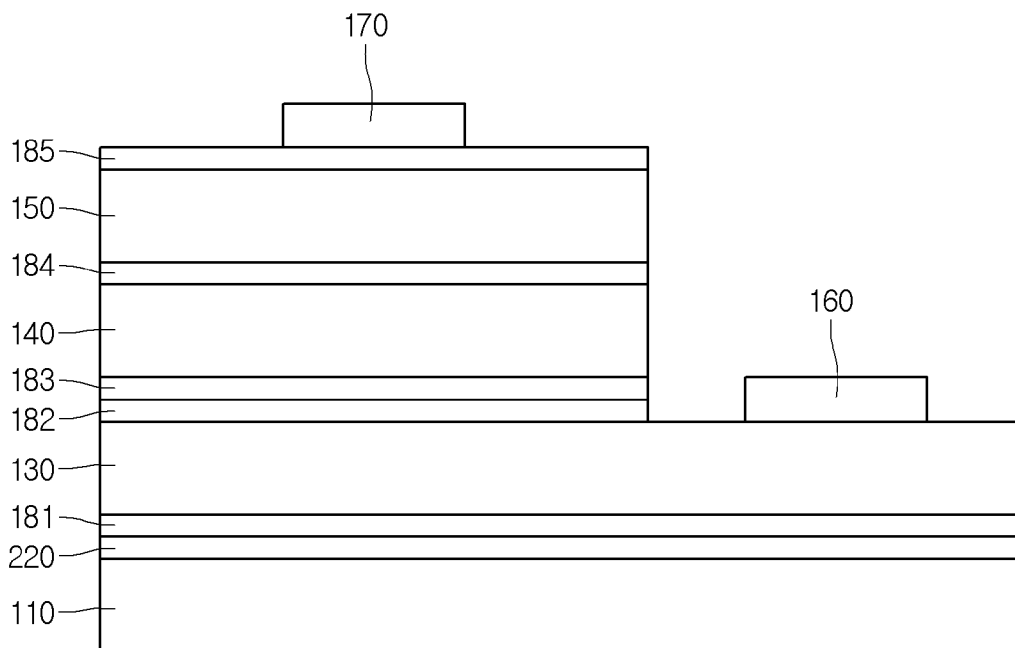
[Fig. 3]



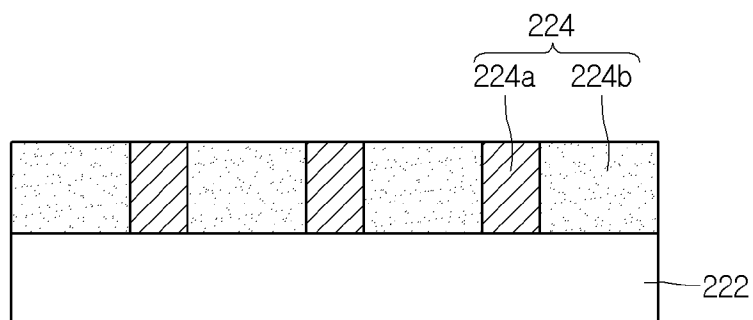
[Fig. 4]



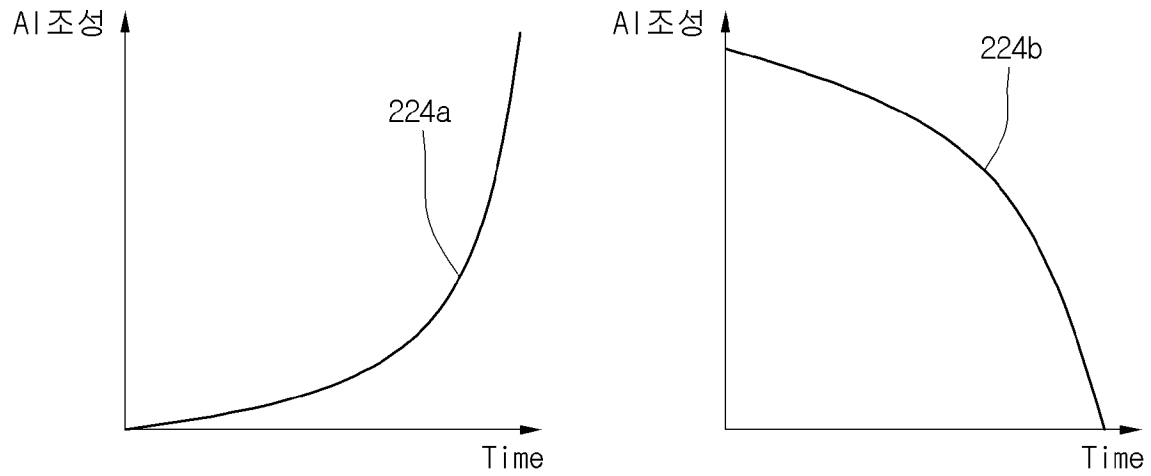
[Fig. 5]



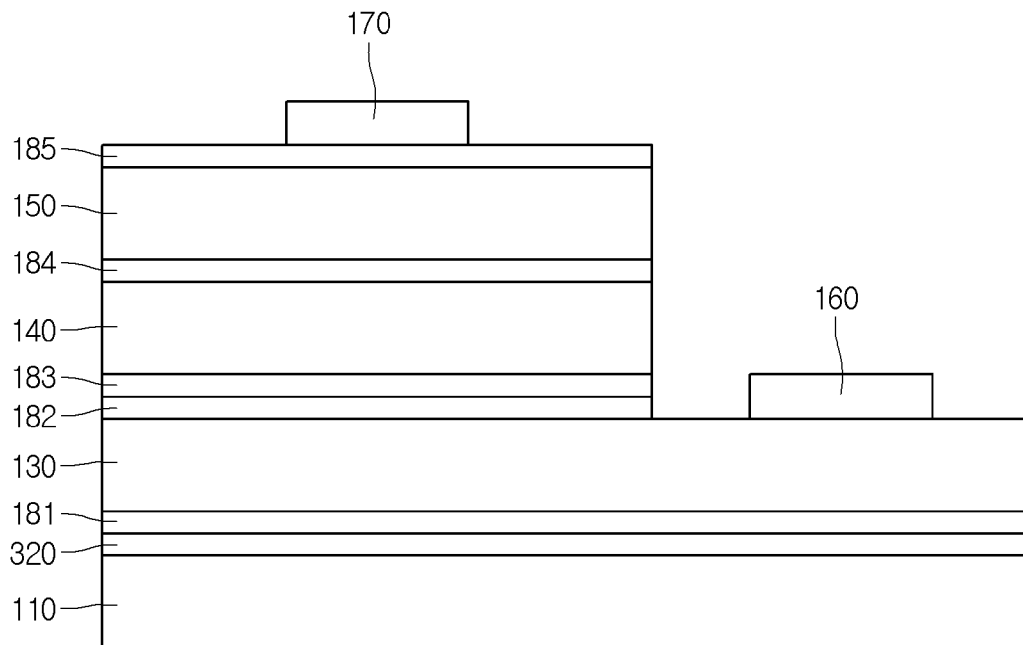
[Fig. 6]

220

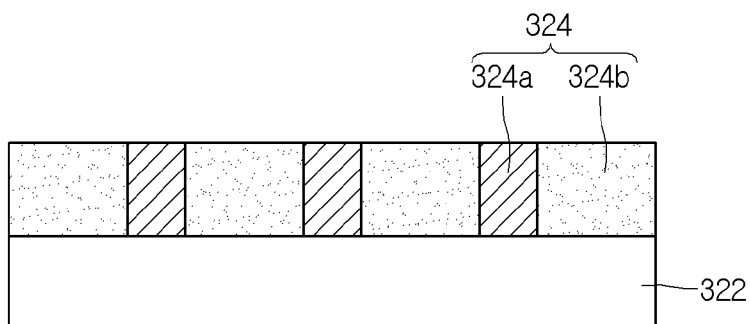
[Fig. 7]



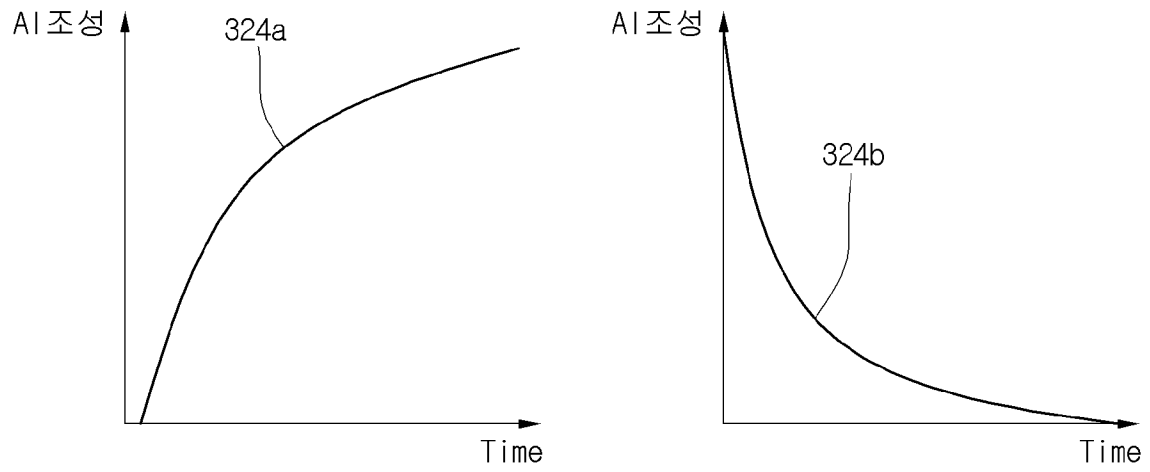
[Fig. 8]



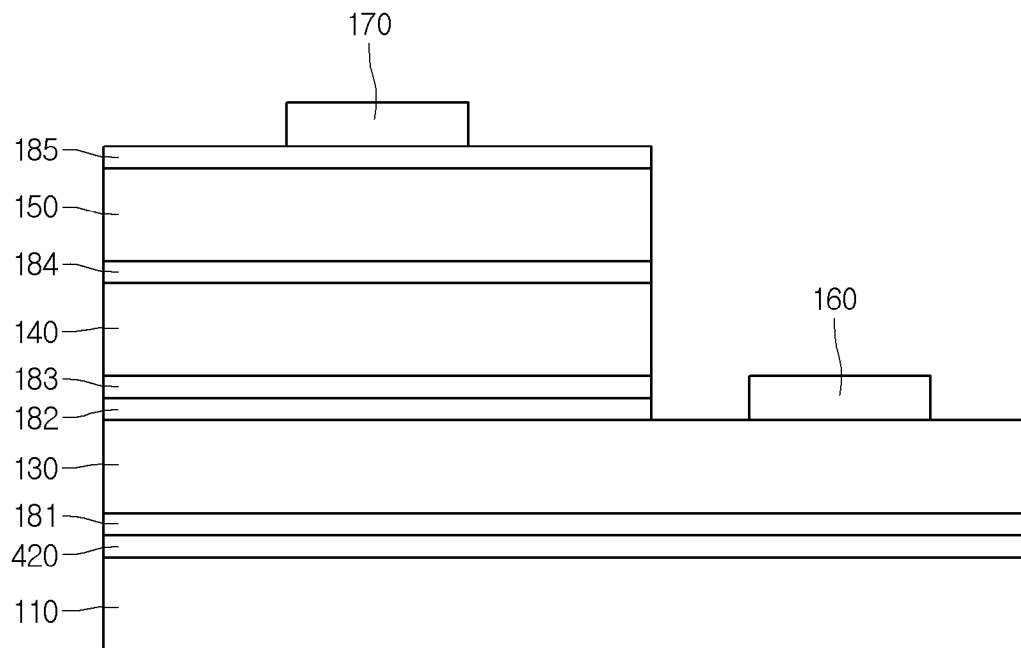
[Fig. 9]

320

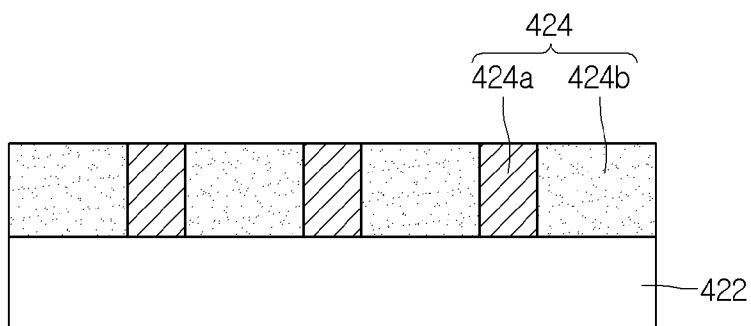
[Fig. 10]



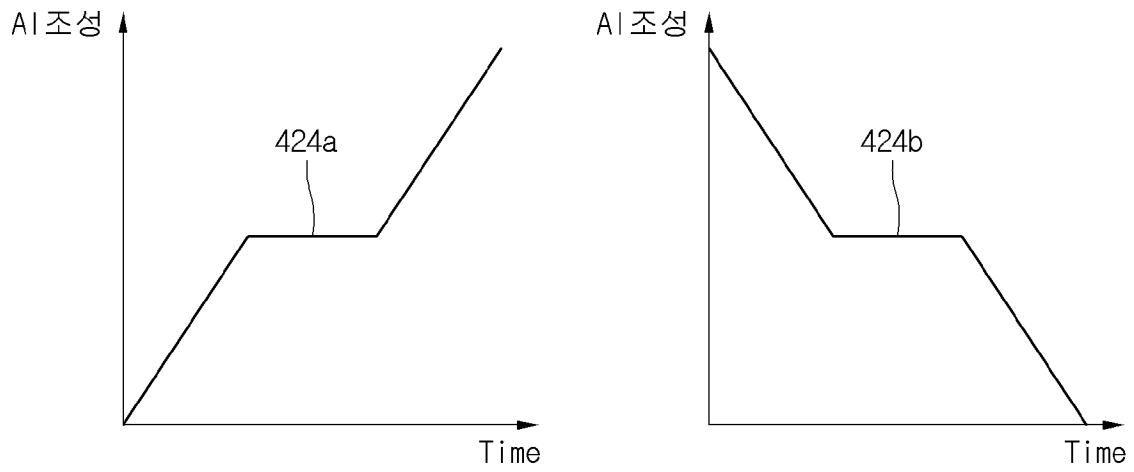
[Fig. 11]



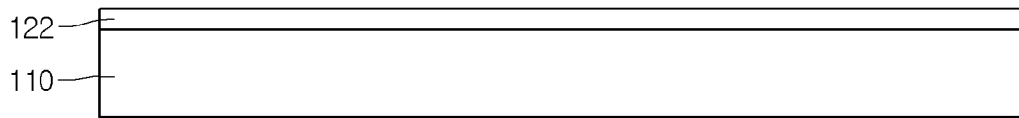
[Fig. 12]

420

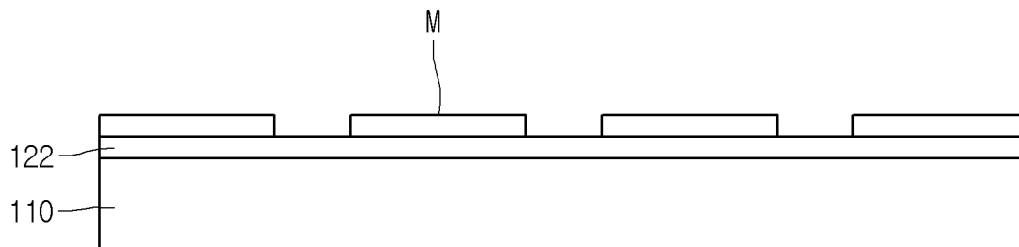
[Fig. 13]



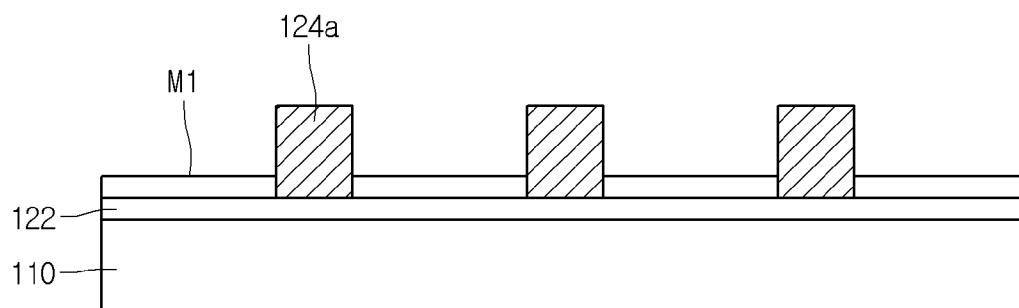
[Fig. 14]



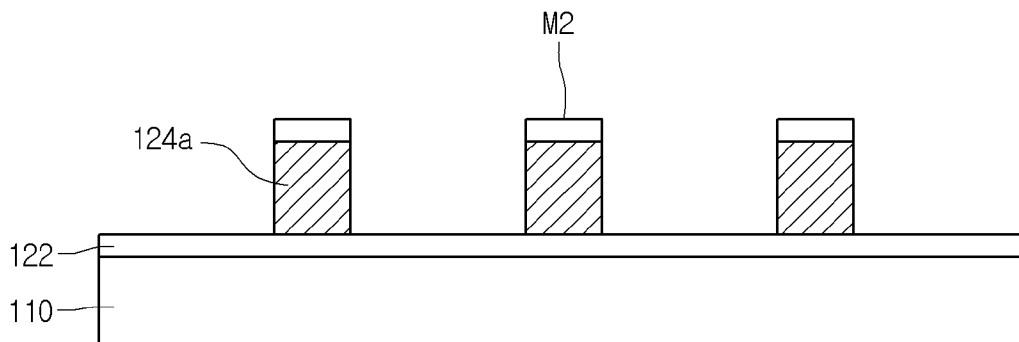
[Fig. 15]



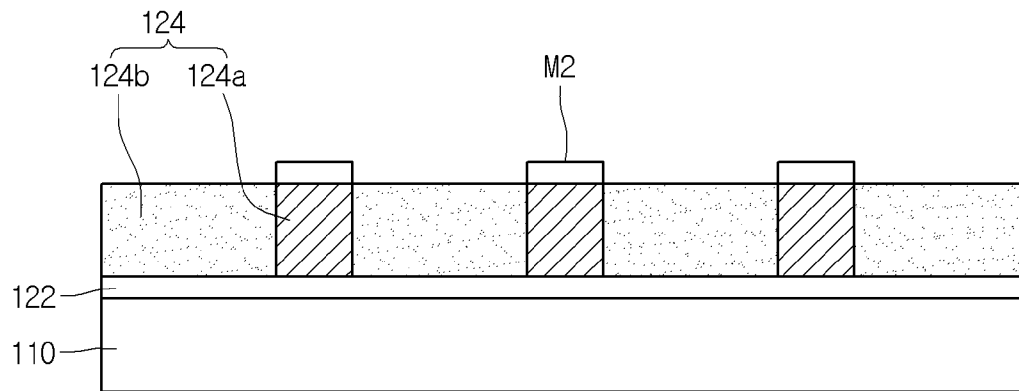
[Fig. 16]



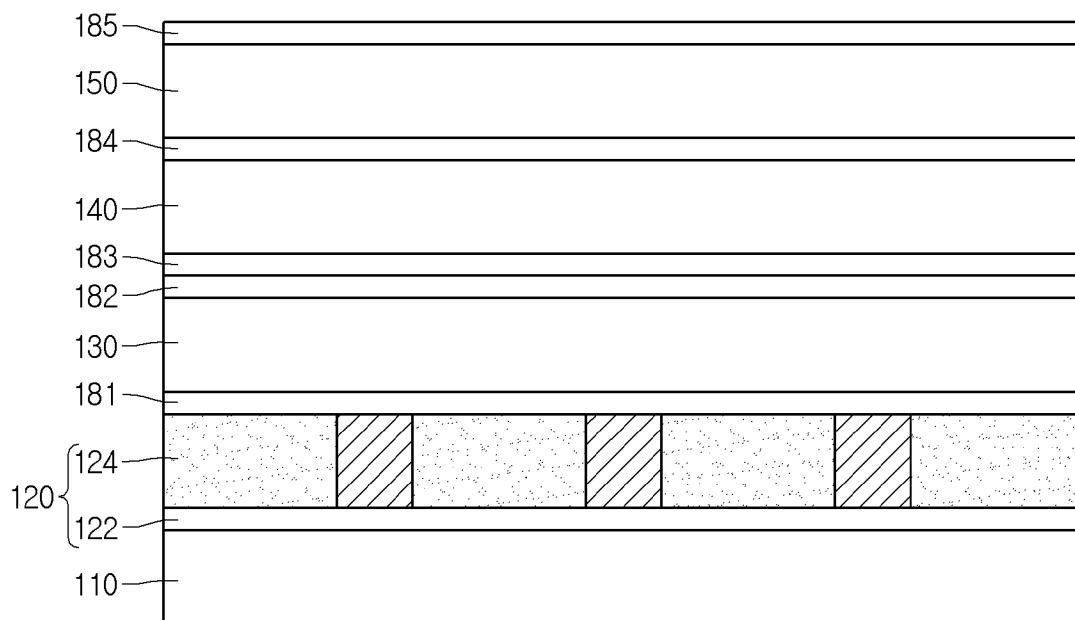
[Fig. 17]



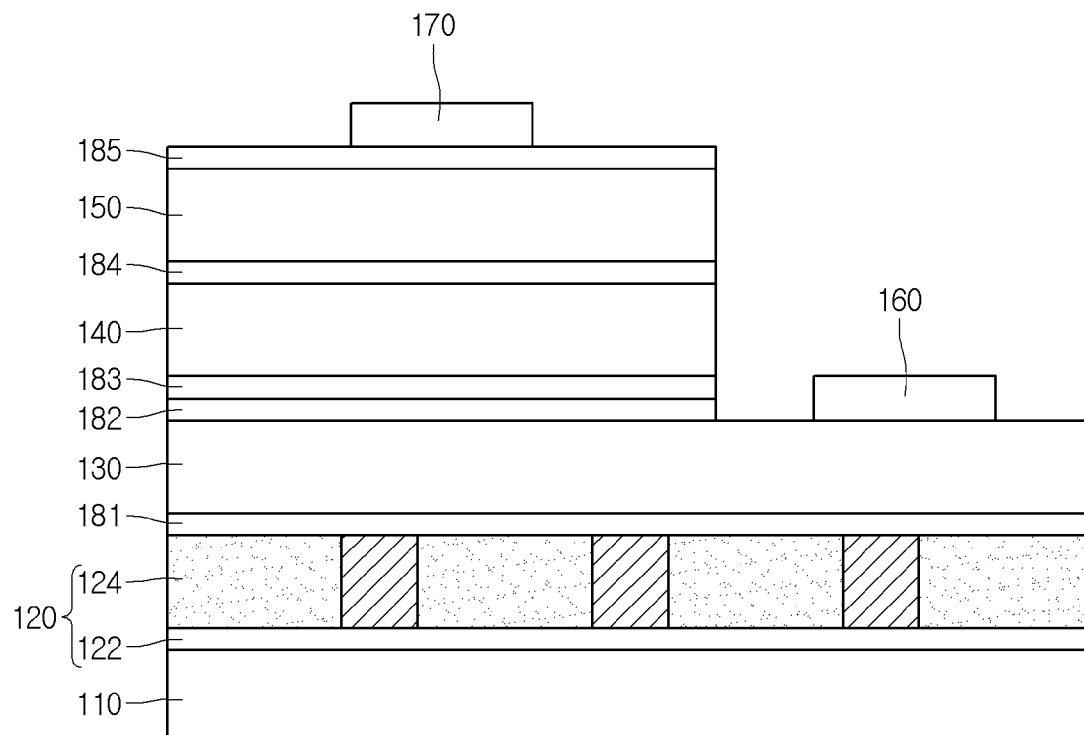
[Fig. 18]



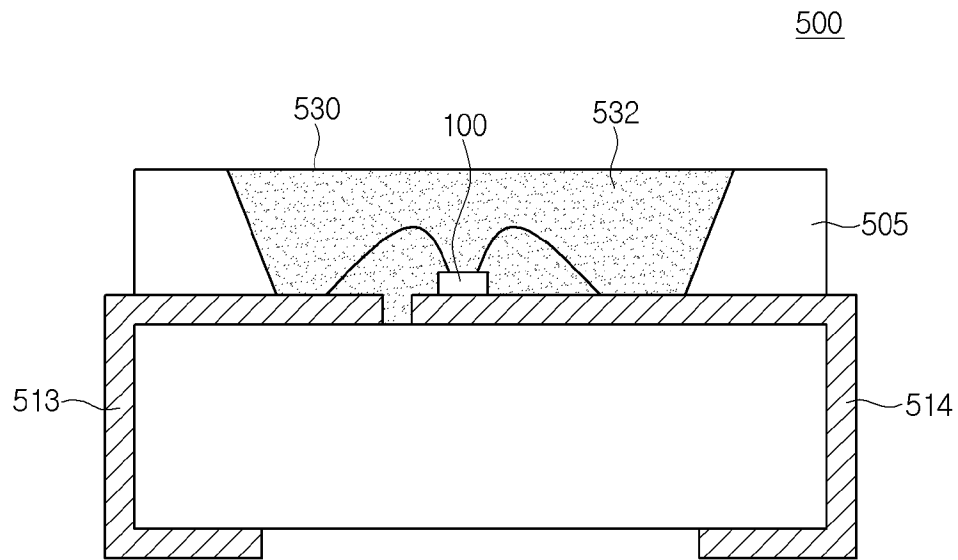
[Fig. 19]



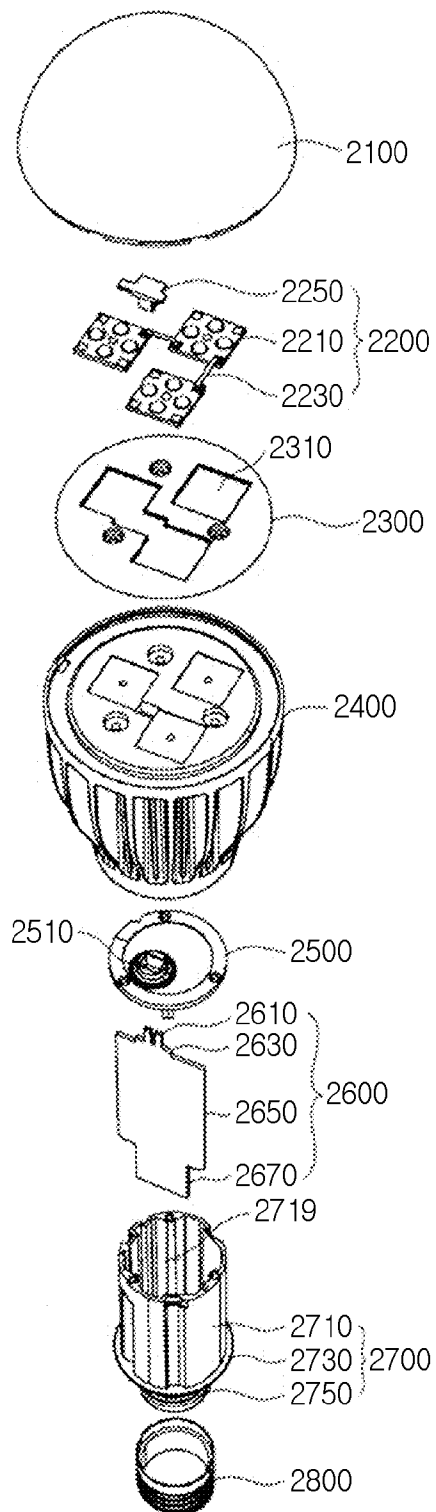
[Fig. 20]



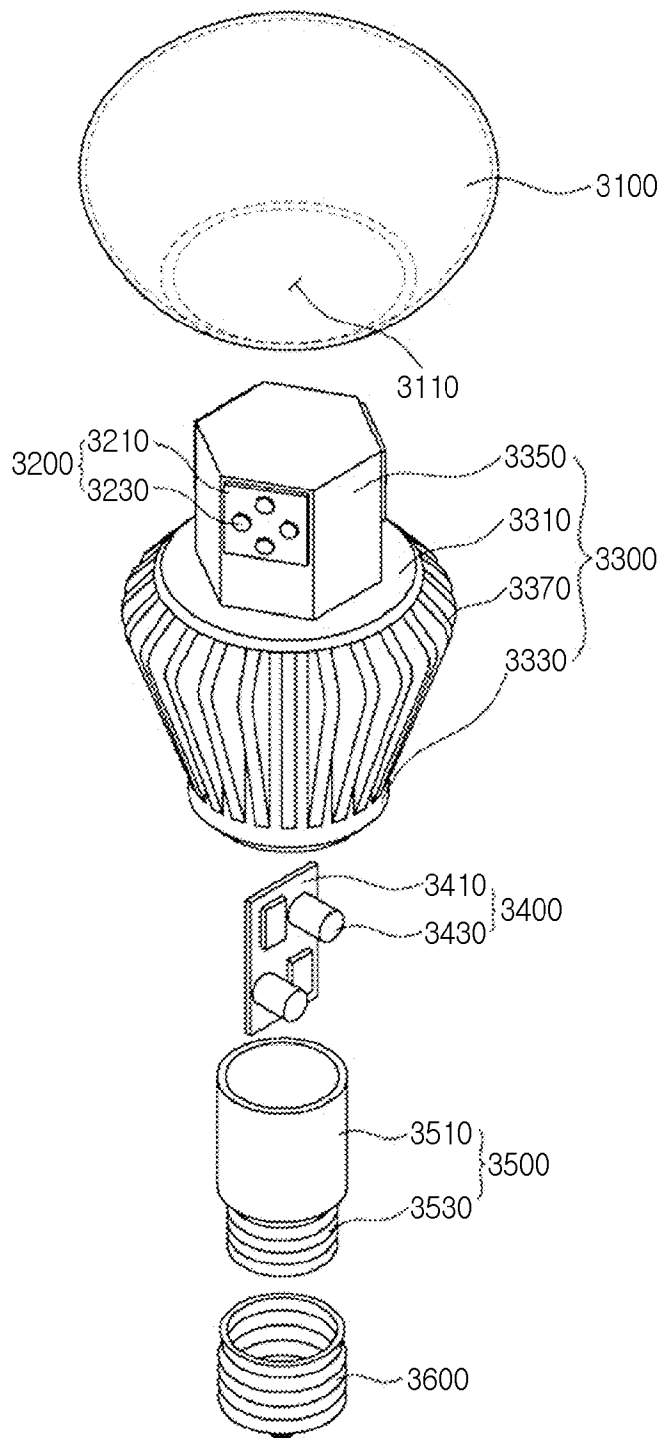
[Fig. 21]



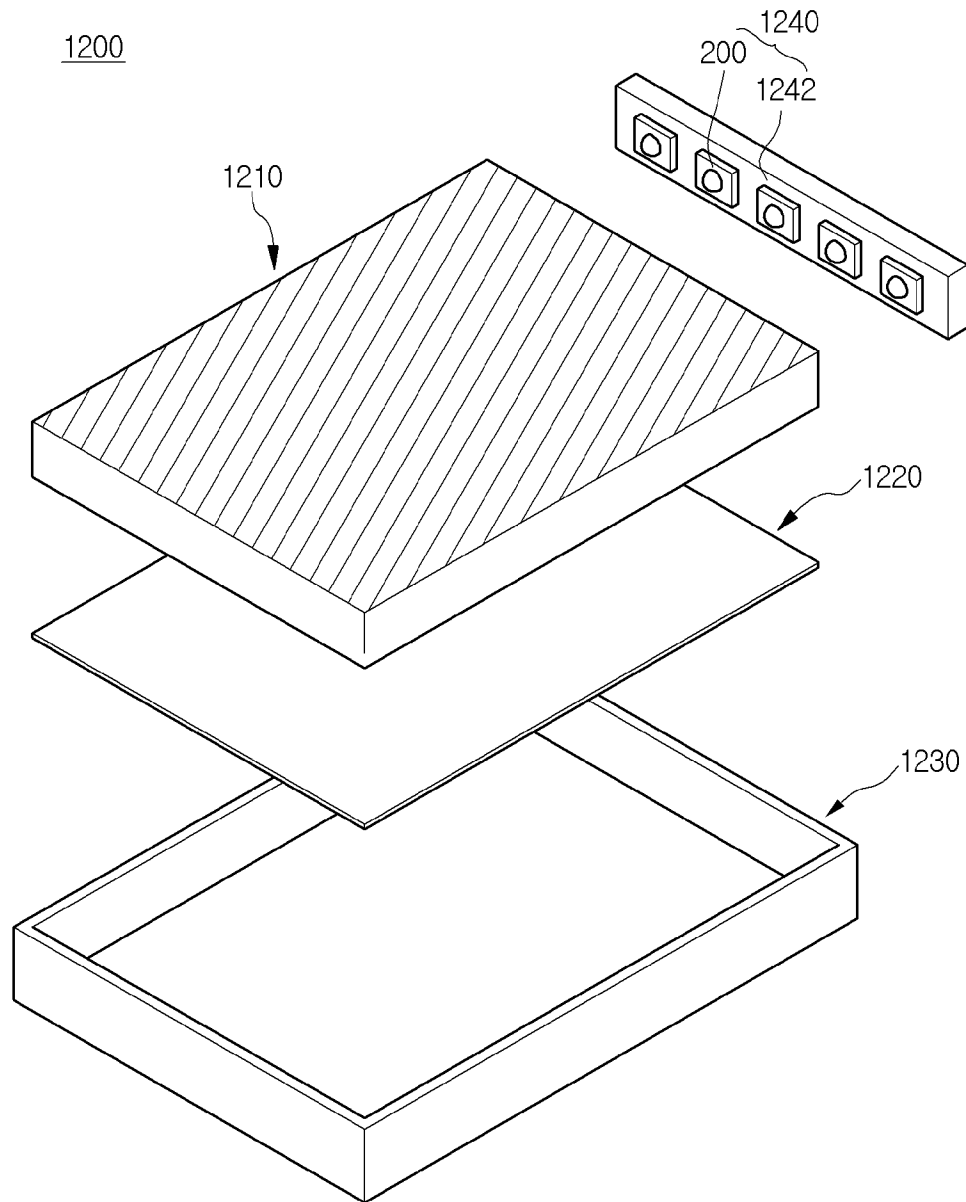
[Fig. 22]



[Fig. 23]



[Fig. 24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/002056**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 33/12(2010.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/12; H01L 29/778; H01L 21/20; H01L 21/205; H01L 21/338; H01L 33/36; H01L 33/00; C30B 29/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: buffer layer(buffer layer), aluminum(Al), composition(composition), GaN based semiconductor, doping density

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-151910 A (MITSUBISHI CABLE IND., LTD.) 23 May 2003 See paragraphs [0003]-[0042], claims 1-6 and figure 1.	1-20
A	JP 2012-243871 A (ADVANCED POWER DEVICE RESEARCH ASSOCIATION) 10 December 2012 See paragraphs [0005]-[0025], claims 1-10 and figures 1-2.	1-20
A	JP 2013-145821 A (SHARP CORP.) 25 July 2013 See paragraphs [0016]-[0024], claim 1 and figure 1.	1-20
A	KR 10-2012-0119480 A (RESEARCH COOPERATION FOUNDATION OF YEUNGNAM UNIVERSITY) 31 October 2012 See paragraphs [0023]-[0058], claim 1 and figures 1-3.	1-20
A	JP 2002-241198 A (HITACHI CABLE LTD.) 28 August 2002 See paragraphs [0034]-[0042], claims 1-2 and figure 2.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 JULY 2015 (20.07.2015)

Date of mailing of the international search report

20 JULY 2015 (20.07.2015)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/002056

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2003-151910 A	23/05/2003	NONE	
JP 2012-243871 A	10/12/2012	CN 103403840 A EP 2662882 A1 EP 2662882 A4 US 2013-0307023 A1 WO 2012-157228 A1	20/11/2013 13/11/2013 29/10/2014 21/11/2013 22/11/2012
JP 2013-145821 A	25/07/2013	CN 104054166 A US 2014-0353587 A1 WO 2013-108733 A1	17/09/2014 04/12/2014 25/07/2013
KR 10-2012-0119480 A	31/10/2012	KR 10-1196961 B1	05/11/2012
JP 2002-241198 A	28/08/2002	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/12(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/12; H01L 29/778; H01L 21/20; H01L 21/205; H01L 21/338; H01L 33/36; H01L 33/00; C30B 29/38

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 버퍼층(buffer layer), 알루미늄(Al), 조성(composition), GaN계 반도체, 도핑 농도

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2003-151910 A (MITSUBISHI CABLE IND., LTD.) 2003.05.23 단락 [0003]-[0042], 청구항 1-6 및 도면 1 참조.	1-20
A	JP 2012-243871 A (ADVANCED POWER DEVICE RESEARCH ASSOCIATION) 2012.12.10 단락 [0005]-[0025], 청구항 1-10 및 도면 1-2 참조.	1-20
A	JP 2013-145821 A (SHARP CORP.) 2013.07.25 단락 [0016]-[0024], 청구항 1 및 도면 1 참조.	1-20
A	KR 10-2012-0119480 A (영남대학교 산학협력단) 2012.10.31 단락 [0023]-[0058], 청구항 1 및 도면 1-3 참조.	1-20
A	JP 2002-241198 A (HITACHI CABLE LTD.) 2002.08.28 단락 [0034]-[0042], 청구항 1-2 및 도면 2 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2015년 07월 20일 (20.07.2015)

국제조사보고서 발송일

2015년 07월 20일 (20.07.2015)

ISA/KR의 명칭 및 우편주소



대한민국 특허청

(302-701) 대전광역시 서구 청사로 189,

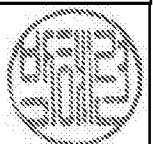
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

박혜련

전화번호 +82-42-481-3463



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2003-151910 A	2003/05/23	없음	
JP 2012-243871 A	2012/12/10	CN 103403840 A EP 2662882 A1 EP 2662882 A4 US 2013-0307023 A1 WO 2012-157228 A1	2013/11/20 2013/11/13 2014/10/29 2013/11/21 2012/11/22
JP 2013-145821 A	2013/07/25	CN 104054166 A US 2014-0353587 A1 WO 2013-108733 A1	2014/09/17 2014/12/04 2013/07/25
KR 10-2012-0119480 A	2012/10/31	KR 10-1196961 B1	2012/11/05
JP 2002-241198 A	2002/08/28	없음	