

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月13日(13.08.2020)



(10) 国際公開番号

WO 2020/162128 A1

(51) 国際特許分類:

H01S 5/042 (2006.01) *H03K 17/00* (2006.01)
G01S 7/484 (2006.01) *H03K 17/08* (2006.01)
H01L 21/822 (2006.01) *H03K 17/082* (2006.01)
H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2020/001168

(22) 国際出願日: 2020年1月16日(16.01.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-019194 2019年2月5日(05.02.2019) JP

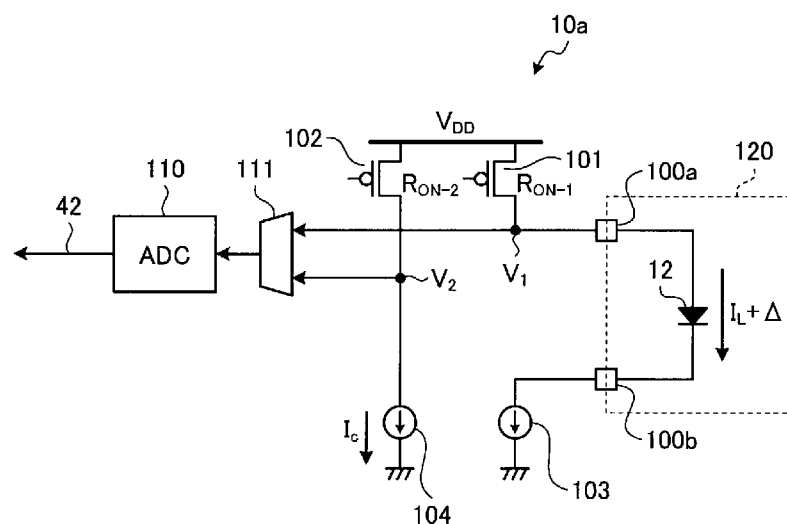
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 増田 貴志 (MASUDA, Takashi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 田畑 満志 (TABATA, Mitsushi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 岡本 晃一 (OKAMOTO, Koichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大場 康雄 (OBA, Yasuo); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: LIGHT SOURCE DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光源装置および電子機器



(57) Abstract: The present invention comprises: a first resistive element (101) that is connected to a prescribed potential; a light emitting element (12) that is connected in series to the first resistive element (101); a second resistive element (102) that is connected to a prescribed potential; and a first current source (104) that is connected in series to the second resistive element and that supplies any given current within a prescribed range. A first voltage is extracted from a first connection section where the first resistive element and the light emitting element are connected. A second voltage is extracted from a second connection section where the second resistive element and the first current source are connected.

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関 3 丁目 8 番 1 号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 所定の電位に接続される第1の抵抗体(101)と、第1の抵抗体に直列に接続される発光素子(12)と、所定の電位に接続される第2の抵抗体(102)と、第2の抵抗体に直列に接続される、所定の範囲内における任意の電流を供給する第1の電流源(104)と、を備える。第1の抵抗体と発光素子とが接続される第1の接続部から第1の電圧を取り出し、第2の抵抗体と第1の電流源とが接続される第2の接続部から第2の電圧を取り出す。

明 細 書

発明の名称：光源装置および電子機器

技術分野

[0001] 本発明は、光源装置および電子機器に関する。

背景技術

[0002] レーザダイオードといった、電流に応じて発光する発光素子が知られている。このような発光素子に対し、電源系の不具合などにより例えば設計値を大きく上回る電流（過電流）が流れると、予期せぬ大光量での発光や、場合によっては発光素子自体の破壊などを引き起こすおそれがある。そのため、従来から、発光素子に流す電流のモニタを行う技術が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2001-016082号公報

特許文献2：特開2013-066085号公報

発明の概要

発明が解決しようとする課題

[0004] 発光素子に流れる電流をモニタするための方法の一つとして、発光素子に対して電流を供給する経路に検出抵抗を挿入し、この検出抵抗の両端の電圧を測定する方法がある。しかしながら、この電流経路に検出抵抗を挿入する方法において、検出抵抗をチップ内抵抗にて実現する場合、チップ内抵抗は抵抗値にばらつきが大きいので、モニタ結果の精度に問題が生じる可能性がある。

[0005] また、発光素子と同一の電源から供給される電流（レプリカ）をモニタすることで、当該発光素子に流れる電流をモニタしたと見做す方法もある。しかしながら、この方法では、発光素子自身に流れる電流の不具合を検出できない可能性がある。

[0006] 本開示は、発光素子に供給される電流をより高精度に検出可能な光源装置

および電子機器を提供することを目的とする。

課題を解決するための手段

[0007] 本開示に係る光源装置は、所定の電位に接続される第1の抵抗体と、第1の抵抗体に直列に接続される発光素子と、所定の電位に接続される第2の抵抗体と、第2の抵抗体に直列に接続される、所定の範囲内における任意の電流を供給する第1の電流源と、を備え、第1の抵抗体と発光素子とが接続される第1の接続部から第1の電圧を取り出し、第2の抵抗体と第1の電流源とが接続される第2の接続部から第2の電圧を取り出す。

図面の簡単な説明

[0008] [図1]各実施形態に適用可能な光源装置の一例の構成を示すブロック図である。

[図2]既存技術によるレーザダイオードの駆動電流を検出するための構成例について説明するための図である。

[図3]既存技術によるレーザダイオードの駆動電流を検出するための構成例について説明するための図である。

[図4]第1の実施形態に係るドライバの一例の構成を示す図である。

[図5A]第1の実施形態に適用可能な、本線の経路の接続の別の例を示す図である。

[図5B]第1の実施形態に適用可能な、本線の経路の接続の別の例を示す図である。

[図6]第1の実施形態の変形例に係るドライバの一例の構成を示す図である。

[図7]第2の実施形態に係るドライバの一例の構成を示す図である。

[図8A]第2の実施形態の第1の変形例に係るドライバの一例の構成を示す図である。

[図8B]第2の実施形態の第1の変形例に係るドライバの一例の構成を示す図である。

[図9]第2の実施形態の第2の変形例に係るドライバの一例の構成を示す図である。

[図10A]第3の実施形態に係る、複数のレーザダイオードを駆動する場合の構成の第1の例を示す図である。

[図10B]第3の実施形態に係る、複数のレーザダイオードを駆動する場合の構成の第2の例を示す図である。

[図10C]第3の実施形態に係る、複数のレーザダイオードを駆動する場合の構成の第3の例を示す図である。

[図11]第3の実施形態の第1の変形例に係る制御を説明するための図である。
。

[図12]第3の実施形態の第2の変形例に係る制御を説明するための図である。
。

[図13A]第4の実施形態に係るドライバおよびLEDアレイの実装例を概略的に示す図である。

[図13B]第4の実施形態に係るドライバおよびLEDアレイの実装例を概略的に示す図である。

[図13C]第4の実施形態に係るドライバおよびLEDアレイの実装例を概略的に示す図である。

[図14A]第4の実施形態に係る、ドライバに含まれる各要素のLEDチップ上への配置の例について説明するための図である。

[図14B]第4の実施形態に係る、ドライバに含まれる各要素のLEDチップ上への配置の例について説明するための図である。

[図15A]第4の実施形態に係る、LEDチップに対してキャパシタをさらに配置する場合の例について説明するための図である。

[図15B]第4の実施形態に係る、LEDチップに対してキャパシタをさらに配置する場合の例について説明するための図である。

[図15C]第4の実施形態に係る、LEDチップに対してキャパシタをさらに配置する場合の例について説明するための図である。

[図16]第5の実施形態に係る測距装置の一例の構成を示すブロック図である。
。

[図17]第5の実施形態に適用可能な、受光部が受光した時刻に基づく一例のヒストグラムを示す図である。

[図18]第6の実施形態による、上述の第5の実施形態に係る測距装置を使用する使用例を示す図である。

[図19]本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[図20]撮像部の設置位置の例を示す図である。

発明を実施するための形態

[0009] 以下、本開示の各実施形態について、図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより、重複する説明を省略する。

[0010] (各実施形態に共通の構成)

本開示は、レーザダイオードなどの、電流に応じて発光する発光素子の制御に関するものである。図1は、各実施形態に適用可能な光源装置の一例の構成を示すブロック図である。

[0011] なお、以下では、発光素子がレーザダイオード(LD)であるものとして説明を行う。レーザダイオードは、光の直進性や集光性に優れ、応答速度が高速であり、また、低消費電力であるなどの特性を活かして、測距、光伝送、電子写真方式のプリンタなど、様々な分野に用いられている。なお、本開示に適用可能な発光素子は、レーザダイオードに限られない。例えば、発光素子としてLED(Light Emitting Diode)を適用することもできる。

[0012] 図1において、光源装置1は、ドライバ10と、レーザダイオード(LD)12と、を含む。コントローラ11を光源装置1に含めてもよい。ドライバ10は、コントローラ11の制御に従い、レーザダイオード12を駆動し、レーザダイオード12を発光させる。コントローラ11は、例えばCPU(Central Processing Unit)およびメモリを含み、CPUによりメモリに予め記憶されたプログラムに従い生成した制御信号40をドライバ10に供給し、ドライバ10を制御する。また、コントローラ11は、ドライバ10か

ら出力される検出信号 4 2 に基づきレーザダイオード 1 2 に過電流が供給されているか否かを判定する。コントローラ 1 1 は、レーザダイオード 1 2 に過電流が供給されていると判定した場合、その旨を示す制御信号 4 3 を生成し、ドライバ 1 0 に供給する。

[0013] なお、過電流は、レーザダイオード 1 2 を所定の光量で発光させるための電流よりも大電流であって、その差が閾値以上である電流であるものとする。

[0014] ドライバ 1 0 は、駆動部 2 0 および検出部 2 1 を含む。駆動部 2 0 は、コントローラ 1 1 から供給される制御信号 4 0 に従いレーザダイオード 1 2 を発光させるための駆動電流を生成し、生成した駆動電流をレーザダイオード 1 2 に供給する。また、駆動部 2 0 は、コントローラ 1 1 から供給される制御信号 4 3 に応じて、レーザダイオード 1 2 の発光のオン／オフを制御することができる。さらに、駆動部 2 0 は、レーザダイオード 1 2 を駆動する駆動電流の電流値を示す信号 4 1 を検出部 2 1 に供給する。検出部 2 1 は、駆動部 2 0 から供給された信号 4 1 に基づく検出信号 4 2 を、コントローラ 1 1 に供給する。

[0015] なお、レーザダイオード 1 2 に過電流が供給されているか否かの判定を、検出部 2 1 において行うことも可能である。例えば、検出部 2 1 は、駆動部 2 0 から供給される信号 4 1 に基づきレーザダイオード 1 2 に過電流が供給されているか否かを判定する。検出部 2 1 は、その結果、レーザダイオード 1 2 に過電流が供給されていると判定した場合、その旨を示す信号を、駆動部 2 0 に供給する。駆動部 2 0 は、この信号に応じて、レーザダイオード 1 2 の発光を例えば停止させる。このように、レーザダイオード 1 2 に過電流が供給されている旨を示す信号を、検出部 2 1 から直接的に駆動部 2 0 に供給することで、応答速度をより高速化することができる。

[0016] (既存技術による構成例)

次に、本開示の説明に先立って、既存技術によるレーザダイオード 1 2 の駆動電流を検出するための構成例について、図 2 および図 3 を用いて説明す

る。図2は、既存技術によるドライバの一例の構成を示す図である。図2および図3において、ドライバ200aおよび200bは、それぞれ、上述した図1のドライバ10に対応する。また、ADC(Analog to Digital Converter)210は、図1のドライバ10における検出部21に対応する。

[0017] ドライバ200aは、抵抗 R_D と、PチャネルのMOS(Metal Oxide Semiconductor)トランジスタであるトランジスタ203と、電流 I_L を供給する電流源204と、を含む。電流 I_L は、例えばレーザダイオード12を所定の光量で発光させるための電流である。

[0018] 図2において、電圧 V_{DD} の電源に抵抗 R_D の一端が接続される。抵抗 R_D の他端がトランジスタ203のドレインソースおよび結合部202aを介してレーザダイオード12のアノードに接続される。レーザダイオード12のカソードは、結合部202bを介して電流源204に接続される。

[0019] 例えば駆動部20に含まれる図示されない駆動回路により、電流源204の動作を制御することで、レーザダイオード12の発光を制御できる。例えば、電流源204を所定のデューティの矩形波により制御することで、レーザダイオード12をデューティに応じた光量で発光させることができる。

[0020] なお、結合部202aおよび202bは、レーザダイオード12とドライバ200aとが異なる構成とされている場合に、これらを接続するために設けられている。

[0021] この構成において、抵抗 R_D とトランジスタ203とが接続される接続点において電圧が取り出され、ADC210に供給される。ADC210は、この供給された電圧の電圧値をデジタル信号に変換し、検出信号42としてコントローラ11に供給する。コントローラ11は、検出信号42に基づきレーザダイオード12に過電流が供給されているか否かを判定し、過電流が供給されていると判定した場合、例えばレーザダイオード12の発光のオン／オフを制御するための制御信号43を出力する。制御信号43は、ドライバ200aのトランジスタ203のゲートに入力され、トランジスタ203のオン（閉）／オフ（開）を制御する。コントローラ11は、例えば、検出信

号42が、レーザダイオード12に正常駆動を判定する閾値を超えた電流 $I_L + \Delta$ が供給されたことを示している場合に、レーザダイオード12に過電流が供給されていると判定する。

[0022] 図2に示す、レーザダイオード12に電流を供給する経路に抵抗 R_D を直列に挿入する構成において、抵抗 R_D をチップ内抵抗で実現する場合、チップ内抵抗は抵抗値に $\pm 20\%$ 程度のばらつきがあるなど、精度が十分ではないおそれがある。また、レーザダイオード12を利用するアプリケーションによっては、例えばアンペアオーダーの電流をレーザダイオード12に供給する場合もある。この場合、抵抗 R_D に発生する電圧降下も無視できないものとなる。

[0023] 図3は、既存技術による駆動部の別の例の構成を示す図である。図3において、ドライバ200bは、レーザダイオード12に流れる電流 I_L を供給する経路（本線）の複製の経路（レプリカ経路と呼ぶ）を用い、このレプリカ経路の電流を、レーザダイオード12に流れる電流と見做すようにしている。

[0024] ドライバ200bは、それぞれPチャネルのMOSトランジスタであるトランジスタ220および221と、電流 I_L を供給する電流源204と、電流 I_0 を供給する電流源205と、ADC210と、を含む。なお、トランジスタ220および221それぞれのオン抵抗 R_{ON-1} および R_{ON-2} は、略等しいものとする。

[0025] トランジスタ220および221は、それぞれソースが、電圧 V_{DD} の共通の電源に接続される。トランジスタ220のドレインは、結合部202aを介してレーザダイオード12のアノードに接続される。レーザダイオード12のカソードは、結合部202bを介して電流源204に接続される。一方、トランジスタ221は、ドレインが電流源205に接続される。トランジスタ221のドレインと、電流源205とが接続される接続点において電圧が取り出され、ADC210に供給される。

[0026] 例えば、検出信号42が、電流 I_L に対して所定以上の電流 $I_L + \Delta$ を示して

いる場合に、レーザダイオード 1 2 に過電流が供給されていると見做すことができる。

[0027] しかしながら、この図 3 の構成では、本線すなわちレーザダイオード 1 2 に電流が供給される経路における不具合を検出できない可能性がある。これに対して、上述した図 2 に例示した構成では、本線の電流を直接的に測定可能である一方で、チップ内抵抗にて抵抗 R_D を実現する場合に、微細加工に適さないことになる。すなわち、過去にはバイポーラトランジスタや $0.25 \mu\text{m}$ プロセスが用いられていたが、近年では、例えばセンシング用途などにおいて複雑な制御の実現などを目的に微細プロセス化、それに伴う低電圧化が進み、耐圧制約の下で回路を設計する必要が生じている。抵抗 R_D に生じる電圧降下が大きいほど検出精度を上げることができる一方で、電圧降下が大きいほど、高い電圧 V_{DD} を必要とするため、図 2 に例示した構成は、この傾向にそぐわないことが考えられる。

[0028] [第 1 の実施形態]

次に、本開示の第 1 の実施形態について説明する。第 1 の実施形態では、図 3 を用いて説明したレプリカの電圧を測定すると共に、レーザダイオード 1 2 が配される本線においても電圧を測定する。測定されたレプリカ経路および本線の各電圧と、レプリカに配される電流源による既知の電流 I_0 と、に基づき、レーザダイオード 1 2 に供給される電流 $I_L + \Delta$ を推測する。

[0029] 図 4 は、第 1 の実施形態に係るドライバの一例の構成を示す図である。図 4 において、ドライバ 10 a は、それぞれ P チャネルの MOS トランジスタであるトランジスタ 101 および 102 と、電流 I_L を供給する電流源 103 と、電流 I_0 を供給する電流源 104 と、を含む。ドライバ 10 a に対して ADC 110 およびセレクタ 111 をさらに含めてもよい。

[0030] また、図 4 において、結合部 100 a および 100 b は、レーザダイオード 1 2 とドライバ 10 a とが異なる構成とされている場合に、これらを接続するために設けられている。例えば、ドライバ 10 a は、1 個の半導体チップ上に構成され、レーザダイオード 1 2 は、当該半導体チップとは別のユニ

ット120として構成される。レーザダイオード12とドライバ10aは、結合部100aおよび100bにより電氣的に接続される。

[0031] ここで、トランジスタ101および102は、オン抵抗(R_{ON-1} および R_{ON-2})が略等しくなるように構成される。例えば、トランジスタ101および102は、略同じサイズで形成される。さらに、トランジスタ101および102を熱的に近い位置に配置すると、より好ましい。

[0032] トランジスタ101および102は、それぞれソースが、電圧 V_{DD} の共通の電源に接続される。トランジスタ101のドレインは、結合部100aを介してレーザダイオード12のアノードに接続される。レーザダイオード12のカソードは、結合部100bを介して電流源103に接続される。一方、トランジスタ102は、ドレインが電流源104に接続される。トランジスタ101のソースとレーザダイオード12のアノードとが接続される接続点において電圧 V_1 が取り出され、ADC110に供給される。また、トランジスタ102のドレインと電流源104とが接続される接続点において電圧 V_2 が取り出され、ADC110に供給される。

[0033] ADC110は、セクタ111により、電圧 V_1 および V_2 が順次に切り替えて入力される。ADC110は、入力された電圧 V_1 および V_2 それぞれの電圧値をデジタル信号としての電圧 V_1 および V_2 に変換して、コントローラ11に供給する。コントローラ11は、これら電圧 V_1 および V_2 と、電源の電圧 V_{DD} と、電流 I_c と、に基づき、レーザダイオード12に過電流が供給されているか否かを判定する。

[0034] より具体的に説明する。ここで、トランジスタ101のオン抵抗 R_{ON-1} と、トランジスタ102のオン抵抗 R_{ON-2} は、抵抗値が略等しく、且つ、未知であるものとする。また、電流源104が供給する電流 I_c は、電流値が既知であるものとする。

[0035] このような構成において、オン抵抗 R_{ON-2} は、電圧 V_2 と、電流 I_c とから、次式(1)および(2)により求められる。

$$V_2 = V_{DD} - I_c \times R_{ON-2} \quad \dots (1)$$

$$R_{ON-2} = (V_{DD} - V_2) / I_c \quad \cdots (2)$$

[0036] また、電圧 V_1 は、次式 (3) にて求められる。この式 (3) から、電流 ($I_L + \Delta$) は、式 (4) にて求められる。

$$V_1 = V_{DD} - (I_L + \Delta) \times R_{ON-1} \quad \cdots (3)$$

$$I_L + \Delta = (V_{DD} - V_1) / R_{ON-1} \quad \cdots (4)$$

[0037] オン抵抗 R_{ON-1} とオン抵抗 R_{ON-2} とが略等しいとすると、式 (2) および式 (4) から、レーザダイオード 12 に供給される電流 ($I_L + \Delta$) は、次式 (5) により表される。

$$I_L + \Delta = \{(V_{DD} - V_1) / (V_{DD} - V_2) \times I_c \quad \cdots (5)$$

[0038] コントローラ 11 は、式 (5) にて電圧 V_{DD} 、電圧 V_1 および V_2 、ならびに、電流 I_c に基づき求められた電流 $I_L + \Delta$ と、既知の電流 I_L と、の差分の電流 Δ を求める。コントローラ 11 は、この差分の電流 Δ に基づき、レーザダイオード 12 に過電流が供給されているか否かを判定する。例えば、コントローラ 11 は、この差分の電流 Δ が閾値以上の場合に、レーザダイオード 12 に過電流が供給されていると判定する。

[0039] なお、式 (5) によれば、電流 I_c の電流値は、既知の値であれば特に限定されないことが分かる。実際には、電流 I_c の電流値として、トランジスタ 102 が正常に動作し、且つ、所定の精度で電圧 V_2 を検出可能な範囲内における任意の値を選択すると好ましい。

[0040] コントローラ 11 は、レーザダイオード 12 に過電流が供給されていると判定した場合、例えばその旨を示す制御信号 43 を出力する。この制御信号 43 は、例えばトランジスタ 101 および 102 のゲートに入力され、トランジスタ 101 および 102 をオフ状態に制御する。これに限らず、コントローラ 11 は、トランジスタ 101 および 102 のうち、少なくともトランジスタ 101 をオフ状態に制御することもできる。

[0041] レーザダイオード 12 に過電流が供給される原因としては、電流源 103 の不具合、電圧 V_{DD} を供給する電源の不具合、結合部 100a および 100b における結合の不具合、など様々が考えられる。

[0042] 例えば、本開示に係る光源装置 1 を、レーザダイオード 12 により発光された光が対象物により反射した反射光を受光することで測距を行う測距装置に適用されたものとする。この場合、過電流により想定より強力なレーザ光がレーザダイオード 12 から射出されると、そのレーザ光が顔に照射された場合に、眼に影響を与えてしまうおそれがある。また、過電流により、レーザダイオード 12 の素子自身が破壊されてしまうことも起こり得る。

[0043] 第 1 の実施形態に係る光源装置 1 を適用することで、レーザダイオード 12 に対する過電流をより高精度に検出することが可能となる。したがって、第 1 の実施形態に係る光源装置 1 を適用することで、レーザダイオード 12 に対する過電流の供給を抑制でき、測距装置に適用した場合の眼への影響や、レーザダイオード 12 自身の破壊などを防ぐことが可能である。

[0044] なお、図 4 では、レーザダイオード 12 が含まれる本線の経路において、電圧 V_{DD} の電源の供給側から見て、トランジスタ 101、レーザダイオード 12、電流源 103 の順に接続されているが、これはこの例に限定されない。

[0045] 図 5 A および図 5 B は、第 1 の実施形態に適用可能な、本線の経路の接続の別の例を示す図である。例えば、図 5 A に示されるように、電圧 V_{DD} の電源の供給側から見て、電流源 103、レーザダイオード 12、トランジスタ 101'、の順に接続することができる。トランジスタ 101' は、N チャネルの MOS トランジスタとなる。この場合、電圧 V_1 は、レーザダイオード 12 とトランジスタ 101' とが接続される接続点から取り出すことができる。また、レプリカ側は、電圧 V_{DD} の電源の供給側から見て、電流源 104、N チャネルの MOS トランジスタであるトランジスタ、の順に接続し、電圧 V_2 を電流源 104 と当該トランジスタとが接続される接続点から取り出すことが考えられる。

[0046] また例えば、図 5 B に示されるように、電源電圧 V_{DD} の供給側から見て、トランジスタ 101、電流源 103、レーザダイオード 12、の順に接続することもできる。この場合、電圧 V_1 は、トランジスタ 101 と電流源 103 とが接続される接続点から取り出すことができる。また、レプリカ側は、

電圧 V_{DD} の電源の供給側から見て、トランジスタ 102、電流源 104、の順に接続し、電圧 V_2 を電流源 104 とトランジスタ 102 とが接続される接続点から取り出すことが考えられる。

[0047] (第1の実施形態の変形例)

次に、第1の実施形態の変形例について説明する。図6は、第1の実施形態の変形例に係るドライバの一例の構成を示す図である。図6において、ドライバ10bは、複数のレプリカ経路を持つ。コントローラ11は、複数のレプリカ経路それぞれから取り出された各電圧が所定の範囲内の電圧であるか否かを判定し、所定の範囲から外れた電圧が取り出されたレプリカ経路を信用しない。

[0048] 図6において、電圧 V_{DD} の電源に対して、本線のトランジスタ101が接続されると共に、複数のレプリカ経路のトランジスタ102₁、…、102_pが接続される。複数のレプリカ経路において、各トランジスタ102₁、…、102_pは、それぞれオン抵抗 R_{ON-21} 、…、 R_{ON-2p} を有し、各ドレインがそれぞれ電流 I_c を供給する電流源104₁、…、104_p に一対一に接続される。また、各レプリカ経路において、各トランジスタ102₁、…、102_p と、各電流源104₁、…、104_p と、が一対一に接続される各接続点から、各電圧 V_{21} 、…、 V_{2p} が取り出され、それぞれADC110に供給される。

[0049] ADC110は、セクタ111bにより、各電圧 V_1 、および、 V_{21} 、…、 V_{2p} を順次選択してデジタル信号に変換し、検出信号42としてコントローラ11にそれぞれ供給する。

[0050] コントローラ11は、各レプリカ経路から取り出された電圧 V_{21} 、…、 V_{2p} がそれぞれ所定の電圧範囲内であるか否かを判定する。コントローラ11は、電圧 V_{21} 、…、 V_{2p} のうち所定の電圧範囲内ではないと判定された電圧が取り出されたレプリカ経路を、例えばオフ状態とする。より具体的な例として、コントローラ11は、例えば電圧 V_{2p} が所定の電圧範囲外の電圧であると判定した場合、トランジスタ102_p のゲートに対して、当該トランジスタ102_p をオフにする信号を固定的に入力する。

[0051] この第1の実施形態の変形例によれば、ドライバ10bが複数のレプリカ経路を含み、各レプリカ経路から取り出された電圧 V_{21} 、 $\dots$ 、 V_{2p} に基づき、各電圧 V_{21} 、 $\dots$ 、 V_{2p} のうち信頼できる値を選択している。そのため、第1の実施形態の変形例に係るドライバ10bは、レーザダイオード12に対する過電流の検出の信頼性を向上させることができる。

[0052] [第2の実施形態]

次に、第2の実施形態について説明する。第2の実施形態では、レプリカ経路および本線から取り出した電圧を低電圧にレベルシフトさせてADC110に供給する。

[0053] 図7は、第2の実施形態に係るドライバの一例の構成を示す図である。図7において、第2の実施形態に係るドライバ10cは、図4を用いて説明したドライバ10aの構成に対して、それぞれ電圧 V_1 および V_2 の電圧を変更するレベルシフタ130₁および130₂が追加されている。

[0054] レベルシフタ130₁は、抵抗131₁および132₁を含み、これら抵抗131₁および132₁による抵抗分圧により電圧 V_1 を降圧して電圧 V_3 を生成する。同様に、レベルシフタ130₂は、抵抗131₂および132₂を含み、これら抵抗131₂および132₂による抵抗分圧により電圧 V_2 を降圧して電圧 V_4 を生成する。これらレベルシフタ130₁および130₂により電圧 V_1 および V_2 が降圧されて生成された電圧 V_3 および V_4 が、電圧 V_1 および V_2 としてセレクト111aに供給される。

[0055] このように、第2の実施形態では、電圧 V_1 および V_2 を降圧して低電圧にレベルシフトさせた電圧 V_3 および V_4 がADC110に供給される。これにより、例えば、微細プロセスなどによりADC110の入力に用いられるトランジスタのゲート耐圧が低い場合に、ADC110の入力回路を保護することが可能である。

[0056] すなわち、レーザダイオード12は、順電圧 V_f が大きく、ADC110の入力回路におけるヘッドルーム制約から、レーザダイオード12に供給される電源の電圧（すなわち電圧 V_1 ）が、ADC110の入力部に用いられる

MOSトランジスタのゲート酸化膜の耐圧を超える場合がある。第2の実施形態に係るドライバ10cでは、レベルシフタを用いて電圧 V_1 を低電圧にレベルシフトさせて、ADC110に入力するようにしている。そのため、ADC110の入力回路の保護が可能となる。

[0057] なお、図7の例では、トランジスタ101のドレインと接地電位との間に接続されるキャパシタ140がさらに追加されている。キャパシタ140は、トランジスタ101を介して供給された電源の電圧 V_{DD} に応じた電荷を蓄積する。詳細は後述するが、例えば電流源103によるレーザダイオード12に対する電流の供給を、PWM駆動によりを行う場合に、このキャパシタ140に蓄積された電荷を用いて、レーザダイオード12に対する電流の供給を行う。

[0058] (第2の実施形態の第1の変形例)

次に、第2の実施形態の第1の変形例について説明する。上述した第2の実施形態では、電圧 V_1 および V_2 に対するレベルシフタを抵抗分圧により構成した。これに対して、第2の実施形態の第1の変形例では、電圧 V_1 および V_2 に対するレベルシフタを、ソースフォロワと抵抗とを用いて構成する例である。

[0059] 図8Aおよび図8Bは、第2の実施形態の第1の変形例に係るドライバの一例の構成を示す図である。図8Aにおいて、第2の実施形態の第1の変形例に係るドライバ10dは、図7を用いて説明したドライバ10cの構成に対して、それぞれレベルシフタを構成するトランジスタ150₁、抵抗151₁および電流源152₁と、トランジスタ150₂、抵抗151₂および電流源152₂と、が追加されている。なお、図8Aの例では、トランジスタ150₁および150₂は、それぞれNチャネルのMOSトランジスタとされている。

[0060] 図8Aにおいて、トランジスタ150₁は、ゲートがトランジスタ101とレーザダイオード12とが接続される接続点に接続されて電圧 V_1 が入力され、ドレインが電圧 V_{DD} の電源に接続され、ソースが抵抗151₁の一端に接続される。抵抗151₁の他端が電流 I_a を供給する電流源152₁に接続される。抵

抵抗 151_1 と電流源 152_1 とが接続される接続点から電圧 V_3 が取り出され、セクタ $111c$ に供給される。

[0061] 同様に、トランジスタ 150_2 は、ゲートがトランジスタ 102 と電流源 104 とが接続される接続点に接続されて電圧 V_2 が入力され、ドレインが電圧 V_{DD} の電源に接続され、ソースが抵抗 151_2 の一端に接続される。抵抗 151_2 の他端が電流 I_a を供給する電流源 152_2 に接続される。抵抗 151_2 と電流源 152_2 とが接続される接続点から電圧 V_4 が取り出され、セクタ $111c$ に供給される。

[0062] また、セクタ $111c$ に対して、図7を用いて説明した、抵抗 131_2 および 132_2 により電圧 V_2 が降圧された電圧 V_2' が供給される。セクタ $111c$ は、例えば、電圧 V_2' 、 V_3 および V_4 を順次選択してADC 110 に供給する。ADC 110 は、供給された電圧 V_2' 、 V_3 および V_4 をAD変換し、その結果をコントローラ 11 に供給する。

[0063] ここで、図8Aに示すドライバ $10d$ は、レーザダイオード 12 をPWM (Pulse Width Modulation) 信号によりパルス駆動する。図8Bは、レーザダイオード 12 を駆動するためのPWM信号の例を示す図である。図8Bの例では、信号の立ち上がりから次の立ち上がりまでの期間が 100 nsec 、立ち上がりから次の立ち下がりまでの期間が 2.5 nsec とされ、ハイ (High) 期間のデューティ (以下、Dutyと記述する) が「 $1/40$ 」とされている。ドライバ $10d$ において、図示されない駆動回路により、電流源 103 による電流の供給のオン／オフをこのDutyに従って制御する。

[0064] キャパシタ 140 は、電流源 103 に対するPWM信号のDutyに従った電流が、電源電圧 V_{DD} の供給線からトランジスタ 101 を介して供給される。キャパシタ 140 は、供給された電流により充電される。ここで、キャパシタ 140 に供給される電流は、PWM信号によるパルスの平均的な電流値の電流と等価である。例えば、電流 I_L をPWMにより所定のDutyで変調した場合、変調された電流 I_L のDutyに従ったパルスによる電流の単

位時間当たりの平均の電流値は、 $I_{pls} \times Duty$ として求められる。キャパシタ 140 は、この平均的な電流値の電流により充電される。 $Duty = 1/40$ であれば、キャパシタ 140 に供給される電流は、 $I_L \times (1/40)$ となる。

[0065] レーザダイオード 12 は、キャパシタ 140 に充電された電荷が、PWM 信号により所定の $Duty$ でパルス駆動される電流源 103 により読み出され、供給される。

[0066] 一方、レプリカ経路における電流源 104 は、電流 I_L に対応する電流 I_c に対して、上述した PWM 信号の $Duty$ を加味した電流を供給する。例えば、電流源 104 は、電流 I_c の電流値を $Duty$ 倍した、電流 $I_c \times Duty$ を供給する。

[0067] このような構成において、電圧 V_3 および V_4 は、次式 (6) および (7) にて求められる。なお、下記の式 (6) および (7) などにおいて、「 $\sqrt{\quad}$ 」は、直後の括弧内の値に対する平方根を示している。

$$V_1' = V_{DD} - (I_L - \Delta) \times Duty \times R_{ON-1} - \{V_{th} + \sqrt{2 \times I_a / \beta}\} - R_1 \times I_a \quad \dots (6)$$

$$V_2' = V_{DD} - I_c \times Duty \times R_{ON-2} - \{V_{th} + \sqrt{2 \times I_a / \beta}\} - R_2 \times I_a \quad \dots (7)$$

[0068] なお、式 (6) および (7) の後半の項において、値 R_1 および R_2 は、それぞれ抵抗 151₁ および 151₂ の抵抗値を示している。また、「 $V_{th} + \sqrt{2 \times I_a / \beta}$ 」は、トランジスタ 150₁ および 150₂ のゲートソース間電圧（電圧 V_{GS} ）である。値 V_{th} および値 β は、それぞれ、各トランジスタ 150₁ および 150₂ の閾値電圧および利得係数を示すものであり、各トランジスタ 150₁ および 150₂ に固有の値である。ここで、トランジスタ 150₁ および 150₂ は、これら値 V_{th} および値 β が略等しい値となるように形成される。

[0069] また、電圧 V_2' は、次式 (8) により求められる。なお、式 (8) において、値 k は、抵抗 131₂ および 132₂ による分圧比を示している。

$$V_2' = (V_{DD} - I_c \times Duty \times R_{ON-2}) / k \quad \dots (8)$$

[0070] 上述の式(8)により、電圧 V_{DD} 、電流 I_c および $Duty$ が既知であれば、オン抵抗 $R_{ON-2} \div R_{ON-1}$ を求めることができる。このオン抵抗 $R_{ON-2} \div R_{ON-1}$ を用いて、式(6)および(7)により、上述した式(1)～(5)と同様にして、電圧 V_3 および V_4 を求める。なお、式(6)および(7)において、後半の「 $\{V_{th} + \sqrt{2 \times I_a / \beta}\} - R_1 \times I_a$ 」の項は、例えばコントローラ11において電圧 V_3 および V_4 の差分を求める際に消える項である。

[0071] この第2の実施形態の第1の変形例によれば、上述した第2の実施形態の例と比較して、レベルシフトを行った場合の精度を向上させることができる。すなわち、上述した第2の実施形態では、ADC110に入力する電圧 V_3 および V_4 を、抵抗分圧により電圧 V_1 および V_2 を降圧させて求めていた。そのため、例えば分圧比が $1/2$ であれば、電圧 V_3 と電圧 V_4 との差分が分圧しない場合の $1/2$ になってしまう。

[0072] これに対して、第2の実施形態の第1の変形例では、本線およびレプリカ経路において、それぞれ上述した式(6)および(7)の後半の項「 $\{V_{th} + \sqrt{2 \times I_a / \beta}\} - R_1 \times I_a$ 」に示されるレベルシフトが行われる。この項は、式(6)と式(7)との差分を求める際に相殺されるため、ADC110に入力する電圧 V_3 と電圧 V_4 との差分は、レベルシフトを行わない場合の電圧 V_1 と電圧 V_2 と等しくなり、より高い精度でレーザダイオード12に対する過電流を検出できる。

[0073] なお、図8Aの例では、電圧 V_2 を抵抗131₂および132₂による抵抗分圧で降圧させて電圧 V_2' を生成しているが、これはこの構成に限定されない。例えば、上述したトランジスタ150₂、抵抗151₂および電流源104によるソースフォロワと同様の構成を用いて電圧 V_2 を降圧させることで、電圧 V_2' を生成してもよい。

[0074] (第2の実施形態の第2の変形例)

次に、第2の実施形態の第2の変形例について説明する。第2の実施形態の第2の変形例では、図8Aを用いて説明した第2の実施形態の第1の変形

例に係るドライバ10dの構成に対し、さらに、電源の電圧 V_{DD} を測定する構成を加えたものである。

[0075] 図9は、第2の実施形態の第2の変形例に係るドライバ10eの一例の構成を示す図である。図9において、ドライバ10eは、図8Aのドライバ10dに対して、電圧 V_{DD} の電源に接続される抵抗155および156が追加されている。すなわち、抵抗155は、一端が電圧 V_{DD} の電源に接続され、他端が抵抗156の一端に接続される。抵抗156の他端は、接地電位に接続される。抵抗155と抵抗156とが接続される接続点から、電圧 V_{DD} を抵抗分圧により降圧させた電圧 V_5 が取り出され、セクタ111dに供給される。また、一端がトランジスタ102と電流源104とが接続される接続点に接続され、他端が接地電位に接続される、直列接続された抵抗153と抵抗154とが接続される接続点から、電圧 V_2 を抵抗分圧により降圧させた電圧 V_2' が取り出され、セクタ111dに供給される。

[0076] セクタ111dは、供給される電圧 V_2' 、 V_3 、 V_4 および V_5 を順次選択してADC110に供給する。ADC110は、供給された電圧 V_2' 、 V_3 、 V_4 および V_5 をAD変換し、その結果をコントローラ11に供給する。

[0077] ここで、電源の電圧 V_{DD} は、例えばドライバ10eが形成される半導体チップの外部から、ワイヤボンディングなどを介して、ドライバ10eに供給される。この場合、電源の電圧 V_{DD} は、ドライバ10eが配置される半導体チップ内やパッケージ内、あるいは、チップ内の配線において低下したり、動作状態によって変動する事態が起こり得る。

[0078] そこで、第2の実施形態の第2の変形例では、電源の電圧 V_{DD} を降圧させた電圧 V_5 をADC110に供給する。ADC110は、供給された電圧 V_5 をAD変換し、その結果をコントローラ11に供給する。コントローラ11は、上述した式(6)～式(8)における電源の電圧 V_{DD} としてこの電圧 V_5 を用いる。これにより、電源電圧 V_{DD} の変動に起因する電圧 V_3 および V_4 の変動を抑制することができ、より高精度にレーザダイオード12に対する過電流の検出を行うことができる。

[0079] なお、図9の例では、電圧 V_2 を抵抗153および154による抵抗分圧で降圧させて電圧 V_2' を生成し、電圧 V_{DD} を抵抗155および156による抵抗分圧で降圧させて電圧 V_5 を生成しているが、これはこの構成に限定されない。例えば、上述したトランジスタ150₂、抵抗151₂および電流源104によるソースフォロワと同様の構成を用いて電圧 V_2 および V_{DD} を降圧させることで、電圧 V_2' および V_5 を生成してもよい。

[0080] [第3の実施形態]

次に、第3の実施形態について説明する。上述した第1の実施形態および第2の実施形態、ならびに、それらの各変形例では、各ドライバが1個のレーザダイオード12を駆動するように説明した。これに対して、第3の実施形態に係るドライバは、複数のレーザダイオード12を駆動する。

[0081] 図10A、図10Bおよび図10Cは、第3の実施形態に係る、複数のレーザダイオード12を駆動する場合の構成の第1、第2および第3の例を示す図である。なお、図10A～図10Cにおいて、トランジスタ102、電流源104、ADC110、ならびに、セクタ111に係る構成は、上述した図4の構成と同様であるので、詳細な説明を省略する。

[0082] 図10A～図10Cは、それぞれ、トランジスタ101のドレインに対して複数のレーザダイオード12₁、12₂、…、12_nを含むLD（レーザダイオード）アレイ1200a、1200bおよび1200cが接続されている。LDアレイ1200a、1200bおよび1200cは、例えばVCSEL（Vertical Cavity Surface Emitting LASER）である。

[0083] 各レーザダイオード12₁、12₂、…、12_nそれぞれは、それぞれ独立して制御可能な電流源103₁、103₂、…、103_nそれぞれが一对一で接続される。すなわち、図示されない駆動回路により、各電流源103₁、103₂、…、103_nの例えばオン／オフをそれぞれ制御することで、各電流源103₁、103₂、…、103_nに一对一に対応する各レーザダイオード12₁、12₂、…、12_nの発光を、それぞれ独立して制御できる。

[0084] 図10Aは、第3の実施形態に係る、複数のレーザダイオード12を駆動

する場合の第1の例によるドライバ10f (a)の構成例を示す図である。

図10Aにおいて、各レーザダイオード12₁、12₂、…、12_nの各アノードおよび各カソードが独立しているLDアレイ1200aの例を示す。LDアレイ1200aにおいて、各レーザダイオード12₁、12₂、…、12_nの各アノードが、結合部100a₁、100a₂、…、100a_nを介してトランジスタ101のドレインに接続される。ドライバ10f (a)において、この各結合部100a₁、100a₂、…、100a_nと、トランジスタ101のドレインとが接続される接続点から電圧V₁が取り出され、セクタ111aに供給される。

[0085] また、各レーザダイオード12₁、12₂、…、12_nの各カソードが、結合部100b₁、100b₂、…、100b_nと、を介して、各電流源103₁、103₂、…、103_nに一对一で接続される。

[0086] 図10Bは、第3の実施形態に係る、複数のレーザダイオード12を駆動する場合の第2の例によるドライバ10f (b)の構成例を示す図である。図10Bにおいて、各レーザダイオード12₁、12₂、…、12_nの各アノードが共通に接続され、各カソードが独立しているLDアレイ1200bの例を示す。LDアレイ1200bにおいて、各レーザダイオード12₁、12₂、…、12_nの各アノードが結合部100aに共通に接続され、結合部100aを介してトランジスタ101のドレインに接続される。ドライバ10f (b)において、この結合部100aと、トランジスタ101のドレインとが接続される接続点から電圧V₁が取り出され、セクタ111aに供給される。

[0087] また、各レーザダイオード12₁、12₂、…、12_nの各カソードが、結合部100b₁、100b₂、…、100b_n、を介して、各電流源103₁、103₂、…、103_nに一对一で接続される。

[0088] また、図10Cは、第3の実施形態に係る、複数のレーザダイオード12を駆動する場合のドライバ10f (c)の第3の例の構成例を示す図である。図10Cにおいて、各レーザダイオード12₁、12₂、…、12_nの各アノードが独立し、各カソードが共通に接続される例を示す。この図10Cの例で

は、上述した図5Aの例に対応し、各レーザダイオード 12_1 、 12_2 、 $\dots$ 、 12_n の各カソードが結合部 $100b$ に共通に接続され、結合部 $100b$ を介してNチャネルのMOSトランジスタであるトランジスタ $101'$ のドレインに接続される。ドライバ $10f$ (c)において、この結合部 $100b$ とトランジスタ $101'$ のドレインとが接続される接続点から、電圧 V_1 が取り出され、セクタ $111a$ に供給される。図10Cの例では、トランジスタ $101'$ のソースは、接地電位に接続されている。

[0089] また、図10Cにおいて、各レーザダイオード 12_1 、 12_2 、 $\dots$ 、 12_n の各アノードが、結合部 $100a_1$ 、 $100a_2$ 、 $\dots$ 、 $100a_n$ を介して、各電流源 103_1 、 103_2 、 $\dots$ 、 103_n に一对一で接続される。図10Cの例では、各電流源 103_1 、 103_2 、 $\dots$ 、 103_n の結合部 $100a_1$ 、 $100a_2$ 、 $\dots$ 、 $100a_n$ に接続されない端は、電圧 V_{DD} の電源に接続される。

[0090] なお、図10Cにおいて、レプリカ経路のトランジスタ $102'$ は、トランジスタ $101'$ と同様にNチャネルのMOSトランジスタであって、ドレインが電流源 104 に接続され、ソースが接地電位に接続される。トランジスタ $102'$ のドレインと、電流源 104 とが接続される接続点から電圧 V_2 が取り出され、セクタ $111a$ に供給される。

[0091] 図10A、図10Bおよび図10Cの何れの例においても、本線において取り出される電圧 V_1 は、各レーザダイオード 12_1 、 12_2 、 $\dots$ 、 12_n を流れる電流の総和に対応する電圧となる。すなわち、上述した式(1)～(5)を適用して算出される電流は、この総和の電流となる。したがって、レプリカ経路における電流源 104 も、この総和の電流に対応する電流 I_0 を供給する必要がある。

[0092] これに限らず、例えば、各電流源 103_1 、 103_2 、 $\dots$ 、 103_n を個別に制御して、過電流をレーザダイオード 12_1 、 12_2 、 $\dots$ 、 12_n 毎に検出することも可能である。

[0093] このように、複数のレーザダイオード 12_1 、 12_2 、 $\dots$ 、 12_n が接続される場合であっても、レーザダイオード 12_1 、 12_2 、 $\dots$ 、 12_n に対する過電流の

検出が可能である。

[0094] (第3の実施形態の第1の変形例)

次に、第3の実施形態の第1の変形例について説明する。第3の実施形態の第1の変形例は、複数のレーザダイオード12が接続される本線と、レプリカ経路とで、異なる電流を流す例である。

[0095] 図11は、第3の実施形態の第1の変形例に係る制御を説明するための図である。図11は、上述した図10Bに対応するもので、図10Bに示したドライバ10f(b)と同様に、本線に、トランジスタ101と、N個のレーザダイオード12₁~12_Nを含むLDアレイ1200bと、各レーザダイオード12₁~12_Nと、各電流源103₁~103_Nと、は、それぞれ結合部100b₁、…、100b_M、100b_{M+1}、…、100b_Nとを介して接続される。また、レプリカ経路に、トランジスタ102および電流源104を含む。

[0096] 例えば、図11に示されるように、LDアレイ1200bに含まれるN個のレーザダイオード12₁~12_Nのうち、M個のレーザダイオード12₁~12_Mが発光し、他の(N-M)個のレーザダイオード12_{M+1}~12_Nが発光しないように制御される場合について考える。第3の実施形態の第1の変形例では、この場合に、発光させるレーザダイオード12₁~12_Mの個数Mに応じて、レプリカ経路の電流源104が供給する電流I_cを変更する。図11の例では、電流源104は、電流I_c/Mを供給するようにしている。

[0097] 例えば、図示されない駆動回路により、発光させるレーザダイオード12₁~12_Mに一对一に対応するM個の電流源103₁~103_Mをオン状態とする。また、発光させないレーザダイオード12_{M+1}~12_Nに一对一に対応する(N-M)個の電流源103_{M+1}~103_Nをオフ状態とする。当該駆動回路は、このオン状態とした電流源103₁~103_Mの個数に応じて、電流源104が供給する電流を、電流I_c/Mに変更する。

[0098] すなわち、それぞれ電流I_Lにより所定の光量で発光するM個のレーザダイオード12₁~12_Mを同時に発光させるためには、LDアレイ1200bに対して、電流I_L×Mを供給する必要がある。

[0099] ここで、過電流を含んでM個のレーザダイオード $12_1 \sim 12_M$ に供給される電流 I_L の総和（電流 $I_L \times M$ ）を上述した式（5）に適用すると、式（5）は、次式（9）として表される。

$$(I_L + \Delta) \times M = \{(V_{DD} - V_1) / (V_{DD} - V_2)\} \times I_0 \quad \dots (9)$$

[0100] 上述した、電流源104が供給する電流の電流 I_0/M への変更は、この式（9）の両辺に $1/M$ を乗ずることと等価である。すなわち、式（9）の左辺は、電流 $(I_L + \Delta)/M = I_L + \Delta$ となる。この電流 $I_L + \Delta$ は、LDアレイ1200bにおいて発光されるM個のレーザダイオード $12_1 \sim 12_M$ に供給される電流の平均値である。この平均値の電流 $I_L + \Delta$ から既知の電流 I_L を減ずることで、LDアレイ1200bにおける平均の、過電流分の電流 Δ を求めることができる。

[0101] このように、レプリカ経路における電流源104が供給する電流 I_0 を、LDアレイ1200bにおいて発光されるレーザダイオード $12_1 \sim 12_M$ の個数に応じて変更することで、レプリカ経路における消費電力を削減することが可能である。

[0102] （第3の実施形態の第2の変形例）

次に、第3の実施形態の第2の変形例について説明する。第3の実施形態の第2の変形例は、本線のトランジスタ101と、レプリカ経路のトランジスタ102と、をそれぞれ複数のトランジスタを並列接続して構成する場合の例である。

[0103] 第3の実施形態の第2の変形例では、この場合において、上述の第3の実施形態の第1の変形例の場合と同様に、LDアレイ1200bに含まれるN個のレーザダイオード $12_1 \sim 12_N$ のうちM個のレーザダイオード $12_1 \sim 12_M$ を発光させる。そして、本線のトランジスタ101に含まれる複数のトランジスタのうち、発光させるレーザダイオード $12_1 \sim 12_M$ の数に応じた数だけオン状態とする。同様に、レプリカ経路のトランジスタ102に含まれる複数のトランジスタのうち、発光させるレーザダイオード $12_1 \sim 12_M$ の数に応じた数だけオン状態とする。

- [0104] 図12は、第3の実施形態の第2の変形例に係る制御を説明するための図である。図12は、上述した図10Bに対応するもので、ドライバ10f (b)'は、本線に、並列接続される例えばN個のトランジスタ101₁~101_Nと、N個のレーザダイオード12₁~12_Nを含むLDアレイ1200bと、各レーザダイオード12₁~12_Nに一对一に対応するN個の電流源103₁~103_Nと、を含む。各レーザダイオード12₁~12_Nと、各電流源103₁~103_Nと、は、それぞれ結合部100b₁、…、100b_M、100b_{M+1}、…、100b_Nとを介して接続される。
- [0105] 図12において、並列接続されるN個のトランジスタ101₁~101_Nの各ゲートは、例えば図示されない駆動回路から、それぞれオン(ON)/オフ(OFF)を制御する制御信号が供給される。各トランジスタ101₁~101_Nのうちオン状態に制御される1以上のトランジスタが全体として、例えば図11に示した1個のトランジスタ101と対応する機能を実現する。
- [0106] 各トランジスタ101₁~101_Nのドレインは、結合部100aに共通に接続され、結合部100aを介して、LDアレイ1200bに含まれる各レーザダイオード12₁~12_Nのアノードに接続される。この、各トランジスタ101₁~101_Nのドレインと、LDアレイ1200bと、が接続される接続点から電圧V₁が取り出され、セクタ111aに供給される。
- [0107] また、レプリカ経路に、並列接続される例えばN個のトランジスタ102₁~102_Nと、1個の電流源104と、を含む。各トランジスタ102₁~102_Nのゲートは、例えば図示されない駆動回路から、それぞれオン/オフを制御する制御信号が供給される。各トランジスタ102₁~102_Nのうちオン状態に制御される1以上のトランジスタが全体として、例えば図11に示した1個のトランジスタ102と対応する機能を実現する。
- [0108] 各トランジスタ102₁~102_Nのドレインは、電流源104に対して共通に接続される。この、各トランジスタ102₁~102_Nのドレインと、電流源104と、が接続される接続点から電圧V₂が取り出され、セクタ111aに供給される。

- [0109] このような構成において、LDアレイ1200bに含まれるN個のレーザダイオード12₁～12_Nのうち、M個のレーザダイオード12₁～12_Mが発光し、他の(N-M)個のレーザダイオード12_{M+1}～12_Nが発光しないように制御される場合について考える。
- [0110] この場合、第3の実施形態の第2の変形例では、図示されない駆動回路により、トランジスタ101₁～101_NのうちM個のトランジスタ101₁～101_Mをオン状態に制御し、他のトランジスタ101_{M+1}～101_Nをオフ状態に制御する。同様に、図示されない駆動回路により、トランジスタ102₁～102_NのうちM個のトランジスタ102₁～102_Mをオン状態に制御し、他のトランジスタ102_{M+1}～102_Nをオフ状態に制御する。
- [0111] このように各トランジスタ101₁～101_Nを発光するレーザダイオード12₁～12_Mの数Mに応じて制御することで、トランジスタ101₁～101_Nの全体としてのオン抵抗 R_{ON-1} の抵抗値を高くすることができる。同様に、各トランジスタ102₁～102_Nを発光するレーザダイオード12₁～12_Mの数Mに応じて制御することで、トランジスタ102₁～102_Nの全体としてのオン抵抗 R_{ON-2} の抵抗値を高くすることができる。これにより、電圧 V_1 および V_2 の検出精度を向上させることが可能である。
- [0112] さらに、上述した第3の実施形態の第1の変形例と同様に、発光させるレーザダイオード12₁～12_Mの個数Mに応じて、レプリカ経路の電流源104が供給する電流 I_c を変更することができる。図12の例では、電流源104は、電流 I_c/M を供給するようにしている。これにより、レプリカ経路における消費電力を削減することが可能である。
- [0113] なお、ここでは、第3の実施形態の第1の変形例および第2の変形例が、図10Bを用いて説明した、複数のレーザダイオード12を駆動する場合の第2の例による構成を用いて説明したが、これはこの例に限定されない。すなわち、第3の実施形態の第1の変形例および第2の変形例は、図10Aおよび図10Cを用いて説明した、複数のレーザダイオード12を駆動する場合の第1の例および第3の例にも適用可能である。さらに、第3の実施形態

およびその各変形例に係る構成は、上述した第1の実施形態および第2の実施形態、ならびに、それらの各変形例にも適用可能である。

[0114] [第4の実施形態]

次に、第4の実施形態について説明する。第4の実施形態は、上述した第3の実施形態およびその各変形例に係るドライバ10f(a)、10f(b)、10f(b)'および10f(c)、ならびに、LDアレイ1200a~1200cの実装に関するものである。

[0115] 以下では、図10Bを用いて説明したドライバ10f(b)と、各レーザダイオード12₁~12_Nのアノードが共通とされたLDアレイ1200bと、を例として、説明を行う。この場合において、図12に示したように、トランジスタ101は、並列接続された複数のトランジスタ101₁~101_Nを含み、トランジスタ102は、同様に並列接続された複数のトランジスタ101₁~101_Nを含むものとする。

[0116] 図13A~図13Cは、第4の実施形態に係るドライバ10f(b)およびLDアレイ1200bの実装例を概略的に示す図である。第4の実施形態では、LDアレイ1200bと、ドライバ10f(b)に含まれる他の構成とを、別の基板上に形成する。

[0117] 図13Aは、第4の実施形態に適用可能な、ドライバ10f(b)に含まれる各要素が配置されるLDD(レーザダイオードドライバ)チップ1000上にLDアレイ1200bが配置される様子を模式的に示す図である。図13Aは、LDDチップ1000およびLDアレイ1200bを、LDアレイ1200bに含まれる各レーザダイオード12の発光部が配置される面(上面とする)から見た様子を示している。なお、この図13Aおよび後述する図13Bにおいて、LDアレイ1200bは、LDDチップ1000と接続される側(裏面)を、レーザダイオード12の発光部が配置される上面側から透視した状態で示されている。

[0118] LDDチップ1000は、1つの半導体チップであって、周辺部に配置される複数のパッド1001に対するワイヤボンディングにより、外部の回路

と接続される。例えば、LDDチップ1000に対して、パッド1001を介して外部から電圧 V_{DD} の電源が供給される。また、図10Bにおける電圧 V_1 および V_2 は、LDDチップ1000の外部に設けられるADC110に対して、パッド1001を介して供給される。

[0119] なお、セクタ111aは、LDDチップ1000の内部に設けることができる。これに限らず、セクタ111aをLDDチップ1000の外部に設けるようにしてもよい。この場合、電圧 V_1 および V_2 がパッド1001を介してセクタ111aに供給され、セクタ111aの出力が、同様にLDDチップ1000の外部に設けられるADC110に供給される。

[0120] 図13Bは、第4の実施形態に適用可能なLDアレイ1200bの構成を模式的に示す図である。図13Bに示すように、LDアレイ1200bの裏面に対し、LDアレイ1200bに含まれる複数のレーザダイオード12それぞれのカソード端子1201と、当該複数のレーザダイオード12に共通するアノード端子1202とが整列して配置される。

[0121] 図13Bの例では、図の横方向を行、縦方向を列とすると、カソード端子1201は、C行×L列の格子状の配列により、LDアレイ1200bの中央部に配置されている。すなわち、この例では、LDアレイ1200bに対して、(C×L)個のレーザダイオード12が配置されることになる。また、アノード端子1202は、LDアレイ1200bの左端側にC行× A_1 列、右端側にC行× A_2 列の各格子状の配列により配置されている。

[0122] ここで、各カソード端子1201は、例えば図10Bにおける結合部100b₁、100b₂、…、100b_nに対応する。また、各アノード端子1202は、纏めて、例えば図10Bにおける結合部100aに対応する。各レーザダイオード12のアノードが共通して接続される結合部100aを複数のアノード端子1202により複数形成することで、当該各アノードをLDDチップ1000に接続する際の接続抵抗を低く抑えることが可能となる。

[0123] 図13Cは、第4の実施形態に適用可能な、LDDチップ1000およびLDアレイ1200bからなる構造を、図13Aの下端側から見た側面図で

ある。このように、LDDチップ1000およびLDアレイ1200bは、LDDチップ1000に対してLDアレイ1200bが積層された構造とされる。各カソード端子1201および各アノード端子1202は、例えばマイクロバンプによりLDDチップ1000に接続される。

[0124] 次に、ドライバ10f(b)に含まれる各要素のLDDチップ1000上への配置の例について、図14Aおよび図14Bを用いて説明する。

[0125] 図14Aは、上述した図10Bと対応する図である。この図14Aの例では、ドライバ10f(b)は、図10Bのトランジスタ102のサイズを、トランジスタ101のサイズより小さくしている。例えば、1個のトランジスタ102に対し、並列接続され、それぞれ独立してオン／オフの制御が可能な複数のトランジスタ101₁、…、101_Nによりトランジスタ101を構成する。図14Aの例では、N個のトランジスタ101₁～101_Nに対し、N／10個のトランジスタ102が用いられる。例えば、N＝10個であれば、トランジスタ102の個数は、1個である。

[0126] これにより、トランジスタ102のオン抵抗 R_{ON-2} を、トランジスタ101₁～101_N全体によるオン抵抗 R_{ON-1} に対して高くすることができる。また、レプリカ経路における電流源104の電流 I_c を、トランジスタ102のサイズ（個数）と、トランジスタ101₁～101_Nの全体としてのサイズ（個数）と、の比率に基づき小さくすることができる。

[0127] 図14Aの例では、電流源104が供給する電流を、図10Bの例の電流源104の電流 I_c に対し、1／10の電流 $I_c／10$ としている。上述した式（1）によれば、トランジスタ102のオン抵抗 R_{ON-2} を10倍とし、電流 I_c を1／10としても、求められる電圧 V_2 の値が変わらないことが分かる。このようにレプリカ経路の電流を減らすことができるため、LDDチップ1000における消費電力を削減することができる。なお、図14Aの例では、トランジスタ102のサイズを10倍とし、レプリカ経路の電流量を1／10としたが、同様の方法によりさらに消費電力を削減することもできる。

[0128] なお、図14Aでは、トランジスタ102が1個の素子として示されてい

るが、トランジスタ102も、並列接続され、それぞれ独立してオン／オフの制御が可能な複数のトランジスタを用いて構成してもよい。

[0129] 図14Bは、第4の実施形態に適用可能な、ドライバ10f(b)の各要素のLDDチップ1000上への配置の例を示す図である。図14Bにおける各領域1300、1301、1302および1303は、図14Aにおいて当該各領域1300、1301、1302および1303に対応させて点線枠で囲って示す各要素が配置される。

[0130] 具体的には、図14Bの例では、領域1300は、電流源103₁、103₂、…、103_nを含む。図14Bの例では、この領域1300に対応する領域1310にLDアレイ1200bが配置される。図14Bにおいて、領域1300の長辺側に領域1301と領域1302とが配置されている。領域1301は、トランジスタ101₁～101_nを含む。また、領域1302は、トランジスタ102を含む。図14Bの例では、領域1301は、トランジスタ101₁～101_nを2つのグループに分けたそれぞれが含まれる2つの領域1301が、領域1302の両側に配置されている。このように、トランジスタ101₁～101_nに対してトランジスタ102を近接させ、且つ、挟むように配置することで、トランジスタ101₁～101_nの特性と、トランジスタ102の特性と、を近付けることができる。

[0131] 図14Bにおいて、さらに、領域1300の短辺側に、電流源104を含む領域1303が配置されている。

[0132] なお、図14Bでは、LDアレイ1200bが配置される領域1310に対して電流源103₁～103_nが含まれる領域1300を配置しているが、この例に限定されない。例えば、領域1310に、電流源103₁～103_nが含まれる領域1300に加えてさらに他の要素を配置してもよい。また、電流源103₁～103_nが含まれる領域1300をLDDチップ1000の別の位置に配置してもよい。さらに、各電流源103₁～103_nなどを駆動する図示されない駆動回路をLDDチップ1000上に配置してもよい。

[0133] (キャパシタを配置する場合の例)

次に、LDDチップ1000に対してキャパシタをさらに配置する場合の例について、図15A、図15Bおよび図15Cを用いて説明する。図15Aは、上述した図14Aの構成に対して、各トランジスタ101₁~101_nのドレインに共通して接続されるキャパシタ140を追加した例を示す図である。

[0134] 図7および図8Aを用いて説明したように、キャパシタ140は、各トランジスタ101₁~101_nを介して供給された電源の電圧 V_{DD} に応じた電荷を蓄積する。各電流源103₁~103_nによる、LDアレイ1200bに含まれる各レーザダイオード12₁~12_nに対する電流の供給を、PWM駆動により行う場合に、このキャパシタ140に蓄積された電荷を用いて、各レーザダイオード12₁~12_nに対する電流の供給を行う。

[0135] すなわち、電源の電圧 V_{DD} は、LDDチップ1000の外部の基板からLDDチップ1000上のパッド1001に対して、ワイヤボンディングにより供給される。PWM駆動により急峻な電圧の変化が生じると、このワイヤボンディングに用いるワイヤのインダクタンスにより、大きな電圧降下が発生する。そのため、各レーザダイオード12₁~12_nに対して、キャパシタ140に蓄積された電荷に基づき電流 I_L を供給することで、この電圧降下の影響を回避することができる。

[0136] 図15Bは、キャパシタ140を含む領域1304をLDDチップ1000上に配置した例を示す図である。キャパシタ140は、例えば各トランジスタ101₁~101_n、トランジスタ102などと比較して、比較的大きなサイズを有する。そこで、図15Bの例では、キャパシタ140を含む領域1304を、LDアレイ1200bが配置される領域1310に対応する位置に配置している。このように、キャパシタ140を含む領域1304は、比較的大きなサイズのため、このような配置とすることで、LDDチップ1000におけるレイアウトの設計が容易となる。

[0137] また、図15Bの例では、各電流源103₁~103_nを含む領域1300を2つに分けて、領域1304の両側の長辺の外側に配置している。

- [0138] なお、図 1 5 B の例では、キャパシタ 1 4 0 を含む領域 1 3 0 4 の全体が L D アレイ 1 2 0 0 b が配置される領域 1 3 1 0 に含まれるように示しているが、これはこの例に限定されない。例えば、領域 1 3 0 4 は、その一部が領域 1 3 1 0 に含まれるように配置してもよい。また、領域 1 3 0 4 のサイズが領域 1 3 1 0 に対して小さい場合、領域 1 3 0 4 と共に、他の要素を領域 1 3 1 0 に対応する位置に配置してもよい。
- [0139] 図 1 5 C は、図 1 5 B に示したキャパシタ 1 4 0 を含む領域 1 3 0 4 を L D D チップ 1 0 0 0 上に配置した例において、各トランジスタ $1 0 1_1 \sim 1 0 1_n$ を含む領域 1 3 0 1 を複数の領域 1 3 0 1 に分割すると共に、トランジスタ 1 0 2 を含む領域も、複数の領域 1 3 0 2 に分割した例を示す図である。なお、この場合、トランジスタ 1 0 2 も、各トランジスタ $1 0 1_1 \sim 1 0 1_n$ と同様に、並列接続され、それぞれ独立してオン／オフの制御が可能な複数のトランジスタを用いて構成されているものとする。
- [0140] ここで、各トランジスタ $1 0 1_1 \sim 1 0 1_n$ の全体のサイズや、複数のトランジスタにより構成されるトランジスタ 1 0 2 のサイズが比較的大きな場合、各トランジスタに対して、製造時のプロセスなどに起因するばらつきが出る可能性がある。図 1 5 C の例では、各トランジスタ $1 0 1_1 \sim 1 0 1_n$ が含まれる領域 1 3 0 1 と、トランジスタ 1 0 2 を構成する複数のトランジスタが含まれる領域 1 3 0 2 とをより細かい単位で分割し、さらに、分割された各領域 1 3 0 1 および 1 3 0 2 を交互に配置している。これにより、各トランジスタ $1 0 1_1 \sim 1 0 1_n$ 、および、トランジスタ 1 0 2 を構成する複数のトランジスタのばらつきを抑えることが可能となる。
- [0141] なお、上述した図 1 4 A および図 1 5 A は、上述の図 4 と対応する構成が適用され、本線とレプリカ経路とにおいてそれぞれ直接的に電圧 V_1 および V_2 を取り出すようにしているが、これはこの例に限定されない。すなわち、図 1 4 A および図 1 5 A の構成に対して、図 6、図 7、図 8 A または図 9 を用いて説明した構成を適用することができる。
- [0142] さらに、L D アレイ 1 2 0 0 b の代わりに、図 1 0 A で説明した、各レー

ザダイオード12₁～12_nが独立して接続されるLDアレイ1200aを用いてもよい。同様に、LDアレイ1200bの代わりに、図10Cで説明した、レーザダイオード12₁～12_nのアノードが共通に接続されるLDアレイ1200cを用いてもよい。

[0143] [第5の実施形態]

次に、第5の実施形態について説明する。第5の実施形態は、上述した各実施形態および各実施形態の各変形例による光源装置1を、レーザ光を用いて測距を行う測距装置に適用した場合の例である。

[0144] 図16は、第5の実施形態に係る測距装置の一例の構成を示すブロック図である。なお、以下では、上述した各実施形態および各実施形態の各変形例によるドライバ10a～10e、および、ドライバ10f(a)～10f(c)をドライバ10で代表させて説明を行う。同様に、レーザダイオード12、レーザダイオード12₁～12_n、レーザダイオード12₁～12_nなどを、レーザダイオード12で代表させて説明を行う。より好ましくは、図15Bまたは図15Cを用いて説明した構成を適用することが考えられる。

[0145] 図16において、第5の実施形態に係る、電子機器としての測距装置70は、ドライバ10と、レーザダイオード12と、コントローラ11と、測距部51と、受光部302と、を含む。ドライバ10は、コントローラ11から供給される制御信号に応じて、レーザダイオード12をパルス状に発光させるように駆動する駆動信号(図8B参照)を生成し、生成した駆動信号に基づきレーザダイオード12を発光させる。ドライバ10は、レーザダイオード12を発光させたタイミングを示す信号を、測距部51に渡す。

[0146] コントローラ11は、ドライバ10から供給される検出信号42に基づき、レーザダイオード12に対して過電流が供給されているか否かを判定する。コントローラ11は、レーザダイオード12に対して過電流が供給されていると判定した場合、ドライバ10に対してレーザダイオード12の発光を停止させるための制御信号43を出力すると共に、過電流の供給を示すエラー信号を出力する。コントローラ11は、エラー信号を、例えば測距装置7

0の外部に出力することができる。

[0147] 受光部302は、受光したレーザ光に基づく光電変換により受光信号を出力する受光素子を含む。受光素子としては、例えば単一フォトンアバランシェダイオードを適用することができる。単一フォトンアバランシェダイオードは、SPAD(Single Photon Avalanche Diode)とも呼ばれ、1フォトン入射に応じて発生した電子がアバランシェ増倍を生じ、大電流が流れる特性を有する。SPADのこの特性を利用することで、1フォトン入射を高感度で検知することができる。受光部302適用可能な受光素子は、SPADに限らず、アバランシェフォトダイオード(APD)や、通常のフォトダイオードを適用することも可能である。

[0148] 測距部51は、レーザダイオード12からレーザ光が射出された時間 t_0 と、受光部302に光が受光された時間 t_1 とに基づき、対象物61との間の距離Dを算出する。

[0149] 上述の構成において、レーザダイオード12から例えば時間 t_0 のタイミングで射出されたレーザ光60は、例えば対象物61により反射され、反射光62として、時間 t_1 のタイミングで受光部302に受光される。測距部51は、受光部302で反射光62が受光された時間 t_1 と、レーザダイオード12にてレーザ光が射出された時間 t_0 との差分に基づき、対象物61までの距離Dを求める。距離Dは、定数cを光速度(2.9979×10^8 [m/sec])として次式(10)により計算される。

$$D = (c / 2) \times (t_1 - t_0) \quad \dots (10)$$

[0150] 測距部51は、上述の処理を、複数回繰り返して実行する。受光部302が複数の受光素子を含み、各受光素子に反射光62が受光された各受光タイミングに基づき距離Dをそれぞれ算出してもよい。測距部51は、発光タイミングの時間 t_0 から受光部302に光が受光された受光タイミングまでの時間 t_m (受光時間 t_m と呼ぶ)を階級(ビン(bins))に基づき分類し、ヒストグラムを生成する。

[0151] なお、受光部302が受光時間 t_m に受光した光は、レーザダイオード12

が発光した光が被測定物により反射された反射光 62 に限られない。例えば、受光部 302 の周囲の環境光も、受光部 302 に受光される。

[0152] 図 17 は、第 5 の実施形態に適用可能な、受光部 302 が受光した時刻に基づく一例のヒストグラムを示す図である。図 17 において、横軸はビン、縦軸は、ビン毎の頻度を示す。ビン_mは、受光時間 t_m を所定の単位時間 d 毎に分類したものである。具体的には、ビン # 0 が $0 \leq t_m < d$ 、ビン # 1 が $d \leq t_m < 2 \times d$ 、ビン # 2 が $2 \times d \leq t_m < 3 \times d$ 、…、ビン # (N - 2) が $(N - 2) \times d \leq t_m < (N - 1) \times d$ となる。受光部 302 の露光時間を時間 t_{ep} とした場合、 $t_{ep} = N \times d$ である。

[0153] 測距部 51 は、受光時間 t_m を取得した回数をビンに基づき計数してビン毎の頻度 310 を求め、ヒストグラムを生成する。ここで、受光部 302 は、レーザダイオード 12 から射出された光が反射された反射光以外の光も受光する。このような、対象となる反射光以外の光の例として、上述した環境光がある。ヒストグラムにおいて範囲 311 で示される部分は、環境光による環境光成分を含む。環境光は、受光部 302 にランダムに入射される光であって、対象となる反射光に対するノイズとなる。

[0154] 一方、対象となる反射光は、特定の距離に応じて受光される光であって、ヒストグラムにおいてアクティブ光成分 312 として現れる。このアクティブ光成分 312 内のピークの頻度に対応するビンが、被測定物 303 の距離 D に対応するビンとなる。測距部 51 は、そのビンの代表時間（例えばビンの中央の時間）を上述した時間 t_1 として取得することで、上述した式 (10) に従い、被測定物 303 までの距離 D を算出することができる。このように、複数の受光結果を用いることで、ランダムなノイズに対して適切な測距を実行可能となる。

[0155] このように、本開示に係るドライバ 10 を、直接 T o F 方式により測距を行う測距装置 70 に適用することで、レーザダイオード 12 に対して過電流が供給されたか否かをより高精度に検出できる。この検出結果に基づきレーザダイオード 12 の発光を制御することで、例えば過電流により想定より強

力なレーザ光がレーザダイオード１２から射出された場合の、眼に対する影響を抑制することができる。また、過電流による、レーザダイオード１２の素子自身の破壊を防ぐことができ、測距装置７０の信頼性を向上できる。

[0156] [第６の実施形態]

次に、本開示の第６の実施形態として、本開示の第５の実施形態の適用例について説明する。図１８は、第６の実施形態による、上述の第５の実施形態に係る測距装置７０を使用する使用例を示す図である。

[0157] 上述した測距装置７０は、例えば、以下のように、可視光や、赤外光、紫外光、Ｘ線等の光をセンシングする様々なケースに使用することができる。

[0158] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置。

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置。

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、ＴＶや、冷蔵庫、エアコンディショナ等の家電に供される装置。

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置。

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置。

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置。

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置。

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置。

[0159] [本開示に係る技術のさらなる適用例]

(移動体への適用例)

本開示に係る技術は、さらに、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボットといった各種の移動体に搭載される装置に対して適用されてもよい。

[0160] 図19は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0161] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図19に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、および統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、および車載ネットワークI/F（インタフェース）12053が図示されている。

[0162] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、および、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0163] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック

装置、パワーウィンドウ装置、ランプ等を制御する。

[0164] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット１２０３０は、例えば、受信した画像に対して画像処理を施し、画像処理の結果に基づき物体検出処理や距離検出処理を行う。

[0165] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0166] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0167] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両

のレーン逸脱警告等を含むA D A S (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0168] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0169] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0170] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声および画像のうちの少なくとも一方の出力信号を送信する。図19の例では、出力装置として、オーディオスピーカ12061、表示部12062およびインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイおよびヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0171] 図20は、撮像部12031の設置位置の例を示す図である。図20では、車両12100は、撮像部12031として、撮像部12101、12102、12103、12104および12105を有する。

[0172] 撮像部12101、12102、12103、12104および12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドアおよび車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101および車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前

方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101および12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0173] なお、図20には、撮像部12101～12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112および12113は、それぞれサイドミラーに設けられた撮像部12102および12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101～12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0174] 撮像部12101～12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101～12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0175] 例えば、マイクロコンピュータ12051は、撮像部12101～12104から得られた距離情報を基に、撮像範囲12111～12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0 km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことがで

きる。

[0176] 例えば、マイクロコンピュータ12051は、撮像部12101～12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0177] 撮像部12101～12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101～12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101～12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101～12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0178] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。具体的には、上述した本開示の第5の実施形態

に係る測距装置 70 を撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、走行する車両からの測距を行う測距装置 70 から射出されるレーザ光の、例えば対向車や歩行者などに対する、過電流による過大な照射を抑制することができる。

[0179] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0180] なお、本技術は以下のような構成も取ることができる。

(1)

所定の電位に接続される第 1 の抵抗体と、
前記第 1 の抵抗体に直列に接続される発光素子と、
前記所定の電位に接続される第 2 の抵抗体と、
前記第 2 の抵抗体に直列に接続される、所定の範囲内における任意の電流を供給する第 1 の電流源と、
を備え、
前記第 1 の抵抗体と前記発光素子とが接続される第 1 の接続部から第 1 の電圧を取り出し、前記第 2 の抵抗体と前記第 1 の電流源とが接続される第 2 の接続部から第 2 の電圧を取り出す
光源装置。

(2)

前記発光素子は、
それぞれ独立して発光する複数の素子が配列される素子アレイとして構成され、
前記第 1 の電流源は、
前記素子アレイに含まれる前記複数の素子のうち発光させる素子の数に応じた前記所定の電流を供給する
前記 (1) に記載の光源装置。

(3)

前記第 1 の抵抗体は、

前記素子アレイに含まれる前記複数の素子のうち発光させる素子の数に応じた抵抗値を有する

前記（２）に記載の光源装置。

（４）

前記複数の素子それぞれを駆動する複数の駆動電流を該複数の素子それぞれに独立して供給する複数の第２の電流源をさらに備え、

前記第１の抵抗体と、前記第２の抵抗体と、前記第１の電流源と、前記複数の第２の電流源と、が配置される第１の半導体チップと、

前記素子アレイを形成する、前記第１の半導体チップに積層される第２の半導体チップと、

を含み、

前記第２の半導体チップに配置される前記素子アレイに含まれる前記複数の素子と、前記第１の半導体チップに配置される前記複数の第２の電流源と、が一対一に接続される

前記（２）または（３）に記載の光源装置。

（５）

前記複数の第２の電流源は、

前記第１の半導体チップ上の所定領域に配置され、

前記素子アレイは、

前記第１の半導体チップ上の前記所定領域に対応する領域に積層して配置される

前記（４）に記載の光源装置。

（６）

前記第１の抵抗体は、

並列接続される複数の抵抗体を含み、該複数の抵抗体が複数のブロックに分割されて前記第１の半導体チップに配置される

前記（４）または（５）に記載の光源装置。

（７）

前記第 1 の抵抗体は、整列して配置される 2 のブロックに分割され、該 2 のブロックの間に前記第 2 の抵抗体が配置される
前記（6）に記載の光源装置。

（8）

前記第 2 の抵抗体は、
並列接続される複数の抵抗体を含み、該複数の抵抗体が複数のブロックに分割されて前記第 1 の半導体チップに配置され、

前記第 1 の抵抗体に含まれる複数の抵抗体が分割された複数のブロックそれぞれと、前記第 2 の抵抗体に含まれる複数の抵抗体が分割された複数のブロックのそれぞれと、が交互に、整列して前記第 1 の半導体チップに配置される
前記（7）に記載の光源装置。

（9）

前記第 1 の半導体チップ上の所定領域に配置され、前記第 1 の抵抗体に接続されるキャパシタをさらに備え、

前記素子アレイは、

前記第 1 の半導体チップ上の前記所定領域に積層して配置される
前記（4）乃至（8）の何れかに記載の光源装置。

（10）

前記第 1 の接続部の電圧を降圧した第 3 の電圧を前記第 1 の電圧として取り出す第 1 の降圧部と、

前記第 2 の接続部の電圧を降圧した第 4 の電圧を前記第 2 の電圧として取り出す第 2 の降圧部と、
をさらに備える

前記（1）乃至（9）の何れかに記載の光源装置。

（11）

前記第 1 の降圧部および前記第 2 の降圧部は、

それぞれ、抵抗分圧により前記第 3 の電圧および前記第 4 の電圧を取り出

す

前記（１０）に記載の光源装置。

（１２）

前記第１の降圧部および前記第２の降圧部は、

それぞれ、前記第１の接続部および前記第２の接続部の各電圧を入力とする各ソースフォロワの各出力を抵抗にて降圧させて前記第３の電圧および前記第４の電圧を取り出す

前記（１０）に記載の光源装置。

（１３）

前記第２の降圧部は、

さらに、抵抗分圧により前記第４の電圧に対応する電圧を取り出す

前記（１２）に記載の光源装置。

（１４）

前記所定の電位を降圧して第５の電圧を取り出す第３の降圧部をさらに備える

前記（１０）に記載の光源装置。

（１５）

前記第２の抵抗体と、前記第１の電流源と、をそれぞれ含む複数の組をさらに備え、

前記複数の組のそれぞれから前記第２の電圧を取り出す

前記（１）乃至（１４）の何れかに記載の光源装置。

（１６）

前記第１の電圧と、前記第２の電圧と、前記所定の電流と、に基づき前記発光素子を駆動するための駆動電流を検出する検出部をさらに備える

前記（１）乃至（１５）の何れかに記載の光源装置。

（１７）

前記検出部は、

前記第２の電圧と前記所定の電流と、に基づき前記第１の抵抗体の抵抗を

検出し、該抵抗と前記第 1 の電圧と、に基づき前記駆動電流を検出する
前記（16）に記載の光源装置。

（18）

前記検出部で検出された前記駆動電流に基づき、前記第 1 の抵抗体および
前記第 2 の抵抗体のうち少なくとも前記第 1 の抵抗体のオン状態およびオフ
状態を制御する制御部をさらに備える

前記（16）または（17）に記載の光源装置。

（19）

前記第 1 の抵抗体および前記第 2 の抵抗体は、

それぞれ、オン状態における MOS (Metal Oxide Semiconductor) 型トラ
ンジスタのソースドレイン間の抵抗である

前記（1）乃至（18）の何れかに記載の光源装置。

（20）

所定の電位に接続される第 1 の抵抗体と、

前記第 1 の抵抗体に直列に接続される発光素子と、

前記所定の電位に接続される第 2 の抵抗体と、

前記第 2 の抵抗体に直列に接続される、所定の範囲内における任意の電流
を供給する第 1 の電流源と、

前記発光素子を駆動する駆動電流を生成して前記発光素子の駆動制御を行
う制御部と、

前記第 1 の抵抗体と前記発光素子とが接続される第 1 の接続部から取り出
した第 1 の電圧と、前記第 2 の抵抗体と前記第 1 の電流源とが接続される第
2 の接続部から取り出した第 2 の電圧と、前記所定の電流と、に基づき前記
駆動電流を検出する検出部と、

を備え、

前記制御部は、

前記検出部で検出された前記駆動電流に基づき、前記発光素子に対して過
電流が供給されているか否かを判定する

電子機器。

(21)

前記発光素子は、

それぞれ独立して発光する複数の素子が配列される素子アレイとして構成され、

前記第1の電流源は、

前記素子アレイに含まれる前記複数の素子のうち発光させる素子の数に応じた前記所定の電流を供給する

前記(20)に記載の電子機器。

(22)

前記第1の抵抗体は、

前記素子アレイに含まれる前記複数の素子のうち発光させる素子の数に応じた抵抗値を有する

前記(21)に記載の電子機器。

(23)

前記複数の素子それぞれを駆動する複数の駆動電流を該複数の素子それぞれに独立して供給する複数の第2の電流源をさらに備え、

前記第1の抵抗体と、前記第2の抵抗体と、前記第1の電流源と、前記複数の第2の電流源と、が配置される第1の半導体チップと、

前記素子アレイを形成する、前記第1の半導体チップに積層される第2の半導体チップと、

を含み、

前記第2の半導体チップに配置される前記素子アレイに含まれる前記複数の素子と、前記第1の半導体チップに配置される前記複数の第2の電流源と、が一対一に接続される

前記(21)または(22)に記載の電子機器。

(24)

前記複数の第2の電流源は、

前記第 1 の半導体チップ上の所定領域に配置され、

前記素子アレイは、

前記第 1 の半導体チップ上の前記所定領域に対応する領域に積層して配置される

前記（23）に記載の電子機器。

（25）

前記第 1 の抵抗体は、

並列接続される複数の抵抗体を含み、該複数の抵抗体が複数のブロックに分割されて前記第 1 の半導体チップに配置される

前記（23）または（24）に記載の電子機器。

（26）

前記第 1 の抵抗体は、整列して配置される 2 のブロックに分割され、該 2 のブロックの間に前記第 2 の抵抗体が配置される

前記（25）に記載の電子機器。

（27）

前記第 2 の抵抗体は、

並列接続される複数の抵抗体を含み、該複数の抵抗体が複数のブロックに分割されて前記第 1 の半導体チップに配置され、

前記第 1 の抵抗体に含まれる複数の抵抗体が分割された複数のブロックそれぞれと、前記第 2 の抵抗体に含まれる複数の抵抗体が分割された複数のブロックのそれぞれと、が交互に、整列して前記第 1 の半導体チップに配置される

前記（26）に記載の電子機器。

（28）

前記第 1 の半導体チップ上の所定領域に配置され、前記第 1 の抵抗体に接続されるキャパシタをさらに備え、

前記素子アレイは、

前記第 1 の半導体チップ上の前記所定領域に積層して配置される

前記（２３）乃至（２７）の何れかに記載の電子機器。

（２９）

前記第１の接続部の電圧を降圧した第３の電圧を前記第１の電圧として取り出す第１の降圧部と、

前記第２の接続部の電圧を降圧した第４の電圧を前記第２の電圧として取り出す第２の降圧部と、

をさらに備える

前記（２０）乃至（２８）の何れかに記載の電子機器。

（３０）

前記第１の降圧部および前記第２の降圧部は、

それぞれ、抵抗分圧により前記第３の電圧および前記第４の電圧を取り出す

前記（２９）に記載の電子機器。

（３１）

前記第１の降圧部および前記第２の降圧部は、

それぞれ、前記第１の接続部および前記第２の接続部の各電圧を入力とする各ソースフォロワの各出力を抵抗にて降圧させて前記第３の電圧および前記第４の電圧を取り出す

前記（２９）に記載の電子機器。

（３２）

前記第２の降圧部は、

さらに、抵抗分圧により前記第４の電圧に対応する電圧を取り出す

前記（３１）に記載の電子機器。

（３３）

前記所定の電位を降圧して第５の電圧を取り出す第３の降圧部をさらに備える

前記（２９）に記載の電子機器。

（３４）

前記第 2 の抵抗体と、前記第 1 の電流源と、をそれぞれ含む複数の組をさらに備え、

前記複数の組のそれぞれから前記第 2 の電圧を取り出す
前記 (20) 乃至 (33) の何れかに記載の電子機器。

(35)

前記第 1 の電圧と、前記第 2 の電圧と、前記所定の電流と、に基づき前記発光素子を駆動するための駆動電流を検出する検出部をさらに備える
前記 (20) 乃至 (34) の何れかに記載の電子機器。

(36)

前記検出部は、
前記第 2 の電圧と前記所定の電流と、に基づき前記第 1 の抵抗体の抵抗を検出し、該抵抗と前記第 1 の電圧と、に基づき前記駆動電流を検出する
前記 (35) に記載の電子機器。

(37)

前記検出部で検出された前記駆動電流に基づき、前記第 1 の抵抗体および前記第 2 の抵抗体のうち少なくとも前記第 1 の抵抗体のオン状態およびオフ状態を制御する制御部をさらに備える
前記 (35) または (36) に記載の電子機器。

(38)

前記第 1 の抵抗体および前記第 2 の抵抗体は、
それぞれ、オン状態における MOS (Metal Oxide Semiconductor) 型トランジスタのソースドレイン間の抵抗である
前記 (20) 乃至 (37) の何れかに記載の電子機器。

符号の説明

[0181] 1 光源装置

10, 10a, 10b, 10c, 10d, 10e, 10f (a), 10f (b), 10f (b)', 10f (c), 200a, 200b ドライバ

11 コントローラ

1 2, 1 2₁, 1 2₂, 1 2_n, 1 2_M, 1 2_{M+1}, 1 2_N レーザダイオード

4 2 検出信号

5 1 測距部

7 0 測距装置

1 0 1, 1 0 1', 1 0 1₁, 1 0 1_M, 1 0 1_{M+1}, 1 0 1_N, 1 0 2, 1 0 2₁,
1 0 2_M, 1 0 2_{M+1}, 1 0 2_N, 2 0 3, 2 2 0, 2 2 1 トランジスタ

1 0 3, 1 0 3₁, 1 0 3₂, 1 0 3_n, 1 0 3_M, 1 0 3_{M+1}, 1 0 3_N, 1 0 4,
1 0 4₁, 1 5 2₁, 1 5 2₂, 2 0 4, 2 0 5 電流源

1 3 1₁, 1 3 1₂, 1 3 2₁, 1 3 2₂, 1 5 1₁, 1 5 1₂, 1 5 3, 1 5 4, 1
5 5, 1 5 6 抵抗

1 4 0 キャパシタ

3 0 2 受光部

1 0 0 0 LDDチップ

1 0 0 1 パッド

1 2 0 0 a, 1 2 0 0 b, 1 2 0 0 c LDアレイ

請求の範囲

- [請求項1] 所定の電位に接続される第1の抵抗体と、
前記第1の抵抗体に直列に接続される発光素子と、
前記所定の電位に接続される第2の抵抗体と、
前記第2の抵抗体に直列に接続される、所定の範囲内における任意の電流を供給する第1の電流源と、
を備え、
前記第1の抵抗体と前記発光素子とが接続される第1の接続部から第1の電圧を取り出し、前記第2の抵抗体と前記第1の電流源とが接続される第2の接続部から第2の電圧を取り出す
光源装置。
- [請求項2] 前記発光素子は、
それぞれ独立して発光する複数の素子が配列される素子アレイとして構成され、
前記第1の電流源は、
前記素子アレイに含まれる前記複数の素子のうち発光させる素子の数に応じた前記任意の電流を供給する
請求項1に記載の光源装置。
- [請求項3] 前記第1の抵抗体は、
前記素子アレイに含まれる前記複数の素子のうち発光させる素子の数に応じた抵抗値を有する
請求項2に記載の光源装置。
- [請求項4] 前記複数の素子それぞれを駆動する複数の駆動電流を該複数の素子それぞれに独立して供給する複数の第2の電流源をさらに備え、
前記第1の抵抗体と、前記第2の抵抗体と、前記第1の電流源と、
前記複数の第2の電流源と、が配置される第1の半導体チップと、
前記素子アレイを形成する、前記第1の半導体チップに積層される第2の半導体チップと、

を含み、

前記第2の半導体チップに配置される前記素子アレイに含まれる前記複数の素子と、前記第1の半導体チップに配置される前記複数の第2の電流源と、が一对一に接続される
請求項2に記載の光源装置。

[請求項5] 前記複数の第2の電流源は、
前記第1の半導体チップ上の所定領域に配置され、
前記素子アレイは、
前記第1の半導体チップ上の前記所定領域に対応する領域に積層して配置される
請求項4に記載の光源装置。

[請求項6] 前記第1の抵抗体は、
並列接続される複数の抵抗体を含み、該複数の抵抗体が複数のブロックに分割されて前記第1の半導体チップに配置される
請求項4に記載の光源装置。

[請求項7] 前記第1の抵抗体は、整列して配置される2のブロックに分割され、
該2のブロックの間に前記第2の抵抗体が配置される
請求項6に記載の光源装置。

[請求項8] 前記第2の抵抗体は、
並列接続される複数の抵抗体を含み、該複数の抵抗体が複数のブロックに分割されて前記第1の半導体チップに配置され、
前記第1の抵抗体に含まれる複数の抵抗体が分割された複数のブロックそれぞれと、前記第2の抵抗体に含まれる複数の抵抗体が分割された複数のブロックのそれぞれと、が交互に、整列して前記第1の半導体チップに配置される
請求項7に記載の光源装置。

[請求項9] 前記第1の半導体チップ上の所定領域に配置され、前記第1の抵抗体に接続されるキャパシタをさらに備え、

前記素子アレイは、

前記第 1 の半導体チップ上の前記所定領域に積層して配置される
請求項 4 に記載の光源装置。

[請求項10] 前記第 1 の接続部の電圧を降圧した第 3 の電圧を前記第 1 の電圧として取り出す第 1 の降圧部と、

前記第 2 の接続部の電圧を降圧した第 4 の電圧を前記第 2 の電圧として取り出す第 2 の降圧部と、

をさらに備える

請求項 1 に記載の光源装置。

[請求項11] 前記第 1 の降圧部および前記第 2 の降圧部は、

それぞれ、抵抗分圧により前記第 3 の電圧および前記第 4 の電圧を取り出す

請求項 10 に記載の光源装置。

[請求項12] 前記第 1 の降圧部および前記第 2 の降圧部は、

それぞれ、前記第 1 の接続部および前記第 2 の接続部の各電圧を入力とする各ソースフォロワの各出力を抵抗にて降圧させて前記第 3 の電圧および前記第 4 の電圧を取り出す

請求項 10 に記載の光源装置。

[請求項13] 前記第 2 の降圧部は、

さらに、抵抗分圧により前記第 4 の電圧に対応する電圧を取り出す
請求項 12 に記載の光源装置。

[請求項14] 前記所定の電位を降圧して第 5 の電圧を取り出す第 3 の降圧部をさらに備える

請求項 10 に記載の光源装置。

[請求項15] 前記第 2 の抵抗体と、前記第 1 の電流源と、をそれぞれ含む複数の組をさらに備え、

前記複数の組のそれぞれから前記第 2 の電圧を取り出す

請求項 1 に記載の光源装置。

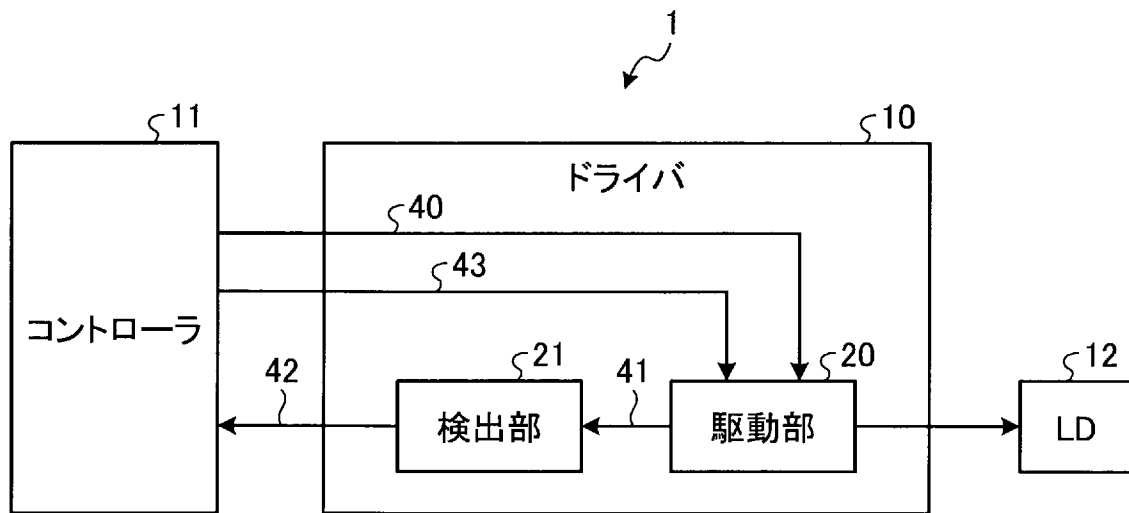
- [請求項16] 前記第1の電圧と、前記第2の電圧と、前記任意の電流と、に基づき前記発光素子を駆動するための駆動電流を検出する検出部をさらに備える
請求項1に記載の光源装置。
- [請求項17] 前記検出部は、
前記第2の電圧と前記任意の電流と、に基づき前記第1の抵抗体の抵抗を検出し、該抵抗と前記第1の電圧と、に基づき前記駆動電流を検出する
請求項16に記載の光源装置。
- [請求項18] 前記検出部で検出された前記駆動電流に基づき、前記第1の抵抗体および前記第2の抵抗体のうち少なくとも前記第1の抵抗体のオン状態およびオフ状態を制御する制御部をさらに備える
請求項16に記載の光源装置。
- [請求項19] 前記第1の抵抗体および前記第2の抵抗体は、
それぞれ、オン状態におけるMOS (Metal Oxide Semiconductor) 型トランジスタのソースドレイン間の抵抗である
請求項1に記載の光源装置。
- [請求項20] 所定の電位に接続される第1の抵抗体と、
前記第1の抵抗体に直列に接続される発光素子と、
前記所定の電位に接続される第2の抵抗体と、
前記第2の抵抗体に直列に接続される、所定の範囲内における任意の電流を供給する第1の電流源と、
前記発光素子を駆動する駆動電流を生成して前記発光素子の駆動制御を行う制御部と、
前記第1の抵抗体と前記発光素子とが接続される第1の接続部から取り出した第1の電圧と、前記第2の抵抗体と前記第1の電流源とが接続される第2の接続部から取り出した第2の電圧と、前記任意の電流と、に基づき前記駆動電流を検出する検出部と、

を備え、

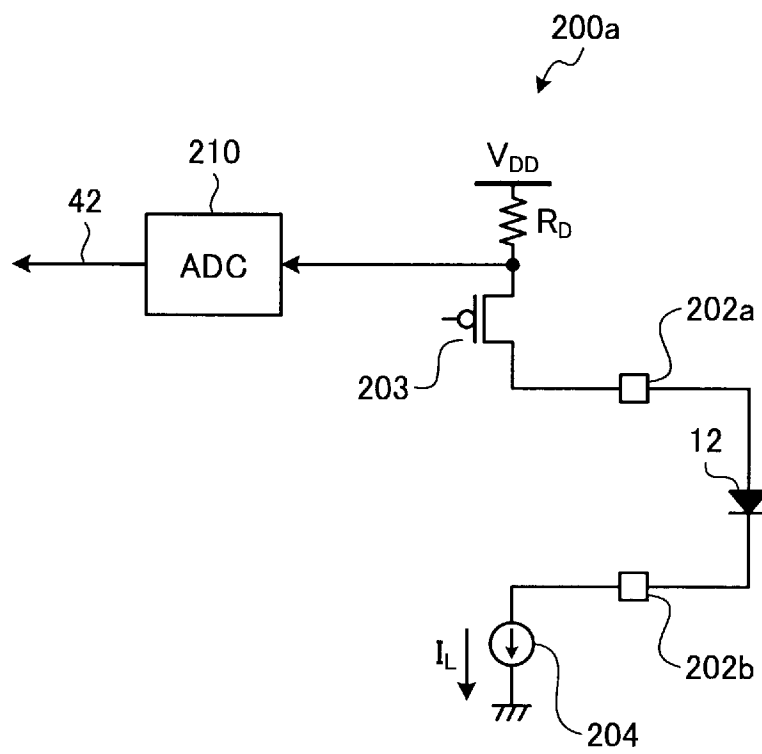
前記制御部は、

前記検出部で検出された前記駆動電流に基づき、前記発光素子に対して過電流が供給されているか否かを判定する
電子機器。

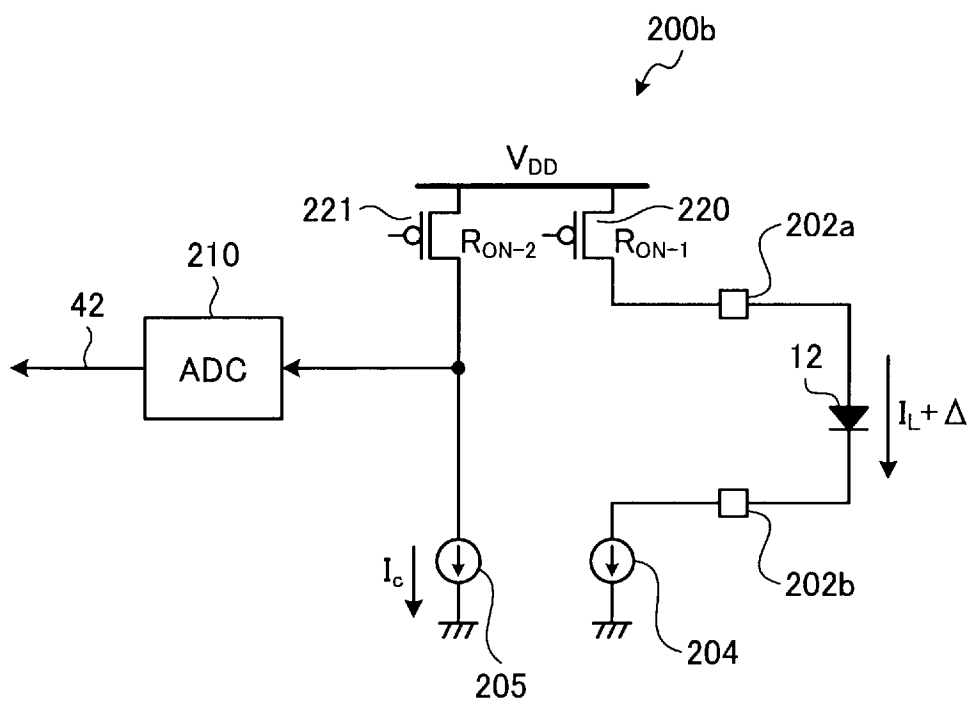
[図1]



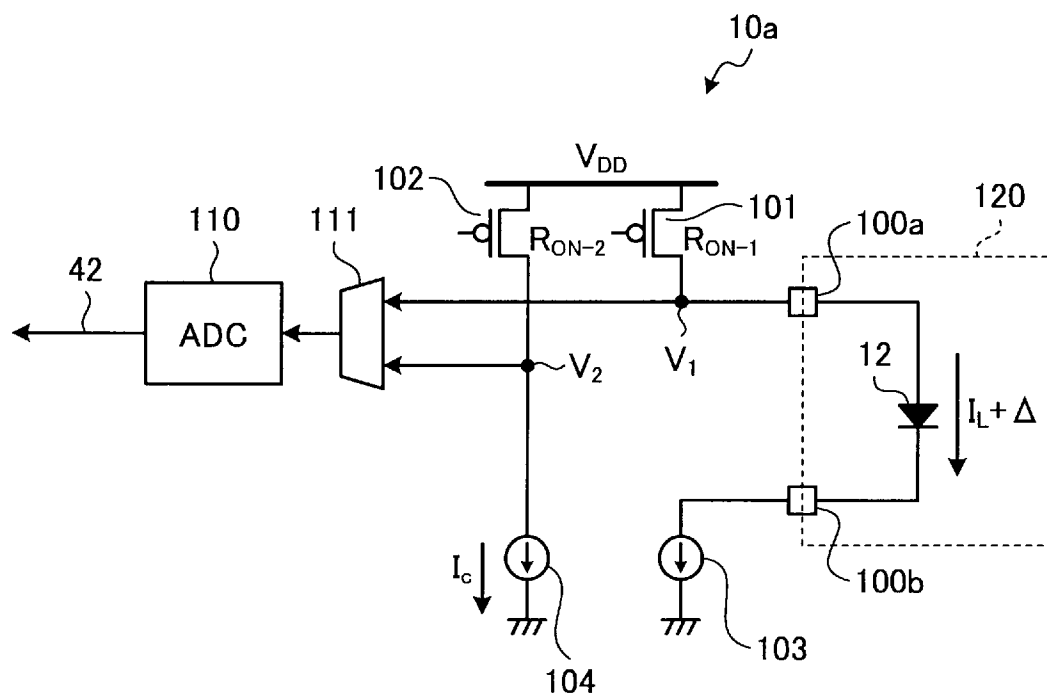
[図2]



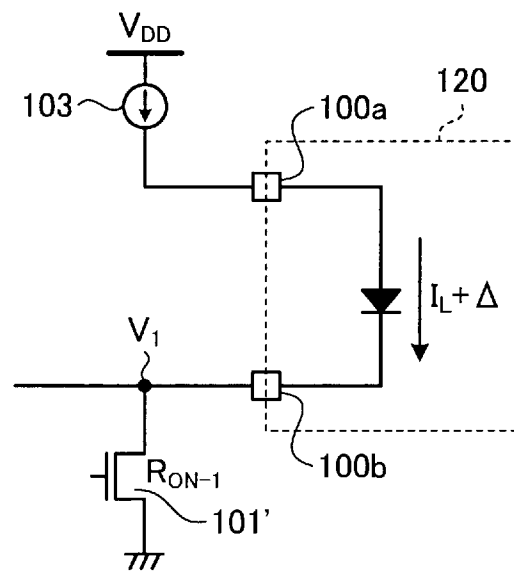
[図3]



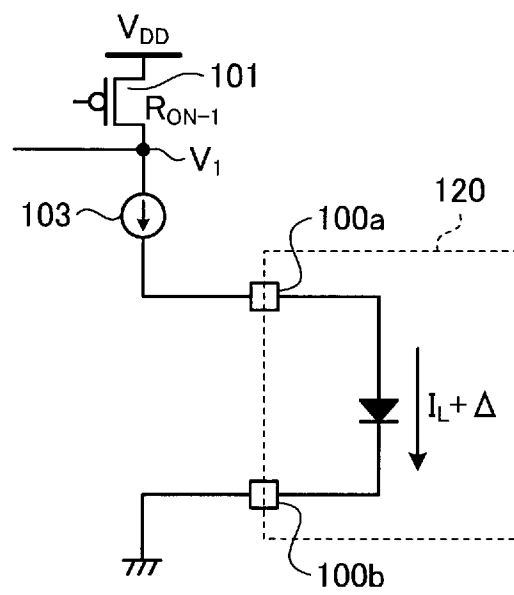
[図4]



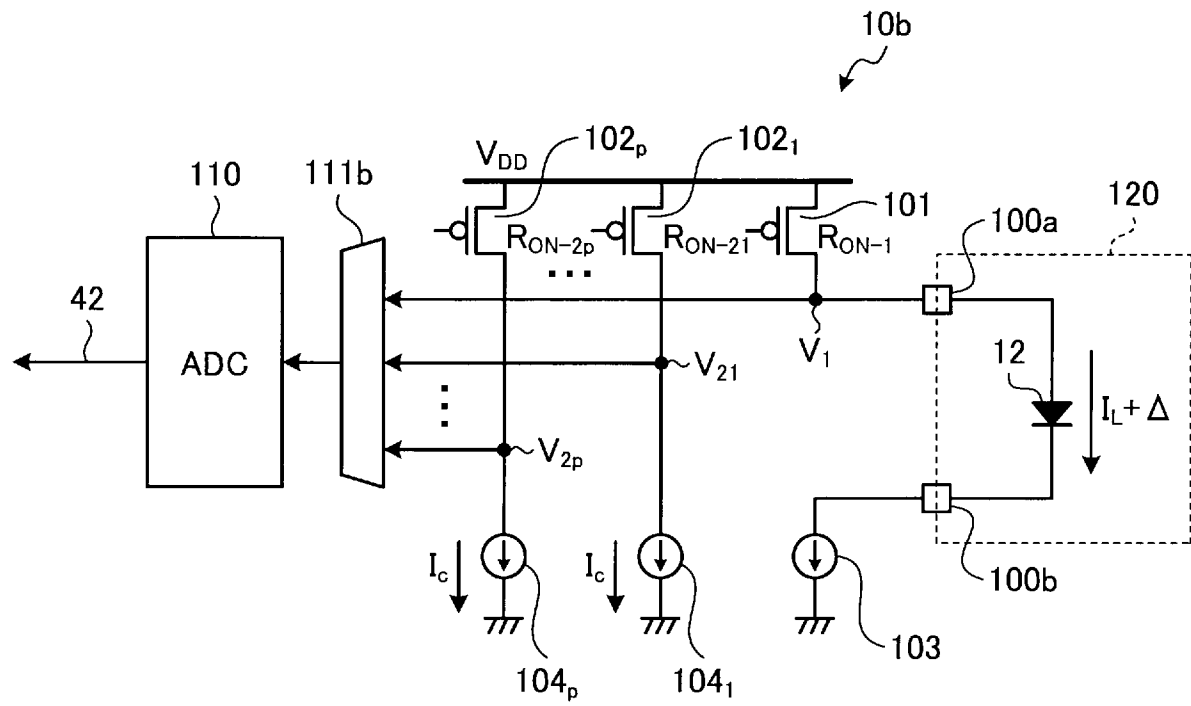
[図5A]



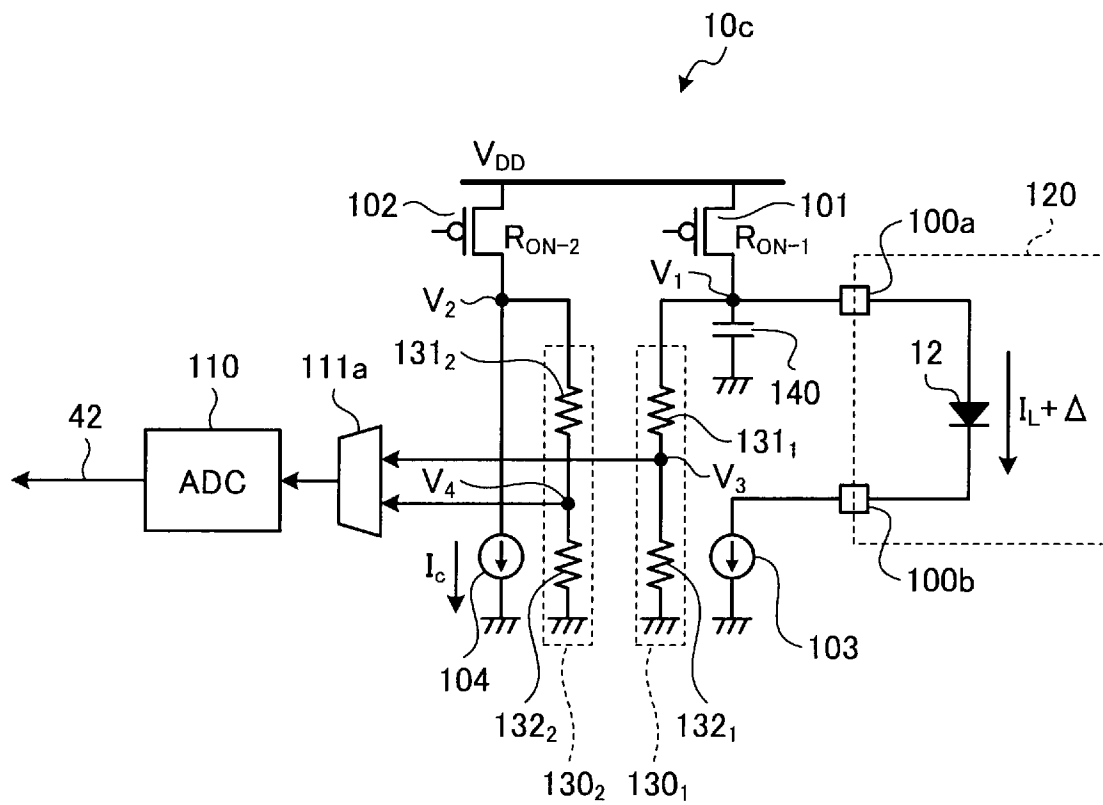
[図5B]



[図6]

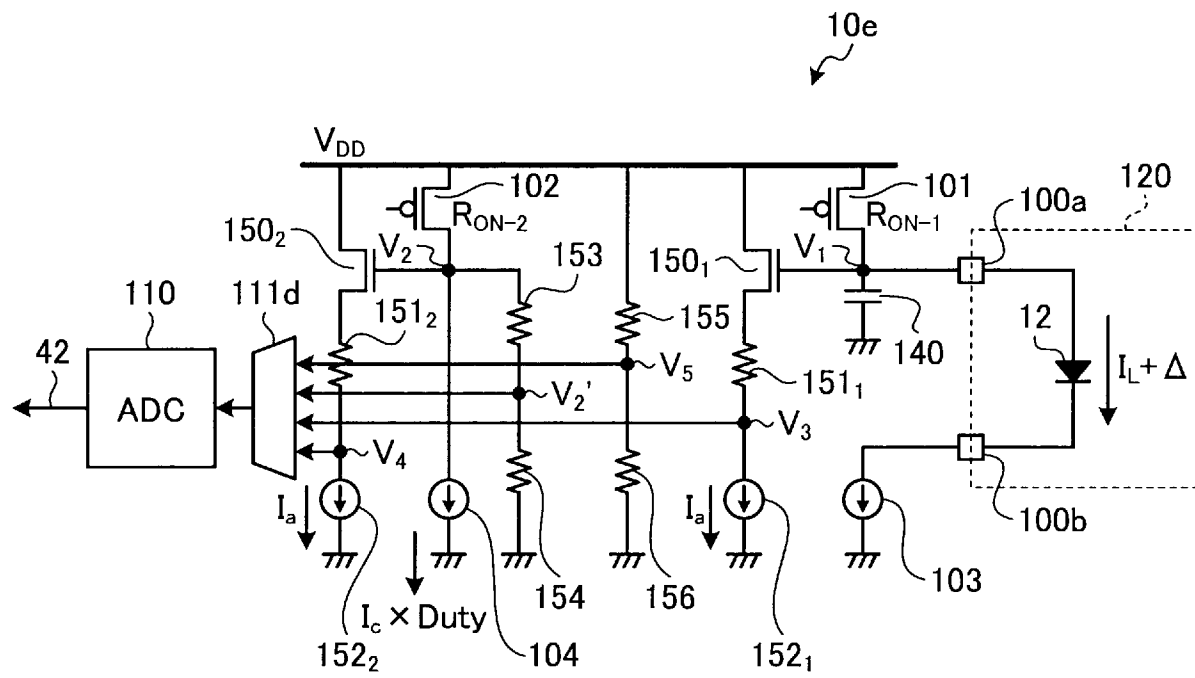


[図7]

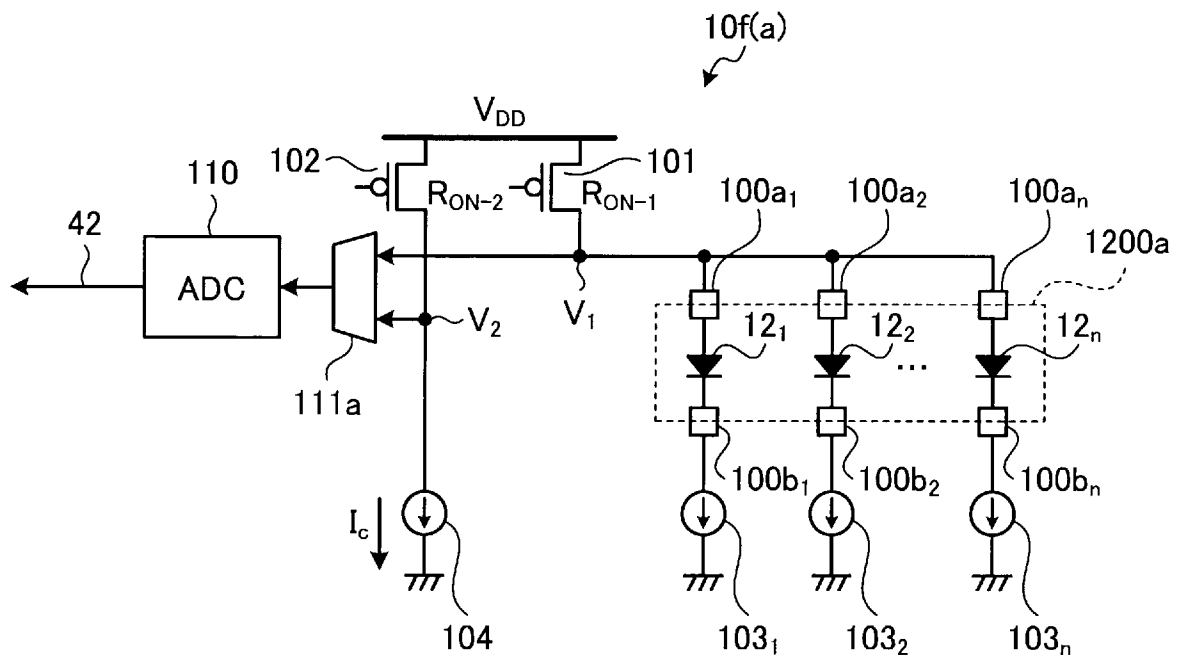


[illegible]

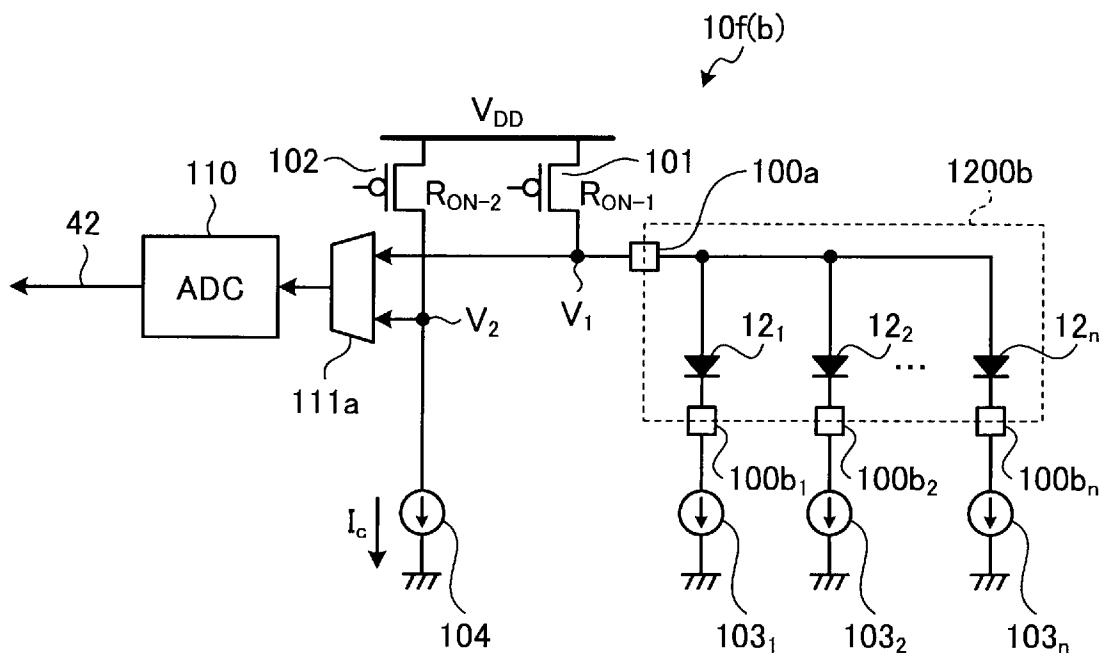
[図9]



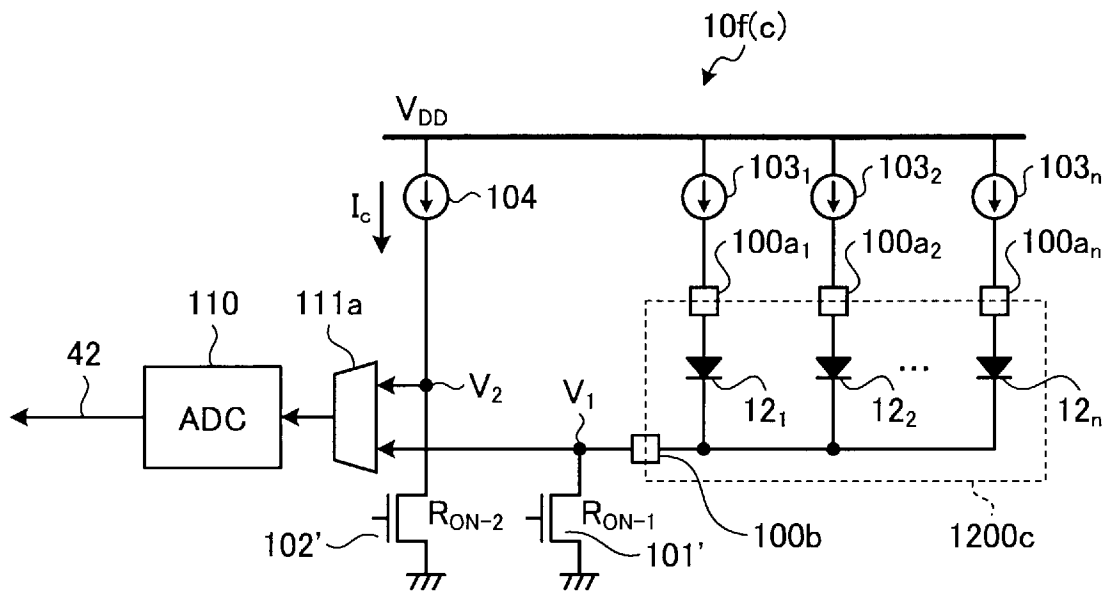
[図10A]



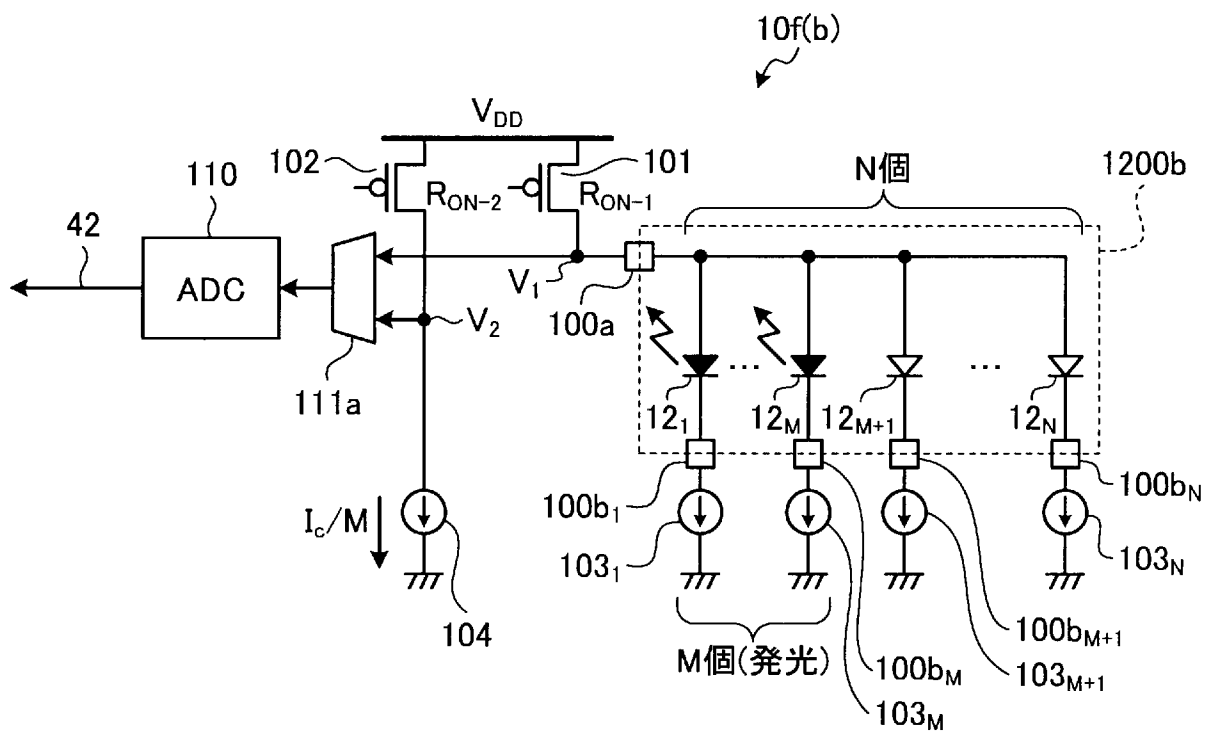
[図10B]



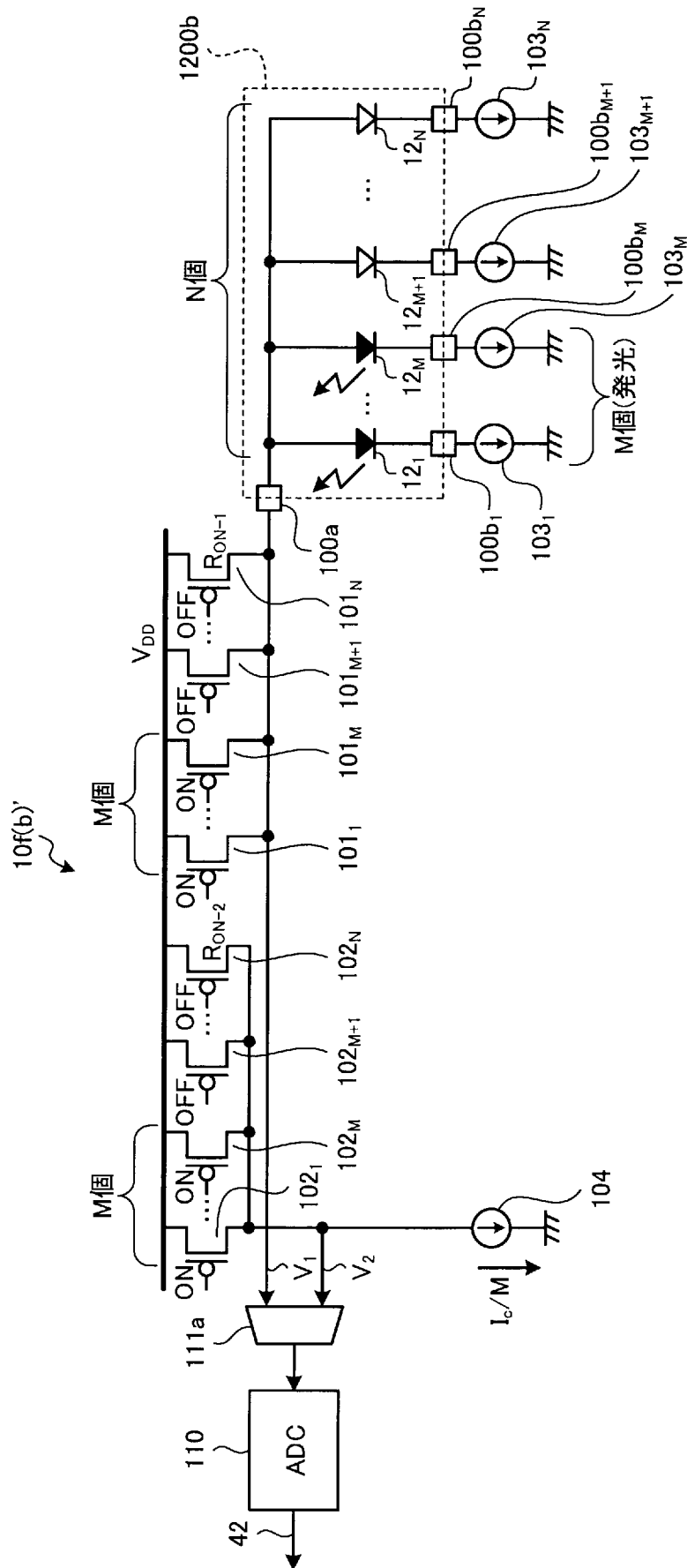
[図10C]



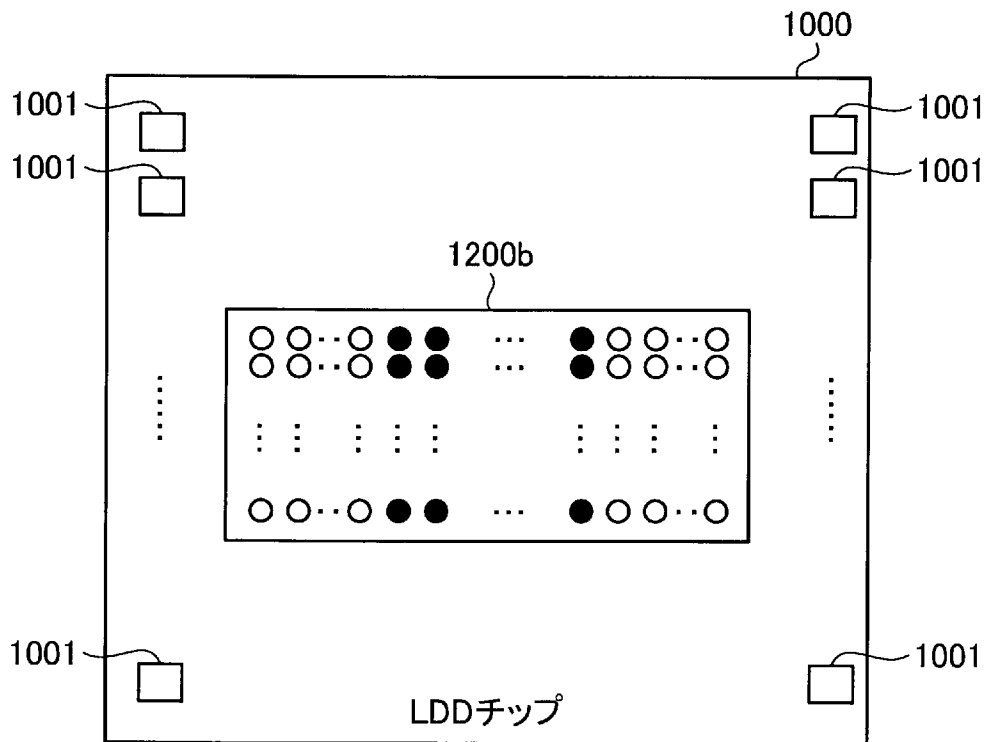
[図11]



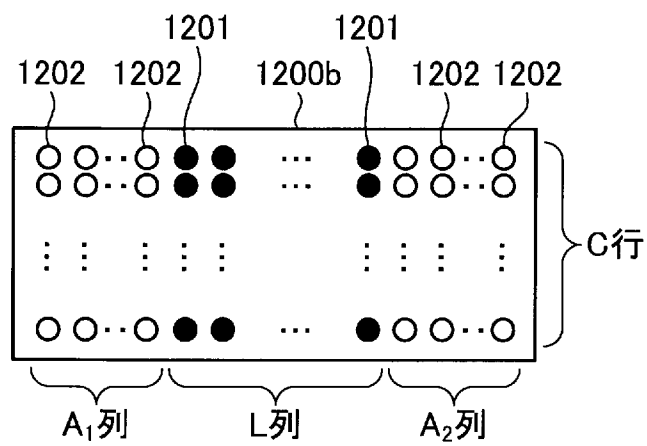
[図12]



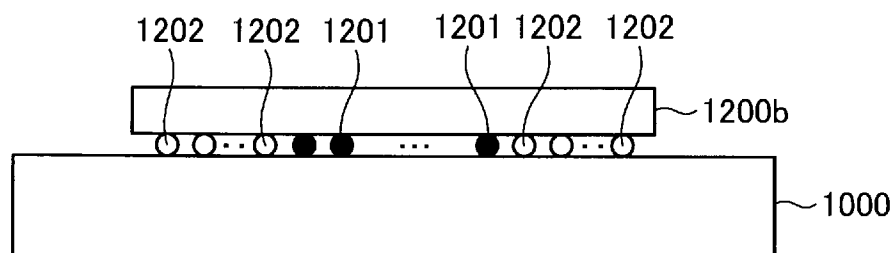
[図13A]



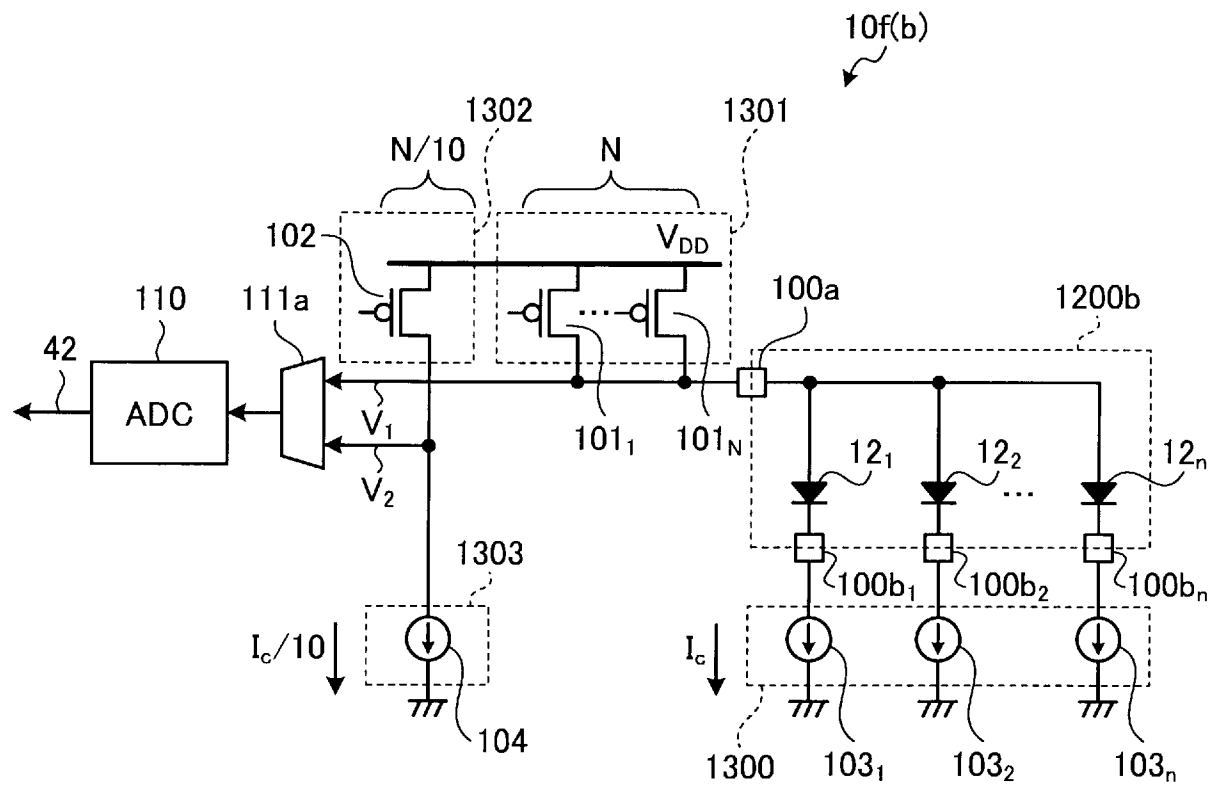
[図13B]



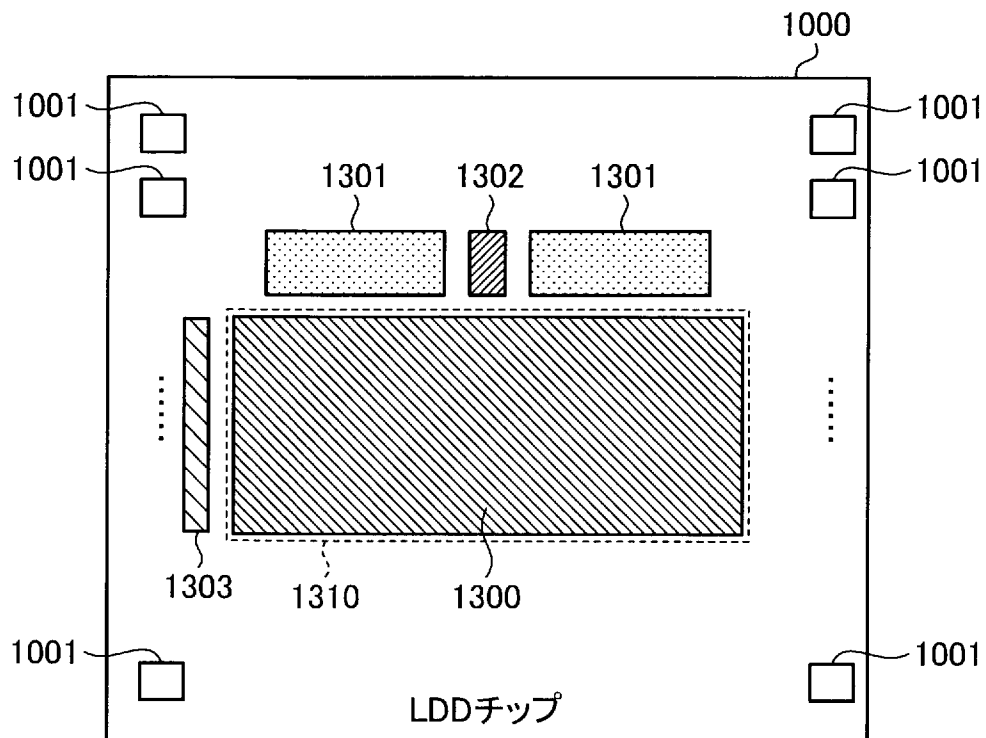
[図13C]



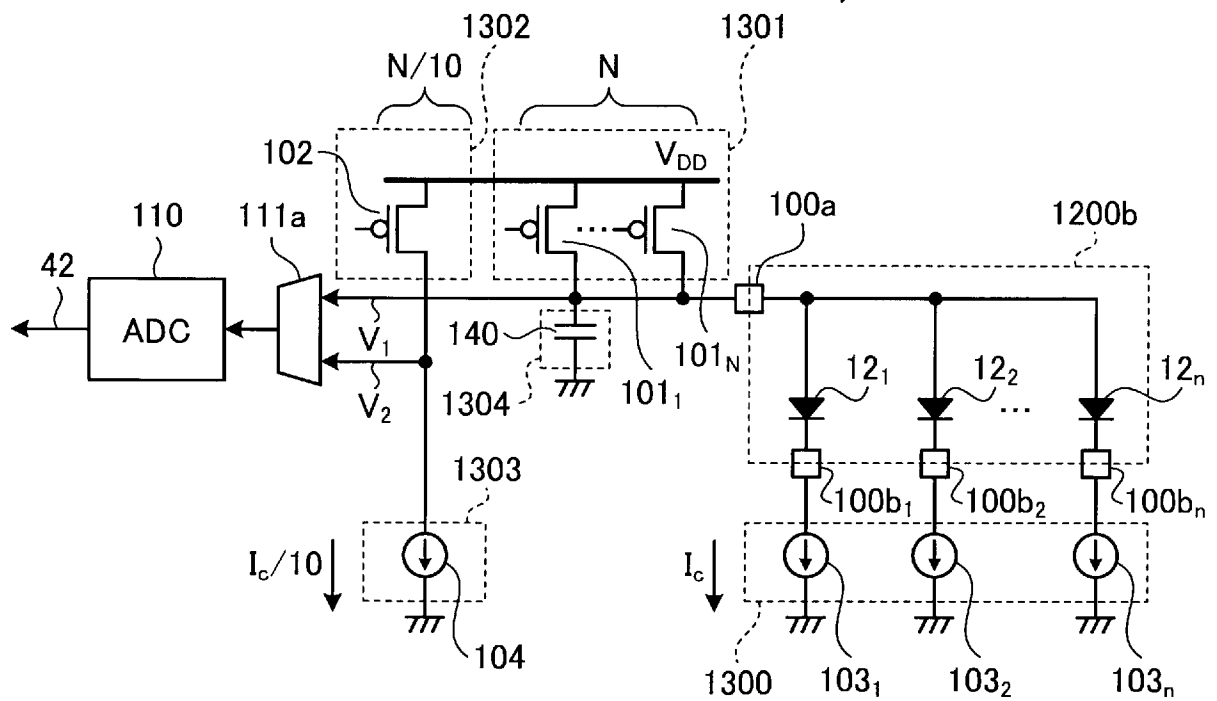
[図14A]



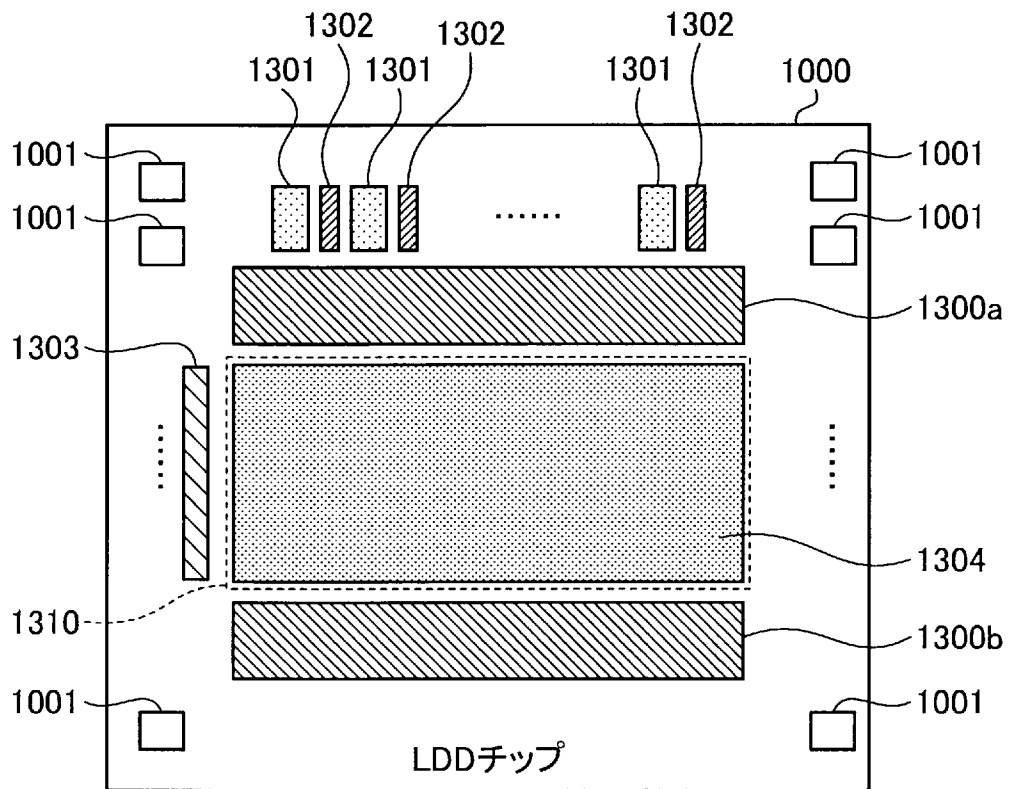
[図14B]



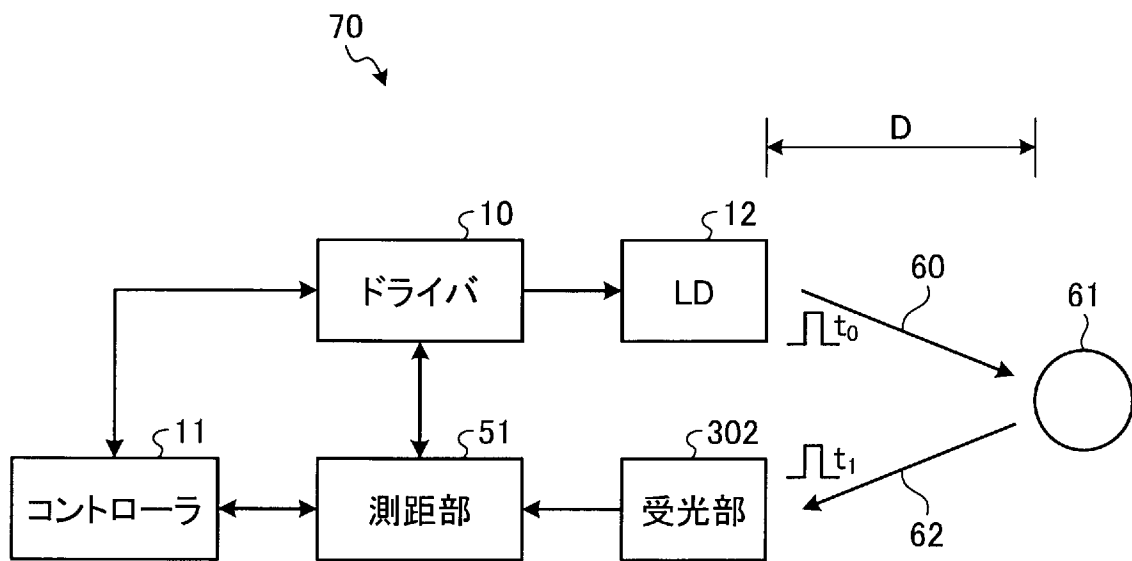
10f(b)'



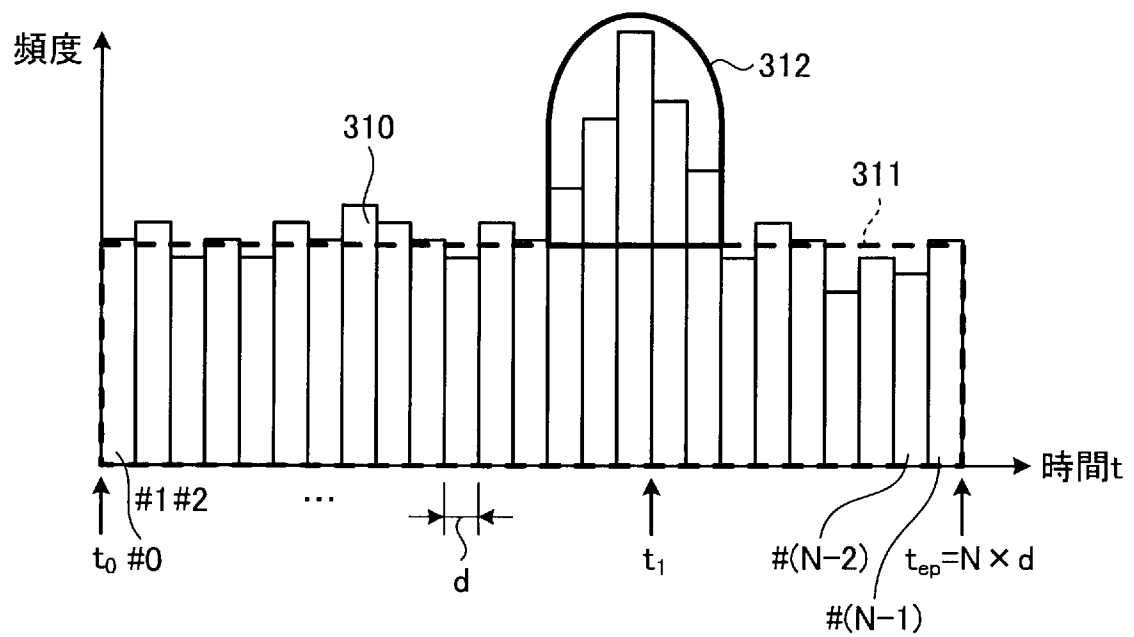
[図15C]



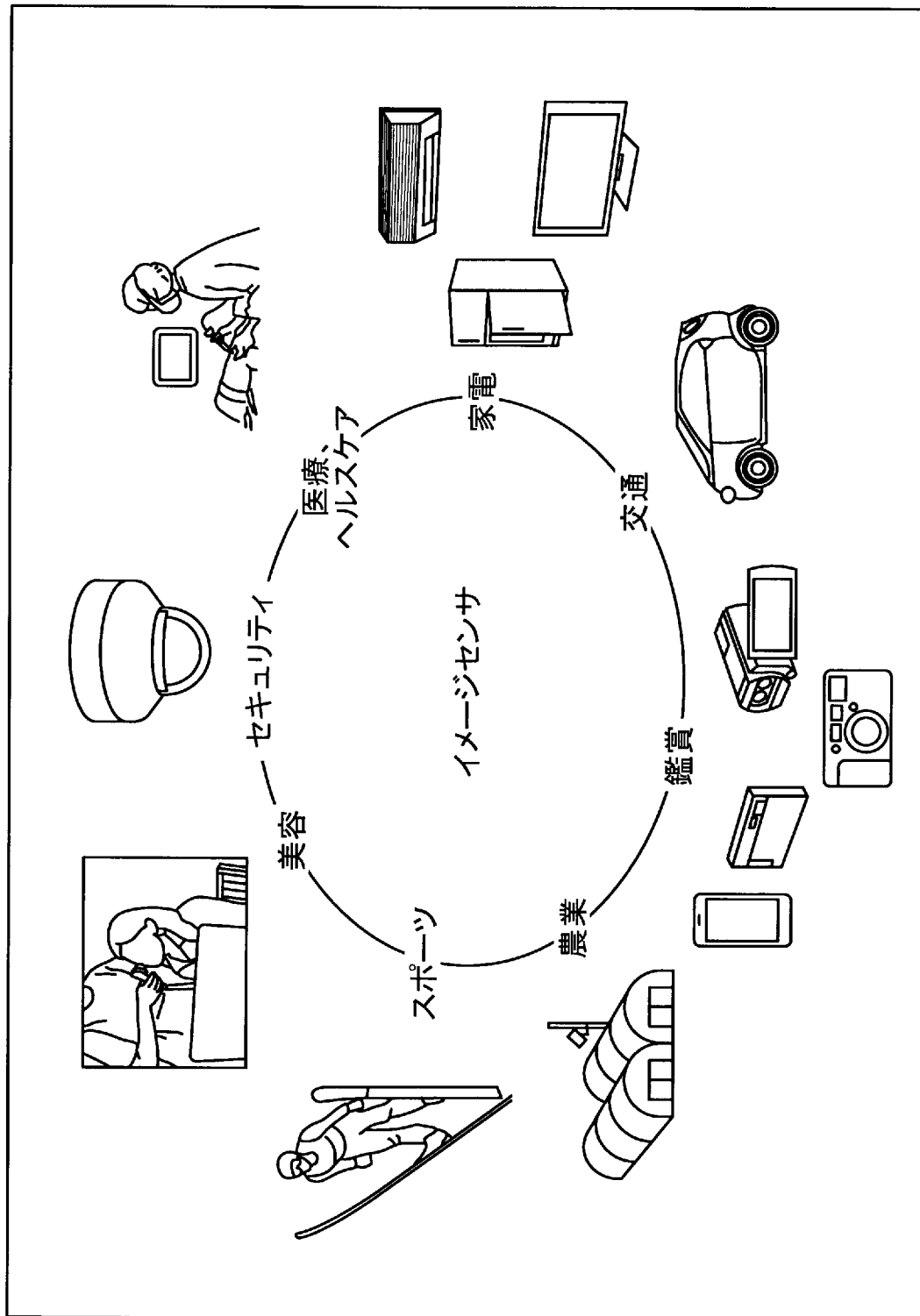
[図16]



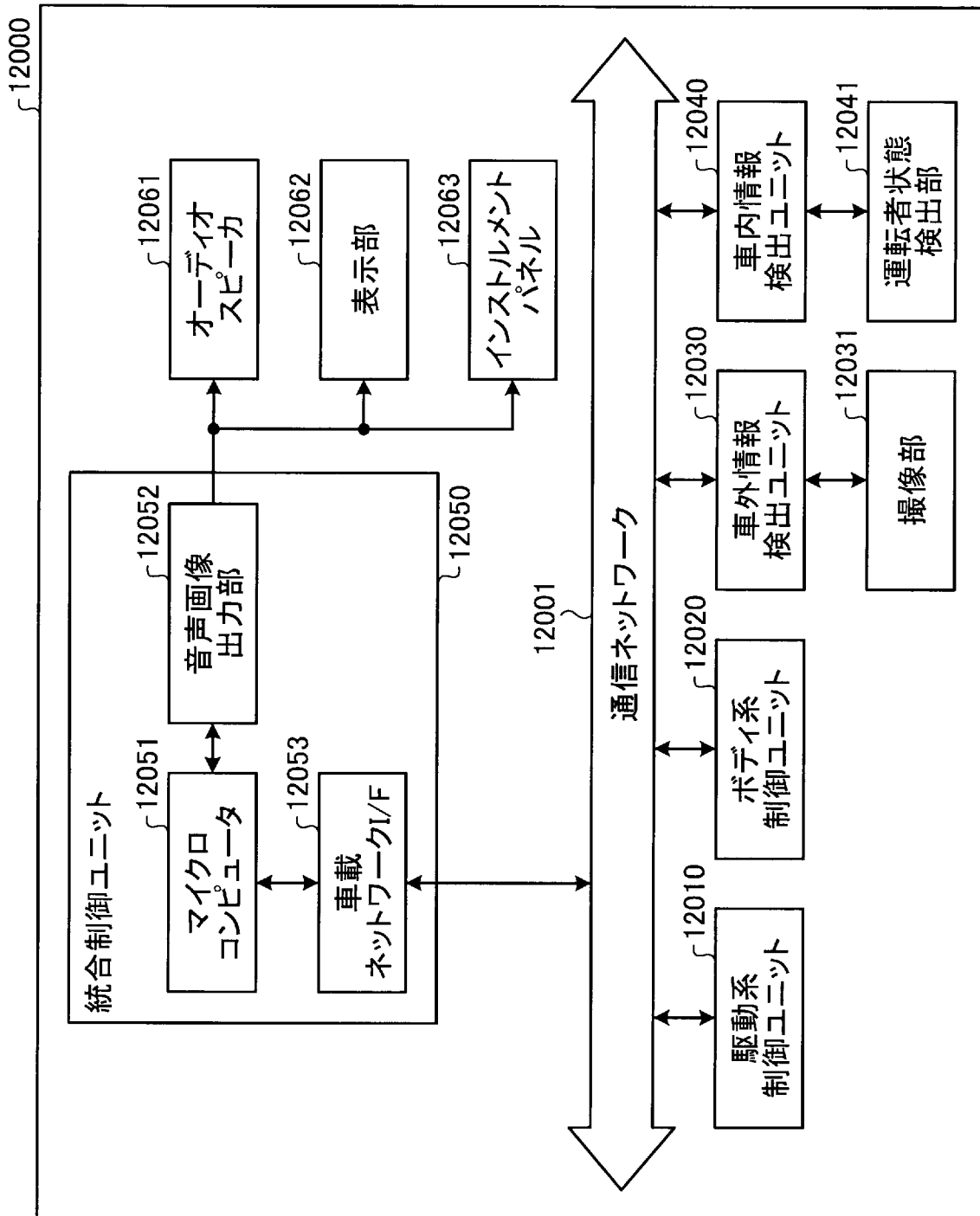
[図17]



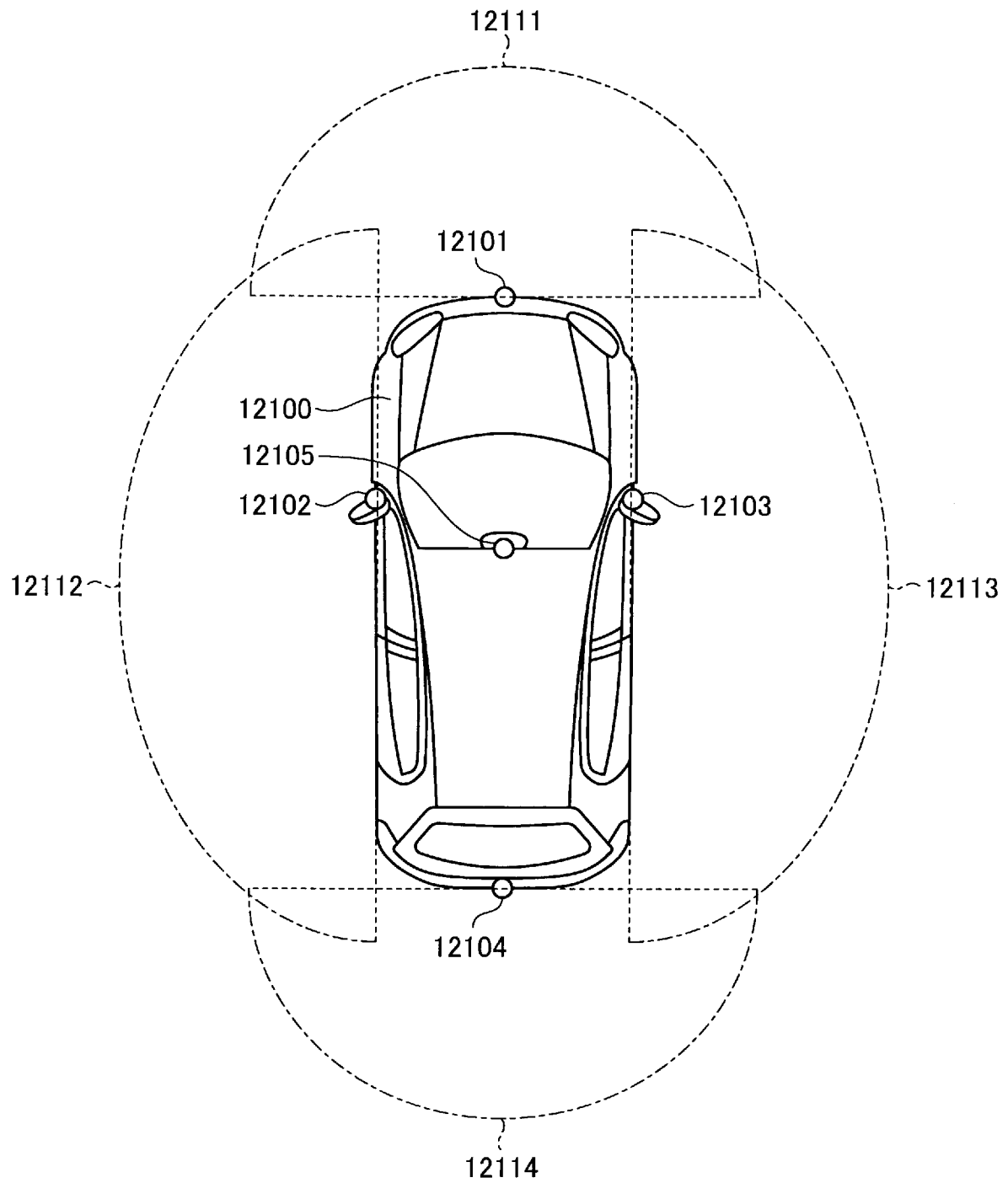
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/001168

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01S5/042(2006.01)i, G01S7/484(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H03K17/00(2006.01)i, H03K17/08(2006.01)n, H03K17/082(2006.01)n

FI: H01S5/042630, G01S7/484, H01L27/04A, H03K17/00B, H03K17/08C, H03K17/082

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01S5/00-5/50, G01S7/48-7/51, G01S17/00-17/95, H01L21/822, H01L27/04, H01L33/00-33/64, H03K17/00-17/98

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2013/0320881 A1 (FAIRCHILD SEMICONDUCTOR CORPORATION) 05.12.2013 (2013-12-05)	1-20
A	JP 2011-44604 A (RICOH CO., LTD.) 03.03.2011 (2011-03-03)	1-20
A	US 2010/0295476 A1 (STMICROELECTRONICS S.R.I.) 25.11.2010 (2010-11-25)	1-20
A	US 2010/0244801 A1 (DIODES ZETEX SEMICONDUCTORS LIMITED) 30.09.2010 (2010-09-30)	1-20
A	JP 2010-74379 A (RICOH CO., LTD.) 02.04.2010 (2010-04-02)	1-20

☒ Further documents are listed in the continuation of Box C.	☒ See patent family annex.
--	--

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16.03.2020	Date of mailing of the international search report 31.03.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/001168

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007/0171947 A1 (NLIGHT PHOTONICS CORPORATION) 26.07.2007 (2007-07-26)	1-20
A	JP 2005-32798 A (RICOH CO., LTD.) 03.02.2005 (2005-02-03)	1-20
A	JP 2003-289172 A (OLYMPUS OPTICAL CO., LTD.) 10.10.2003 (2003-10-10)	1-20
A	JP 2003-92453 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 28.03.2003 (2003-03-28)	1-20
A	JP 5-259544 A (FUJITSU LIMITED) 08.10.1993 (1993- 10-08)	1-20
A	JP 2-275684 A (FUJITSU LIMITED) 09.11.1990 (1990- 11-09)	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/001168

US 2013/0320881 A1 05.12.2013	CN 103455073 A
	KR 10-2013-0135163 A
JP 2011-44604 A 03.03.2011	US 2012/0134378 A1
	WO 2011/021469 A1
	CN 102549857 A
	KR 10-2012-0025616 A
	CA 2770058 A1
US 2010/0295476 A1 25.11.2010	EP 2230579 A1
US 2010/0244801 A1 30.09.2010	EP 2234255 A1
	CN 101861008 A
	GB 2469370 A
JP 2010-74379 A 02.04.2010	(Family: none)
US 2007/0171947 A1 26.07.2007	(Family: none)
JP 2005-32798 A 03.02.2005	(Family: none)
JP 2003-289172 A 10.10.2003	(Family: none)
JP 2003-92453 A 28.03.2003	(Family: none)
JP 5-259544 A 08.10.1993	(Family: none)
JP 2-275684 A 09.11.1990	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01S 5/042(2006.01)i; G01S 7/484(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H03K 17/00(2006.01)i; H03K 17/08(2006.01)n; H03K 17/082(2006.01)n FI: H01S5/042 630; G01S7/484; H01L27/04 A; H03K17/00 B; H03K17/08 C; H03K17/082										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01S5/00-5/50; G01S7/48-7/51; G01S17/00-17/95; H01L21/822; H01L27/04; H01L33/00-33/64; H03K17/00-17/98										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2020年									
日本国実用新案登録公報	1996-2020年									
日本国登録実用新案公報	1994-2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	US 2013/0320881 A1 (FAIRCHILD SEMICONDUCTOR CORPORATION) 05.12.2013 (2013 - 12 - 05)	1-20								
A	JP 2011-44604 A (株式会社リコー) 03.03.2011 (2011 - 03 - 03)	1-20								
A	US 2010/0295476 A1 (STMICROELECTRONICS S.R.L.) 25.11.2010 (2010 - 11 - 25)	1-20								
A	US 2010/0244801 A1 (DIODES ZETEX SEMICONDUCTORS LIMITED) 30.09.2010 (2010 - 09 - 30)	1-20								
A	JP 2010-74379 A (株式会社リコー) 02.04.2010 (2010 - 04 - 02)	1-20								
A	US 2007/0171947 A1 (NLIGHT PHOTONICS CORPORATION) 26.07.2007 (2007 - 07 - 26)	1-20								
A	JP 2005-32798 A (株式会社リコー) 03.02.2005 (2005 - 02 - 03)	1-20								
A	JP 2003-289172 A (オリンパス光学工業株式会社) 10.10.2003 (2003 - 10 - 10)	1-20								
A	JP 2003-92453 A (松下電器産業株式会社) 28.03.2003 (2003 - 03 - 28)	1-20								
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 16.03.2020	国際調査報告の発送日 31.03.2020									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 大和田 有軌 2K 3004 電話番号 03-3581-1101 内線 3255									

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-259544 A (富士通株式会社) 08.10.1993 (1993 - 10 - 08)	1-20
A	JP 2-275684 A (富士通株式会社) 09.11.1990 (1990 - 11 - 09)	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/001168

引用文献			公表日	パテントファミリー文献			公表日
US	2013/0320881	A1	05.12.2013	CN	103455073	A	
				KR	10-2013-0135163	A	
JP	2011-44604	A	03.03.2011	US	2012/0134378	A1	
				WO	2011/021469	A1	
				CN	102549857	A	
				KR	10-2012-0025616	A	
				CA	2770058	A1	
US	2010/0295476	A1	25.11.2010	EP	2230579	A1	
US	2010/0244801	A1	30.09.2010	EP	2234255	A1	
				CN	101861008	A	
				GB	2469370	A	
JP	2010-74379	A	02.04.2010	(ファミリーなし)			
US	2007/0171947	A1	26.07.2007	(ファミリーなし)			
JP	2005-32798	A	03.02.2005	(ファミリーなし)			
JP	2003-289172	A	10.10.2003	(ファミリーなし)			
JP	2003-92453	A	28.03.2003	(ファミリーなし)			
JP	5-259544	A	08.10.1993	(ファミリーなし)			
JP	2-275684	A	09.11.1990	(ファミリーなし)			