

9>119913

十一、圖式：

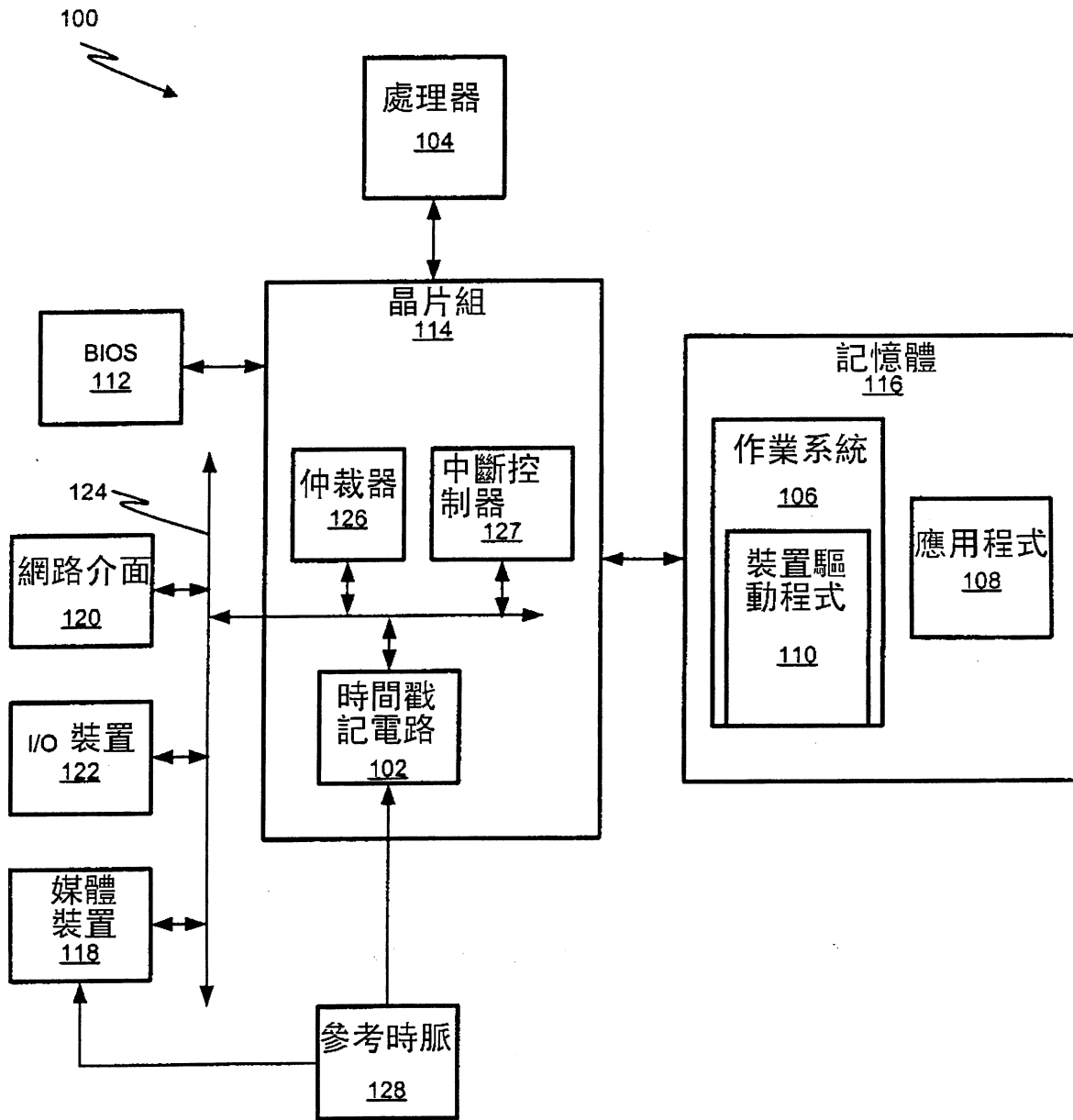


圖 1

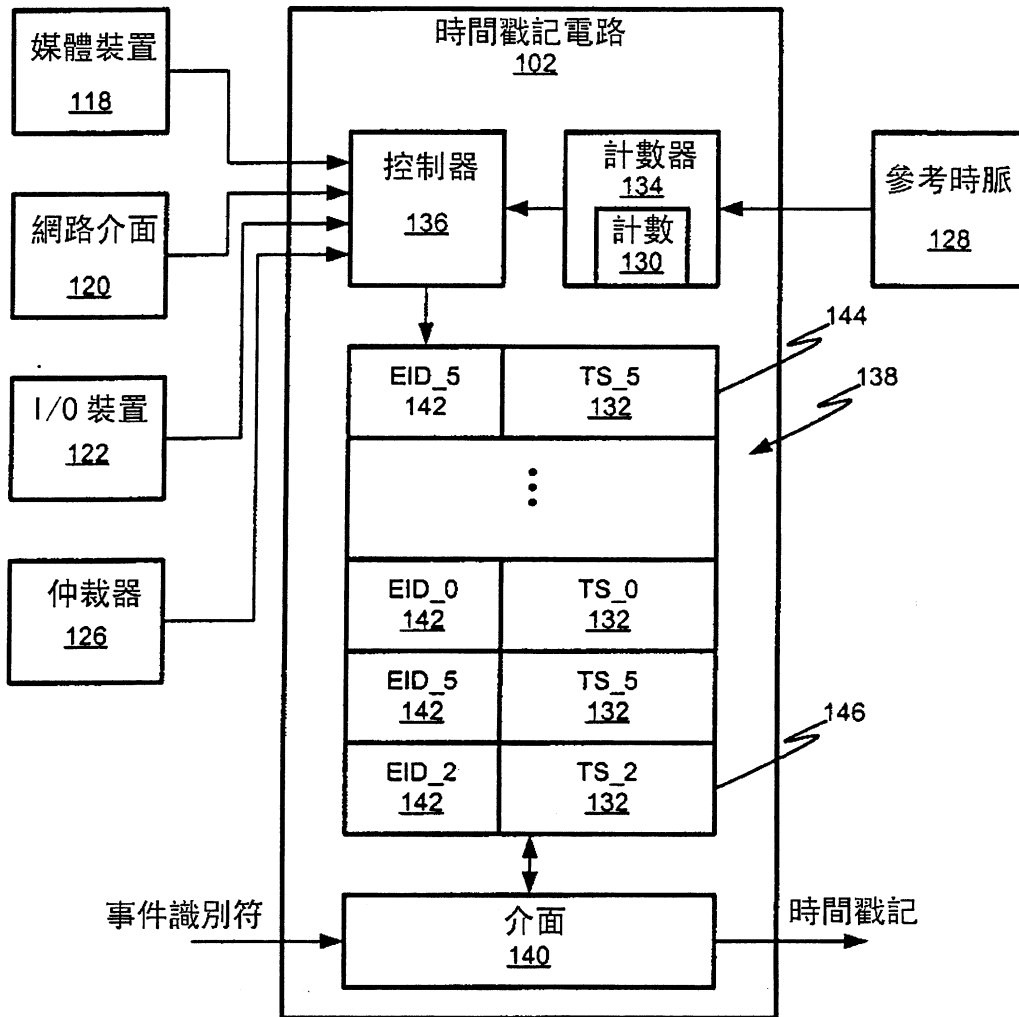


圖 2

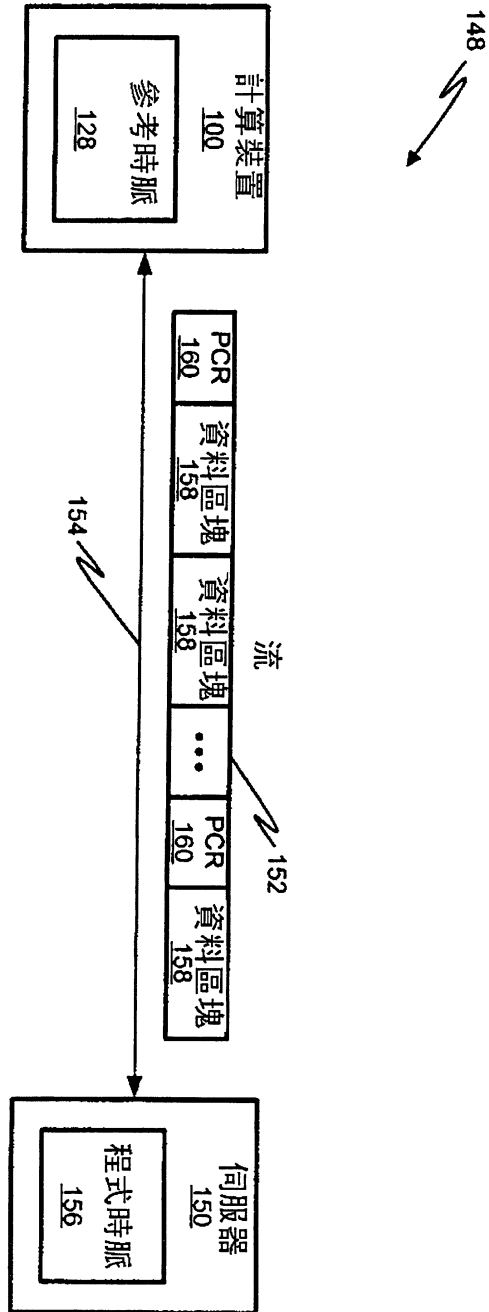


圖 3

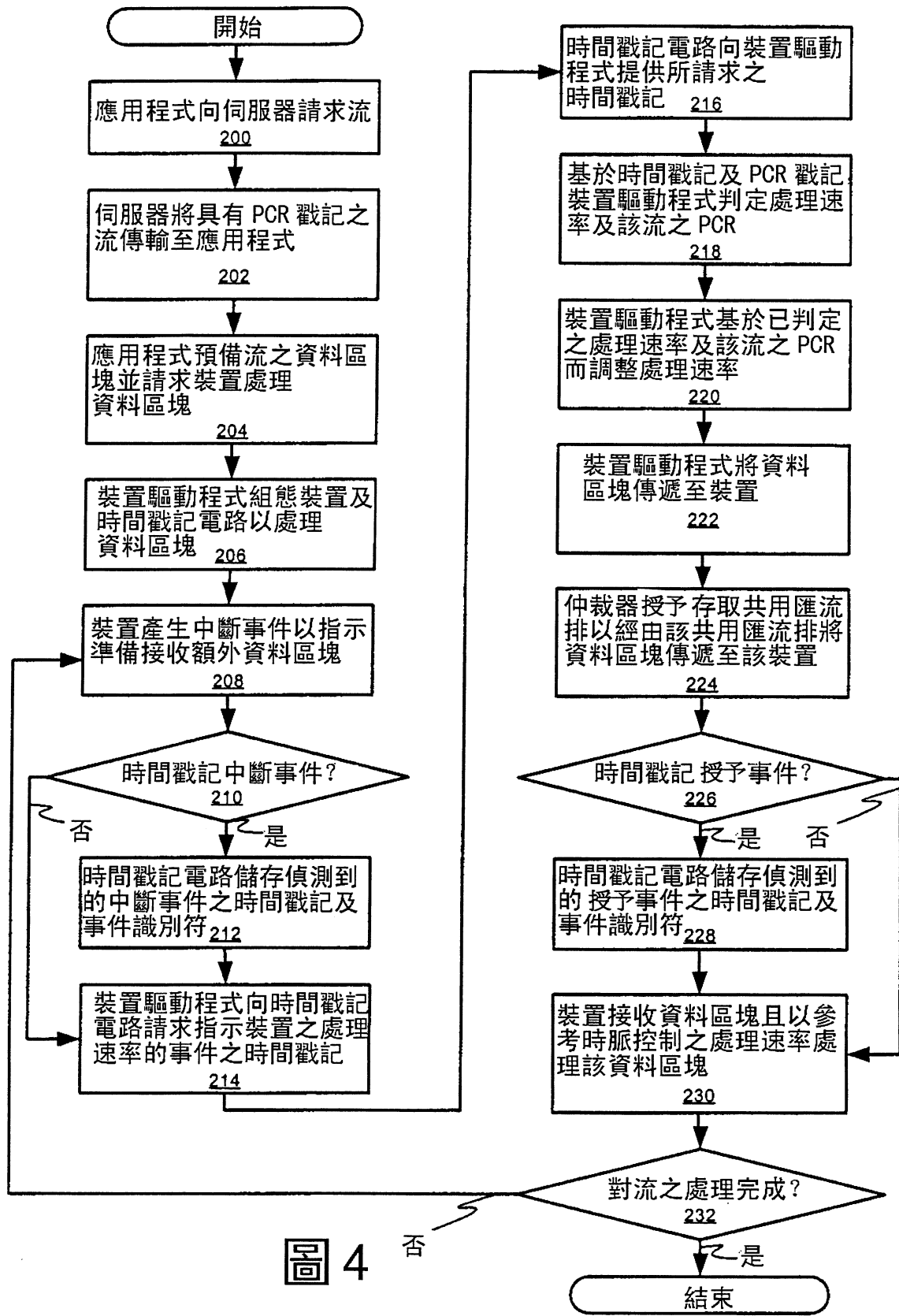


圖 4 否

發明專利說明書

中文說明書替換本(95年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：093119913

※ 申請日期：93.7.1

※IPC 分類：G06F 1/34 (2006.01)

一、發明名稱：(中文/英文)

使用一時間戳記來戳記一事件之方法、設備及系統

METHOD, APPARATUS AND SYSTEM FOR STAMPING AN EVENT
WITH A TIME STAMP

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商英特爾公司

INTEL CORPORATION

代表人：(中文/英文)

大衛 賽門

SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔卡拉瓦市米遜大學路2200號

2200 MISSION COLLEGE BLVD., SANTA CLARA, CA 95052, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 人)

姓 名：(中文/英文)

德米特里 洛奇安夫

LOUKIANOV, DMITRII

國 籍：(中文/英文)

俄羅斯 RUSSIA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年08月07日；10/637,301

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於時間戳記事件之機器可讀媒體、方法及設備。

【先前技術】

計算裝置自通用、非即時數值計算研究機(number cruncher)向包括主處理器之執行數位處理任務的即時處理裝置發展。在現代計算裝置中，舉例而言，如快取記憶體、延遲中斷處理及共用資源之因素的組合通常使得此等裝置中之處理時間高度可變且不可預測。例如，第一次通過一典型程式迴圈可能比隨後通過相同程式迴圈花費的時間長10-50倍，此歸因於快取記憶體填充循環(cache fill cycle)。然而，為了達成高品質結果，習知串流處理通常要求可預測的且大體上不可變的處理時間。

【發明內容】

本發明揭示時間戳記事件之機器可讀媒體、方法及設備。在一實施例中，時間戳記電路可偵測所關心之事件，諸如中斷訊號、仲裁訊號等等。回應偵測到該事件，時間戳記電路可儲存該事件之時間戳記。如處理器之請求者可隨後向時間戳記電路請求該事件之時間戳記。然後該請求者可基於所擷取之時間戳記而調整與產生該等事件相關聯的處理速率。

【實施方式】

下列描述說明了(尤其)可用於處理如音訊串流、視訊串流

及/或資料串流之串流的事件處理技術。為了更全面理解本發明，在下列描述中闡述了許多特定詳細資料，諸如邏輯建構方式、作業碼、指定運算元之方法、資源分割/共用/複製建構方式、系統組件之類型與相互關係及邏輯分割/整合選擇。然而，熟悉此項技術者應瞭解本發明無需該等特定詳細資料即可實施。在其它情況下，未詳細圖示控制結構、閘極位準電路及全軟體指令序列以不使本發明變得模糊。藉由所包含之描述一般熟悉此項技術者無需不適當之試驗就能夠建構適當功能性。

說明書中參考"一(one)實施例"、"一(an)實施例"、"一實施例實施例"等指示所描述之實施例可包含一特定特性、結構或特徵，但不是每個實施例必須包含該特定特性、結構或特徵。此外，該短語未必指的是相同實施例。另外，當關於一實施例描述一特定特性、結構或特徵時，無論是否明確描述即認為關於其它實施例實現該特性、結構或特徵是在一熟悉此項技術者之知識範圍內的。

本發明之實施例可以硬體、韌體、軟體、或其任意組合而建構。本發明之實施例亦可建構為儲存在機器可讀媒體上之指令，該媒體可由一或多個處理器讀取並執行。機器可讀媒體可包含用於以機器(如計算裝置)可讀形式儲存或傳輸資訊之任意機構。舉例而言，機器可讀媒體可包含唯讀記憶體(ROM)、隨機存取記憶體(RAM)、磁碟儲存媒體、光儲存媒體、快閃記憶體裝置、電、光、聲或其它形式之傳播訊號(如載波、紅外線訊號、數位訊號等)及其它。此外，

本文中可將韌體、軟體、常用程式、指令描述為執行某些動作。然而，應瞭解該說明僅為方便起見且該等動作實際上由執行韌體、軟體、常用程式、指令等之計算裝置、處理器、控制器或其它裝置產生。

圖1中展示了包括時間戳記電路102之計算裝置100的一實施例。如圖說明，計算裝置100可包括一或多個處理器104。處理器104可回應執行作業系統106、應用程式108、裝置驅動程式110、基本輸入/輸出系統(BIOS)韌體112及/或一些其它軟體或韌體模組之指令而執行動作。

計算裝置100可進一步包括一經由處理器匯流排耦合至處理器104之晶片組114。晶片組114可進一步包括一或多個積體電路封裝或晶片組，其將處理器104耦合至計算裝置100之其它組件，如記憶體116。記憶體116可包括可讀出自及/或寫入至之具有可定址儲存位置的記憶體裝置(未圖示)。記憶體裝置可包括一或多個揮發性記憶體類型，舉例而言，如RAM(隨機存取記憶體)裝置、SRAM(靜態RAM)裝置、DRAM(動態RAM)裝置、SDRAM(同步DRAM)裝置、DDR(雙資料速率)SDRAM裝置等等。記憶體裝置可進一步包括一或多個非揮發性記憶體類型，舉例而言，如快閃記憶體裝置、ROM(唯讀記憶體)裝置、PROM(可程式唯讀記憶體)裝置、EPROM(可擦PROM)裝置、EEPROM(電可擦PROM)裝置、鐵電記憶體裝置、電池支持記憶體裝置等等。

晶片組114可進一步將處理器104耦合至BIOS韌體112。為了初始化處理器104、晶片組114及計算裝置100之其它組

件，BIOS韌體可包括計算裝置100在系統啟動時可執行之常用程式。此外，BIOS韌體112可包括計算裝置100可執行以與計算裝置100之一或多個組件通訊的常用程式或驅動程式。

晶片組114可進一步經由一或多個匯流排124將處理器104耦合至一或多個媒體裝置118、網路介面120及/或其它I/O裝置122。媒體裝置可包括音訊/視訊重放裝置、音訊/視訊俘獲裝置、音訊/視訊傳送裝置等。網路介面120可包括LAN(區域網路)控制器、數據機及/或無線網路控制器，其提供計算裝置100至其它計算裝置、伺服器及/或其它具有網路功能的裝置之通訊鏈結。此外，I/O裝置122可包括鼠標、鍵盤、視訊控制器、硬碟機、軟碟機等。

如上所述，匯流排124可在一或多個媒體裝置118、網路介面120及/或I/O裝置122之間共用。因此，計算裝置100可包括一分配對共用匯流排124之存取的仲裁機制。在一實施例中，計算裝置100可包括一仲裁器126，其接收來自共用該匯流排之裝置118、120、122的請求訊號或訊息，並產生授予請求裝置118、120、122之一存取或擁有共用匯流排124之授予訊號或訊息。如上所述，晶片組114可包含用於共用匯流排124之仲裁器126。然而，在其它實施例中，仲裁器126可位於晶片組114之外部。此外，可無需用於共用匯流排124之中央仲裁器126而建構計算裝置100。在此實施例中，裝置118、120、122可產生促使裝置118、120、122在它們之間仲裁以獲得共用匯流排124之擁有權的訊號。

此外，晶片組114可包括一接收來自裝置118、120、122之中斷事件(如，訊號、訊息)並將中斷事件傳遞給處理器104進行處理的中斷控制器127。詳言之，中斷控制器127可偵測一或多個中斷事件之發生並將偵測到的中斷事件按照基於與每個偵測到的中斷事件相關聯之優先序的順序傳遞給處理器104。

現參看圖1及圖2，晶片組114可進一步包括事件時間戳記電路102；然而，在其它實施例中，時間戳記電路可被併入仲裁器126、中斷控制器127或一與晶片組114分離之組件。時間戳記電路102可接收來自參考時脈128之參考時脈訊號，並可回應參考時脈訊號而週期性地更新本機(local)計數130。時間戳記電路102可進一步使用基於本機計數130之時間戳記132來戳記事件。一請求者(如，處理器104)隨後可向時間戳記電路102請求該事件之時間戳記132，以獲得該事件何時發生之相對精確的指示。藉由將時間戳記電路102置放於事件源(例如，裝置118、120、122及仲裁器126)附近，可在事件發生時與時間戳記電路102偵測到並戳記該事件時之間引入很小延遲。進一步，事件源與時間戳記電路102之間的組件及共用資源愈少，引入之延遲因事件不同而變化得就愈小。因此，可建構計算裝置100，其中處理器104可判定兩個或兩個以上事件發生之間很精確的時差。

如圖2中所描繪，時間戳記電路102可包括一計數器134、一控制器136、一事件儲存區(event store)138及一介面140。計數器134可耦合至參考時脈128，以接收具有(例如)27

MHz之參考頻率的參考時脈訊號。此外，可將計數器134建構為32位元翻轉(roll over)計數器，其可回應參考時脈訊號之每個循環而更新其計數130。

控制器136可接收來自媒體裝置118、網路介面120、I/O裝置122及/或仲裁器126之事件，舉例而言，如中斷請求訊號、中斷請求訊息、仲裁授予訊號等。控制器136可進一步程式設計為戳記所關心之某些事件並基本忽略其它事件。舉例而言，控制器136可程式設計或以其它方式組態為戳記自媒體裝置118之音訊介面的中斷請求之後的第一仲裁授予訊號。類似地，媒體裝置118可被指派為在一特定中斷線(如，中斷訊號線INT_5)上產生中斷請求，且控制器136可程式設計或以其它方式組態為戳記指派至媒體裝置118之中斷線上接收的所有中斷請求。

回應偵測到一所關心之事件，控制器136可將偵測到的事件之時間戳記132儲存在事件儲存區138中。在一實施例中，控制器136可僅僅儲存計數器134之當前計數130作為偵測到的事件之時間戳記132。在另一實施例中，控制器136可基於計數器134之計數130來產生時間戳記132。舉例而言，控制器136可藉由編碼計數130使得時間戳記132比計數130包含較少位元且/或藉由以一適合請求者(如，處理器104)或請求者(如，處理器104)預期之形式置放時間戳記132來產生時間戳記132。

回應偵測到一所關心之事件，控制器136可進一步將具有時間戳記132之事件識別符142儲存在事件儲存區138中。事

件識別符 142 可指示該事件源(如，一特定媒體裝置 118)或類型(如，中斷訊號 INT_5 或仲裁授予 GNT_1)。事件識別符 142 可用於自事件儲存區 138 擷取一特定事件之時間戳記 132。在一實施例中，事件儲存區 138 可儲存多個事件及相同類型之多個事件。事件儲存區 138 可進一步基於事件識別符 142 以先進先出(FIFO)順序擷取儲存的時間戳記 132。

在一實施例中，事件儲存區 138 可建構為圖 2 中所說明之類單標籤 FIFO 佇列結構。當偵測到事件時，此實施例中之控制器 136 可將事件識別符 142 及相關聯的時間戳記 132 推入 FIFO 結構之尾部 144 中。介面 140 隨後可向 FIFO 結構請求一事件識別符 142 之時間戳記 132。回應該請求，FIFO 結構可向介面 140 提供一具有相關聯之事件識別符 142 的時間戳記 132。若 FIFO 結構具有多個具有相關聯之事件識別符 142 的時間戳記 132，則 FIFO 結構傳回最靠近 FIFO 結構之頭部 146 的一時間戳記。

例如，圖 2 展示了在控制器 136 將具有事件識別符 142：EID_0、EID_2 及 EID_5 及其相關聯之時間戳記 132 的若干事件推入 FIFO 結構之尾部 144 後的 FIFO 結構。回應對與事件識別符 EID_0 相關聯之時間戳記 132 的請求，FIFO 結構可藉由傳回最靠近 FIFO 結構之頭部 146 的時間戳記 TS_0 而傳回與最早之事件識別符 EID_0 相關聯的時間戳記 TS_0。類似地，回應對與事件識別符 EID_5 相關聯之時間戳記 132 的請求，FIFO 結構可藉由傳回最靠近 FIFO 結構之頭部 146 的時間戳記 TS_5 而傳回與最早之事件識別符 EID_0 相關聯的時

間戳記 TS_5。

然而，可使用其它儲存結構建構事件儲存區 138。舉例而言，事件儲存區 138 可包括一用於每個支持之事件類型/源之分離的 FIFO 結構，且控制器 136 可將時間戳記 132 推入適當的 FIFO 結構中。在該實施例中，時間戳記 132 可僅僅自適當 FIFO 結構之頭部 146 拉出，因此事件識別符 142 可能不儲存在事件儲存區 138 中。亦應瞭解 FIFO 結構可以不同方式進行建構。例如，FIFO 結構可建構為具有頭部與尾部指標以跟蹤每個 FIFO 結構之頭部 146 與尾部 144 的環緩衝器。

現參看圖 3，展示了串流系統 148 之一實施例。如上所述，串流系統 148 可包括一經由網路 154 將串流 152 (舉例而言，如音訊串流、視訊串流、音訊/視訊串流、資料串流等) 傳輸至計算裝置 100 之伺服器 150。如上所述，伺服器 150 可包括一產生具有 PCR (程式時脈速率) 之程式時脈訊號的程式時脈 156。回應該程式時脈訊號，伺服器 150 可以程式時脈 156 之 PCR 傳輸串流 152。在一實施例中，伺服器 150 可將串流 152 作為具有自程式時脈 156 產生之散佈的 PCR 戳記 160 之一連串資料區塊 158 傳輸。PCR 戳記 160 通常提供一用於重放或處理該串流 152 之參考時基。

計算裝置 100 之一或多個處理器 104 可預備所接收到的串流 152 之資料區塊 158 從而以一適合媒體裝置 118 處理的形式置放資料區塊 158。處理器 104 隨後可使得預備之資料區塊 158 傳遞至媒體裝置 118 (如，音訊編解碼器) 以進行處理。媒體裝置 118 可將資料區塊 158 轉換為音訊樣本及/或視訊

訊框，並可重放且/或以基於計算裝置100之參考時脈128的處理速率處理該等音訊樣本及/或視訊訊框。

理想地，參考時脈128之頻率與程式時脈156之頻率需要匹配。在此情況下，媒體裝置118可藉由僅以參考時脈128設定之處理速率來處理資料區塊158而與伺服器150保持同步。然而，實務上，參考時脈128之頻率與程式時脈156之頻率不精確匹配。因此，除非採取校正措施，否則可能發生過運行(over run)或不足運行(under run)的情況，使得將人為因素引入該串流152之重放或處理中。詳言之，若程式時脈156比參考時脈128快，則計算裝置100之緩衝器將可能由於接收資料區塊158之速率比它們被處理的速率快而過運行。類似地，若程式時脈156比參考時脈128慢，則計算裝置100之一或多個緩衝器將可能由於接收資料區塊158之速率比它們被處理的速率慢而不足運行。

在一實施例中，每次媒體裝置118準備接收更多資料區塊158以進行處理時，媒體裝置118可產生一中斷訊號。在此實施例中，中斷訊號可精確反映媒體裝置118之實際處理速率。因此，若處理器104可精確判定該等中斷訊號產生之時間，則處理器104可精確判定媒體裝置118之實際處理速率。為了使處理器104能夠精確判定該等中斷訊號產生之時間，時間戳記電路102可在事件發生與事件戳記之間無可感知的潛伏期及/或潛伏期變化下偵測並戳記該等中斷訊號。

在另一實施例中，每次將資料區塊158傳遞至媒體裝置118以進行處理時，仲裁器126可產生一授予媒體裝置118存

取匯流排124之授予訊號。該等仲裁訊號可精確反映媒體裝置118之實際處理速率。此外，若處理器104可精確判定該等授予訊號產生之時間，則處理器104可精確判定媒體裝置118之實際處理速率。為了使處理器104能夠精確判定該等授予訊號產生之時間，時間戳記電路102可在偵測到的授予訊號之產生與偵測到的授予訊號之戳記之間無可感知的潛伏期及/或潛伏期變化下偵測並戳記該等授予訊號。然而，應瞭解，其它事件亦可精確反映媒體裝置118之處理速率。因此，時間戳記電路102可組態為戳記此等其它事件使得此等事件之發生時間可被精確判定。

圖4中展示了一串流處理方法之一實施例。如在方塊200中，MP3(MPEG音訊層3)播放器或QuickTime™電影播放器之應用程式108可向伺服器150請求串流152。在方塊202中，伺服器150可將具有基於伺服器150之程式時脈156的PCR戳記160的所請求之串流152傳輸至應用程式108。方塊204中，應用程式108可預備所接收之串流152的資料區塊158以進行處理，並可請求媒體裝置118處理所預備的資料區塊158。在一實施例中，應用程式108可移除串流152之傳送頭部並可將串流152之資料區塊158儲存在記憶體116中。此外，應用程式108可請求媒體裝置118播放儲存在記憶體116中之資料區塊158。

回應應用程式108請求媒體裝置118處理一或多個資料區塊158，在方塊206中，用於媒體裝置118之裝置驅動程式110可組態媒體裝置118以處理串流152，且可組態時間戳記電

路102以戳記指示媒體裝置118之處理速率的事件。在一實施例中，當媒體裝置118準備處理更多資料區塊158時，裝置驅動程式110可程式設計時間戳記電路102以戳記媒體裝置118產生之中斷訊號。在另一實施例中，裝置驅動程式110可程式設計時間戳記電路102以戳記在資料區塊158經由共用匯流排124傳遞至媒體裝置118之前由仲裁器126產生的授予訊號。

當媒體裝置118準備接收串流152之一或多個資料區塊158時，在方塊208中，媒體裝置118可產生一中斷事件(如，中斷訊號INT_5)。在方塊210中，時間戳記電路102的控制器136可判定是否時間戳記該中斷事件。在一實施例中，控制器136可判定所偵測到的中斷事件是否為已程式設計控制器136予以加上時間戳記的所關心之事件。回應判定要時間戳記該中斷事件，控制器136可將該事件之時間戳記132及事件識別符142儲存於事件儲存區138中(方塊212)。

在方塊214中，回應該中斷事件，媒體裝置118之裝置驅動程式110可向時間戳記電路102請求指示媒體裝置118之處理速率的事件之時間戳記132。在一實施例中，裝置驅動程式110可向介面140提供該事件(例如，中斷訊號及/或仲裁訊號)之事件識別符142。在方塊216中，時間戳記電路102可基於所接收之事件識別符142自其事件儲存區138向裝置驅動程式110提供時間戳記。

在方塊218中，裝置驅動程式110可基於所接收的時間戳記132而判定媒體裝置118之處理速率，且可基於串流152之

PCR戳記160而判定串流152之PCR。在一實施例中，裝置驅動程式110可基於所接收之時間戳記132及一或多個先前接收之時間戳記132而判定處理速率。類似地，裝置驅動程式110可基於一PCR戳記160及一或多個先前接收之PCR戳記160而判定PCR。舉例而言，裝置驅動程式110可判定當前時間戳記132與一先前接收之時間戳記132之間的差異，且可基於所獲得之差異而更新已判定的處理速率。類似地，裝置驅動程式110可判定當前PCR戳記160與一先前接收之PCR戳記160之間的差異且可基於所獲得之差異更新已判定的PCR。

在方塊220中，裝置驅動程式110可基於已判定之處理速率及PCR而調整媒體裝置118之處理速率。在一實施例中，裝置驅動程式110可調整參考時脈128之頻率且/或可重新組態媒體裝置118以關於參考時脈128之頻率調整其處理速率。在另一實施例中，裝置驅動程式110及/或應用程式108可將串流152之一或多個資料區塊158重新取樣以使得經重新取樣之資料區塊158的PCR與媒體裝置118之處理速率大體上匹配。舉例而言，若媒體裝置118之處理速率比串流152之PCR快，則裝置驅動程式110及/或應用程式108可增加取樣(upsample)一或多個資料區塊158。類似地，若媒體裝置118之處理速率比串流152之PCR慢，則裝置驅動程式110及/或應用程式108可縮減取樣(downsample)一或多個資料區塊158。

在方塊222中，裝置驅動程式110可使得晶片組114及/或

媒體裝置118傳送自記憶體116之資料區塊158。在一實施例中，裝置驅動程式110可使得晶片組114或媒體裝置118之DMA(直接記憶體存取)引擎將資料區塊158自記憶體116傳遞至媒體裝置118以進行處理。在方塊224中，晶片組114及/或媒體裝置118可為媒體裝置118請求擁有共用匯流排124且仲裁器126可授予請求者114、118擁有共用匯流排124。在方塊226中，時間戳記電路102的控制器136可判定是否時間戳記該授予事件。在一實施例中，控制器136可判定偵測到的授予事件是否為已程式設計控制器136而時間戳記的所關心之事件。回應判定時間戳記該授予事件，控制器136可將該事件之時間戳記132及事件識別符142儲存於事件儲存區138中(方塊228)。

在方塊230中，媒體裝置118可接收資料區塊158且可以參考時脈128控制之處理速率處理該資料區塊158。詳言之，媒體裝置118可自資料區塊158產生音訊樣本及/或視訊訊框並可以參考時脈128指示之速率重放音訊樣本及/或視訊訊框。在方塊232中，媒體裝置118可判定是否其已完成了對串流152之處理。若媒體裝置118判定處理串流152之進一步資料區塊158，則媒體裝置118可返回至方塊208，以產生一指示媒體裝置118準備接收額外資料區塊158之中斷訊號。否則，媒體裝置118可終止對串流152之處理。

儘管參考實例實施例描述了本發明之某些特徵，但是並不希望以限制意義解釋此描述。本發明之實例實施例及其它實施例的各種修改皆認為在本發明之精神與範圍內，該

等修改對熟悉本發明所屬之技術者而言是顯而易見的。

【圖式簡單說明】

參照附圖，以舉例方式而非限制方式對此處描述之本發明進行說明。為了說明簡單且清晰，圖式中說明之元件未必按比例來繪製。舉例而言，為清晰起見，可將一些元件之尺寸相對於其它元件而誇示。另外，若考慮適當，圖式中重複的參考標記指示對應的或類似的元件。

圖1說明包括一時間戳記電路之計算裝置的一實施例。

圖2說明圖1之時間戳記電路的一實施例。

圖3說明包括一伺服器與圖1之計算裝置的串流系統之一實施例。

圖4說明處理可由圖3之串流系統建構的串流之方法的一實施例。

【主要元件符號說明】

100	計算裝置
102	時間戳記電路
104	處理器
106	作業系統
108	應用程式
110	裝置驅動程式
112	BIOS、BIOS韌體
114	晶片組
116	記憶體
118	媒體裝置

120	網路介面
122	I/O裝置
124	匯流排
126	仲裁器
127	中斷控制器
128	參考時脈
130	計數
132	時間戳記
134	計數器
136	控制器
138	事件儲存區
140	介面
142	事件識別符
144	尾部
146	頭部
148	串流系統
150	伺服器
152	串流
154	網路
156	程式時脈
158	資料區塊
160	PCR戳記

五、中文發明摘要：

本發明揭示時間戳記事件之機器可讀媒體、方法及設備。在一實施例中，時間戳記電路可偵測所關心之事件，諸如中斷訊號、仲裁訊號等等。回應偵測到該事件，時間戳記電路可儲存該事件之時間戳記。如處理器之請求者可隨後向時間戳記電路請求該事件之時間戳記。然後該請求者可基於所擷取之時間戳記而調整與產生該等事件相關聯的處理速率。

六、英文發明摘要：

十、申請專利範圍：

1. 一種使用一時間戳記來戳記一事件之方法，其包括
藉由一設備偵測一事件，
回應偵測到該事件而藉由該設備之一時間戳記來戳記
該事件，
接收一對該事件之時間戳記的請求，及
回應接收到該請求而提供該事件之該時間戳記。
2. 如請求項1之方法，進一步包括
判定該事件是否要加上時間戳記，及
回應判定該事件要加上時間戳記的而用該時間戳記來
戳記該事件。
3. 如請求項1之方法，其中偵測該事件包括偵測一仲裁授
予。
4. 如請求項1之方法，其中偵測該事件包括偵測一中斷。
5. 如請求項1之方法，進一步包括基於該事件之時間戳記及
一串流之一時間戳記而調整該串流之處理速率。
6. 如請求項1之方法，進一步包括基於該事件之時間戳記及
一串流之一時間戳記而重新取樣該串流。
7. 一種使用一時間戳記來戳記一事件之設備，其包括
一計數器，用以回應一參考時脈而更新計數，
一控制器，用以偵測事件且基於該計數器之計數來提
供該偵測到之事件的時間戳記，及
一介面，用以回應接收到一對一偵測到的事件之請求
而輸出該偵測到之事件的時間戳記。

8. 如請求項7之設備，進一步包括一事件儲存區，用以儲存偵測到的事件之時間戳記，並向該介面提供該請求之偵測到的事件之時間戳記。
9. 如請求項7之設備，進一步包括一事件儲存區，用以儲存偵測到的事件之時間戳記，並回應自該介面接收到該偵測到的事件之一事件識別符而向該介面提供該請求之偵測到的事件之時間戳記。
10. 如請求項9之設備，其中該介面應該偵測到的事件之請求而接收該偵測到的事件之事件識別符。
11. 如請求項7之設備，進一步包括一事件儲存區，用以儲存偵測到的事件之時間戳記及相關聯之事件識別符，並回應自該介面接收到該偵測到的事件之一事件識別符而向該介面提供該請求之偵測到的事件之時間戳記。
12. 如請求項7之設備，其中該控制器回應判定一偵測到的事件是一要加上時間戳記之事件類型而提供該偵測到之事件的一時間戳記。
13. 如請求項12之設備，其中該控制器回應判定一偵測到的事件不是一要加上時間戳記之事件類型而忽略該偵測到的事件，因而不提供該偵測到之事件的一時間戳記。
14. 如請求項13之設備，其中待該控制器加上時間戳記之該等事件類型屬於可程式化。
15. 如請求項7之設備，併入一晶片組，用以將一處理器耦合至一計算裝置之其它組件。
16. 如請求項7之設備，併入一仲裁器，用以基於仲裁事件來

仲裁存取一共用資源。

17. 如請求項7之設備，併入一中斷控制器，用以控制中斷事件。
18. 一種使用一時間戳記來戳記一事件之系統，其包括
 - 一網路介面，用於以一程式時脈速率來接收一包括資料區塊及指示該程式時脈速率之程式時脈速率戳記的串流，
 - 一參考時脈，用以產生一參考時脈訊號，
 - 一裝置，用於以該參考時脈訊號所設定之一處理速率來處理該串流之該等資料區塊且使得事件指示該處理速率，及
 - 一時間戳記電路，用以偵測指示該處理速率的該等事件且儲存基於該參考時脈訊號之該等事件的時間戳記。
19. 如請求項18之系統，其中該時間戳記電路基於程式設計入該時間戳記電路之事件類型而偵測指示該處理速率的該等事件。
20. 如請求項19之系統，進一步包括一處理器，用以向該時間戳記電路請求指示該處理速率之該等事件的時間戳記。
21. 如請求項20之系統，其中該處理器基於該等事件之時間戳記及該串流之該等程式時脈速率戳記而調整該處理速率。
22. 如請求項20之系統，其中該處理器基於該等事件之時間戳記及該串流之該等程式時脈速率戳記而調整該參考時

脈訊號之頻率。

23. 如請求項20之系統，其中該處理器基於該等事件之時間戳記及該串流之該等程式時脈速率戳記而重新取樣該等資料區塊。
24. 如請求項20之系統，其中該時間戳記電路儲存偵測到的事件之時間戳記，並回應該處理器向該時間戳記電路請求一時間戳記，而向該處理器提供一偵測到的事件之一儲存的時間戳記。
25. 如請求項20之系統，其中該時間戳記電路儲存偵測到的事件之時間戳記，並回應該處理器向該時間戳記電路提供一偵測到的事件之一事件識別符，而向該處理器提供該偵測到的事件之一儲存的時間戳記。
26. 如請求項18之系統，其中該時間戳記電路回應判定一偵測到的事件是一待時間戳記之事件類型而儲存該偵測到的事件之一時間戳記。
27. 如請求項26之系統，其中該時間戳記電路回應判定一偵測到的事件不是一要加上時間戳記之事件類型而忽略該偵測到的事件，因而不儲存該偵測到的事件之一時間戳記。
28. 如請求項20之系統，進一步包括一晶片組，該晶片組包括該時間戳記電路並將該處理器耦合至該網路介面及該裝置。
29. 如請求項18之系統，進一步包括一仲裁器，該仲裁器包括該時間戳記電路並仲裁請求一共用資源，其中該時間

戳記電路儲存一事件類型之偵測到的仲裁訊號之時間戳記。

30. 如請求項18之系統，進一步包括一中斷控制器，該中斷控制器包括該時間戳記電路並處理自該裝置接收到之中斷，其中該時間戳記電路儲存一事件類型之偵測到的中斷訊號之時間戳記。

31. 一種包括複數個指令之機器可讀媒體，該等指令回應由一計算裝置執行而使得該計算裝置藉由若干操作使用一時間戳記來戳記一事件，該等操作包括：

向一時間戳記電路請求指示一串流之處理速率之一偵測到的事件之一時間戳記，

基於該偵測到的事件之時間戳記而判定該串流之處理速率，

基於該串流之一程式時脈速率戳記而判定該串流之一程式時脈速率，及

回應該處理速率與該程式時脈速率具有一判定的差異而調整該串流之處理速率。

32. 如請求項31之機器可讀媒體，其中該等操作進一步包括藉由重新取樣該串流之資料區塊而調整該處理速率。

33. 如請求項31之機器可讀媒體，其中該等操作進一步包括調整一控制該處理速率之參考時脈。

34. 如請求項31之機器可讀媒體，其中該等操作進一步包括程式設計該時間戳記電路以戳記指示該串流之處理速率的中斷事件。

35. 如請求項 31 之機器可讀媒體，其中該等操作進一步包括程式設計該時間戳記電路以戳記指示該串流之處理速率的仲裁事件。

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	計算裝置
102	時間戳記電路
104	處理器
106	作業系統
108	應用程式
110	裝置驅動程式
112	BIOS、BIOS韌體
114	晶片組
116	記憶體
118	媒體裝置
120	網路介面
122	I/O裝置
124	匯流排
126	仲裁器
127	中斷控制器
128	參考時脈

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)