



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월09일
(11) 등록번호 10-2154089
(24) 등록일자 2020년09월03일

(51) 국제특허분류(Int. Cl.)
G05F 3/02 (2006.01) G05F 1/00 (2006.01)
G06F 1/32 (2019.01) H01L 23/50 (2006.01)
H01L 23/62 (2006.01) H01L 23/64 (2006.01)
(52) CPC특허분류
G05F 3/02 (2013.01)
G05F 1/00 (2013.01)
(21) 출원번호 10-2016-7028011
(22) 출원일자(국제) 2015년03월09일
심사청구일자 2020년02월24일
(85) 번역문제출일자 2016년10월07일
(65) 공개번호 10-2016-0140712
(43) 공개일자 2016년12월07일
(86) 국제출원번호 PCT/US2015/019526
(87) 국제공개번호 WO 2015/156940
국제공개일자 2015년10월15일
(30) 우선권주장
14/250,150 2014년04월10일 미국(US)
(56) 선행기술조사문헌
US20040183171 A1
US06072690 A

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
코우츠, 리안, 마이클
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
포포비치, 미하일
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤남

전체 청구항 수 : 총 15 항

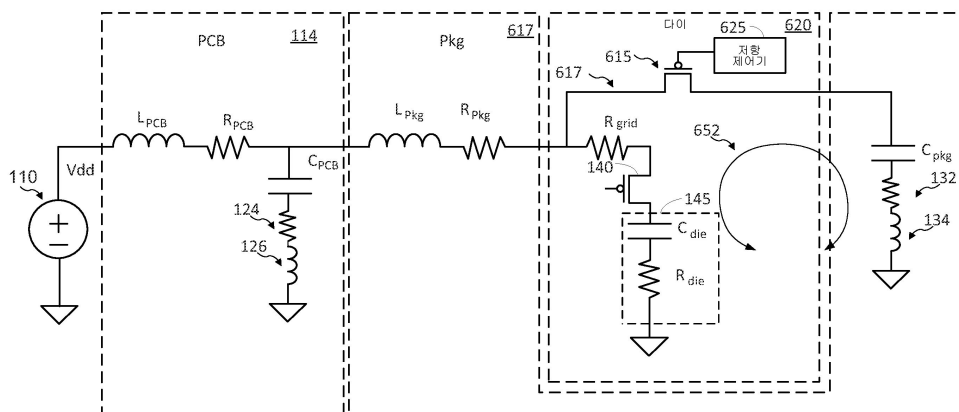
심사관 : 강성철

(54) 발명의 명칭 조절 가능한 저항을 갖는 저항기 스위치를 갖는 다이

(57) 요약

일 실시예에서, 장치는 커패시터 및 다이를 포함한다. 다이는 전력 라인과 커패시터 사이에 커플링된 저항기 스위치를 포함하고, 저항기 스위치는 조절 가능한 저항을 갖고, 전력 라인 및 커패시터 둘 모두는 다이 외부에 있다. 다이는 또한 전력 라인으로부터 전력을 수신하도록 구성된 회로를 포함한다.

대표도



(52) CPC특허분류

G06F 1/3287 (2019.01)

H01L 23/50 (2013.01)

H01L 23/62 (2013.01)

H01L 23/647 (2013.01)

H01L 2224/16227 (2013.01)

H01L 2924/15311 (2013.01)

명세서

청구범위

청구항 1

장치로서,

커패시터(Cpkg); 및

다이(die)를 포함하고, 상기 다이는,

전력 라인과 상기 커패시터 사이에 커플링된 저항기 스위치 - 상기 저항기 스위치는 조절 가능한 저항을 갖고, 상기 전력 라인 및 상기 커패시터 둘 모두는 상기 다이 외부에 있음 -;

상기 전력 라인으로부터 전력을 수신하도록 구성된 제 1 회로;

상기 전력 라인으로부터 전력을 수신하도록 구성된 제 2 회로; 및

저항 제어기를 포함하고,

상기 저항 제어기는 상기 제 1 회로가 활성이고 상기 제 2 회로가 비활성인 경우 상기 저항기 스위치의 저항을 제 1 저항값으로 설정하고, 상기 제 1 회로가 비활성이고 상기 제 2 회로가 활성인 경우 상기 저항기 스위치의 저항을 제 2 저항값으로 설정하도록 구성되는,

장치.

청구항 2

제 1 항에 있어서,

상기 장치는 패키지를 더 포함하고,

상기 다이는 상기 패키지 상에 장착되고, 상기 커패시터는 상기 패키지 내에 있는,

장치.

청구항 3

제 2 항에 있어서,

상기 커패시터는 상기 패키지 내에 임베딩된 다중층 세라믹 커패시터(multilayer ceramic capacitor)를 포함하는,

장치.

청구항 4

제 1 항에 있어서,

상기 장치는 패키지를 더 포함하고,

상기 다이 및 상기 커패시터는 상기 패키지 상에 장착되는,

장치.

청구항 5

제 1 항에 있어서,

상기 다이는 상기 제 1 회로와 상기 전력 라인 사이에 커플링된 전력-게이팅 스위치를 더 포함하고,

상기 전력-게이팅 스위치는 상기 제 1 회로를 전력 게이팅(power gate)하도록 구성되는,

장치.

청구항 6

제 1 항에 있어서,

상기 저항 제어기는, 상기 제 1 회로 및 제 2 회로 둘 모두가 활성화된 경우, 상기 저항 스위치의 저항을 제 3 저항값으로 설정하도록 구성되는,

장치.

청구항 7

제 1 항에 있어서,

상기 제 1 회로는 제 1 프로세서를 포함하고,

상기 제 2 회로는 제 2 프로세서를 포함하는,

장치.

청구항 8

제 1 항에 있어서,

비활성 상태에서부터 활성 상태로의 상기 회로의 파워 업 동안에, 상기 저항 제어기는 상기 저항기 스위치의 저항을 동적으로 조절하도록 구성되는,

장치.

청구항 9

제 8 항에 있어서,

상기 다이는 상기 다이의 전력 그리드 상의 전압을 검출하도록 구성된 전압 검출기를 더 포함하고,

상기 회로의 파워 업 동안에, 상기 저항 제어기는 검출된 전압이 제 1 전압 임계치 미만으로 떨어질 때 상기 저항기 스위치의 저항을 제 1 저항값으로 설정하고, 검출된 전압이 제 2 전압 임계치를 초과하여 상승할 때 상기 저항기 스위치의 저항을 제 2 저항값으로 설정하도록 구성되는,

장치.

청구항 10

제 1 항에 있어서,

상기 전력 라인이 파워 다운되는 경우 상기 저항기 스위치를 개방하도록 구성된 제어기를 더 포함하는,

장치.

청구항 11

다이 상의 저항기 스위치의 저항을 튜닝하기 위한 방법으로서,

상기 저항기 스위치는 외부 전력 라인과 외부 커패시터(Cpkg) 사이에 있고, 상기 방법은,

상기 저항기 스위치에 대한 제 1 저항값을 결정하는 단계; 및

상기 저항기 스위치에 대한 제 2 저항값을 결정하는 단계를 포함하고,

상기 제 1 저항값을 결정하는 단계는,

상기 다이 상의 제 2 회로가 상기 전력 라인으로부터 접속해제된 상태에서, 상기 다이 상의 제 1 회로를 상기 전력 라인에 접속하는 단계;

상기 저항기 스위치의 저항을 복수의 저항값들의 각각의 저항값으로 순차적으로 설정하는 단계;

각각의 저항값에 대해, 상기 저항값에 대한 피크 임피던스를 결정하는 단계; 및

결정된 피크 임피던스들에 기초하여 상기 제 1 저항값으로서 상기 저항값들 중 하나를 선택하는 단계를 포함하고,

상기 제 2 저항값을 결정하는 단계는,

상기 다이 상의 제 1 회로가 상기 전력 라인으로부터 접속해제된 상태에서, 상기 다이 상의 제 2 회로를 상기 전력 라인에 접속하는 단계;

상기 저항기 스위치의 저항을 복수의 저항값들 중 각각의 저항값으로 순차적으로 설정하는 단계;

각각의 저항값에 대해, 상기 저항값에 대한 피크 임피던스를 결정하는 단계; 및

결정된 피크 임피던스들에 기초하여 상기 제 2 저항값으로서 상기 저항값들 중 하나를 선택하는 단계를 포함하는,

다이 상의 저항기 스위치의 저항을 튜닝하기 위한 방법.

청구항 12

제 11 항에 있어서,

상기 제 1 저항값 및 제 2 저항값 각각에 대해, 상기 저항값들 중 하나를 선택하는 단계는 결정된 피크 임피던스들 중 가능 낮은 피크 임피던스에 대응하는 저항값을 선택하는 단계를 포함하는,

다이 상의 저항기 스위치의 저항을 튜닝하기 위한 방법.

청구항 13

제 11 항에 있어서,

상기 제 1 저항값 및 제 2 저항값 각각에 대해, 상기 저항값들 중 하나를 선택하는 단계는 임계치와 동일하거나 미만인 결정된 피크 임피던스에 대응하는 저항값을 선택하는 단계를 포함하는,

다이 상의 저항기 스위치의 저항을 튜닝하기 위한 방법.

청구항 14

제 13 항에 있어서,

상기 임계치는 상기 다이 상의 제 1 회로 및 제 2 회로 각각이 적절히 기능하는데 필요로 되는 최소 공급 전압에 기초하는,

다이 상의 저항기 스위치의 저항을 튜닝하기 위한 방법.

청구항 15

다이 상의 저항기 스위치의 저항을 조절하기 위한 방법으로서,

상기 저항기 스위치는 외부 전력 라인과 외부 커패시터 사이에 있고, 상기 방법은,

상기 다이 상의 제 1 회로가 활성이고 상기 다이 상의 제 2 회로가 비활성인 경우 상기 저항을 제 1 저항값으로 설정하는 단계; 및

상기 제 1 회로가 비활성이고 상기 제 2 회로가 활성인 경우 상기 저항을 제 2 저항값으로 설정하는 단계를 포함하며,

상기 제 1 저항값 및 상기 제 2 저항값은 제 11 항의 방법에 의해 결정되는,

다이 상의 저항기 스위치의 저항을 조절하기 위한 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

발명의 설명

기술 분야

- [0001] [0001] 본 개시의 양상들은 일반적으로 패키지 커패시터들에 관한 것이며, 더 상세하게는, 스위칭 가능 패키지 커패시터들에 관한 것이다.

배경 기술

- [0002] [0002] 전력 분배 네트워크(PDN)는 전력 공급기(예를 들어, 배터리)로부터 다이 상의 다양한 회로들에 전력을 분배하는데 이용될 수 있다. PDN 내의 인덕턴스 및 커패시턴스는, 다이 상의 회로에서 보여지는 바와 같이, PDN의 임피던스가 PDN의 공진 주파수에서 피크에 도달하게 할 수 있다. 피크 임피던스는, 회로가 PDN의 공진 주파수를 여기시킬 때, 큰 전압 리플(ripple)이 다이의 전력 레일 상에 나타나게 할 수 있다. 리플은 다이 상의 회로 엘리먼트들이 오작동하게 할 수 있다.

발명의 내용

- [0003] [0003] 다음은 하나 이상의 실시예들의 기본적인 이해를 제공하도록 이러한 실시예들의 단순화된 요약을 제시한다. 이 요약은 모든 고려된 실시예들의 광범위한 개요가 아니고, 모든 실시예들의 핵심적인 또는 중요한 엘리먼트들을 식별하거나 임의의 또는 모든 실시예들의 범위를 한정하도록 의도되지 않는다. 그 유일한 목적은 추 후에 제시되는 보다 상세한 설명의 전제부로서 단순화된 형태로 하나 이상의 실시예들의 일부 개념들을 제시하는 것이다.
- [0004] [0004] 제 1 양상에 따라, 장치가 본원에 설명된다. 상기 장치는 커패시터, 및 다이(die)를 포함한다. 다이는 전력 라인과 커패시터 사이에 커플링된 저항기 스위치를 포함하고, 저항기 스위치는 조절 가능한 저항을 갖고, 전력 라인 및 커패시터 둘 모두는 다이 외부에 있다. 다이는 또한 전력 라인으로부터 전력을 수신하도록 구성된 회로를 포함한다.
- [0005] [0005] 제 2 양상은 다이 상의 저항을 조절하기 위한 방법에 관한 것이며, 저항은 외부 전력 라인과 외부 커패

시터 사이에 있다. 상기 방법은 다이 상의 제 1 회로가 활성이고 다이 상의 제 2 회로가 비활성인 경우, 저항을 제 1 저항값으로 설정하는 단계, 및 제 1 회로가 비활성이고 제 2 회로가 활성인 경우, 저항을 제 2 저항값으로 설정하는 단계를 포함한다.

[0006] 제 3 양상은 다이 상의 저항을 조절하기 위한 장치에 관한 것이며, 저항은 외부 전력 라인과 외부 커패시터 사이에 있다. 상기 장치는 다이 상의 제 1 회로가 활성이고 다이 상의 제 2 회로가 비활성인 경우, 저항을 제 1 저항값으로 설정하기 위한 수단, 및 제 1 회로가 비활성이고 제 2 회로가 활성인 경우, 저항을 제 2 저항값으로 설정하기 위한 수단을 포함한다.

[0007] 제 4 양상은 다이 상의 저항기 스위치의 저항을 튜닝하기 위한 방법에 관한 것이며, 저항기 스위치는 외부 전력 라인과 외부 커패시터 사이에 커플링된다. 상기 방법은 저항기 스위치의 저항을 복수의 저항값들 중 각각의 저항값으로 순차적으로 설정하는 단계, 및 각각의 저항값에 대해, 저항값에 대한 피크 임피던스를 결정하는 단계를 포함한다. 상기 방법은 또한 결정된 피크 임피던스들에 기초하여 저항값들 중 하나를 선택하는 단계를 포함한다.

[0008] 위의 그리고 관련된 목적들의 달성을 위해, 하나 이상의 실시예들은 이하 완전히 설명되고 청구항에서 구체적으로 지목되는 특징들을 포함한다. 하기 설명 및 부가된 도면들은 하나 이상의 실시예들의 특정한 예시적인 양상들을 상세히 기술한다. 그러나 이들 양상들은, 다양한 실시예들의 원리들이 이용될 수 있는 다양한 방식들 중 일부만을 나타내고, 설명된 실시예들이 모든 이러한 양상들 및 이들의 등가물들을 포함하는 것으로 의도된다.

도면의 간단한 설명

[0009] 도 1은 본 개시의 실시예에 따른 전력을 다이 상의 하나 이상의 회로들에 분배하기 위한 전력 분배 네트워크(PDN)의 예를 도시한다.

[0010] 도 2는 본 개시의 실시예에 따른 패키지 및 다이의 예를 도시한다.

[0011] 도 3은 본 개시의 실시예에 따른 다중층 패키지 커패시터의 예를 도시한다.

[0012] 도 4는 본 개시의 실시예에 따른 주파수의 함수로서 임피던스를 도시한 플롯이다.

[0013] 도 5는 본 개시의 실시예에 따른 2 개의 상이한 저항값들에 대한 주파수의 함수로서 임피던스를 도시한 플롯이다.

[0014] 도 6은 본 개시의 실시예에 따른 스위칭 가능 패키지 커패시터를 포함하는 PDN의 예를 도시한다.

[0015] 도 7은 본 개시의 실시예에 따른 스위칭 가능 패키지 커패시터를 갖는 패키지 및 다이를 도시한다.

[0016] 도 8은 본 개시의 실시예에 따른 저항기 스위치의 예시적인 구현을 도시한다.

[0017] 도 9는 본 개시의 실시예에 따른 3 개의 상이한 스위치 저항들에 대한 주파수의 함수로서 임피던스를 도시한 플롯이다.

[0018] 도 10은 본 개시의 실시예에 따른 저항기 스위치의 저항을 튜닝하기 위한 회로를 도시한다.

[0019] 도 11은 본 개시의 실시예에 따른 스위치 저항의 함수로서 최소 측정된 전압을 도시한 플롯이다.

[0020] 도 12는 본 개시의 실시예에 따른 저항기 스위치의 저항을 튜닝하기 위한 방법을 예시한 흐름도이다.

[0021] 도 13은 본 개시의 실시예에 따른 스위칭 가능 패키지 커패시터를 포함하는 패키지 및 2 개의 회로를 포함하는 다이를 도시한다.

[0022] 도 14는 본 개시의 실시예에 따른 상이한 사용 경우들에 대한 스위치 저항의 함수로서 최소 측정된 전압을 도시한 플롯이다.

[0023] 도 15는 본 개시의 실시예에 따른 다이 상의 저항을 조절하기 위한 방법을 예시한 흐름도이다.

[0024] 도 16은 본 개시의 실시예에 따른 2 개의 상이한 스위치 저항들에 대한 전압 드롭을 도시한다.

[0025] 도 17은 본 개시의 실시예에 따른 회로의 파워 업 동안에 저항기 스위치의 저항을 동적으로 조절하기 위한 회로를 도시한다.

[0026] 도 18은 본 개시의 실시예에 따른 전압 검출기의 예시적인 구현을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0010] [0027] 첨부된 도면들과 관련하여 아래에서 기술되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며 여기서 설명되는 개념들이 실시될 수 있는 유일한 구성들만을 나타내도록 의도되는 것은 아니다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하기 위해서 특정 세부사항들을 포함한다. 그러나 이들 개념들은 이들 특정 상세들 없이 실시될 수 있음이 당업자에게 명백할 것이다. 일부 인스턴스들에서, 잘-알려진 구조들 및 컴포넌트들은 이러한 개념들을 모호하게 하는 것을 피하기 위해 블록도 형태로 도시된다.
- [0011] [0028] 전력 분배 네트워크(PDN)는 전력을 전력 공급기(예를 들면, 배터리)로부터 다이 상의 다양한 회로들에 분배하는데 사용된다. 도 1은 전력을 전력 공급기(110)로부터 다이(120) 상의 회로(145)에 공급하기 위한 PDN의 예를 도시한다. PDN은 PCB(printed circuit board)(114) 및 패키지(117)를 횡단하는 전력 공급 라인(112)을 통해 전력을 다이(120)에 공급한다. 예시의 용이성을 위해, 접지 라인이 도 1에 도시되지 않는다. PCB(114)에 대응하는 PDN의 부분은 보드 인덕터(L_{PCB})로서 모델링된 보드 인덕턴스 및 보드 저항기(R_{PCB})로서 모델링된 보드 저항을 포함할 수 있다. PDN은 또한, 인덕터(126) 및 저항기(124)로서 각각 모델링된 적은 양의 인덕턴스 및 저항을 가질 수 있는 보드 커패시터(C_{PCB})를 포함할 수 있다.
- [0012] [0029] 패키지(117)에 대응하는 PDN의 부분은 패키지 인덕턴스 및 패키지 저항을 포함할 수 있다. PDN은 또한 인덕터(134) 및 저항기(132)로서 각각 모델링된 적은 양의 인덕턴스 및 저항을 가질 수 있는 패키지 커패시터(C_{pkg})를 포함할 수 있다. 일 실시예에서, 패키지 커패시터(C_{pkg})는 패키지(117) 내에 위치된다. 결과적으로, 인덕터(128)로서 모델링된 패키지 인덕턴스의 일부는 전력 공급기(110)와 패키지 커패시터(C_{pkg}) 사이에 위치되고, 인덕터(138)로서 모델링된 패키지 인덕턴스의 다른 부분은 패키지 커패시터(C_{pkg})와 다이(120) 사이에 위치된다. 마찬가지로, 저항기(130)로서 모델링된 패키지 저항의 일부는 전력 공급기(110) 및 패키지 커패시터(C_{pkg}) 사이에 위치되고, 저항기(136)로서 모델링된 패키지 저항의 다른 부분은 패키지 커패시터(C_{pkg}) 및 다이(120) 사이에 위치된다.
- [0013] [0030] 다이(120)는 전력을 전력 공급기(110)로부터 회로(145)에 공급하기 위한 전력 그리드를 포함한다. 전력 그리드는 도 1의 그리드 저항기(R_{grid})로서 모델링된 저항을 포함한다. 다이(120)는 또한 회로(145)를 전력 게이팅하기 위한 전력-게이팅 스위치(140)를 포함한다. 예를 들면, 전력-게이팅 스위치(140)는 전력을 보존하기 위해 회로(145)가 활성일 때 회로(145)를 전력 그리드에 접속하고, 회로(145)가 비활성(예를 들면, 유향)일 때 전력 그리드로부터 회로(145)를 접속해제하도록 구성될 수 있다. 회로(145)는 도 1에 도시된 바와 같이 다이 커패시터(C_{die})로서 모델링된 커패시턴스 및 다이 저항기(R_{die})로서 모델링된 저항을 갖는다. 회로(145)의 커패시턴스는 회로(145) 내의 트랜지스터들(예를 들면, MOSFET들(metal-oxide-semiconductor field-effect transistors))의 커패시턴스들 및 회로(145) 내의 기생-와이어 커패시턴스들을 포함할 수 있다. 회로(145)의 저항은 회로(145) 내의 기생-와이어 저항들을 포함할 수 있다.
- [0014] [0031] 도 1이 PDN에 존재할 수 있는 커패시턴스들, 인덕턴스들 및/또는 저항들 모두를 도시하도록 의도되지 않는다는 것이 인지된다. 오히려, 도 1은 아래에 논의되는 본 개시의 실시예들의 이해를 촉진하는 PDN 내의 커패시턴스들, 인덕턴스들 및 저항들을 도시하도록 의도된다.
- [0015] [0032] 도 2는 본 개시의 실시예에 따른 다이(120), 패키지(117) 및 PCB(114)의 간략한 단면도를 도시한다. 패키지(117)는 PCB(114) 상에 장착되고, 다이(120)는 패키지(117) 상에 장착된다. PCB(114)와 패키지(117) 사이의 전기 접속들이 솔더 볼들(220)에 의해 제공되고, 패키지(117)와 다이(120) 사이의 전기 접속들이 범프들(215)에 의해 제공된다.
- [0016] [0033] 도 2에 도시된 예에서, 패키지(117)는 상부층(222), 하부층(226) 및 상부층과 하부층(222 및 226) 사이의 중심층(224)을 포함한다. 상부층과 하부층(222 및 226) 각각은 하나 이상의 유리-에폭시 물질들(예를 들면, FR4)을 포함할 수 있고, 중심층(224)은 하나 이상의 세라믹 물질들을 포함할 수 있다. 중심층(224)은 상부층과 하부층(222 및 226) 각각의 두께보다 더 큰 두께를 가질 수 있다. 예를 들면, 중심층(224)은 상부층과 하부층(222 및 226) 각각의 두께(예를 들면, 20 μm)보다 2 배 내지 4 배 더 큰 두께(예를 들면, 60 μm)를 가질 수 있다.

- [0017] [0034] 도 2에 도시된 바와 같이, 패키지 커패시터(C_{pkg})는 패키지(117)의 중심층(224) 내에 위치될 수 있다. 예를 들면, 패키지 커패시터(C_{pkg})는 중심층(224)에 임베딩된 다중층 세라믹 커패시터를 포함할 수 있다. 이와 관련하여, 도 3은 패키지 커패시터(C_{pkg})에 사용될 수 있는 다중층 세라믹 커패시터(305)의 예를 도시한다. 커패시터(305)는 커패시터(305)의 제 1 금속 단자(310)에 커플링된 제 1 복수의 금속 플레이트들(320-1 내지 320-4), 및 커패시터(305)의 제 2 금속 단자(315)에 커플링된 제 2 복수의 금속 플레이트들(322-1 내지 322-4)을 포함한다. 금속 플레이트들은 구리, 니켈, 은, 탄탈륨 및/또는 다른 타입의 금속을 포함할 수 있다. 도 3에 도시된 바와 같이, 제 1 복수의 금속 플레이트들(320-1 내지 320-4)은 제 2 복수의 금속 플레이트들(322-1 내지 322-4)과 인터레이스된다. 인접한 금속 플레이트들 각각의 쌍은 금속 플레이트들 사이에서 유전체 층으로서 동작하는 세라믹 층(미도시)에 의해 분리될 수 있다. 각각의 세라믹 층은 X5R, X7, Y5V 및/또는 다른 세라믹 물질을 포함할 수 있다.
- [0018] [0035] 도 2로 복귀하면, 패키지(117)는 또한 패키지(117)를 통한 전도 경로들을 제공하기 위한 비아들(232-237)을 포함한다. 비아들(232-237) 각각은 패키지(117)의 하나 이상의 층들에 홀을 생성하고 홀을 금속으로 채움으로써 형성될 수 있다. 비아들(232 내지 237)은 앞서 논의된 패키지 인덕턴스 및 패키지 저항에 기여하는 인덕턴스들 및 저항들을 갖는다.
- [0019] [0036] 도 2에 도시된 예에서, 비아들(232, 233 및 234)은 패키지(117)의 하부, 중심 및 상부층들(226, 224 및 222) 각각을 통한 제 1 전도 경로를 형성한다. 제 1 전도 경로는 PCB(114) 상의 전력 공급 라인(112)(예를 들면, 금속 트레이스)을 다이(120)에 커플링한다. 제 1 전도 경로의 비아(232)는 솔더 볼들(220) 중 하나에 의해 전력 공급 라인(112)에 커플링될 수 있다. 비아(232)가 각각의 솔더 볼과 정렬될 필요는 없다는 것이 인지된다. 예를 들면, 비아(232)가 각각의 솔더 볼과 정렬되지 않는다면, 비아(232)는 패키지(117)의 하부 표면 상의 또는 근처의 금속 트레이스(미도시)에 의해 각각의 솔더 볼에 커플링될 수 있다. 제 1 전도 경로의 비아(234)는 범프들(215) 중 하나에 의해 다이(120)에 커플링될 수 있다. 비아(234)가 각각의 범프와 정렬되지 않는다면, 비아(234)는 패키지(117)의 상부 표면 상의 또는 근처의 금속 트레이스(미도시)에 의해 각각의 범프에 커플링될 수 있다.
- [0020] [0037] 비아들(235, 236 및 237)은 패키지(117)의 하부, 중심 및 상부층들(226, 224 및 222) 각각을 통한 제 2 전도 경로를 형성한다. 제 2 전도 경로는 PCB(114) 상의 접지 라인(212)(예를 들면, 금속 트레이스)을 다이(120)에 커플링한다. 제 2 전도 경로의 비아(235)는 솔더 볼들(220) 중 하나에 의해 접지 라인에 커플링될 수 있다. 비아(235)가 각각의 솔더 볼과 정렬될 필요가 없다는 것이 인지된다. 예를 들면, 비아(235)가 각각의 솔더 볼과 정렬되지 않는다면, 비아(235)는 패키지(117)의 하부 표면 상의 또는 근처의 금속 트레이스(미도시)에 의해 각각의 솔더 볼에 커플링될 수 있다. 제 2 전도 경로의 비아(237)는 범프들(215) 중 하나에 의해 다이(120)에 커플링될 수 있다. 비아(237)가 각각의 범프와 정렬되지 않는다면, 비아(237)는 패키지(117)의 상부 표면 상의 또는 근처의 금속 트레이스(미도시)에 의해 각각의 범프에 커플링될 수 있다.
- [0021] [0038] 제 1 전도 경로는 패키지 커패시터(C_{pkg})의 단자들 중 하나에 커플링될 수 있고, 제 2 전도 경로는 패키지 커패시터(C_{pkg})의 다른 단자에 커플링될 수 있다. 패키지 커패시터(C_{pkg})가 다중층 세라믹 커패시터(305)로 구현되는 예에서, 제 1 전도 경로는 커패시터(305)의 제 1 및 제 2 금속 단자들(310 및 315) 중 하나에 커플링될 수 있고, 제 2 전도 경로는 커패시터(305)의 제 1 및 제 2 금속 단자들(310 및 315) 중 다른 하나에 커플링될 수 있다. 도 2에 도시된 예에서, 패키지 커패시터(C_{pkg})는 전력 공급기(110)와 다이(120) 사이에 커플링된다.
- [0022] [0039] PDN 내의 인덕턴스 및 커패시턴스는, 회로(145)에 의해 보여지는 바와 같이, PDN의 임피던스가 특정 주파수에 피크에 도달하게 할 수 있다. 예를 들면, 도 1에 도시된 바와 같이, RLC(resistor-inductor-capacitor) 루프(152)(또한 RLC 탱크로 지칭됨)는 패키지 커패시터(C_{pkg}), 패키지 인덕터(138), 패키지 저항기(136), 그리드 저항기(R_{grid}), 다이 커패시터(C_{die}) 및 다이 저항기(R_{die})에 의해 형성될 수 있다. 도 1에서, RLC 루프(152)는 전류가 RLC 루프(152)에서 어느 한 방향으로 흐를 수 있다는 것을 표시하는 2 개의 화살표들을 갖는다. RLC 루프(152)는 다음과 같이 주어진 공진 주파수에서 PDN이 공진하게 한다.

수학식 1

$$\omega_0 = \frac{1}{\sqrt{LC}}$$

[0023]

[0024]

여기서 ω_0 는 공진 각도 주파수이고, L은 RLC 루프(152)의 인덕턴스이고, C는 RLC 루프(152)의 커패시턴스이다. 회로(145)로부터 보여지는 바와 같이, PDN의 임피던스는, 아래에 추가로 논의되는 바와 같이, RLC 루프(152)의 공진 주파수에서 피크에 도달할 수 있다.

[0025]

[0040] 도 4는, 회로(145)로부터 보여지는 바와 같이, 주파수의 함수로서 PDN의 임피던스(410)를 도시한다. 도 4에 도시된 바와 같이, 임피던스(410)는 RLC 루프(152)의 공진 주파수(F_{res} 로 표기됨)에서 피크에 도달한다. 임피던스는, 회로(145)가 PDN으로부터 전류를 인출할 때 전력 그리드 상에 전압 리플을 발생시킨다. 리플의 진폭은 피크 임피던스(412)에서 가장 크고, 피크 임피던스는 회로(145)가 RLC 루프(152)의 공진 주파수에서 주파수를 갖는 시변 전류를 인출할 때 발생할 수 있다. 전력 그리드에 접속된 로직이 적절히 기능하는 것을 보장하기 위해 전력 그리드 상의 리플의 진폭을 최소화하고, 따라서 피크 임피던스(412)를 최소화하는 것이 바람직하다. 임피던스(410)는 또한 보드 커패시터(C_{PCB})와 연관된 RLC 루프로 인해 작은 로컬 피크(415)를 포함할 수 있다.

[0026]

[0041] 피크 임피던스(412)는, RLC 루프(152)에 의해 소멸된 에너지에 비해 RLC 루프(152)에 의해 저장된 에너지의 비율인 RLC 루프(152)의 Q 팩터에 의해 제어된다. Q 팩터가 더 낮을수록, 피크 임피던스가 더 낮다. Q 팩터는 RLC 루프(152)의 저항에 반비례한다. 따라서, Q 팩터(및 따라서 피크 임피던스(412))는 RLC 루프(152)의 저항을 증가시킴으로써 감소될 수 있다. RLC 루프(152)의 저항을 증가시키는 하나의 접근법은 그리드 저항기(R_{grid})의 저항을 증가시키는 것이다. 이와 관련하여, 도 5는 그리드 저항기(R_{grid})의 저항이 도 4의 임피던스(410)와 비교하여 증가된 PDN의 임피던스(510)를 도시한다. 도 5에 도시된 바와 같이, 더 높은 그리드 저항을 갖는 임피던스(510)는 공진 주파수에서 더 낮은 피크(512)를 갖는다. 그러나, 그리드 저항을 증가시키는 것은 그리드 저항기(R_{grid})에 걸친 전류-저항기(IR) 전압 강하를 증가시키는 바람직하지 않은 효과를 갖고, 이것은 회로(145)에서 DC 공급 전압을 감소시킨다. 결과적으로, 전력 공급기(110)는 회로(145)에서 정해진 공급 전압을 달성하기 위해 더 높은 공급 전압을 출력할 필요가 있다.

[0027]

[0042] 본 개시의 실시예들은, 아래에 추가로 논의되는 바와 같이, 전력 공급기(110)와 회로(145) 사이의 IR 강하를 증가시키지 않고서, RLC 루프의 저항이 PDN의 피크 임피던스를 감소시키도록 제어되도록 허용하는 스위칭 가능 패키지 커패시터를 제공한다.

[0028]

[0043] 도 6은 본 개시의 실시예에 따른 PDN을 도시한다. 이러한 실시예에서, 다이(620)는 패키지 커패시터(C_{pkg})와 회로(145) 사이에 저항기 스위치(615)(예를 들면, PMOS 트랜지스터 스위치)를 포함한다. 저항기 스위치(615)는 패키지 커패시터(C_{pkg})와 연관된 RLC 루프(652)에 포함된다. 결과적으로, 저항기 스위치(615)의 저항은 RLC 루프(652)의 저항에 기여하고, 따라서 RLC 루프(652)의 저항을 제어하는데 사용될 수 있다. 이와 관련하여, 저항기 스위치(615)는 프로그래밍 가능 저항을 가질 수 있고, 다이(620)는 저항기 스위치(615)의 저항 및 따라서 RLC 루프(652)의 저항을 제어하기 위한 저항 제어기(625)를 더 포함할 수 있다. 예를 들면, 저항 제어기(625)는 RLC 루프(652)의 Q 팩터를 더 낮추기 위해 저항기 스위치(615)의 저항을 조절하고, 따라서 회로(145)에 의해 보여지는 피크 임피던스를 감소시킬 수 있다.

[0029]

[0044] 저항기 스위치(615)의 저항은, 전력 공급기(110)와 회로(145) 사이의 IR 강하를 증가시키지 않고서, 피크 임피던스를 감소시키기 위해 RLC 루프(652)의 저항을 증가시키도록 조절될 수 있다. 이것은 저항기 스위치(615)가 전력 공급기(110)와 회로(145) 사이의 경로로부터 분리된 경로(617)에 배치되기 때문이다. 결과적으로, 저항기 스위치(615)의 저항은 전력 공급기(110)와 회로(145) 사이의 저항에 기여하지 않는다. 따라서, 저항기 스위치(615)는, 전력 공급기(110)와 회로(145) 사이의 IR 강하에 부정적으로 영향을 주지 않고서 따라서 회로(145)에서 DC 공급 전압을 감소시키지 않고서 RLC 루프(652)의 저항이 조절되도록 허용한다.

[0030]

[0045] 도 6에서, 전력 공급기(110)와 다이(620) 사이의 패키지 인덕턴스는 패키지 인덕턴스(L_{pkg})로서 모델링되고, 전력 공급기(110)와 다이(620) 사이의 패키지 저항은 패키지 저항기(R_{pkg})로서 모델링된다. 다이

(620)와 패키지 커패시터(C_{pkg}) 사이의 패키지 인덕턴스 및 패키지 저항은 용이한 예시를 위해 도 6에 도시되지 않는다. 저항기 스위치(615)에 대한 경로(617)가 상이한 위치들에서 전력 그리드에 접속될 수 있고, 따라서 도 6에 도시된 예시적인 위치로 제한되지 않는다는 것이 인지된다.

[0031] [0046] 도 7은 본 개시의 실시예에 따른 다이(620), 패키지(617) 및 PCB(114)의 간략한 단면도를 도시한다. 패키지(617)는 PCB(114) 상에 장착되고, 다이(620)는 패키지(617) 상에 장착된다. PCB(114)와 패키지(617) 사이의 전기 접속들은 솔더 볼들(220)에 의해 제공되고, 패키지(617)와 다이(620) 사이의 전기 접속은 범프들(215)에 의해 제공된다.

[0032] [0047] 이러한 실시예에서 패키지(617)는, 패키지 커패시터(C_{pkg})가 전력 라인(112) 및 접지 라인(212)을 다이(620)에 커플링하는 제 1 및 제 2 전도 경로들에 의해 다이(620)에 커플링되지 않는다는 점에서, 도 2의 패키지(117)와 상이하다. 대신에, 패키지 커패시터(C_{pkg})는 패키지(617) 내의 별개의 전도 경로들에 의해 다이(620)에 커플링된다.

[0033] [0048] 이와 관련하여, 패키지는 패키지 커패시터(C_{pkg})를 다이(620)에 커플링하기 위한 비아들(733 내지 736)을 포함할 수 있다. 비아들(733 및 734)은 패키지(617)의 중심 및 상부층들(224 및 222) 각각을 통한 제 3 전도 경로를 형성한다. 제 3 전도 경로는 패키지 커패시터(C_{pkg})의 제 1 단자를 다이(620)에 커플링하는데 사용된다. 이와 관련하여, 비아(733)는 패키지 커패시터(C_{pkg})의 제 1 단자에 커플링될 수 있고, 비아(734)는 범프들(215) 중 하나에 의해 다이(620)에 커플링될 수 있다. 비아(734)가 각각의 범프와 정렬되지 않는다면, 비아(734)는 패키지(617)의 상부 표면 상의 또는 근처의 금속 트레이스(미도시)에 의해 각각의 범프에 커플링될 수 있다.

[0034] [0049] 비아들(735 및 736)은 패키지(617)의 중심 및 상부층들(224 및 222) 각각을 통한 제 4 전도 경로를 형성한다. 제 4 전도 경로는 패키지 커패시터(C_{pkg})의 제 2 단자를 다이(620)에 커플링하는데 사용된다. 이와 관련하여, 비아(735)는 패키지 커패시터(C_{pkg})의 제 2 단자에 커플링될 수 있고, 비아(736)는 범프들(215) 중 하나에 의해 다이(620)에 커플링될 수 있다. 비아(736)가 각각의 범프와 정렬되지 않는다면, 비아(736)는 패키지(617)의 상부 표면 상의 또는 근처의 금속 트레이스(미도시)에 의해 각각의 범프에 커플링될 수 있다.

[0035] [0050] 이러한 실시예에서, 패키지(617) 내의 제 3 전도 경로는 패키지 커패시터(C_{pkg})의 제 1 단자를 다이(620)의 저항기 스위치(615)에 커플링하는데 사용될 수 있고, 패키지(617) 내의 제 4 전도 경로는 패키지 커패시터(C_{pkg})의 제 2 단자를 다이(620) 상의 접지 라인에 커플링하는데 사용될 수 있다. 대안적으로, 제 3 전도 경로는 패키지 커패시터(C_{pkg})의 제 1 단자를 다이(620) 상의 접지 라인에 커플링하는데 사용될 수 있고, 제 4 전도 경로는 패키지 커패시터(C_{pkg})의 제 2 단자를 다이(620) 상의 저항기 스위치(615)에 커플링하는데 사용될 수 있다. 다른 예에서, 패키지 커패시터(C_{pkg})의 제 1 및 제 2 단자들 중 하나는 패키지(117)의 하부층(226)을 통한 비아(미도시) 및 솔더 볼들(220) 중 하나에 의해 PCB(114)의 접지 라인(212)에 접속될 수 있다.

[0036] [0051] 패키지 커패시터(C_{pkg})는 패키지(617)의 중심층(224)에 임베딩된 다중층 세라믹 커패시터 및/또는 다른 타입의 커패시터를 포함할 수 있다. 예를 들면, 패키지 커패시터(C_{pkg})는 도 3에 도시된 다중층 세라믹 커패시터(305)로 구현될 수 있다. 패키지 커패시터(C_{pkg})가 패키지(617) 내에 위치되는 것으로 제한되지 않는다는 것이 인지된다. 예를 들면, 패키지 커패시터(C_{pkg})는 다이(620) 옆에 패키지(617)의 상부 상에 장착될 수 있다. 이러한 예에서, 패키지 커패시터(C_{pkg})는 패키지(617) 상의 금속 트레이스들에 의해 다이에 커플링될 수 있다.

[0037] [0052] 앞서 논의된 바와 같이, 저항기 스위치(615)는 RLC 루프(652)의 저항을 제어하기 위한 프로그래밍 가능 저항을 가질 수 있다. 이와 관련하여, 도 8은 본 개시의 실시예에 따른 저항기 스위치(615)의 예시적인 구현을 도시한다. 이러한 실시예에서, 저항기 스위치(615)는 병렬로 커플링된 복수의 스위치들(815-1 내지 815-n)을 포함한다. 저항 제어기(625)는 턴 온된 다수의 스위치들(815-1 내지 815-n)을 제어함으로써 저항기 스위치(615)의 저항을 제어한다. 예를 들면, 저항 제어기(625)는 스위치들(815-1 내지 815-n) 중 많은 것을 턴 온함으로써 저항기 스위치(615)의 저항을 감소시킬 수 있고, 스위치들(815-1 내지 815-n) 중 적은 것을 턴 온함으로써 저항기 스위치(615)의 저항을 증가시킬 수 있다. 도 8에서, 스위치(615)의 단자(822)는 회로(145)에 커플링

될 수 있고, 저항기 스위치(615)의 단자(825)는 패키지 커패시터(C_{pkg})에 커플링될 수 있다.

- [0038] [0053] 저항 제어기(625)가 저항기 스위치(615)의 저항을 제어할 수 있는 입도(granularity)는 저항기 스위치(615) 내의 스위치들(815-1 내지 815-n)의 수에 의존할 수 있다. 예를 들면, 저항기 스위치(615) 내의 스위치들(815-1 내지 815-n)의 수가 더 많을수록, 저항 제어기(625)가 저항기 스위치(615)의 저항을 제어할 수 있는 입도가 더 많다.
- [0039] [0054] 일 실시예에서, 각각의 스위치(815-1 내지 815-n)는 도 8에 도시된 바와 같이 PMOS 트랜지스터를 포함할 수 있다. 이러한 실시예에서, 저항 제어기(625)는 로직 0(로우(low) 전압)을 스위치의 게이트에 입력함으로써 스위치들(815-1 내지 815-n) 중 하나를 턴 온할 수 있고, 로직 1(하이(high) 전압)을 스위치의 게이트에 입력함으로써 스위치들(815-1 내지 815-n) 중 하나를 턴 온할 수 있다.
- [0040] [0055] 도 9는 저항기 스위치(615)의 3 개의 상이한 저항 설정들에 대해 주파수의 함수로서 회로(145)에 의해 보여진 임피던스를 도시한다. 특히, 임피던스(410)는 저항기 스위치(615)의 저항이 로우일 때 주파수의 함수로서 회로(145)에 의해 보여진 임피던스이고, 임피던스(910)는 저항기 스위치(615)의 저항이 하이일 때 주파수의 함수로서 회로(145)에 의해 보여진 임피던스이다. 임피던스(510)는 저항기 스위치(615)의 저항이 로우와 하이 저항들 사이에 있을 때 주파수의 함수로서 회로(145)에 의해 보여진 임피던스이다.
- [0041] [0056] 도 9에 도시된 바와 같이, 저항기 스위치(615)의 저항이 로우일 때, 회로(145)에 의해 보여진 임피던스(410)는 RLC 루프(652)의 공진 주파수에서 비교적 큰 피크(412)를 갖는다. 저항기 스위치(615)의 저항이 로우 및 하이 저항들 사이에 있을 때, 회로(145)에 의해 보여진 임피던스(510)는 공진 주파수에서 더 작은 피크(512)를 갖는다. 이것은 저항 스위치(615)의 저항을 증가시키는 것이 RLC 루프(652)의 저항을 증가시키기 때문이다. 증가된 저항은 RLC 루프(652)의 Q 팩터를 감소시키고, 이것을 차례로, 앞서 논의된 바와 같이, 공진 주파수에서 피크 임피던스들(512)을 감소시킨다.
- [0042] [0057] 공진 주파수에서의 임피던스는 저항기 스위치(615)의 저항을 증가시킴으로써 추가로 감소될 수 있다. 그러나, 저항기 스위치(615)의 저항을 증가시키는 것은 또한 회로(145)에 의해 보여진 임피던스가 더 낮은 주파수들에서 증가하게 할 수 있다. 이것은 저항기 스위치(615)의 저항을 증가시키는 것이 전력 그리드 상의 전압 드롭들을 감소시키기 위해 전하를 전력 그리드에 공급하는 패키지 커패시터(C_{pkg})의 능력을 감소시키기 때문이다. 결과적으로, 저항기 스위치(615)의 저항이 하이일 때, 회로(145)에 의해 보여진 임피던스(910)는 더 낮은 주파수에서 더 큰 피크(912)를 갖고, 이것은 더 낮은 주파수에서 전력 그리드 상의 더 높은 전압 리플들을 유도할 수 있다. 따라서, 피크 임피던스에서 원하는 감소를 달성하기 위해 저항기 스위치(615)의 저항을 튜닝하는 것이 바람직할 수 있다.
- [0043] [0058] 이와 관련하여, 도 10은 본 개시의 실시예에 따른 저항기 스위치(615)의 저항을 튜닝하기 위한 회로를 도시한다. 회로는 전압 검출기(1030) 및 테스트 회로(1040)를 포함한다. 전압 검출기(1030)는 회로(145)에서 공급 전압을 측정하도록 구성된다. 이를 하기 위해, 전압 검출기(1030)는 전력-게이팅 스위치(140)와 회로(145) 사이에 커플링될 수 있다. 대안적으로, 전압 검출기(1030)는 전력-게이팅 스위치(140)와 전력 그리드 사이에 커플링될 수 있다.
- [0044] [0059] 테스트 회로(1040)는 저항기 스위치(615)의 저항을 튜닝하기 위한 절차를 수행하도록 구성된다. 이와 관련하여, 회로(145)는 전력-게이팅 스위치(140)에 의해 전력 공급기(110)에 커플링될 수 있다. 이어서, 테스트 회로(1040)는 저항기 스위치(615)의 저항을 복수의 상이한 저항값들 중 각각의 저항값으로 순차적으로 설정하도록 저항 제어기(625)에 지시할 수 있다. 각각의 저항값에 대해, 테스트 회로(1040)는 전압 검출기(1030)로부터의 전압 측정들에 기초하여 주파수 범위에 걸쳐 피크 임피던스를 결정할 수 있다. 이어서, 테스트 회로(1040)는 가장 낮은 피크 임피던스에 대응하는 저항값을 선택할 수 있다. 대안적으로, 테스트 회로(1040)는 피크-임피던스 임계치와 동일하거나 미만인 피크 임피던스에 대응하는 저항값들 중 어느 하나를 선택할 수 있다. 피크-임피던스 임계치는, 아래에 추가로 논의되는 바와 같이, 적절히 기능하도록 다이 상의 하나 이상의 회로들에 의해 필요로 되는 최소 공급 전압에 대응하는 임피던스일 수 있다. 이어서, 테스트 회로(1040)는 저항기 스위치(615)의 저항을 선택된 저항값으로 설정하도록 저항 제어기(625)에 지시할 수 있다.
- [0045] [0060] 각각의 저항값에 대해 결정된 피크 임피던스가 반드시 저항값에 대해 절대 피크 임피던스가 아니라는 것이 인지된다. 예를 들면, 특정 저항값에 대한 임피던스는 복수의 상이한 주파수들 중 각각의 주파수에 대해 결정될 수 있다. 이러한 예에서, 저항값에 대한 절대 피크 임피던스가 발생하는 주파수는 복수의 주파수들 중 하나와 정확히 매칭하지 않을 수 있고, 이러한 경우에 결정된 피크 임피던스는 절대 피크 임피던스와 비슷하다.

- [0046] [0061] 테스트 회로(1040)는 다음의 절차에 따라 특정 저항값에 대한 피크 임피던스를 결정할 수 있다. 이와 관련하여, 회로(145)는 전력-게이팅 스위치(140)에 의해 전력 공급기(110)에 커플링되고, 관심 주파수 범위에 걸쳐 동작될 수 있다. 회로(145)가 그 주파수 범위에 걸쳐 동작될 때, 전압 검출기(1030)는 회로(145)에서 공급 전압을 측정하고, 결과적인 전압 측정들을 테스트 회로(1040)로 출력할 수 있다. 테스트 회로(1040)는 전압 검출기(1030)로부터 수신된 최소(가장 작은) 측정된 전압을 추적할 수 있다. 회로(145)가 주파수 범위에 걸쳐 동작들을 완료한 후에, 테스트 회로(1040)는 저항값에 대한 최소 측정된 전압을 기록할 수 있다. 최소 측정된 전압은 저항값에 대해 피크 임피던스의 표시를 제공하고, 여기서 더 높은 최소 측정된 전압은 더 낮은 피크 임피던스를 나타내고, 더 낮은 최소 측정된 전압은 더 높은 피크 임피던스를 나타낸다.
- [0047] [0062] 테스트 회로(1040)는 각각의 저항값에 대한 최소 측정된 전압을 결정하기 위해 각각의 저항값에 대해 위의 절차를 반복할 수 있다. 이어서, 테스트 회로(1040)는 가장 높은 최소 측정된 전압 및 따라서 가장 낮은 피크 임피던스에 대응하는 저항을 선택할 수 있다. 대안적으로, 테스트 회로(1040)는 최소 전압 임계치와 동일하거나 이보다 더 큰 최소 측정된 전압에 대응하는 저항들 중 어느 하나를 선택할 수 있다. 최소 전압 임계치는 다이(620) 상의 하나 이상의 회로들이 적절히 기능하는데 필요로 되는 최소 공급 전압에 대응할 수 있다. 이어서, 테스트 회로(1040)는 저항기 스위치(615)의 저항을 선택된 저항값으로 설정하도록 저항 제어기(625)에 지시할 수 있다.
- [0048] [0063] 도 11은 저항기 스위치(615)의 저항의 함수로서 최소 측정된 전압의 예시적인 플롯을 도시한다. 예를 들면, 플롯은 저항 제어기(625)가 저항기 스위치(615)의 저항을 복수의 상이한 저항값들 중 각각의 저항값으로 순차적으로 설정하게 하고, 각각의 저항에 대한 최소 측정된 전압을 측정함으로써 생성될 수 있다. 도 11에 도시된 예에서, 저항기 스위치(615)의 저항은 로우 저항 및 하이 저항에 의해 경계를 이루는 범위에 걸쳐 변동된다. 가장 높은 최소 측정된 전압(및 따라서 가장 낮은 피크 임피던스)은 로우 및 하이 저항들 사이의 최적의 저항에서 발생한다. 도 11에서, 로우 저항, 최적 저항 및 하이 저항에 대응하는 최소 측정된 전압은 각각 로우, 최적 및 하이로 표기된다.
- [0049] [0064] 전압 검출기(1030) 및 테스트 회로(1040) 둘 모두가 도 10에 도시된 예에서 다이(1020) 상에 위치되지만, 전압 검출기(1030) 및 테스트 회로(1040) 중 하나가 다이(1020) 외부에 있을 수 있거나, 전압 검출기(1030) 및 테스트 회로(1040) 둘 모두가 다이(1020) 외부에 있을 수 있다는 것이 인지된다.
- [0050] [0065] 도 12는 본 개시의 실시예에 따른 저항기 스위치의 저항을 튜닝하기 위한 방법(1200)을 예시한 흐름도이다. 저항기 스위치(예를 들면, 저항기 스위치(615))는 다이(예를 들면, 다이(620)) 상에 있을 수 있고, 외부 전력 라인(예를 들면, 전력 라인(112)) 및 외부 커패시터(예를 들면, 패키지 커패시터(C_{pkg})) 사이에 커플링될 수 있다. 방법(1200)은 전압 검출기(1030) 및 테스트 회로(1040)에 의해 수행될 수 있다.
- [0051] [0066] 단계(1210)에서, 저항기 스위치의 저항은 복수의 저항값들 중 각각의 저항값으로 순차적으로 설정된다. 이것은, 예를 들면, 저항기 스위치의 저항을 저항값들 중 각각의 저항값으로 순차적으로 설정하도록 저항기 스위치(예를 들면, 저항기 스위치(615))의 저항을 제어하는 저항 제어기(예를 들면, 저항 제어기(625))에 지시함으로써 이루어질 수 있다.
- [0052] [0067] 단계(1220)에서, 저항값들 중 각각의 저항값에 대해 피크 임피던스가 결정된다. 예를 들면, 각각의 저항기 값에 대한 피크 임피던스는 주파수 범위에 걸쳐 외부 전력 라인에 커플링된 회로(예를 들면, 회로(145))를 동작시키고, 회로가 주파수 범위에 걸쳐 동작될 때 회로의 공급 전압을 측정하고, 최소 측정된 전압을 기록함으로써 결정될 수 있다. 이러한 예에서, 각각의 저항값에 대한 최소 측정된 전압은 저항값에 대한 피크 임피던스에 대응할 수 있다.
- [0053] [0068] 단계(1230)에서, 저항값들 중 하나는 결정된 피크 임피던스들에 기초하여 선택된다. 예를 들면, 결정된 피크 임피던스들 중 가장 낮은 임피던스에 대응하는 저항값이 선택될 수 있다. 각각의 저항값에 대한 피크 임피던스가 저항값에 대한 최소 측정된 전압에 기초하여 결정되는 예에서, 가장 높은 최소 측정된 전압들에 대응하는 저항값이 선택될 수 있다. 대안적으로, 최소 전압 임계치와 동일하거나 이보다 더 큰 최소 측정된 전압에 대응하는 저항값들 중 어느 하나가 선택될 수 있다. 상기 방법은 저항 스위치의 저항을 선택된 저항값으로 설정하는 것을 더 포함할 수 있다.
- [0054] [0069] 따라서, 본 개시의 실시예들은 저항기 스위치(615)의 저항이 특정 다이에 대해 튜닝되도록 허용한다. 저항기 스위치(615)의 저항을 튜닝하는 능력은 RLC 루프(652)의 저항을 제어하기 위해 고정 저항기(예를 들면,

금속 저항기)를 사용하는 것에 비해 이점을 제공한다. 이것은, 고정 저항기의 저항이 통상적으로 제조 전에 결정되어야 하기 때문이다. 예를 들면, 금속 저항기의 저항은 금속 저항기의 치수들을 지정하기 위해 제조 전에 결정될 필요가 있다. 그러나, 특정 다이에 대한 피크 임피던스에서 원하는 감소를 달성하기 위해 필요로 되는 저항은, 프로세스 변동들 및/또는 다른 요인들로 인해 다이가 제조된 후까지 알려질 수 없다. 결과적으로, 고정 저항기의 저항은 피크 임피던스에서 원하는 감소를 달성할 수 없다. 본 개시의 실시예들은 고정 저항기를 사용하는 것의 위의 단점들을 극복한다. 이것은 저항기 스위치(615)의 저항이 제조 후에 특정 다이에 대한 피크 임피던스에서 원하는 감소를 달성하는 저항값으로 튜닝될 수 있기 때문이다.

[0055] [0070] 도 6이 예시의 용이성을 위해 하나의 전력-게이트 회로(145)를 도시하지만, 다이가 2 개 이상의 전력-게이트 회로들을 포함할 수 있다는 것이 인지된다. 이와 관련하여, 도 13은 본 개시의 실시예에 따른 제 1 전력-게이트 회로(1345a) 및 제 2 전력 게이트 회로(1345b)를 포함하는 다이(1320)를 도시한다. 예를 들면, 제 1 및 제 2 회로들(1345a 및 1345b)은 다중-코어 SoC(system on a chip)의 제 1 및 제 2 프로세서들(예를 들면, CPU 들(central processing units))을 포함할 수 있다. 제 1 회로(1345a)는 다이 커패시터(C_{die})로서 모델링된 다이 커패시턴스 및 다이 저항기(R_{die})로서 모델링된 저항을 갖고, 제 2 회로(1345b)는 다이 커패시터(C_{die})로서 모델링된 다이 커패시턴스 및 다이 저항기(R_{die})로서 모델링된 저항을 갖는다.

[0056] [0071] 다이(1320)는 또한 전력 관리기(1325) 및 제 1 및 제 2 전력-게이팅 스위치들(1340a 및 1340b)을 포함한다. 제 1 전력-게이팅 스위치(1340a)는 전력 그리드와 제 1 회로(1345a) 사이에 커플링되고, 제 2 전력-게이팅 스위치(1340b)는 전력 그리드와 제 2 회로(1345b) 사이에 커플링된다. 전력 관리기(1325)는 각각의 전력-게이팅 스위치(1340a 및 1340b)를 제어함으로써 제 1 및 제 2 회로들(1345a 및 1345b) 각각에 대한 전력을 관리하도록 구성된다. 예를 들면, 전력 관리기(1325)는 제 1 전력-게이팅 스위치(1340a)를 턴 온함으로써 제 1 회로(1345a)가 활성화될 때 제 1 회로(1345a)를 전력 그리드에 접속할 수 있고, 제 1 전력-게이팅 스위치(1340a)를 턴 오프함으로써 제 1 회로(1345a)가 비활성(예를 들면, 유휴)일 때 전력 그리드로부터 제 1 회로(1345a)를 접속해 제할 수 있다. 마찬가지로, 전력 관리기(1325)는 제 2 전력-게이팅 스위치(1340b)를 턴 온함으로써 제 2 회로(1345b)가 활성화될 때 제 2 회로(1345b)를 전력 그리드에 접속할 수 있고, 제 2 전력-게이팅 스위치(1340b)를 턴 오프함으로써 제 2 회로(1345b)가 비활성(예를 들면, 유휴)일 때 전력 그리드로부터 제 2 회로(1345b)를 접속해 제할 수 있다.

[0057] [0072] 전력 관리기(1325)는 제 1 및 제 2 전력-게이팅 스위치들(1345a 및 1345b)을 독립적으로 제어하고, 따라서 제 1 및 제 2 회로들(1345a 및 1345b)을 독립적으로 전력 게이팅할 수 있다. 예를 들면, 전력 관리기(1325)는 제 1 및 제 2 회로들(1345a 및 1345b)의 사용에 기초하여 제 1 및 제 2 회로들(1345a 및 1345b)을 독립적으로 전력 게이팅할 수 있다. 도 13에 도시된 예에서, 각각의 전력-게이팅 스위치(1345a 및 1345b)는 PMOS 트랜지스터를 포함한다. 이러한 예에서, 전력 관리기(1325)는 스위치의 게이트를 로우로 구동시킴으로써 전력-게이팅 스위치들(1345a 및 1345b) 중 하나를 턴 온할 수 있고, 스위치의 게이트를 하이로 구동시킴으로써 전력-게이팅 스위치들(1345a 및 1345b) 중 하나를 턴 오프할 수 있다.

[0058] [0073] 다이(1320)는 전력 그리드 및 패키지 커패시터(C_{pkg}) 사이에 저항기 스위치(615)를 포함한다. 도 13에 도시된 예에서, 제 1 회로(1345a), 저항기 스위치(615) 및 패키지 커패시터(C_{pkg})는 제 1 RLC 루프(1352a)를 형성하고, 제 2 회로(1345b), 저항기 스위치(615) 및 패키지 커패시터(C_{pkg})는 제 2 RLC 루프(1352b)를 형성한다. 제 1 및 제 2 RLC 루프들(1352a 및 1352b)은 저항기 스위치(615)를 공유한다. 따라서, 저항기 스위치(615)는 각각의 RLC 루프(1352a 및 1352b)의 저항을 조절하는데 사용될 수 있다.

[0059] [0074] 제 1 및 제 2 RLC 루프들(1352a 및 1352b)이 저항기 스위치(615)를 공유하지만, 제 1 및 제 2 RLC 루프들(1352a 및 1352b)은 상이한 저항들을 가질 수 있다. 이것은 제 1 및 제 2 회로들(1345a 및 1345b)이 상이한 위치들에서 전력 그리드에 접속하기 때문이다. 결과적으로, 각각의 RLC 루프 내의 그리드 저항의 양이 상이하다. 도 13에서, 제 1 및 제 2 회로들(1345a 및 1345b) 사이의 그리드 저항은 그리드 저항기(R_{grid})로서 모델링된다. 제 1 회로(1345a)와 저항기 스위치(615) 사이의 그리드 저항 및 제 2 회로(1345b)와 전력 공급기(110) 사이의 그리드 저항은 예시의 용이성을 위해 도 13에 도시되지 않는다.

[0060] [0075] 제 1 및 제 2 RLC 루프들(1352a 및 1352b)이 상이한 저항들을 갖기 때문에, 제 1 및 제 2 회로들(1345a 및 1345b) 각각에 의해 보여진 피크 임피던스는 저항기 스위치(615)의 상이한 저항 설정에서 최소화될 수 있다. 이와 관련하여, 저항기 스위치(615)의 저항은 각각의 회로에 대한 저항값을 결정하기 위해 제 1 및 제 2 회로들

(1345a 및 1345b) 각각에 대해 개별적으로 튜닝될 수 있다.

[0061] [0076] 예를 들면, 제 1 회로(1345a)는 제 2 회로(1345b)가 전력 그리드로부터 접속해제된 경우 제 1 전력-게이팅 스위치(1340a)에 의해 전력 그리드에 접속될 수 있다. 이어서, 저항기 스위치(615)의 저항은 제 1 회로(1345a)에 대한 저항값을 결정하기 위해 앞서 논의된 튜닝 절차들 중 어느 하나를 수행함으로써 튜닝될 수 있다. 마찬가지로, 제 2 회로(1345b)는 제 1 회로(1345a)가 전력 그리드로부터 접속해제된 경우 제 2 전력-게이팅 스위치(1340b)에 의해 전력 그리드에 접속될 수 있다. 이어서, 저항기 스위치(615)의 저항은 제 2 회로(1345b)에 대한 저항값을 결정하기 위해 앞서 논의된 튜닝 절차들 중 어느 하나를 수행함으로써 튜닝될 수 있다. 제 1 및 제 2 회로들(1345a 및 1345b)에 대한 저항값들은 다이(1320) 상의 메모리에 저장될 수 있다.

[0062] [0077] 일 실시예에서, 각각의 회로(1345a 및 1345b)에 대한 저항값은 각각의 회로(1345a 및 1345b)에 대한 가장 높은 최소 측정된 전압(및 따라서 가장 낮은 피크 임피던스)에 대응하는 저항값에 기초하여 결정될 수 있다. 이와 관련하여, 도 14는 제 1 회로(1345a)에 대한 저항의 함수로서 최소 측정된 전압(1410a), 및 제 2 회로(1345b)에 대한 저항의 함수로서 최소 측정된 전압(1410b)을 도시한다. 도 14에 도시된 바와 같이, 제 1 회로(1345a)에 대한 가장 높은 최소 측정된 전압(및 따라서 가장 낮은 피크 임피던스)은 R_a 에서 저항값에서 발생하고, 제 2 회로(1345b)에 대한 가장 높은 최소 측정된 전압(및 따라서 가장 낮은 피크 임피던스)은 R_b 에서 저항값에서 발생한다. 따라서, 이러한 예에서, 제 1 회로(1345a)에 대한 저항값은 R_a 이고, 제 2 회로(1345b)에 대한 저항값은 R_b 이다. 도 14에서, 저항값들(R_a 및 R_b)에 대응하는 최소 측정된 전압들은 각각 최적(a) 및 최적(b)로 표기된다.

[0063] [0078] 회로들(1345a 및 1345b) 둘 모두가 활성인 경우에 대한 저항값이 또한 결정될 수 있다. 예를 들면, 이러한 경우에 대한 저항값은 제 1 및 제 2 회로들(1345a 및 1345b)에 대한 저항값들 사이(예를 들면, 사이의 중간)에 있는 저항값일 수 있다. 도 14를 참조하면, 다른 예에서, 이러한 경우에 대한 저항값은 회로들(1345a 및 1345b) 둘 모두에 대한 최소 측정된 전압이 가장 높은 R_{ab} 의 저항값일 수 있다. 도 14에서, R_{ab} 의 저항값에 대응하는 최소 측정된 전압은 최적(ab)으로 표기된다.

[0064] [0079] 상이한 사용 경우들에 대한 저항값들이 결정된 후에, 저항 제어기(625)는 회로들(1345a 및 1345b)의 활동성에 의존하여 저항기 스위치(615)의 저항을 설정할 수 있다. 예를 들면, 제 1 회로(1345a)가 활성이고 제 2 회로(1345b)가 비활성일 때, 저항 제어기(625)는 저항기 스위치(615)의 저항을 R_a 의 저항값으로 설정할 수 있다. 제 2 회로(1345b)가 활성이고, 제 1 회로(1345a)가 비활성일 때, 저항 제어기(625)는 저항기 스위치(615)의 저항을 R_b 의 저항값으로 설정할 수 있다. 회로들(1345a 및 1345b) 둘 모두가 활성일 때, 저항 제어기(625)는 저항기 스위치(615)의 저항을 R_{ab} 의 저항값으로 설정할 수 있다. 이러한 예에서, 저항 제어기(625)는 어느 회로들(1345a 및 1345b)이 정해진 시간에서 활성인지를 표시하는 신호를 전력 관리기(1325)로부터 수신할 수 있다.

[0065] [0080] 본 개시의 실시예들은 2 개의 전력-게이트 회로들을 갖는 다이로 제한되지 않고, 3 개 이상의 전력-게이트 회로들을 갖는 다이 상에서 구현될 수 있다는 것이 인지된다. 예를 들면, 본 개시의 실시예들은 회로 A, 회로 B 및 회로 C로 라벨링된 3 개의 전력-게이트 회로들을 갖는 다이 상에서 구현될 수 있다. 이러한 예에서, 각각의 개별적인 회로에 대한 저항값이 결정될 수 있다. 저항값은 또한 다음의 경우들: 회로들 A 및 B가 활성이고 회로 C가 비활성인 경우, 회로들 A 및 C가 활성이고 회로 B가 비활성인 경우, 회로들 B 및 C가 활성이고 회로 A가 비활성인 경우, 그리고 회로들 A, B 및 C 모두가 활성인 경우 중 각각의 경우에 대해 결정될 수 있다. 이러한 예에서, 상이한 경우들에 대한 저항값들이 결정된 후에, 저항 제어기(625)는 회로들의 활동성에 따라 저항기 스위치(615)의 저항을 조절할 수 있다. 예를 들면, 회로들 A 및 B가 활성이고 회로 C가 비활성이면, 저항 제어기(625)는 저항기 스위치(615)의 저항을 회로들 A 및 B가 활성이고 회로 C가 비활성인 경우에 대해 결정된 저항값으로 설정할 수 있다. 저항 제어기(625)는 정해진 시간에서 회로들의 활동성을 표시하는 신호를 전력 관리기(1325)로부터 수신할 수 있다.

[0066] [0081] 일 실시예에서, 저항 제어기(625)는 저항기 스위치(615)를 개방함으로써 전력 라인(112)으로부터 패키지 커패시터(C_{pkg})를 선택적으로 접속해제할 수 있다. 예를 들면, 저항 제어기(625)는 전력 라인(112)이 파워 다운될 때 전력 라인(112)으로부터 패키지 커패시터(C_{pkg})를 접속해제하고, 전력 라인(112)이 다시 파워 온된 후에 패키지 커패시터(C_{pkg})를 전력 라인(112)에 재접속할 수 있다. 이것은, 전력 라인(112)이 파워 다운될 때, 패키

지 커패시터(C_{pkg})가 전하를 유지하도록 허용한다. 결과적으로, 전력 라인(112)이 다시 파워 온될 때, 패키지 커패시터(C_{pkg})를 재충전하기 위해 전력 공급기(110)로부터 필요로 되는 전하의 양이 상당히 감소될 수 있다(패키지 커패시터(C_{pkg})가 낮은 누설을 갖는다고 가정함). 이와 대조적으로, 도 1의 전력 라인(112)이 파워 다운될 때, 패키지 커패시터(C_{pkg})는 방전된다(패키지 커패시터(C_{pkg})의 전압이 붕괴됨). 이러한 실시예에서, 저항 제어기(625)는 전력 라인(112)이 파워 업 및 파워 다운될 때를 표시하는 신호를 전력 관리기(1325)로부터 수신할 수 있다.

[0067] [0082] 도 15는 본 개시의 실시예에 따른 다이 상의 저항을 조절하기 위한 방법(1500)을 예시한 흐름도이다. 저항은 외부 전력 라인(예를 들면, 전력 라인(112))과 외부 커패시터(예를 들면, 패키지 커패시터(C_{pkg})) 사이에 있다. 외부 전력 라인은 또한 전력 공급기(110)로부터의 전력을 다이(620)에 커플링하는 패키지(617)를 통한 하나 이상의 전도 경로들을 지칭할 수 있다.

[0068] [0083] 단계(1510)에서, 다이 상의 제 1 회로가 활성이고 다이 상의 제 2 회로가 비활성이면, 저항은 제 1 저항값으로 설정된다. 예를 들면, 저항은 외부 전력 라인(예를 들면, 전력 라인(112))과 외부 커패시터(예를 들면, 패키지 커패시터(C_{pkg})) 사이에 커플링된 저항 스위치(예를 들면, 저항기 스위치(615))에 의해 제공될 수 있고, 저항 스위치의 저항은 제 1 저항값으로 설정될 수 있다.

[0069] [0084] 단계(1520)에서, 제 1 회로가 비활성이고, 제 2 회로가 활성이면, 저항은 제 2 저항값으로 설정된다. 예를 들면, 저항은 저항 스위치에 의해 제공될 수 있고, 저항 스위치의 저항은 제 2 저항값으로 설정될 수 있다. 방법(1500)은, 제 1 및 제 2 회로들 둘 모두가 활성이면 저항을 제 3 저항값으로 설정하는 것을 선택적으로 포함할 수 있다.

[0070] [0085] 앞서 논의된 바와 같이, 전력 관리기(1325)는, 전력 누설을 감소시키기 위해 제 1 회로(1345a)가 비활성(예를 들면, 유틸)일 때 전력 그리드로부터 제 1 회로(1345a)를 접속해제할 수 있다. 전력 관리기(1325)는 제 1 전력-게이팅 스위치(1340a)를 턴 오프함으로써 이를 행한다. 비활성 상태에서, 제 1 회로(1345a)의 다이 커패시터(C_{die})는 방전된다. 제 1 회로(1345a)가 필요로 될 때, 전력 관리기(1325)는 제 1 전력-게이팅 스위치(1340a)를 턴 온함으로써 제 1 회로(1345a)를 전력 그리드에 재접속할 수 있다. 제 1 전력-게이팅 스위치(1340a)가 먼저 턴 온될 때, 제 1 회로(1345a)는 다이 커패시터(C_{die})를 충전하기 위해 전력 그리드로부터 많은 양의 전하를 소비할 수 있다. 전하의 이동은 전력 그리드에서의 공급 전압이 드롭하게 한다. 이것은 전력 공급기(110)가 전력 공급기(110)와 다이(1320) 사이의 PDN 인덕턴스로 인한 드롭을 방지하기에 충분히 빠르게 전하를 전력 그리드에 공급할 수 없기 때문이다. 전압 드롭은 잠재적으로 다이(1320) 상의 회로 엘리먼트들이 오작동하게 할 수 있다.

[0071] [0086] 패키지 커패시터(C_{pkg})는, 제 1 전력-게이팅 스위치(1340a)가 먼저 턴 온될 때 제 1 회로(1345a)의 다이 커패시터(C_{die})를 충전하는데 필요로 되는 전하 중 일부를 공급함으로써 전압 드롭을 감소시킬 수 있다. 패키지 커패시터(C_{pkg})는 저항기 스위치(615)를 통해 전하를 다이 커패시터(C_{die})에 공급한다. 결과적으로, 패키지 커패시터(C_{pkg})가 전하를 다이 커패시터(C_{die})에 전송할 수 있는 레이트 및 따라서 전압 드롭을 감소시키기 위한 패키지 커패시터(C_{pkg})의 능력은 저항 스위치(615)의 저항에 의존한다.

[0072] [0087] 이와 관련하여, 도 16은 2 개의 상이한 스위치 저항들에 대해 전력 그리드에서 2 개의 전압 곡선들(1610 및 1620)을 도시하고, 여기서 전압 곡선(1610)은 전압 곡선(1620)보다 더 낮은 스위치 저항에 대응한다. 도 16에서, 제 1 전력-게이팅 스위치(1340a)는 시간(t_0)에서 턴 온된다. 시간(t_0) 전에, 전력 그리드에서의 전압은 대략 공칭 공급 전압(V_{dd})과 동일하다. 제 1 전력-게이팅 스위치(1340a)가 먼저 턴 온될 때, 전력 그리드에서의 전압은 제 1 회로(1345a)의 다이 커패시터(C_{die})에 의한 전하 소비로 인해 드롭한다. 도 16에 도시된 바와 같이, 전압 곡선(1610)에 대한 드롭(1615)은 전압 곡선(1620)에 대한 드롭(1625)보다 더 작다. 이것은 스위치 저항이 전압 곡선(1610)에 대해 더 낮기 때문이다. 결과적으로, 패키지 커패시터(C_{pkg})는 저항기 스위치(615)를 통해 더 빠른 레이트에서 전하를 다이 커패시터(C_{die})에 공급하고, 따라서 전압 드롭을 더 큰 양만큼 감소시킬 수 있다.

[0073] [0088] 또한 도 16에 도시된 바와 같이, 전압 곡선들(1610 및 1620) 둘 모두는 RLC 루프(1352a)의 공진 주파수에서 진동한다. 진동들은 저항기 스위치(615)의 저항에 의해 약화된다. 스위치 저항이 더 높을수록, 진동이

더 많이 악화된다. 결과적으로, 전압 곡선(1610)과 비교하여 전압 곡선(1620)에 대한 진동들이 더 빠르게 소멸(die out)된다.

[0074] [0089] 따라서, 각각의 전압 곡선(1610 및 1620)은 바람직한 속성을 갖는다. 전압 곡선(1610)은 전압 곡선(1620)보다 더 작은 초기의 전압 드롭을 갖고, 반면에 전압 곡선(1620)의 진동들은 전압 곡선(1610)보다 더 빠른 레이트로 악화된다.

[0075] [0090] 일 실시예에서, 저항 제어기(625)는, 전압 곡선들(1610 및 1620) 둘 모두의 바람직한 속성들을 갖는 전압 곡선을 달성하기 위해 제 1 회로(1345a)의 파워 업 동안에 저항 스위치(615)의 저항을 동적으로 조절한다. 더 구체적으로, 전력-게이팅 스위치(1340a)가 먼저 턴 온될 때, 저항 제어기(625)는 저항 스위치(615)의 저항을 제 1 저항값으로 설정할 수 있다. 초기 전압 드롭 후에, 저항 제어기(625)는 저항 스위치(615)의 저항을 제 2 저항값으로 설정할 수 있고, 여기서 제 2 저항값은 제 1 저항값보다 더 크다. 제 1 저항값은 패키지 커패시터(C_{pkg})가 전하를 다이 커패시터(C_{die})에 더 빠르게 공급하도록 허용하고(이로써 초기 전압 드롭을 더 많은 양만큼 감소시킴), 제 2 저항값(제 1 저항값보다 더 큼)은 더 빠른 레이트로 진동을 악화시킨다.

[0076] [0091] 일 실시예에서, 저항 제어기(625)는 제 1 회로(1345a)의 파워 업 동안에 전력 그리드에서의 전압을 모니터링하고, 검출된 전압에 기초하여 저항기 스위치(615)의 저항을 동적으로 조절할 수 있다. 예를 들면, 저항 제어기(625)는, 전력 그리드에서의 전압이 제 1 전압 임계치 미만으로 떨어질 때 저항기 스위치(615)의 저항을 제 1 저항기 값으로 설정할 수 있어서, 초기 전압 드롭의 시작을 표시한다. 제 1 전압 임계치는 공칭 공급 전압(V_{dd}) 약간 아래인 전압일 수 있다. 이어서, 저항 제어기(625)는, 전력 그리드에서의 전압이 제 2 전압 임계치를 초과하여 상승할 때 저항기 스위치(615)의 저항을 제 2 저항기 값으로 설정할 수 있어서, 초기 전압 드롭이 통과된 것을 표시한다. 제 2 전압 임계치는 대략 V_{dd} 와 동일할 수 있다. 제 1 및 제 2 전압 임계치들은 동일한 값들 또는 상이한 값들을 가질 수 있다. 도 16에 도시된 예에서, 저항 제어기(625)는 초기 드롭을 감소시키기 위해 t_0 와 t_1 사이의 시간 기간 동안에 저항기 스위치(615)의 저항을 제 1 저항값으로 설정할 수 있다.

[0077] [0092] 도 17은 본 개시의 실시예에 따른 제 1 회로(1345a)의 파워 업 동안에 저항기 스위치(615)의 저항을 동적으로 조절하기 위한 예시적인 회로를 도시한다. 이러한 실시예에서, 다이(1720)는 전력 그리드에 커플링된 전압 검출기(1730)를 포함한다. 전압 검출기(1730)는 전력 그리드에서 전압을 측정하고 측정된 전압을 저항 제어기(625)로 출력하도록 구성된다.

[0078] [0093] 제 1 회로(1345a)가 비활성 상태로부터 활성 상태로 파워 업될 때, 전력 관리기(1325)는 제 1 회로(1345a)가 막 파워 업하려고 한다는 것을 표시하는 신호를 저항 제어기(625)로 전송할 수 있다. 이에 응답하여, 저항 제어기(625)는 전압 검출기(1730)로부터 측정된 전압을 모니터링할 수 있다. 측정된 전압이 제 1 전압 임계치 미만으로 떨어질 때, 저항 제어기(625)는 저항기 스위치(615)의 저항을 제 1 저항값으로 설정할 수 있다. 저항 제어기(625)는 측정된 전압을 계속해서 모니터링할 수 있고, 측정된 전압이 제 2 전압 임계치를 초과하여 상승할 때, 저항 제어기(625)는 저항기 스위치(615)의 저항을 제 2 저항값으로 설정할 수 있다. 진동들이 제 1 회로(1345a)의 활성 동작을 시작하도록 충분히 감소된 후에, 저항 제어기(625)는 저항기 스위치(615)의 저항을 활성 상태에 대해 위에서 결정된 저항값(예를 들면, 도 12의 방법(1200)을 사용하여 결정된 저항값)으로 설정할 수 있다.

[0079] [0094] 대안적으로, 저항 제어기(625)는, 저항기 스위치(615)의 저항이 제 1 저항값으로 설정된 시간으로부터 미리 결정된 시간 지연 후에 저항 스위치(615)의 저항을 제 2 저항값으로 설정할 수 있다. 시간 지연은 초기 전압 드롭의 시간 듀레이션의 추정에 기초할 수 있다.

[0080] [0095] 도 18은 본 개시의 실시예에 따른 전압 검출기(1730)의 예시적인 구현을 도시한다. 이러한 실시예에서, 전압 검출기(1730)는 직렬로 커플링된 홀수의 인버터들(1830-1 내지 1830-3)을 포함하고, 여기서 마지막 인버터(1830-3)의 출력은 제 1 인버터(1830-1)의 입력에 커플링된다. 결과적으로, 인버터들(1830-1 내지 1830-3)은 링 오실레이터(1835)를 형성하고, 여기서 링 오실레이터(1835)의 발진 주파수는 인버터들(1830-1 내지 1830-3)의 지연들의 함수이다.

[0081] [0096] 인버터들(1830-1 내지 1830-3)은 전압 검출기(1730)의 입력(1810)에서의 전압에 의해 바이어싱되고, 전압 검출기는 전력 그리드에 커플링된다. 따라서, 인버터들(1830-1 내지 1830-3)은 전력 그리드에서의 전압에 의해 바이어싱된다. 인버터들(1830-1 내지 1830-3)의 지연들은 인버터들(1830-1 내지 1830-3)의 바이어스 전압의 함수이고, 따라서 전력 그리드에서의 전압의 함수이다. 링 오실레이터(835)의 발진 주파수가 인버터들(1830-1 내지 1830-3)의 지연들의 함수이기 때문에, 링 오실레이터의 발진 주파수는 전력 그리드에서의 전압의

함수이고, 따라서 전력 그리드에서 전압을 측정하는데 사용될 수 있다.

- [0082] [0097] 이와 관련하여, 전압 검출기(1730)는 링 오실레이터(1835)에 커플링된 카운터(1840)를 포함한다. 카운터(1840)는 시간 기간에 걸쳐 링 오실레이터(1835)의 진동들의 수를 카운팅하고, 출력(1820)에서 카운트 값을 저항 제어기(625)로 출력하도록 구성된다. 카운트 값은 링 오실레이터의 발진 주파수의 함수, 및 따라서 전력 그리드에서 전압의 함수이다. 따라서, 카운터(1840)로부터의 카운트 값은 전력 그리드에서 전압의 측정을 제공한다.
- [0083] [0098] 저항기 스위치(615)의 저항이 또한 제 2 회로(1345b)의 파워 업 동안에 동적으로 조절될 수 있다는 것이 인지된다. 예를 들면, 저항 제어기(625)는 제 2 회로(1345b)의 파워 업 동안에 파워 그리드에서 전압을 모니터링하고, 제 1 회로(1345a)에 대해 앞서 설명된 것과 유사한 방식으로 검출된 전압에 기초하여 저항기 스위치(615)의 저항을 동적으로 조절할 수 있다.
- [0084] [0099] 당업자는 본원의 개시와 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어 또는 이들 양자의 조합으로서 구현될 수 있음을 추가로 인식할 것이다. 하드웨어와 소프트웨어의 이러한 교환 가능성을 분명히 예시하기 위하여, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 일반적으로 그들의 기능의 관점에서 상기 기술되었다. 그러한 기능이 하드웨어로서 구현될지 또는 소프트웨어로서 구현될지는 전체 시스템에 부과된 특정 애플리케이션 및 설계 제약들에 의존한다. 당업자는 설명된 기능을 각각의 특정 애플리케이션에 대하여 다양한 방식으로 구현할 수 있지만, 그러한 구현의 결정들이 본 개시의 범위로부터의 이탈을 야기하는 것으로서 해석되지는 않아야 한다.
- [0085] [00100] 본원의 개시와 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 및 회로들은 범용 프로세서, 디지털 신호 프로세서 (DSP), 주문형 집적회로 (ASIC), 필드 프로그램가능 게이트 어레이 (FPGA) 또는 다른 프로그램가능 로직 디바이스, 별개의 게이트 또는 트랜지스터 로직, 별개의 하드웨어 컴포넌트들, 또는 본 명세서에서 설명된 기능들을 수행하도록 설계되는 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 그 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로 제어기, 또는 상태 머신일 수 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 조합, 예를 들어, DSP 와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 기타 다른 구성으로서 구현될 수 있다.
- [0086] [00101] 본원의 개시와 관련하여 설명된 방법 또는 알고리즘의 단계들은 하드웨어에서, 프로세서에 의해 실행되는 소프트웨어 모듈에서, 또는 이 둘의 조합에서 직접 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 착탈가능 디스크, CD-ROM, 또는 당업계에 공지된 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독할 수 있고 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC는 사용자 단말에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 사용자 단말에 별개의 컴포넌트들로서 상주할 수 있다.
- [0087] [00102] 하나 이상의 예시적인 설계들에 있어서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합에서 구현될 수 있다. 소프트웨어에서 구현된다면, 그 기능들은 하나 이상의 명령들 또는 코드로서 컴퓨터 판독가능 매체 상으로 저장 또는 전송될 수 있다. 컴퓨터 판독가능 매체는, 일 장소로부터 다른 장소로의 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함하여 컴퓨터 저장 매체 및 통신 매체 양자를 포함한다. 저장 매체는, 범용 또는 특수 목적 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있다. 한정이 아닌 예로서, 그러한 컴퓨터 판독가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장부 또는 다른 자기 저장 디바이스들, 또는 원하는 프로그램 코드 수단을 명령들 또는 데이터 구조들의 형태로 전달 또는 저장하는데 이용될 수 있고 범용 또는 특수 목적 컴퓨터, 또는 범용 또는 특수 목적 프로세서에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속부가 송신되는 신호들의 비일시적인 저장을 수반하는 범위에서 컴퓨터 판독가능 매체로 적절히 명명된다. 예를 들어, 동축 케이블, 광섬유 케이블, 꼬임쌍선, 디지털 가입자 라인(DSL), 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들을 이용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 소프트웨어가 송신된다면, 신호가 임의의 비일시적인 시간 길이 동안에 저장 매체 또는 디바이스 메모리 상의 송신 체인에서 보유된다는 점에서 동축 케이블, 광섬유 케이블, 꼬임쌍선, DSL, 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들은 매체의 정의에 포함된다. 본 명세서에서 사용되는 바와 같은 디스크(disk) 및 디스크(disc)는 콤팩트 디스크(compact disc; CD), 레

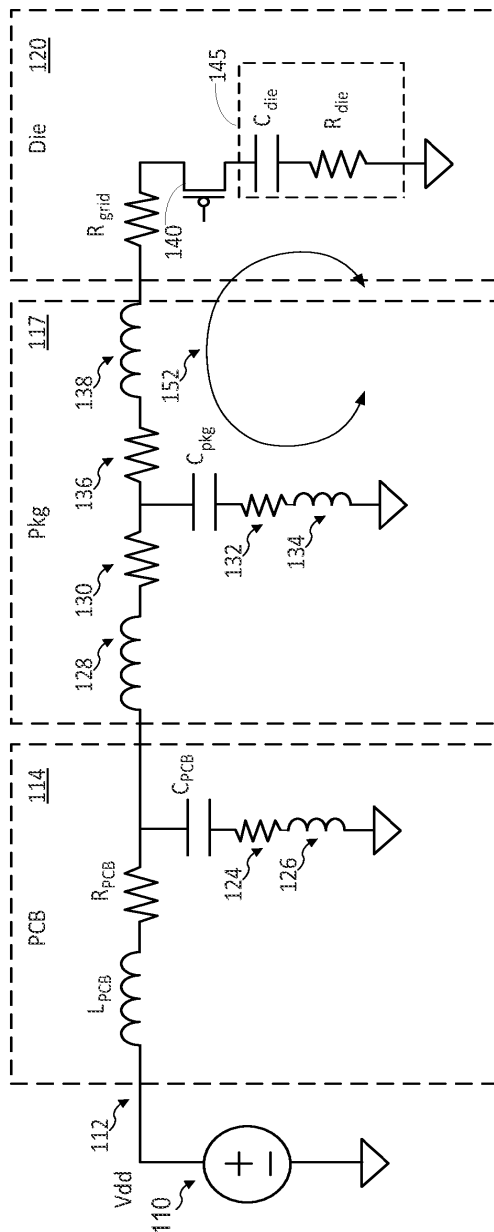
이저 디스크(disk), 광학 디스크(disc), 디지털 다기능 디스크(digital versatile disc; DVD), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하며, 여기서, 디스크(disk)들은 통상적으로 데이터를 자기적으로 재생하지만 디스크(disc)들은 레이저를 이용하여 데이터를 광학적으로 재생한다. 상기의 조합들이 또한, 컴퓨터 판독가능 매체의 범위 내에 포함되어야 한다.

[0088]

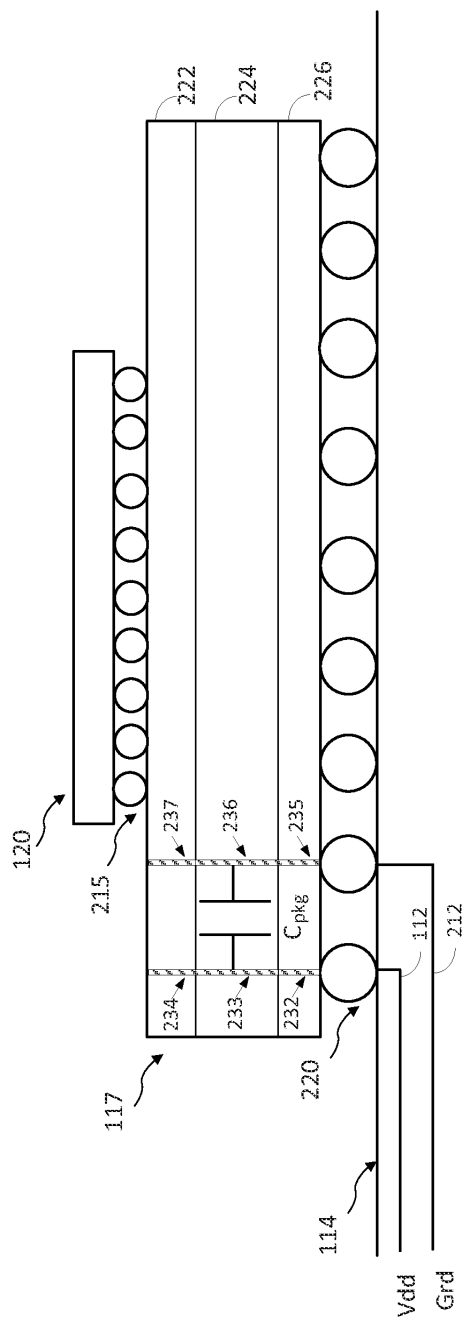
[00103] 본 개시의 이전 설명은 당업자로 하여금 본 개시를 제조 또는 이용하게 할 수 있도록 제공된다. 본 개시에 대한 다양한 변형들은 당업자에게 용이하게 자명할 것이며, 본 명세서에서 정의된 일반적인 원리들은 본 개시의 사상 또는 범위로부터 이탈함 없이 다른 변형예들에 적용될 수 있다. 따라서, 본 개시는 본 명세서에서 설명된 예들로 한정되도록 의도되지 않으며, 본 명세서에 개시된 원리들 및 신규한 특징들과 부합하는 최광의 범위를 부여받아야 한다.

도면

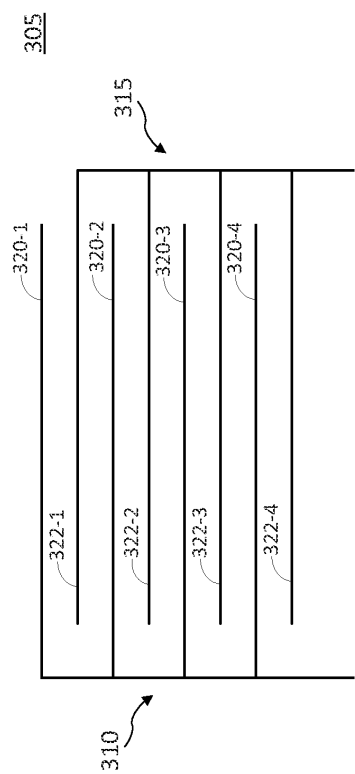
도면1



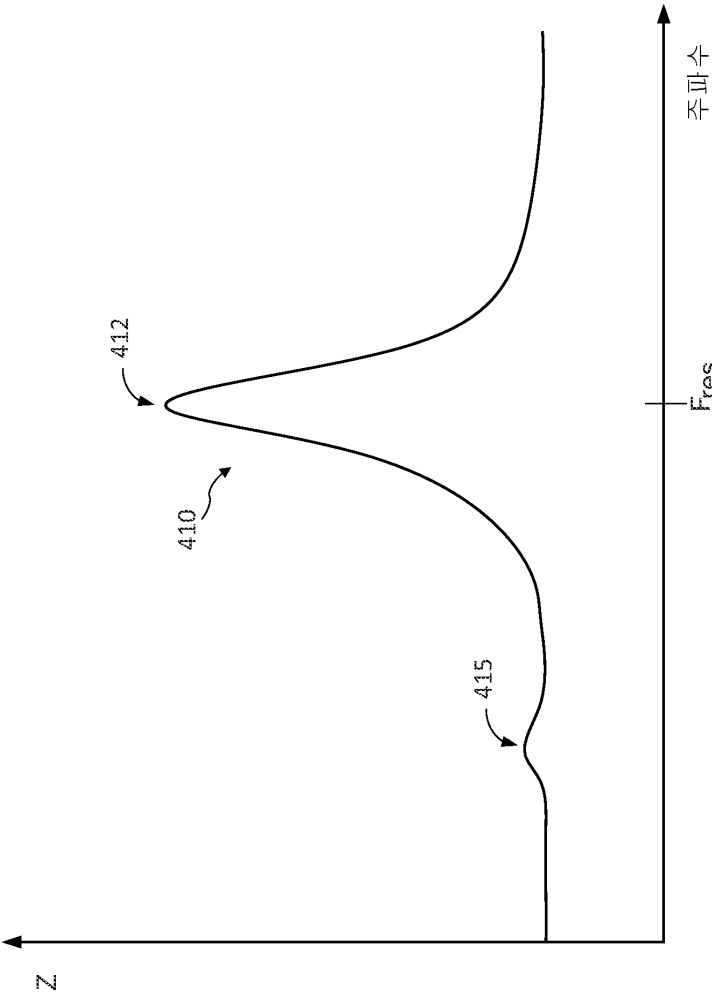
도면2



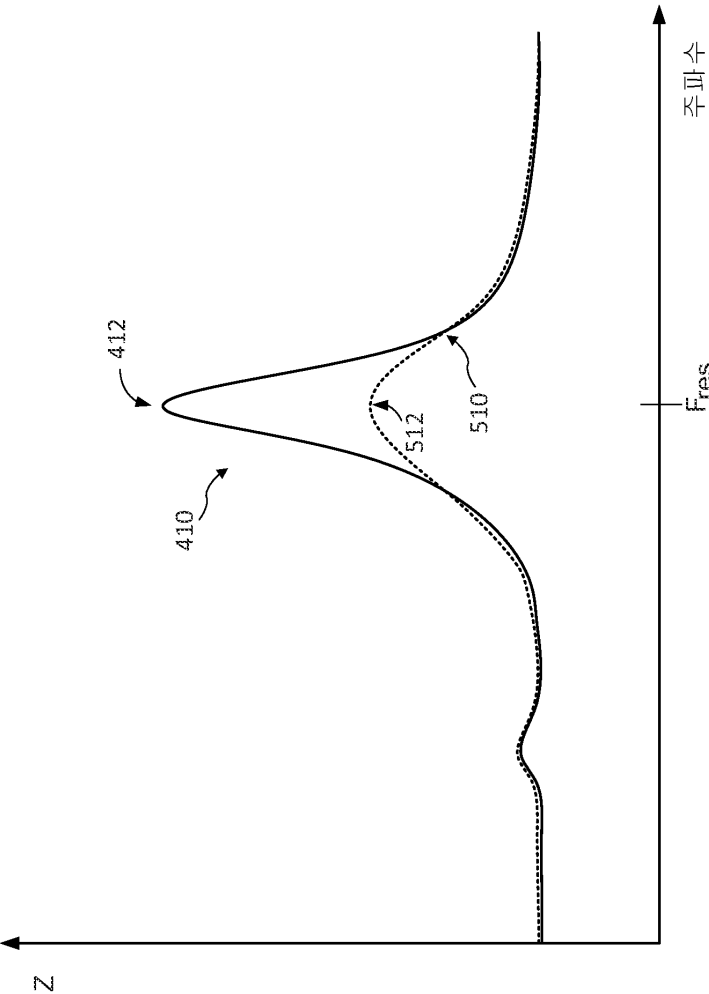
도면3



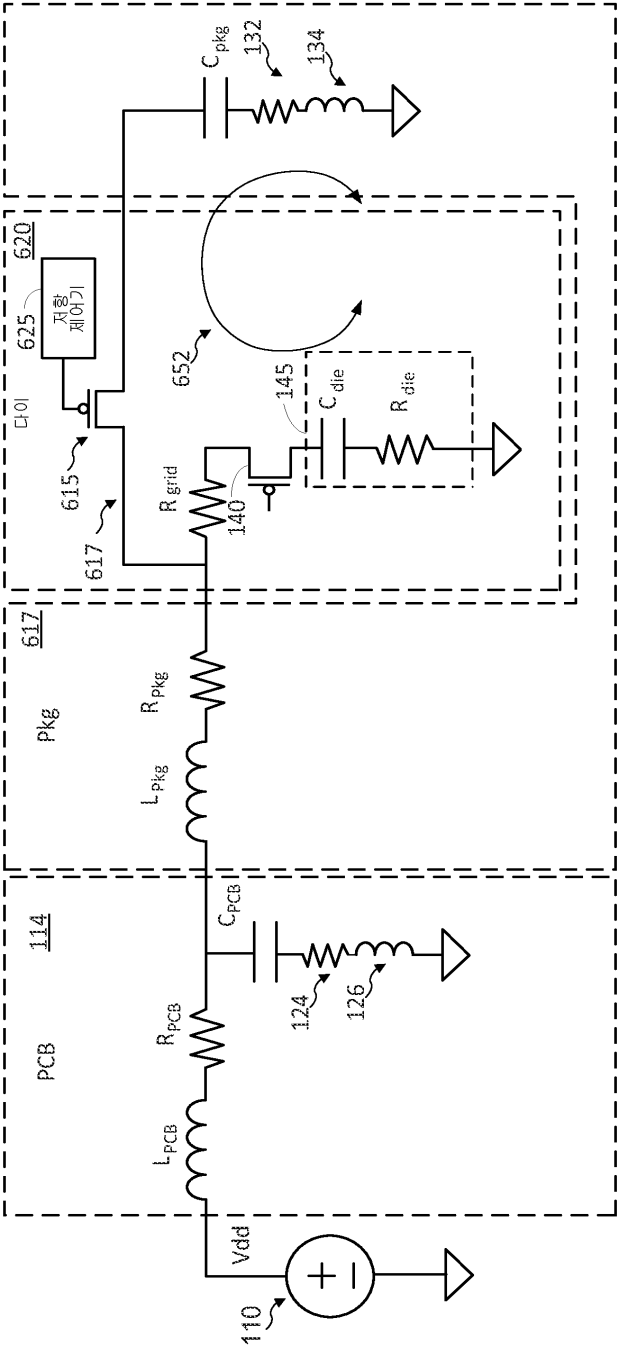
도면4



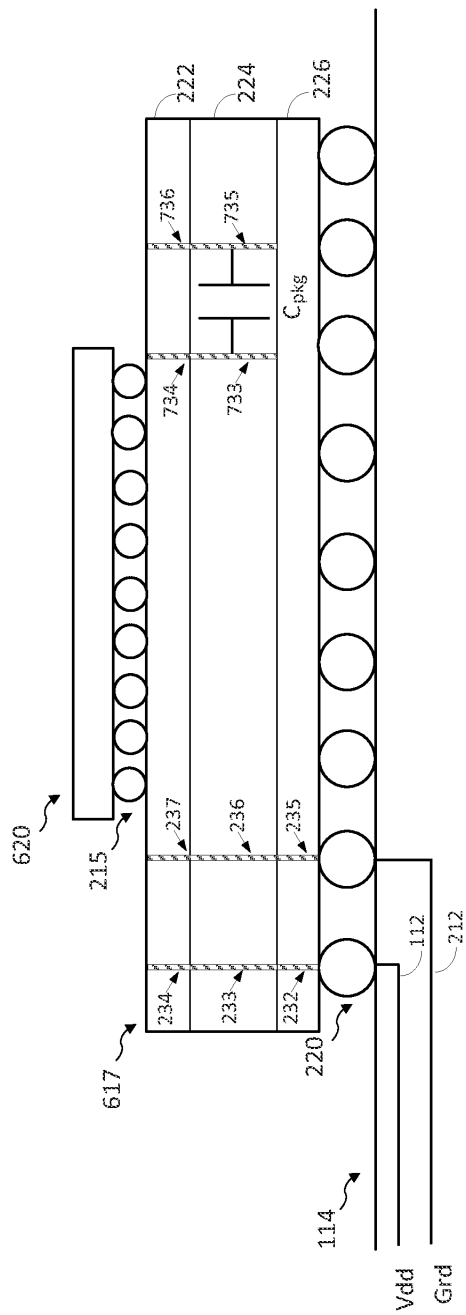
도면5



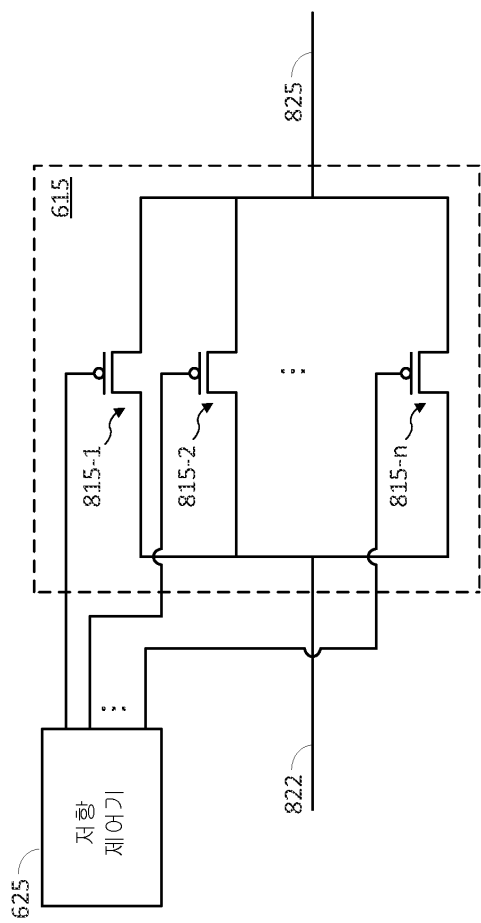
도면6



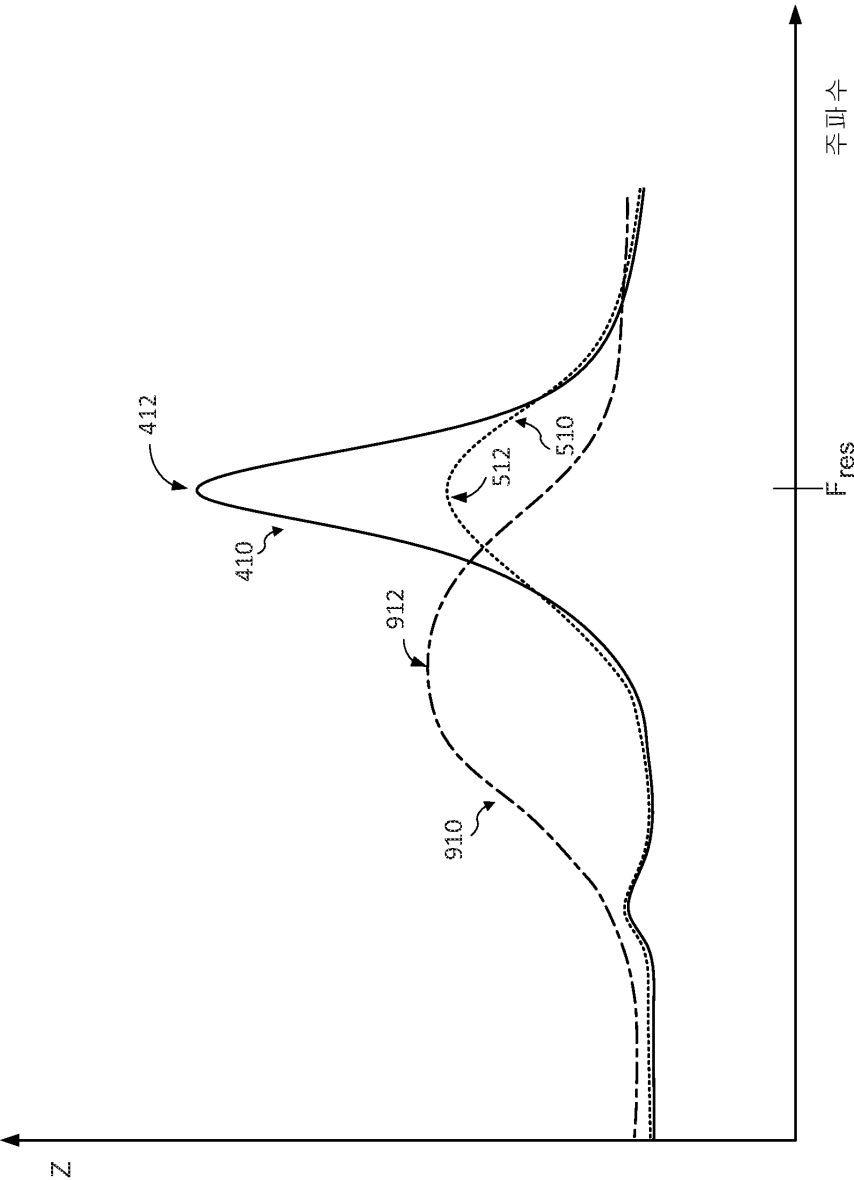
도면7



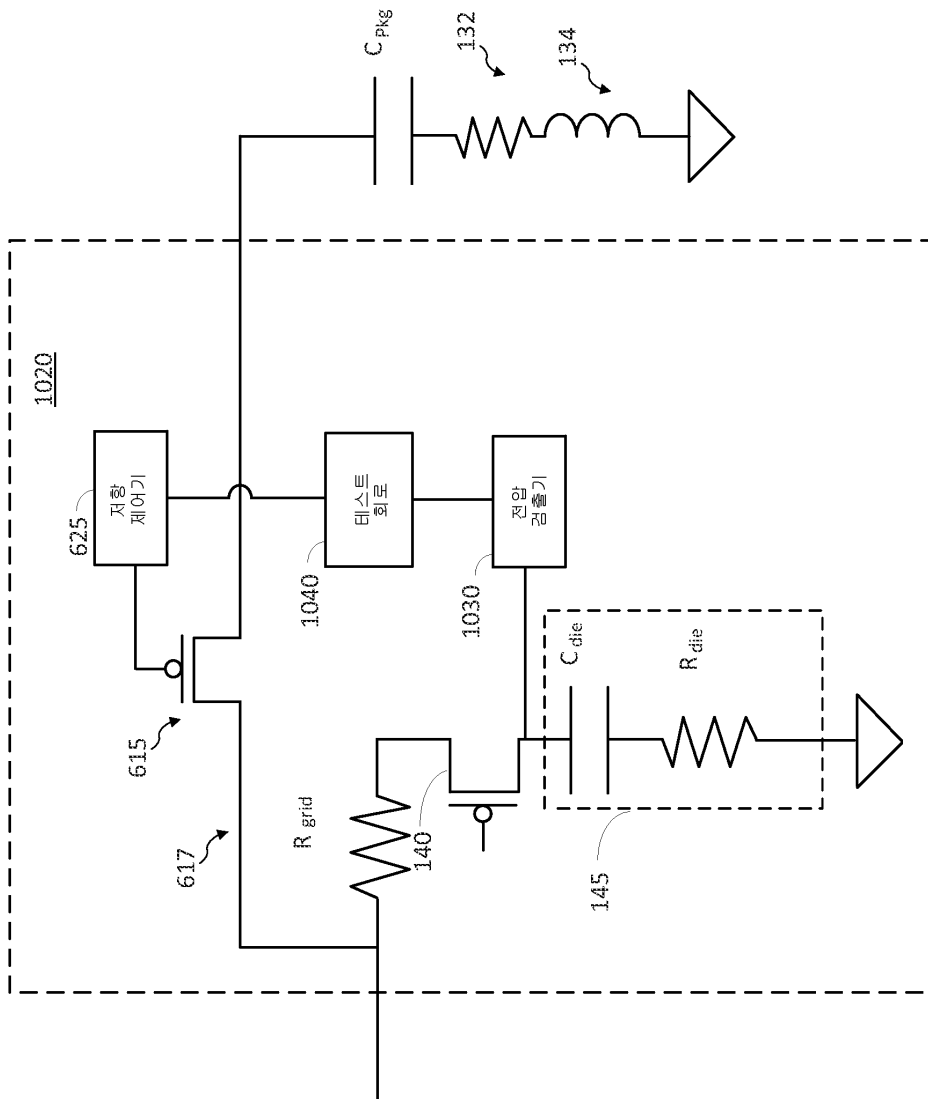
도면8



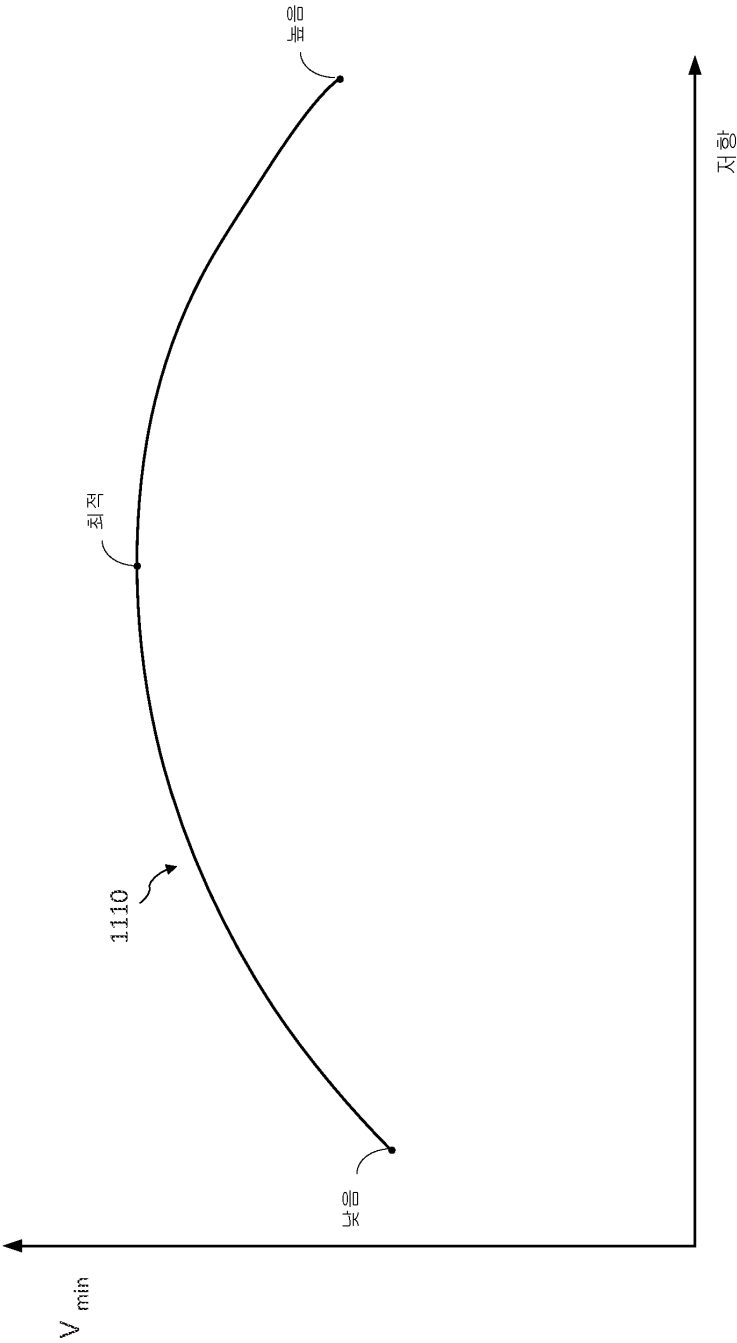
도면9



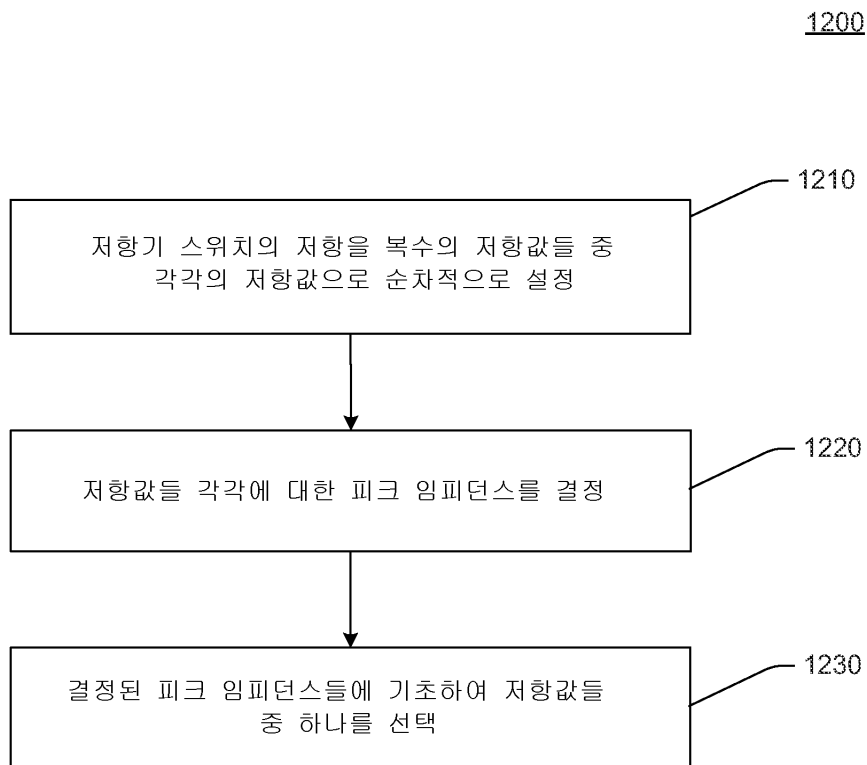
도면10



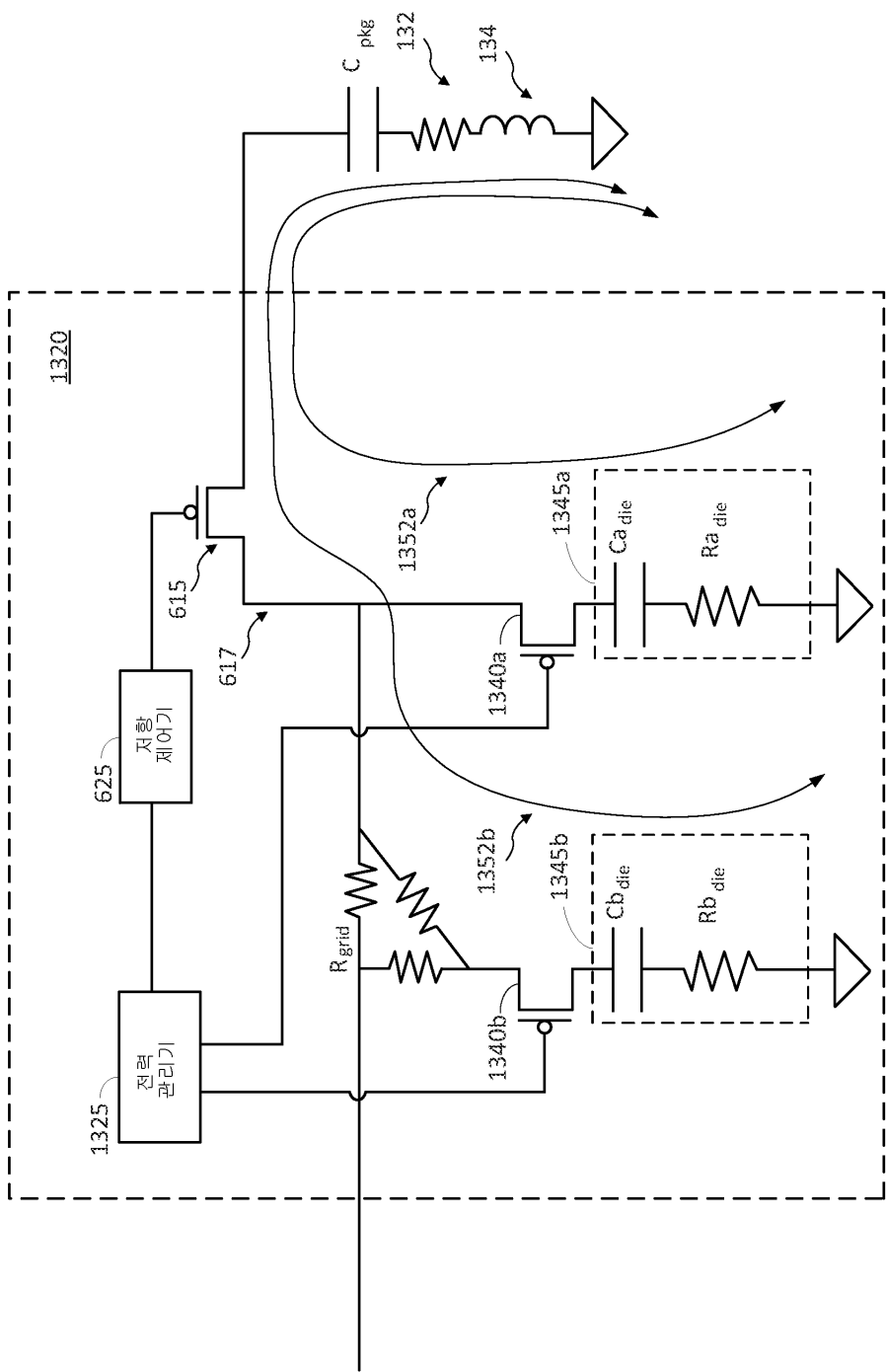
도면11



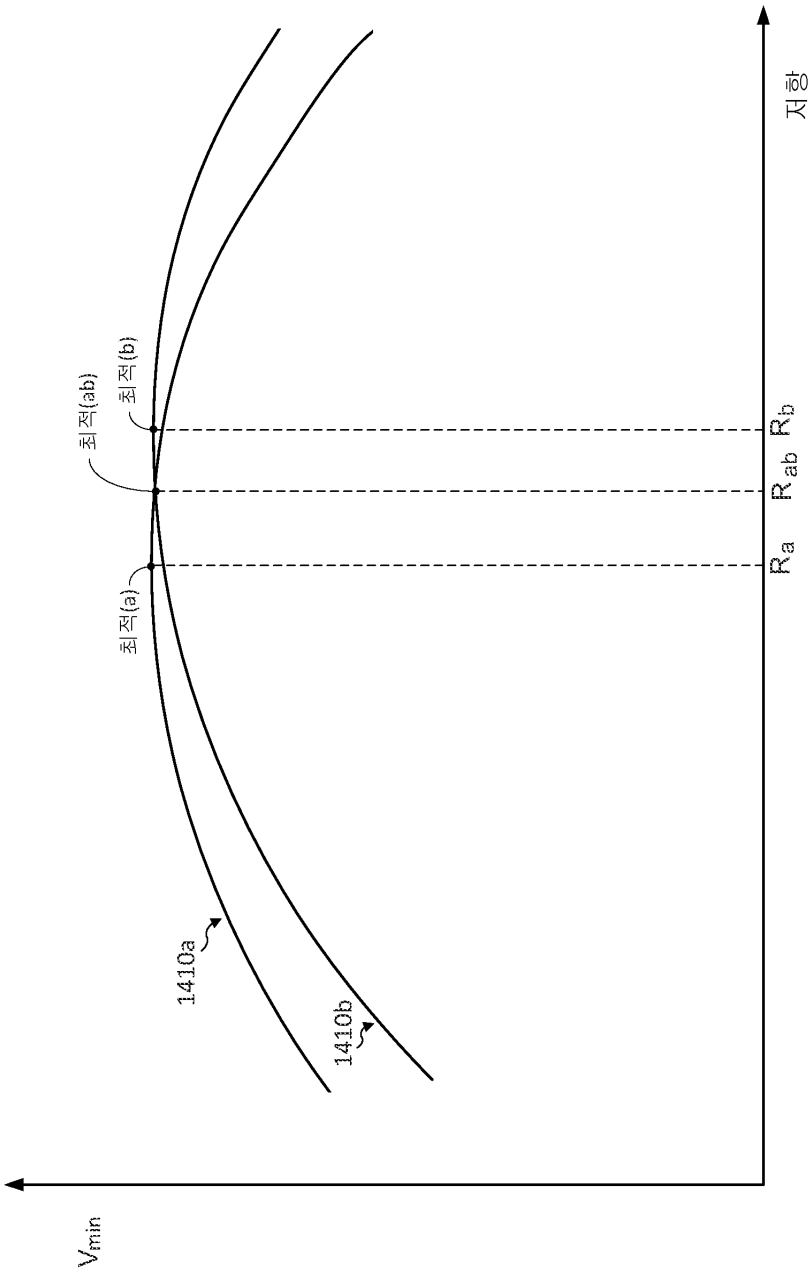
도면12



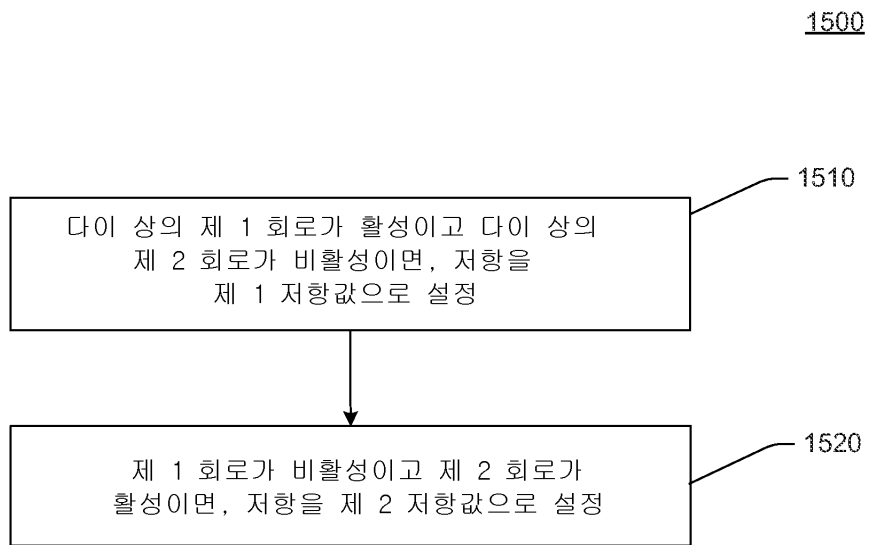
도면13



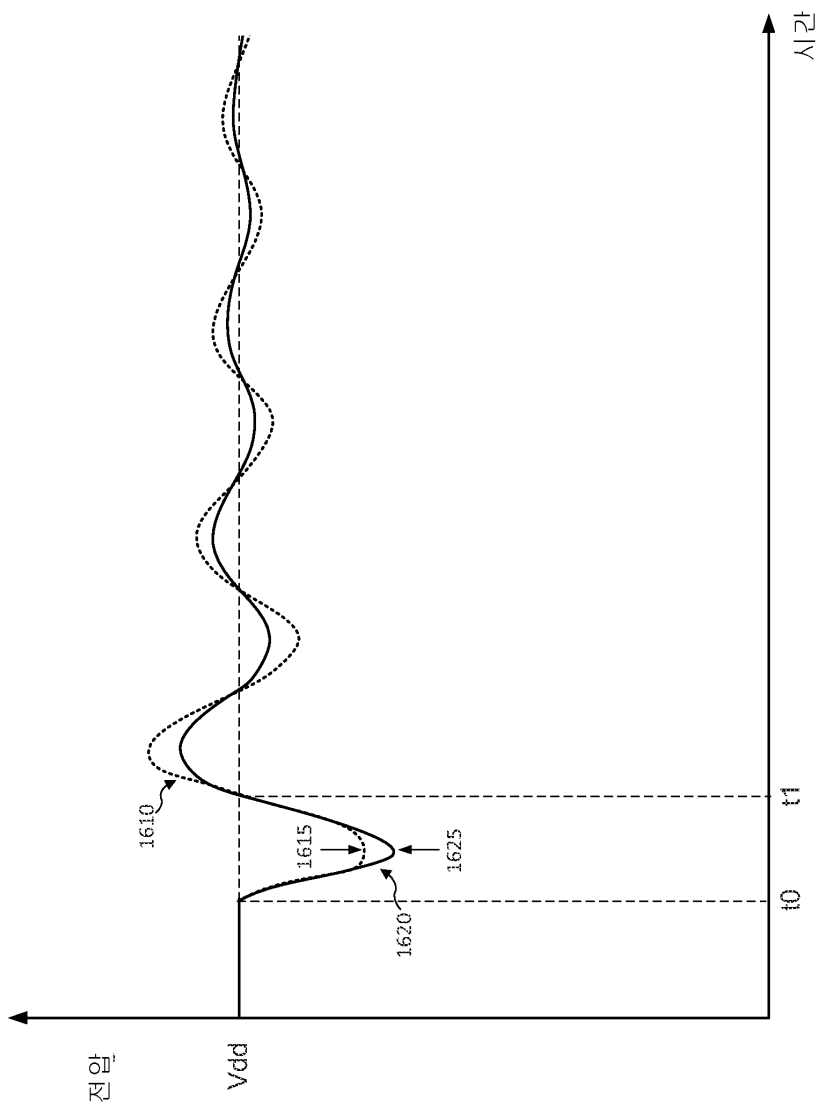
도면14



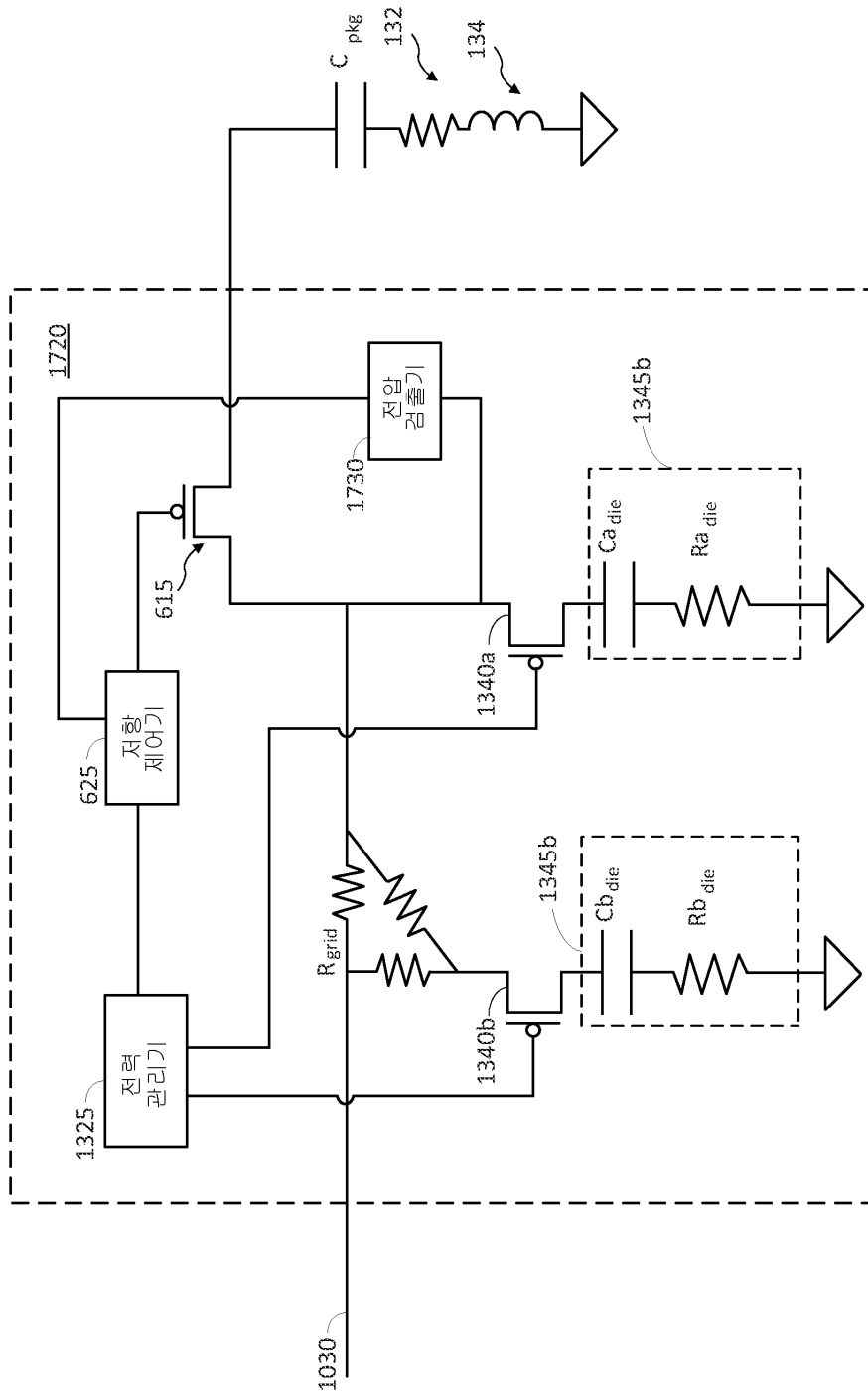
도면15



도면16



도면17



도면18

