



등록특허 10-2132046



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월08일
(11) 등록번호 10-2132046
(24) 등록일자 2020년07월02일

- (51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) *H01L 23/00* (2006.01)
H01L 23/538 (2006.01) *H01L 23/66* (2006.01)
H01L 25/065 (2006.01)
- (52) CPC특허분류
H01L 23/49827 (2013.01)
H01L 23/5384 (2013.01)
- (21) 출원번호 10-2015-7006502
- (22) 출원일자(국제) 2013년08월21일
심사청구일자 2018년08월14일
- (85) 번역문제출일자 2015년03월13일
- (65) 공개번호 10-2015-0058201
- (43) 공개일자 2015년05월28일
- (86) 국제출원번호 PCT/US2013/055993
- (87) 국제공개번호 WO 2014/051894
국제공개일자 2014년04월03일
- (30) 우선권주장
13/626,829 2012년09월25일 미국(US)
- (56) 선행기술조사문현
KR1020080021161 A*
KR1020120087651 A*
US20080179718 A1*
- *는 심사관에 의하여 인용된 문현
- (54) 발명의 명칭 노이즈 감쇄 벽을 갖는 집적회로

- (73) 특허권자
자일링크스 인코포레이티드
미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100
- (72) 발명자
에르트만 크리스토프
미국 캘리포니아주 95124 산 호세 로직 드라이브 2100
콜렌 에드워드
미국 캘리포니아주 95124 산 호세 로직 드라이브 2100
로우니 돈나차
미국 캘리포니아주 95124 산 호세 로직 드라이브 2100
- (74) 대리인
김태홍, 김진희

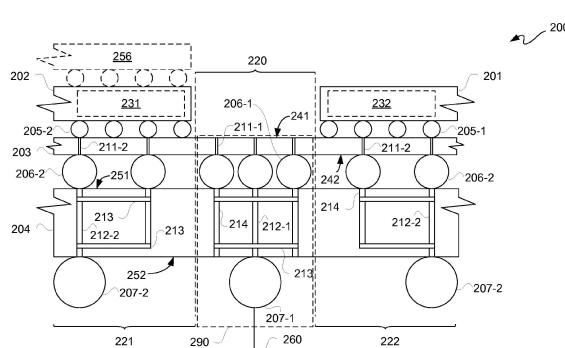
전체 청구항 수 : 총 8 항

심사관 : 정구원

(57) 요 약

장치의 실시형태가 개시된다. 장치의 이 실시형태에 있어서, 인터포저(203)는 제1 비아(211)를 구비한다. 제1 상호접속부(205) 및 제2 상호접속부(206)가 인터포저(203)의 양면들에 각각 결합된다. 제1 상호접속부(205)의 제1 부분 및 제1 상호접속부(205)의 제2 부분은 그 사이에 격리 영역(220)을 규정하도록 서로로부터 이격된다. 기판(204)은 제2 비아(212)를 구비한다. 제3 상호접속부(207) 및 제2 상호접속부(206)가 패키지 기판(204)의 양면들에 각각 결합된다. 제1 비아(211)의 제1 부분 및 제2 비아(212)의 제1 부분은 둘 다 격리 영역(220) 내에 있고 제2 상호접속부(206)의 제1 부분에 의해 서로 결합된다.

대 표 도



(52) CPC특허분류

H01L 23/66 (2013.01)

H01L 24/16 (2013.01)

H01L 24/97 (2013.01)

H01L 25/0655 (2013.01)

명세서

청구범위

청구항 1

복수의 제1 비아를 갖는 인터포저와;

상기 인터포저의 양면들(opposite surfaces)에 각각 결합된 복수의 제1 상호접속부 및 복수의 제2 상호접속부 - 상기 복수의 제1 상호접속부의 제1 부분 및 상기 복수의 제1 상호접속부의 제2 부분은 서로 이격되어 상기 제1 부분과 상기 제2 부분 사이에 격리 영역을 규정함 - 와;

복수의 제2 비아를 갖는 기판과;

상기 기판의 양면들에 각각 결합된 복수의 제3 상호접속부 및 상기 복수의 제2 상호접속부를 포함하고,

상기 복수의 제1 비아의 제1 부분 및 상기 복수의 제2 비아의 제1 부분은, 둘 다 상기 격리 영역 내에 있고 상기 복수의 제2 상호접속부의 제1 부분에 의해 서로 결합되고,

상기 복수의 제1 비아의 추가적인 비아가 상기 복수의 제1 비아의 제1 부분 외부에 그리고 상기 격리 영역 내에 위치하여, 상기 복수의 제1 비아의 제1 부분이 내부 노이즈 감쇄 벽을 규정하고 상기 추가적인 비아가 외부 노이즈 격리 벽을 규정하며,

상기 복수의 제2 비아의 제1 부분의 복수의 제2 비아 각각은 상기 기판의 양면들 각각에까지 연장되고, 상기 복수의 제2 비아의 제1 부분의 복수의 제2 비아 각각은 상기 기판 내에서 서로 결합된 것인 집적회로(integrated circuit, IC) 패키지.

청구항 2

제1항에 있어서, 상기 복수의 제1 상호접속부의 제1 부분에 의해 상기 인터포저에 결합된 제1 집적회로 다이와;

상기 복수의 제1 상호접속부의 제2 부분에 의해 상기 인터포저에 결합된 제2 집적회로 다이를 더 포함한 IC 패키지.

청구항 3

제2항에 있어서, 상기 제1 집적회로 다이는 상기 복수의 제1 상호접속부의 제1 부분에 의해 상기 인터포저에 결합된 아날로그 회로를 포함하고;

상기 제2 집적회로 다이는 상기 복수의 제1 상호접속부의 제2 부분에 의해 상기 인터포저에 결합된 디지털 회로를 포함한 것인 IC 패키지.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 복수의 제1 비아의 제1 부분은 상기 복수의 제2 상호접속부의 제1 부분, 상기 복수의 제2 비아의 제1 부분 및 상기 복수의 제3 상호접속부의 제1 부분을 통해 그라운드에 결합된 것인 IC 패키지.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 복수의 제1 비아, 상기 복수의 제2 상호접속부, 상기 복수의 제2 비아 및 상기 복수의 제3 상호접속부 각각의 제2 부분은 상기 격리 영역의 외부에 위치된 것인 IC 패키지.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 복수의 제1 비아의 제1 부분의 복수의 제1 비아 각각은 상기 인터포저의 양면들 각각에까지 연장된 것인 IC 패키지.

청구항 7

삭제

청구항 8

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 추가적인 비아는 서로 결합되지 않은 것인 IC 패키지.

청구항 9

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 추가적인 비아는 상기 복수의 제1 비아의 제1 부분의 부분집합(subset)에 대해 인터리브(interleave)된 것인 IC 패키지.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명**기술 분야**

[0001] 본 실시형태는 집적회로 소자("IC")에 관한 것이다. 보다 구체적으로, 본 실시형태는 노이즈 감쇄 벽(wall)을 구비한 IC 패키지에 관한 것이다.

배경기술

[0002] 집적회로는 시간이 지남에 따라 더 "밀집화"되어 가고 있는데, 즉 주어진 크기의 IC에서 더 많은 논리적 피쳐들이 구현되고 있다. 또한, 동일한 IC 패키지에서 복수의 집적회로 다이가 구현될 수 있다. 단일 IC로부터 또는 복수 다이의 IC 패키지로부터, 하나의 신호가 다른 신호에 대하여 간섭 또는 노이즈, 즉 누화(crosstalk)를 야기하는 기회가 더 많아지고 있다. 그러므로, 누화를 감소시키는 IC 패키지를 제공하는 것이 바람직하다.

발명의 내용**해결하려는 과제**

[0003] 하나 이상의 실시형태들은 일반적으로 노이즈 감쇄 벽을 구비한 IC 패키지에 관한 것이다.

과제의 해결 수단

[0004] 일 실시형태는 일반적으로 장치와 관련이 있다. 그러한 실시형태에 있어서, 인터포저는 제1 비아를 구비한다. 제1 상호접속부와 제2 상호접속부가 각각 상기 인터포저의 양면들에 결합된다. 제1 상호접속부의 제1 부분과 제1 상호접속부의 제2 부분은 서로 이격되어 그들 사이에 격리 영역을 규정한다. 패키지 기판은 제2 비아를 구비한다. 제3 상호접속부와 제2 상호접속부는 각각 패키지 기판의 양면들에 결합된다. 제1 비아의 제1 부분과 제2

비아의 제1 부분은 둘 다 상기 격리 영역 내에 있고 제2 상호접속부의 제1 부분에 의해 서로 결합된다.

[0005] 다른 실시형태는 일반적으로 다른 장치와 관련이 있다. 그러한 실시형태에 있어서, 회로 플랫폼은 비아를 구비한다. 회로 플랫폼은 상기 비아와 접속되지 않은 적어도 하나의 제1 도체를 구비한다. 회로 플랫폼은 상기 비아와 접속되지 않은 적어도 하나의 제2 도체를 또한 구비한다. 상기 비아들은 노이즈 감쇄 벽을 제공하기 위해 서로로부터 이격된다. 상기 비아들은 적어도 하나의 제2 도체와 적어도 하나의 제1 도체 사이에 노이즈 장벽 (barrier)을 제공하기 위해 적어도 하나의 제2 도체를 포위한다. 상기 적어도 하나의 제1 도체는 상기 노이즈 감쇄 벽의 외부에 위치한다.

[0006] 또 다른 실시형태는 일반적으로 또 다른 장치와 관련이 있다. 그러한 실시형태에 있어서, 다이는 기판 관통 비아, 트랜지스터 및 적어도 하나의 도전층을 구비한다. 상기 적어도 하나의 도전층은 상기 기판 관통 비아들을 서로 상호접속시킨다. 상기 기판 관통 비아들은 노이즈 감쇄 벽을 제공하기 위해 서로로부터 이격된다. 제1 도체는 상기 노이즈 감쇄 벽의 제1 측면에 위치하고 상기 노이즈 감쇄 벽에 상호접속되지 않는다. 제2 도체는 상기 노이즈 감쇄 벽의 제2 측면에 위치하고 상기 노이즈 감쇄 벽에 상호접속되지 않는다. 상기 제1 도체는 제1 신호를 전도시키기 위한 것이다. 상기 제2 도체는 제2 신호를 전도시키기 위한 것이다. 상기 제1 신호는 상기 제2 신호 벽에 대하여 노이즈 공격자이다. 상기 노이즈 감쇄 벽은 상기 제1 도체와 상기 제2 도체 사이에 위치하여, 상기 제1 신호에 의해 야기되어 상기 제2 신호 상에 유도되는 노이즈를 감소시킨다.

도면의 간단한 설명

[0007] 첨부 도면은 예시적인 실시형태를 보인 것이다. 그러나, 첨부 도면은 실시형태를 도시된 것으로 한정하기 위한 것이 아니고 단지 설명 및 이해를 위한 것이다.

도 1은 원주형 필드 프로그래머블 게이트 어레이 ("FPGA") 아키텍처의 예시적인 실시형태를 보인 단순화한 블록도이다.

도 2a 내지 도 2d는 소자 패키지의 각각의 예시적인 실시형태를 보인 단면 블록도이다.

도 3은 회로 플랫폼의 예시적인 실시형태를 보인 평면 블록도이다.

도 4는 회로 플랫폼의 다른 예시적인 실시형태를 보인 평면 블록도이다.

도 5는 회로 플랫폼의 또 다른 예시적인 실시형태를 보인 평면 블록도이다.

도 6은 회로 플랫폼의 또 다른 예시적인 실시형태를 보인 평면 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하의 설명에서, 특정 실시형태의 보다 완전한 설명을 제공하기 위해 여러 가지 구체적인 세부가 개시된다. 그러나, 이 기술분야의 당업자라면 하나 이상의 실시형태가 이하에서 제공하는 구체적인 세부를 모두 갖추지 않더라도 실시될 수 있다는 것을 이해할 것이다. 다른 예로서, 잘 알려져 있는 특징들은 하나 이상의 실시형태를 불명료하게 하는 것을 방지하기 위해 구체적으로 설명하지 않는다. 설명의 용이성을 위해, 서로 다른 도면에서의 동일한 아이템에 대하여 동일한 참조 번호를 사용하지만, 대안적인 실시형태에서는 아이템들이 다를 수 있다.

[0009] 첨부 도면에 도시된 예시적인 실시형태를 설명하기 전에, 이해를 돋기 위해 일반적인 도입부를 제공된다. 하나의 회로로부터의 신호는 다른 회로로부터의 신호에 노이즈를 야기한다. 이러한 간접 신호는 동일한 접적회로 패키지 내에 있을 수 있고, 그러한 접적회로 패키지는 2개 이상의 접적회로 다이를 포함할 수 있다. 그러한 2개 이상의 접적회로 다이는 동일한 인터포저 또는 캐리어 다이("인터포저")에 결합될 수 있고, 그러한 인터포저는 패키지 플랫폼 부재("패키지 기판")에 결합될 수 있다. 그러한 인터포저는 일반적으로 수동(passive) 인터포저, 즉 트랜지스터 없는 다이로 간주된다. 그러나, 다른 실시형태에는 능동(active) 인터포저, 즉 하나 이상의 트랜지스터가 있는 다이를 사용할 수 있다. 또한, 인터포저에 결합된 복수의 다이를 이하에서 설명하지만, 여기에서 설명하는 노이즈 차폐는 단일 다이용으로 사용될 수 있다는 점을 이해하여야 한다.

[0010] 접적회로 패키지 내에서 공격자 시그널링의 노이즈를 감쇄시키기 위해, 뒤에서 상세히 설명하는 노이즈 감쇄 벽을 사용할 수 있다.

[0011] 전술한 일반적인 이해를 염두에 두고 노이즈 감쇄 벽의 각종 실시형태에 대하여 이하에서 개괄적으로 설명한다.

[0012] 전술한 하나 이상의 실시형태는 특정 유형의 IC를 이용하여 예시한 것이기 때문에, 그러한 IC의 상세한 설명이

뒤에서 제공된다. 그러나, 다른 유형의 IC가 여기에서 설명하는 하나 이상의 실시형태로부터 이로울 수 있다는 것을 이해하여야 한다.

[0013] 프로그래머블 논리 소자("PLD")는 특정의 논리 기능을 수행하도록 프로그램가능한 공지된 유형의 집적회로이다. 일 유형의 PLD인 필드 프로그래머블 게이트 어레이("FPGA")는 전형적으로 프로그래머블 타일의 어레이를 포함한다. 이러한 프로그래머블 타일은 예를 들면 입력/출력 블록("IOB"), 구성가능 논리 블록("CLB"), 전용 랜덤 액세스 메모리 블록("BRAM"), 송신기, 디지털 신호 처리 블록("DSP"), 프로세서, 클럭 관리자, 지연 고정 루프("DLL") 등을 포함할 수 있다. 여기에서 사용하는 용어 "포함한다"와 "포함하는"은 제한 없이 포함하는 것을 의미한다.

[0014] 각각의 프로그래머블 타일은 전형적으로 프로그래머블 상호접속부 및 프로그래머블 로직을 둘 다 포함한다. 프로그래머블 상호접속부는 전형적으로 프로그래머블 상호접속 포인트("PIP")에 의해 상호접속된 상이한 길이를 가진 방대한 수의 상호접속 선들을 포함한다. 프로그래머블 로직은 예를 들면 함수 생성기, 레지스터, 산술 로직 등을 포함할 수 있는 프로그래머블 요소를 이용하여 사용자 설계의 로직을 구현한다.

[0015] 프로그래머블 상호접속부 및 프로그래머블 로직은 전형적으로 프로그래머블 요소들을 구성하는 법을 규정하는 내부 구성 메모리 셀에 구성 데이터 스트림을 로딩함으로써 프로그램된다. 상기 구성 데이터는 메모리로부터(예를 들면, 외부 PROM으로부터) 판독될 수 있고, 또는 외부 소자에 의해 FPGA에 기입될 수 있다. 그 다음에 개별적인 메모리 셀들의 총체적인 상태들이 FPGA의 기능을 결정한다.

[0016] 다른 유형의 PLD는 복합 프로그래머블 논리 소자, 즉 CPLD이다. CPLD는 2개 이상의 "기능 블록"을 포함하고, 상기 기능 블록들은 함께 접속됨과 아울러 상호접속 스위치 매트릭스에 의해 입력/출력("I/O") 자원에 접속된다. CPLD의 각각의 기능 블록은 프로그래머블 로직 어레이("PLA") 및 프로그래머블 어레이 로직("PAL") 소자에서 사용하는 것과 유사한 2-레벨 AND/OR 구조를 포함한다. CPLD에 있어서, 구성 데이터는 전형적으로 비휘발성 메모리에 온칩(on-chip)으로 저장된다. 일부 CPLD에 있어서, 구성 데이터는 비휘발성 메모리에 온칩으로 저장되고, 그 다음에 초기 구성(프로그래밍) 시퀀스의 일환으로서 휘발성 메모리에 다운로드된다.

[0017] 이러한 모든 프로그래머블 논리 소자("PLD")에 있어서, 소자의 기능은 해당 기능을 위해 소자에 제공된 데이터 비트에 의해 제어된다. 데이터 비트는 휘발성 메모리(예를 들면, FPGA 및 일부 CPLD에서와 같은 정적 메모리 셀)에, 비휘발성 메모리(예를 들면, 일부 CPLD에서와 같은 플래시 메모리)에, 또는 임의의 다른 유형의 메모리 셀에 저장될 수 있다.

[0018] 다른 PLD는 소자의 각종 요소들을 프로그램적으로 상호접속시키는 금속 층 등의 처리 층을 적용함으로써 프로그램된다. 이러한 PLD는 마스크 프로그래머블 소자라고 알려져 있다. PLD는 또한 예를 들면 퓨즈 또는 안티퓨즈 기술을 이용하여 다른 방식으로 구현될 수 있다. 용어 "PLD" 및 "프로그래머블 논리 소자"는 상기 예시한 소자들에 국한되지 않고, 단지 부분적으로 프로그램가능한 소자들도 포함한다. 예를 들면, 일 유형의 PLD는 하드 코드 트랜지스터 로직 및 이 하드 코드 트랜지스터 로직을 프로그램적으로 상호접속시키는 프로그래머블 스위치 패브릭의 조합을 포함한다.

[0019] 전술한 바와 같이, 진보형 FPGA는 어레이 내에 몇 가지 다른 유형의 프로그래머블 논리 블록을 포함할 수 있다. 예를 들면, 도 1은 멀티 기가비트 송수신기("MGT")(101), 구성가능 논리 블록("CLB")(102), 랜덤 액세스 메모리 블록("BRAM")(103), 입력/출력 블록("IOB")(104), 구성 및 클럭킹 로직("CONFIG/CLOCKS")(105), 디지털 신호 처리 블록("DSP")(106), 특수 입력/출력 블록("I/O")(107)(예를 들면, 구성 포트 및 클럭 포트), 및 디지털 클럭 관리자, 아날로그-디지털 변환기, 시스템 감시 로직 등과 같은 기타의 프로그래머블 로직(108)을 포함한 방대한 수의 상이한 프로그래머블 타일들을 구비한 FPGA 아키텍처(100)를 도시하고 있다. 일부 FPGA는 전용 프로세서 블록("PROC")(110)을 또한 포함한다.

[0020] 일부 FPGA에 있어서, 각각의 프로그래머블 타일은 각 인접 타일의 대응하는 상호접속 요소에 대한 표준화 접속을 가진 프로그래머블 상호접속 요소("INT")(111)를 구비한다. 그러므로, 프로그래머블 상호접속 요소들은 예시된 FPGA에 대하여 프로그램가능한 상호접속 구조를 다함께 구현한다. 프로그래머블 상호접속 요소(111)는 도 1의 상부에 포함된 예로 나타낸 바와 같이 동일 타일 내의 프로그래머블 논리 요소에 대한 접속들을 또한 구비한다.

[0021] 예를 들면, CLB(102)는 사용자 로직을 구현하도록 프로그램될 수 있는 구성가능 논리 요소("CLE")(112) 및 단일 프로그래머블 상호접속 요소("INT")(111)를 구비할 수 있다. BRAM(103)은 하나 이상의 프로그래머블 상호접속 요소 외에 BRAM 논리 요소("BRL")113)를 구비할 수 있다. 전형적으로, 타일에 내포되는 상호접속 요소의 수는

타일의 높이에 의존한다. 도시된 실시형태에 있어서, BRAM 타일은 5개의 CLB와 같은 높이를 갖지만, 다른 갯수 (예를 들면, 4개)가 또한 사용될 수 있다. DSP 타일(106)은 적당한 수의 프로그래머블 상호접속 요소 외에도 DSP 논리 요소("DSPL")(114)를 포함할 수 있다. IOB(104)는 예를 들면 1개의 프로그래머블 상호접속 요소(111) 예시 외에도 2개의 입력/출력 논리 요소("IOL")(115) 예시들을 포함할 수 있다. 본 기술분야의 당업자에게는 명백한 바와 같이, 예컨대 I/O 논리 요소(115)에 접속되는 실제 I/O 패드는 전형적으로 입력/출력 논리 요소(115)의 영역으로 한정되지 않는다.

[0022] 도시된 실시형태에 있어서, (도 1에 도시된) 다이의 중앙 부근의 수평 영역은 구성, 클럭 및 기타의 제어 로직을 위해 사용된다. 이 수평 영역 또는 컬럼으로부터 연장하는 수직 컬럼(109)은 FPGA의 폭을 가로질러서 클럭 및 구성 신호를 배분하기 위해 사용된다.

[0023] 도 1에 도시한 아키텍처를 이용하는 일부 FPGA는 FPGA의 대부분을 형성하는 규칙적인 원주형 구조를 분열시키는 추가의 논리 블록을 포함한다. 추가의 논리 블록은 프로그래머블 블록 및/또는 전용 로직일 수 있다. 예를 들면, 프로세서 블록(110)은 CLB 및 BRAM의 수 개의 컬럼에 걸쳐진다.

[0024] 도 1은 단지 예시적인 FPGA 아키텍처만을 보이고자 한 것임에 주목한다. 예를 들면, 행(row) 내의 논리 블록의 수, 행들의 상대적인 폭, 행들의 수 및 순서, 각 행에 포함된 논리 블록들의 유형, 논리 블록들의 상대적 크기, 및 도 1의 상부에 포함된 상호접속부/로직 구현예들은 순전히 예시적인 것이다. 예를 들면, 실제 FPGA에 있어서, CLB가 나타나는 곳은 어디든지 사용자 로직의 효율적인 구현을 촉진하기 위하여 전형적으로 2개 이상의 인접하는 CLB 행이 포함되지만, 인접하는 CLB 행의 수는 FPGA의 전체 크기에 따라 변한다.

[0025] 도 2a 내지 도 2d는 소자 패키지(200)의 각각의 예시적인 실시형태를 보인 단면 블록도이다. 도 2a를 참조하면, 소자 패키지(200)는 집적회로 다이(201), 집적회로 다이(202), 상호접속부(205), 회로 플랫폼(203), 상호접속부(206), 회로 플랫폼(204) 및 상호접속부(207)를 포함한다. 선택사항으로, 소자 패키지(200)는 집적회로 다이(202)의 상부에 선택사항의 집적회로 다이(256)로 개략적으로 표시한 것처럼 하나 이상의 다이 스택을 포함할 수 있다. 이러한 경향에 따라서, 이하의 설명은 2개 이상 레벨의 다이를 구비한 것에 적용할 수 있다는 점을 이해하여야 한다. 그러나, 비제한적인 예로서 명확성을 위해, 이하에서는 2 레벨 다이 스택을 설명하지만, 다른 실시형태로서 더 많은 레벨의 다이를 사용할 수 있다. 특히, 일 실시형태에 있어서, 상호접속부(205)는 마이크로범프이고; 회로 플랫폼(203)은 인터포저 또는 캐리어이고; 상호접속부(206)는 C4 범프이고; 회로 플랫폼(204)은 패키지 기판이며; 상호접속부(207)는 패키지 볼일 수 있다. 비제한적인 예로서 명확성을 위해, 소자 패키지(200)는 전술한 항목과 관련하여 추가로 설명된다. 또한, 집적회로 다이(201, 202)는 둘 다 예를 들면 FPGA 다이 또는 어떤 다른 유형의 IC 다이와 같은 동일 유형의 IC일 수도 있고, 또는 집적회로 다이(201, 202)는 예를 들면 FPGA 다이, 메모리 다이, 무선기 다이, 전원 다이, 또는 어떤 다른 유형의 IC 다이의 임의 조합과 같은 다른 유형의 IC 다이일 수도 있다. 일반적으로, 하나 이상의 FPGA 다이와 하나 이상의 데이터 컨버터 다이, 예를 들면 하나 이상의 아날로그-디지털 컨버터("DAC"), 디지털-아날로그 컨버터, 및/또는 다른 데이터 변환 다이의 혼합을 사용할 수 있다.

[0026] 집적회로 다이(201)는 회로(232)를 포함하고, 집적회로 다이(202)는 회로(231)를 포함할 수 있다. 회로(232)는 아날로그 또는 디지털 회로일 수 있고, 회로(231)는 아날로그 또는 디지털 회로일 수 있으며, 회로(231, 232) 중의 어느 하나는 다른 하나와 간접한다. 비제한적인 예로서 명확성을 위해, 회로(231)는 디지털 회로이고 회로(232)는 아날로그 회로라고 가정한다. 또한, 비제한적인 예로서 명확성을 위해, 회로(231)의 동작과 관련된 집적회로 다이(202)로/로부터 전달된 디지털 신호(제한하는 것은 아님)를 포함한, 회로(231)의 동작에 의해 야기된 노이즈는 회로(232)의 동작과 관련된 집적회로 다이(201)로/로부터 전달된 아날로그 신호와 관련하여 "누화"를 야기할 수 있는 노이즈를 발생한다는 것을 가정한다. 이 예에서, 회로(231)의 동작과 관련된 디지털 신호는 공격자 신호이고, 회로(232)의 동작과 관련된 아날로그 신호는 피해자 신호이다. 그러나, 다른 실시형태에서는 회로(232)의 동작과 관련된 아날로그 신호가 공격자 신호로 되고, 회로(231)의 동작과 관련된 디지털 신호가 피해자 신호로 될 수 있다.

[0027] 마이크로범프(205)는 집적회로 다이(201, 202)를 인터포저(203)에 결합하기 위해 사용된다. 보다 구체적으로, 마이크로범프(205)의 제1 부분, 즉 마이크로범프(205-1)는 집적회로 다이(201)를 인터포저(203)에 결합하기 위해 사용되고, 마이크로범프(205)의 제2 부분, 즉 마이크로범프(205-2)는 집적회로 다이(202)를 인터포저(203)에 결합하기 위해 사용된다. 이 예에서, 집적회로 다이(201, 202)는 각각 마이크로범프(205-1, 205-2)와 함께 서로로부터 이격되어 상기 집적회로 다이들 사이 또는 마이크로범프의 집합들 사이에 격리 영역(220)을 규정한다.

[0028] 이전에는, 뒤에서 설명하는 바와 같이, 격리 영역(220)이 피해자 신호와 관련하여 공격자 신호로부터의 노이즈

를 감쇠시키는 회로를 포함하지 않았을 수 있는데, 이것은 격리 영역(220)이 뒤에서 상세히 설명하는 것처럼 노이즈 감쇠 회로를 사용하는 경우의 격리 영역보다 더 넓어야 한다는 것을 의미한다. 따라서, 뒤에서 설명하는 노이즈 감쇠 회로를 사용하지 않으면, 노이즈 격리를 제공하기 위해 더 많은 회로 플랫폼 영역이 소비되어야 한다.

[0029] 인터포저(203)의 상부면(241)은 마이크로범프(205)와 접촉하고, 인터포저(203)의 하부면(242)은 C4 범프(206)와 접촉할 수 있다. 다시 말하면, 마이크로범프(205)와 C4 범프(206)는 각각 인터포저(203)의 양면들(opposite surfaces)에 결합될 수 있다.

[0030] 하나 이상의 마이크로범프(205)가 인터포저(203)의 하나 이상의 비아(211)에 결합될 수 있다. 하나 이상의 C4 범프(206)가 인터포저(203)의 하나 이상의 비아(211)에 결합될 수 있다. 비아(211)는 상부면(241) 및 하부면(242)까지 연장할 수 있다. 다시 말해서 비아(211)는 "회로 플랫폼 관통 비아" 또는 "관통 비아"일 수 있다. 일부 비아(211)는 인터포저(203)의 상부면(241)으로부터 하부면(242)까지의 전체 경로에서 연장하지 않을 수 있다. 실리콘 기판을 이용하여 형성된 인터포저(203)의 경우에, 비아(211)는 실리콘 관통 비아(Through Silicon Via, "TSV")로서 형성될 수 있다. 그러나, 여기에서 설명하는 것처럼, 비아(211)는 반도체 또는 유전체 기판과 같은 기판을 관통할 뿐만 아니라 그 기판에 형성된 다른 모든 층들을 관통하여 연장할 수 있다.

[0031] C4 범프(206)는 인터포저(203)를 패키지 기판(204)과 결합하기 위해 사용될 수 있다. 패키지 기판(204)은 비아(212)를 포함할 수 있다. 인터포저(203)의 비아(211)와 마찬가지로, 일부 비아(212)는 "관통 비아"일 수 있다. 이러한 경향에 따라서, 일부 비아(212)는 패키지 기판(204)의 상부면(251)으로부터 패키지 기판(204)의 하부면(252)까지 연장할 수 있다. 비아(212)는 하나 이상 복수의 도전층으로 형성될 수 있다. 예를 들면, 비아(212)는 단일 층전(fill) 비아 층(214)으로 형성될 수도 있고, 또는 대략 수직인 비아 층(214)과 대략 수평인 트레이스 층(213)의 조합으로 형성될 수도 있다. 2개 이상의 비아(212)가 하나 이상의 트레이스 층(213)에 의해 서로 결합될 수 있다.

[0032] 따라서, C4 범프(206)는 패키지 기판(204)의 상부면(251)과 접촉하고, 패키지 볼(207)은 패키지 기판(204)의 하부면(252)과 접촉할 수 있다. 다시 말하면, C4 범프(206)와 패키지 볼(207)은 패키지 기판(204)의 양면들 상에 있을 수 있다.

[0033] 비아(211), C4 범프(206), 비아(212) 및 패키지 볼(207)의 일부는 적어도 주로 격리 영역(220)에 위치된다. 비아(211), C4 범프(206), 비아(212) 및 패키지 볼(207)의 다른 부분은 적어도 주로 격리 영역(220) 외측에, 즉 적어도 대부분이 영역들(221과 222)에 위치된다. 상기 2개의 상태를 정확하게 서술하기 위해, 적어도 주로 격리 영역(220)에 위치된 비아(211), C4 범프(206), 비아(212) 및 패키지 볼(207)에 대해서는 -1을 부여하였고, 적어도 주로 영역들(221과 222)에 위치된 비아(211), C4 범프(206), 비아(212) 및 패키지 볼(207)에 대해서는 -2를 부여하였다. 따라서, 비아(211-1), C4 범프(206-1), 비아(212-1) 및 패키지 볼(207-1)은 적어도 주로 격리 영역(220)에 위치된다. 마찬가지로, 비아(211-2), C4 범프(206-2), 비아(212-2) 및 패키지 볼(207-2)은 적어도 주로 영역(221 또는 222)에 위치된다. 상기 예에 있어서, 영역(221)은 디지털 회로(231)에 대응하는 디지털 영역이고, 영역(222)은 아날로그 회로(232)에 대응하는 아날로그 영역이라고 가정한다.

[0034] 이 예시적인 실시형태에 있어서, 3개의 비아(211-1)는 각각 3개의 C4 범프(206-1)를 이용하여 3개의 대응하는 비아(212-1)에 결합된다. 비아(212-1)는 트레이스(213)에 의해 서로 결합된다. 패키지 볼(207-1)은 비아(211-1)들의 비아에 결합되고, 그러한 패키지 볼(207)은 그라운드(260)에 결합된다. 이 실시형태의 모든 비아(211-1)들이 실질적으로 그라운드(260)에 결합되지만, 임의의 노이즈 차폐를 제공하기 위해 상기 비아(211-1)의 모두가 그라운드에 결합되어야 하는 것은 아니다. 또한, 이 실시형태의 그라운드(260)가 독립적 그라운드, 즉 아날로그 회로(232) 또는 디지털 회로(231)에 결합되지 않지만, 다른 실시형태에서는 독립적 그라운드를 사용할 필요가 없다. 더 나아가, 그라운드는 반드시 고정 전위로 사용될 필요가 없다. 다른 실시형태에서는 예를 들면 노이즈가 충분히 낮은 저주파수 디지털 제어 신호 등의 응용에 따라서 그라운드 대신에 희생 전원 네트워크를 사용할 수 있다.

[0035] 비아(211-1), C4 범프(206-1), 비아(212-1) 및 하나 이상의 패키지 볼(207-1)은 집합적으로 아날로그 영역(222)과 디지털 영역(221) 사이에 노이즈 감쇠 벽(290)을 제공하기 위해 사용될 수 있으며, 이 경우 외부 패키지 볼(207-1)은 그라운드에 결합된다. 노이즈 감쇠 벽(290)은 아날로그 회로(232)의 동작에 대한 영향과 관련하여 디지털 회로(231)에 의해 생성된 노이즈를 감쇠시키기 위한 것이다. 아날로그 회로(232)가 공격자인 다른 실시형태에 있어서, 노이즈 감쇠 벽(290)은 디지털 회로(231)의 동작에 대한 영향과 관련하여 아날로그 회로(232)에 의해 생성된 노이즈를 감쇠시키기 위해 사용될 수 있다. 실질적으로, 노이즈 감쇠 벽(290)은 회로에 의해

생성된 노이즈를 "흡수"하여 그 흡수된 노이즈를 그라운드로 분로(shunt)시키기 위해 사용될 수 있다. 노이즈 감쇄 벽(290)은 뒤에서 구체적으로 설명하는 바와 같이 임의의 각종 구성을 생성하기 위해 사용될 수 있다.

[0036] 노이즈 감쇄 벽(290)의 요소들 간의 간격은 노이즈 감쇄 벽의 전기 장벽 유공성(porosity)을 조정하기 위해 퍼치 제한을 받으면서 변할 수 있다. 노이즈 감쇄 벽(290)의 요소들의 퍼치는 유공성을 감소시켜 노이즈 감쇄 효과를 증가시키기 위해 감소될 수 있는데, 즉 노이즈 감쇄 벽(290)의 요소들을 더 밀접하게 간격지게 할 수 있다. 또한, 노이즈 감쇄 벽(290)의 요소들의 퍼치는 유공성을 증가시켜 노이즈 감쇄 효과를 감소시키기 위해 증가될 수 있는데, 즉 노이즈 감쇄 벽(290)의 요소들을 더 넓게 간격지게 할 수 있다. 추가로, 노이즈 감쇄 벽(290)의 요소들의 행 또는 층들의 수는 노이즈 감쇄 효과를 증가 또는 감소시키기 위해 각각 증가 또는 감소될 수 있다.

[0037] 요약하자면, 상이한 기능들 간의 격리를 수반하는 임의의 응용은 여기에서 설명하는 것처럼 노이즈 감쇄 벽(290)을 통합할 수 있다. 노이즈의 흡수를 위해 그러한 노이즈 감쇄 벽(290)에 고정 전위가 결합될 수 있다. 노이즈 감쇄 벽(290)의 요소들 간의 간격은 효과를 조절하기 위해 응용마다 다르게 할 수 있고, 노이즈 감쇄 벽(290)의 구성도 또한 효과를 조절하기 위해 응용마다 다르게 할 수 있다.

[0038] 디지털 영역(221)에서, 마이크로 범프(205-2)의 일부는 비아(211-2)에 의해 C4 범프(206-2)의 일부에 결합된다. 또한, 디지털 영역(221)에서, 비아(212-2)의 일부는 상기 C4 범프(206-2)의 일부를 패키지 볼(207-2)의 일부에 결합한다. 그러한 비아(212-2) 부분은 하나 이상의 트레이스(213)를 통하여 서로 결합될 수 있다.

[0039] 아날로그 영역(222)에서, 마이크로 범프(205-1)의 일부는 비아(211-2)에 의해 C4 범프(206-2)의 일부에 결합된다. 또한, 아날로그 영역(222)에서, 비아(212-2)의 일부는 상기 C4 범프(206-2)의 일부를 패키지 볼(207-2)의 일부에 결합한다. 그러한 비아(212-2) 부분은 하나 이상의 트레이스(213)를 통하여 서로 결합될 수 있다.

[0040] 도 2b를 참조하면, 소자 패키지(200)의 다른 실시형태가 예시적으로 도시되어 있다. 이 실시형태는 각각의 비아(212-1)를 그라운드(260)에 결합하기 위해 2개의 패키지 볼(207-1)이 사용된다는 점을 제외하면 도 2a의 실시형태와 동일하다. 패키지 볼(207-1)은 주로 격리 영역(220)에 있지만, 그러한 패키지 볼(207-1)의 일부는 하나 이상의 영역(221 및/또는 222)으로 연장할 수 있다.

[0041] 도 2c를 참조하면, 소자 패키지(200)의 또 다른 실시형태가 예시적으로 도시되어 있다. 이 실시형태는 디지털 회로(231)와 아날로그 회로(232)를 둘 다 구비한 단일 집적회로 다이(201)가 예시적으로 도시되어 있다는 점을 제외하면 도 2a의 실시형태와 동일하다. 따라서, 격리 벽(290)을 이용하여, 인터포저(203)뿐만 아니라 패키지 기판(204)을 통과한 신호에 대하여 동일 집적회로의 별도의 회로 부분들을 격리시킬 수 있다.

[0042] 도 2d를 참조하면, 소자 패키지(200)의 또 다른 실시형태가 예시적으로 도시되어 있다. 이 실시형태는 각각의 비아(212-1)를 그라운드(260)에 결합하기 위해 2개의 패키지 볼(207-1)이 사용된다는 점을 제외하면 도 2c의 실시형태와 동일하다. 패키지 볼(207-1)은 주로 격리 영역(220)에 있지만, 그러한 패키지 볼(207-1)의 일부는 하나 이상의 영역(221 및/또는 222)으로 연장할 수 있다.

[0043] 도 3은 회로 플랫폼(300)의 예시적인 실시형태를 보인 평면 블록도이다. 회로 플랫폼(300)은 예컨대 금속 층과 같은 하나 이상의 도전층, 및 도 5에 상자(510)로 개략적으로 표시한 바와 같은, 예컨대 트랜지스터(510)와 같은 하나 이상의 트랜지스터를 구비한 기판일 수 있다. 다시 말해서, 회로 플랫폼(300)은 능동 인터포저, FPGA, PLD, 데이터 컨버터, 또는 다른 유형의 집적회로 다이와 같은 능동 다이일 수 있다. 그러나, 비제한적인 예로서 명확성을 위해, 회로 플랫폼(300)은 전술한 바와 같이 인터포저(203) 또는 패키지 기판(204)이라고 가정한다. 회로 플랫폼(300)은 비아(311) 및 도체(312~315)를 포함한다.

[0044] 비아(311)는 노이즈 감쇄 벽(390)을 제공하기 위한 결합용일 수 있다. 노이즈 감쇄 벽(390)은 링형 벽 구조 또는 프레임워크일 수 있다. 링형 벽 프레임워크를 예시적으로 도시하지만, 다른 실시형태에서는 노이즈 감쇄 벽이 하나 이상의 신호 도체를 포위하지 않을 수 있다. 그러한 다른 실시형태에 있어서, 노이즈 감쇄 벽은 하나 이상의 공격자 신호 도체와 하나 이상의 피해자 신호 도체 사이에 위치할 수 있다. 그러나, 비제한적인 예로서 명확성을 위해, 노이즈 감쇄 벽의 링형 구조에 대하여 추가로 설명한다. 노이즈 감쇄 벽(390)은 전술한 바와 같은 노이즈 감쇄 벽(290)을 포함할 수 있다. 이러한 경향에 따라서, 비아(311)는 비아(211-1 또는 212-1)와 같이 결합되어 도체(313, 314) 주위에 노이즈 감쇄 벽을 제공할 수 있다. 비록 노이즈 감쇄 벽(390)이 도체(313, 314)를 포위하기 위해 10개의 비아(311)와 함께 형성되는 것으로 예시적으로 도시되어 있지만, 다른 실시형태에서는 노이즈 감쇄 벽(390)이 10개 이상 또는 미만의 비아(311)와 함께 형성될 수 있다. 도체(312, 315)와 같이 하나 이상의 도체가 노이즈 감쇄 벽(390)의 외부에 위치할 수 있다.

- [0045] 이 예에서, 도체(312, 315)는 도체(313, 314)에 의해 전도되는 차분 신호와 관련하여 공격자("A") 신호를 전도하기 위해 사용된다. 이 예에서, 도체(313)는 차분 신호의 양의 측("P")을 전도하고, 도체(314)는 차분 신호의 음의 측("N")을 전도한다. 비록 2개의 도체가 노이즈 감쇄 벽(390)에 의해 포위되는 것으로 예시적으로 도시되어 있지만, 2개 이상 또는 미만의 도체가 여기에서 설명하는 것처럼 노이즈 감쇄 벽에 의해 포위될 수 있다. 또한, 비록 차분 신호의 예를 사용하지만, 노이즈를 반기 쉬운 다른 유형의 신호가 노이즈 감쇄 벽(390)의 내부에 위치된 하나 이상의 도체에 의해 전도될 수 있다.
- [0046] 도체(313, 314)뿐만 아니라 도체(312, 315)는 비아(311)에 결합되지 않는다. 그러나, 노이즈 격리("I")용 비아(311)는 노이즈 감쇄 벽(390)을 제공하도록 그라운드(260)에 결합하기 위하여 서로 결합될 수 있다. 비아(311)는 하나 이상의 도전성 선(319)을 제공하기 위해 사용되는 하나 이상의 도전층에 의해 서로 결합될 수 있다. 도전성 선(319), 또는 더 일반적으로 도전층은 비아(311), 또는 더 일반적으로 비아(311)를 제공하기 위해 사용되는 도전성 충전 층에 대하여 적어도 대략적으로 직교할 수 있다.
- [0047] 비아(311)는 노이즈 감쇄 벽(390)의 프레임워크를 제공하기 위해 서로로부터 이격될 수 있다. 그러나, 비록 전기적으로 다공성이지만, 도체(313, 314)를 포위하는 비아(311)는 도체(313, 314)와 도체(312, 315) 사이에 노이즈 장벽을 제공한다.
- [0048] 비아(311)는 회로 플랫폼(300)의 양면들에 까지 연장할 수 있다. 예시적으로 도시되어 있는 바와 같이, 비아(311)는 회로 플랫폼(300)의 상부면(320)까지 연장한다. 그러나, 비아(311)는 비아(211 또는 212)처럼 회로 플랫폼(300)의 하부면(도시 생략됨)까지 마찬가지 방식으로 연장할 수 있다.
- [0049] 도체(312, 315)의 위치(322, 325)는 각각 적어도 2개의 비아(311), 즉 예를 들면 비아(311A, 311B)의 위치에 각각 대응할 수 있다. 공격자 신호 전도용 도체와 격리 비아(311)를 정렬시키면 노이즈 감쇄를 촉진할 수 있다.
- [0050] 도 4는 회로 플랫폼(300)의 다른 예시적인 실시형태를 보인 평면 블록도이다. 도 4의 회로 플랫폼(300)의 실시형태에 있어서 많은 요소들이 도 3의 실시형태와 동일하기 때문에, 명확성을 위해 상이한 부분에 대해서만 이하에서 설명한다.
- [0051] 도 4를 참조하면, 회로 플랫폼(300)은 추가의 비아(311)를 이용하여 형성된 외부 노이즈 격리 벽(490A, 490B)을 추가로 포함한다. 이 예에서, 비아(311)는 서로 결합된 것으로 도시되지 않았지만, 다른 실시형태에서는 하나 이상의 노이즈 격리 벽(490A, 490B)을 형성하기 위해 사용되는 비아(311)가 전술한 바와 같이 트레이스를 이용하여 서로 결합될 수 있다. 비록 각각의 노이즈 격리 벽(490A, 490B)을 위하여 5개의 비아(311)가 예시적으로 도시되어 있지만, 5개 이상 또는 미만의 비아가 그러한 노이즈 격리 벽(490A, 490B)의 구조를 위한 프레임워크를 제공하기 위해 사용될 수 있다.
- [0052] 노이즈 격리 벽(490A, 490B)의 비아(311)는 노이즈 감쇄 벽(390)의 외부에 및 노이즈 감쇄 벽(390)의 비아(311)의 양측에 위치한다. 따라서, 노이즈 격리 벽(490A, 490B)은 외벽 또는 장벽을 제공하고, 노이즈 감쇄 벽(390)은 내벽 또는 장벽을 제공한다. 노이즈 격리 벽(490A, 490B)의 비아(311)들은 전술한 바와 같이 회로 플랫폼(300)의 양면들에 까지 연장할 수 있다.
- [0053] 노이즈 격리 벽(490A)은 노이즈 감쇄 벽(390)의 최외곽 주변부와, 하나 이상의 공격자 신호를 전도하기 위해 사용되는 도체(312, 315)와 같은 하나 이상의 도체 사이에 위치된다. 마찬가지로, 노이즈 격리 벽(490B)은 노이즈 감쇄 벽(390)의 최외곽 주변부와, 하나 이상의 다른 공격자 신호를 전도하기 위해 사용되는 하나 이상의 다른 도체 사이에 위치될 수 있다. 노이즈 격리 벽(490A, 490B)의 추가는 노이즈 감쇄를 위한 노이즈 격리의 이중 벽 프레임워크를 제공한다.
- [0054] 도체(312, 315)의 위치(322, 325)는 각각 적어도 2개의 비아(311), 즉 예를 들면 노이즈 격리 벽(490A)의 비아(311C, 311D)의 위치에 각각 대응할 수 있다. 또한, 공격자 신호 전도용 도체와 최근접 격리 비아(311)를 정렬시키면 노이즈 감쇄를 촉진할 수 있다.
- [0055] 또한, 노이즈 감쇄를 증가시키기 위해 전기 밀도를 증대시킬 목적으로, 각각의 노이즈 격리 벽(490A, 490B)의 비아(311)는 노이즈 감쇄 벽(390)의 대응하는 비아(311)로부터 이격되게 인터리브(interleave)될 수 있다. 예를 들면, 노이즈 격리 벽(490A)의 비아(311)의 일부, 즉 비아(311C~311E)는 노이즈 감쇄 벽(390)의 비아(311)의 대응하는 일부, 즉 비아(311a~311d)에 대하여 인터리브된다. 다시 말하면, 외부 노이즈 격리 벽의 비아들은 링형 노이즈 감쇄 벽의 동일 측면에 배치된 대응하는 비아들에 대하여 인터리브될 수 있다.
- [0056] 도 5는 회로 플랫폼(300)의 또 다른 예시적인 실시형태를 보인 평면 블록도이다. 도 5의 회로 플랫폼(300)의 실

시형태에 있어서 많은 요소들이 도 3의 실시형태와 동일하기 때문에, 명확성을 위해 상이한 부분에 대해서만 이하에서 설명한다. 또한, 도 3의 회로 플랫폼(300)과 마찬가지로, 도 5의 회로 플랫폼(300)은 하나 이상의 트랜지스터(510)를 포함할 수 있다. 도 5의 노이즈 감쇠 벽(390)은 8개의 비아(311)를 이용하여 형성된다. 그러나, 노이즈 감쇠 벽(390)의 비아(311)들의 일부는 하나 이상의 그라운드("G")에 결합되고, 노이즈 감쇠 벽(390)의 비아(311)들의 나머지 일부는 하나 이상의 DC 공급 전압("V")에 결합된다.

[0057] 도 6은 회로 플랫폼(300)의 또 다른 예시적인 실시형태를 보인 평면 블록도이다. 도 6의 회로 플랫폼(300)의 실시형태에 있어서 많은 요소들이 도 3의 실시형태와 동일하기 때문에, 명확성을 위해 상이한 부분에 대해서만 이하에서 설명한다.

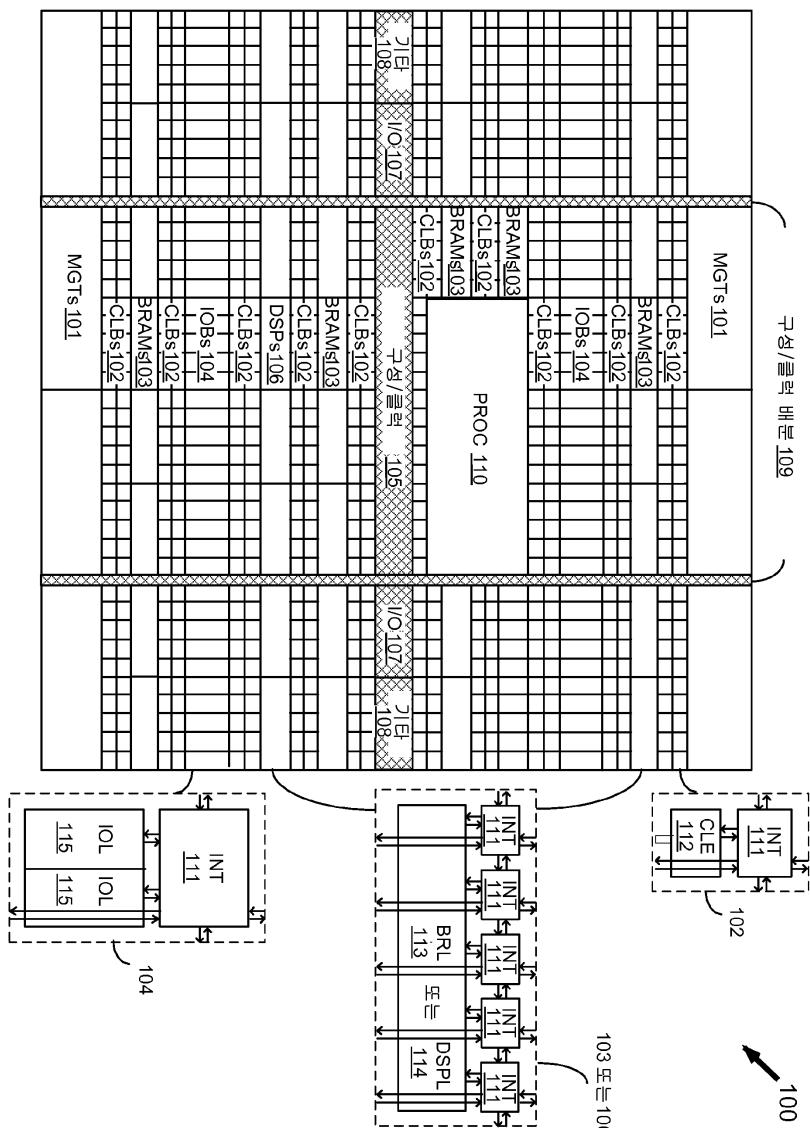
[0058] 노이즈 감쇠 벽(390)은 집적회로 다이(201, 202)들 사이에서 집적회로 다이(201, 202)들에 의한 다이 대 다이 통신용의 각각의 통로 또는 채널(601, 602)에 대한 노이즈 장벽을 제공한다. 집적회로 다이(201, 202)는 동일한 집적회로 패키지로 패키지될 수 있다.

[0059] 또한, 비록 전술한 설명이 일반적으로 멀티다이 패키지의 수동 인터포저와 관련하여 이루어졌지만, 서로 상호접속되는 기판 관통 비아를 이용하여 형성된 노이즈 감쇠 벽은 비제한적인 예를 들자면 FPGA, 데이터 컨버터 또는 다른 능동 다이를 포함한 능동 인터포저 및/또는 능동 집적회로 다이 내에 형성될 수 있다.

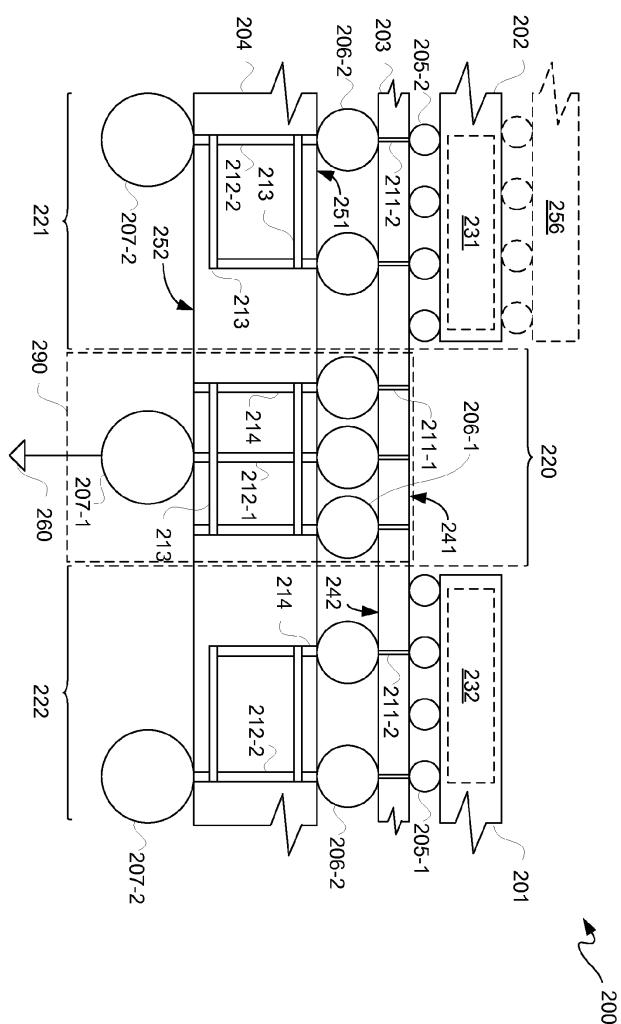
[0060] 지금까지 예시적인 실시형태를 설명하였지만, 하나 이상의 양태에 따른 다른 실시형태 및 추가의 실시형태가 이하의 특허 청구범위에 의해 결정되는 본 발명 및 그 균등물의 범위로부터 벗어나지 않고 안출될 수 있다. 특히 청구범위에서 열거하는 단계들은 그 단계들의 임의 순서를 암시하는 것이 아니다. 상표들은 각각의 상표 소유자의 재산이다.

도면

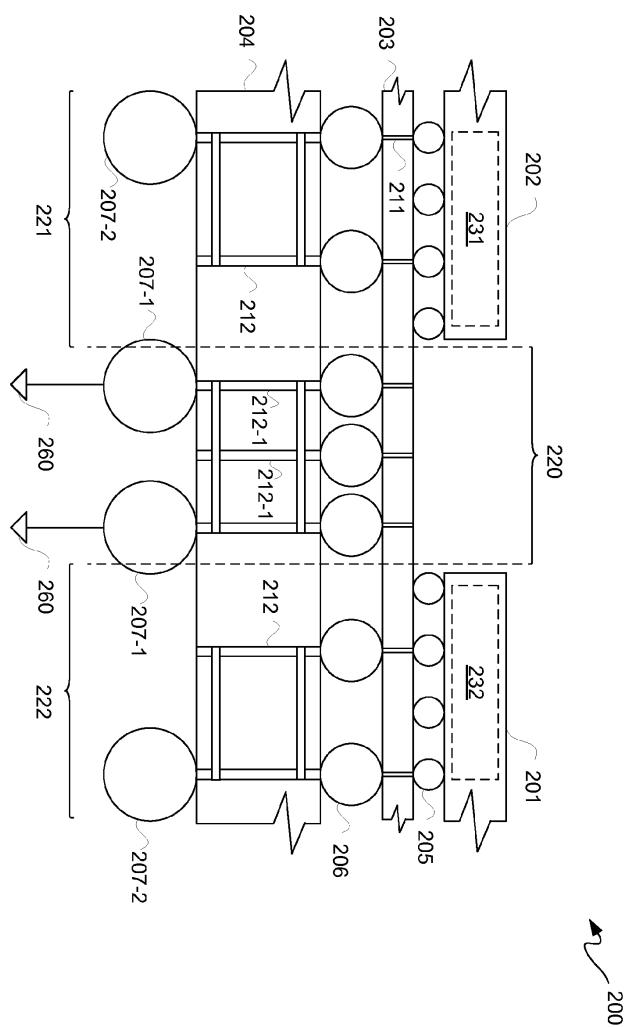
도면1



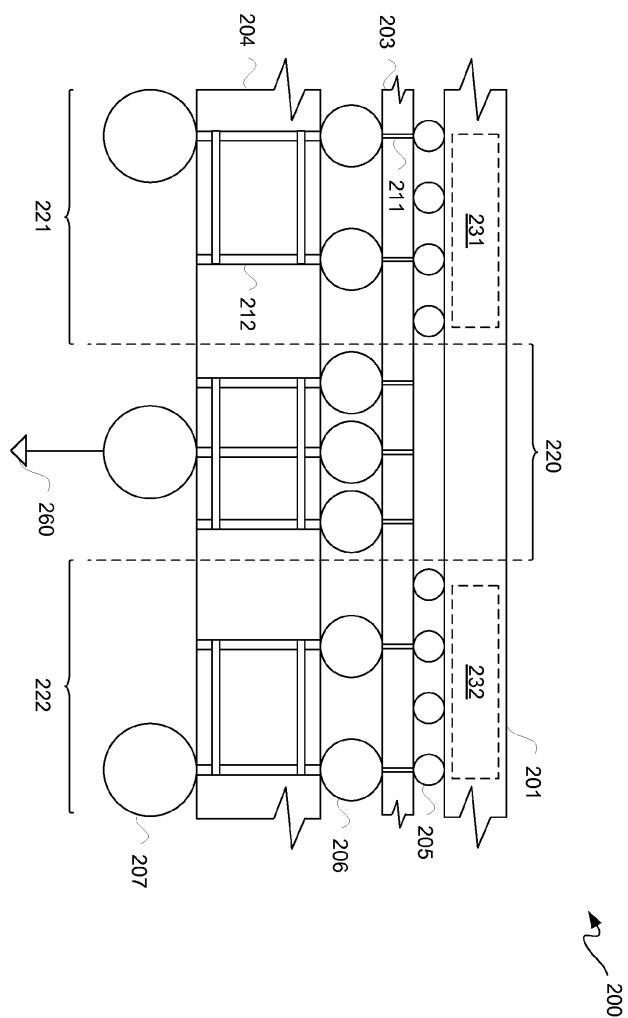
도면2a



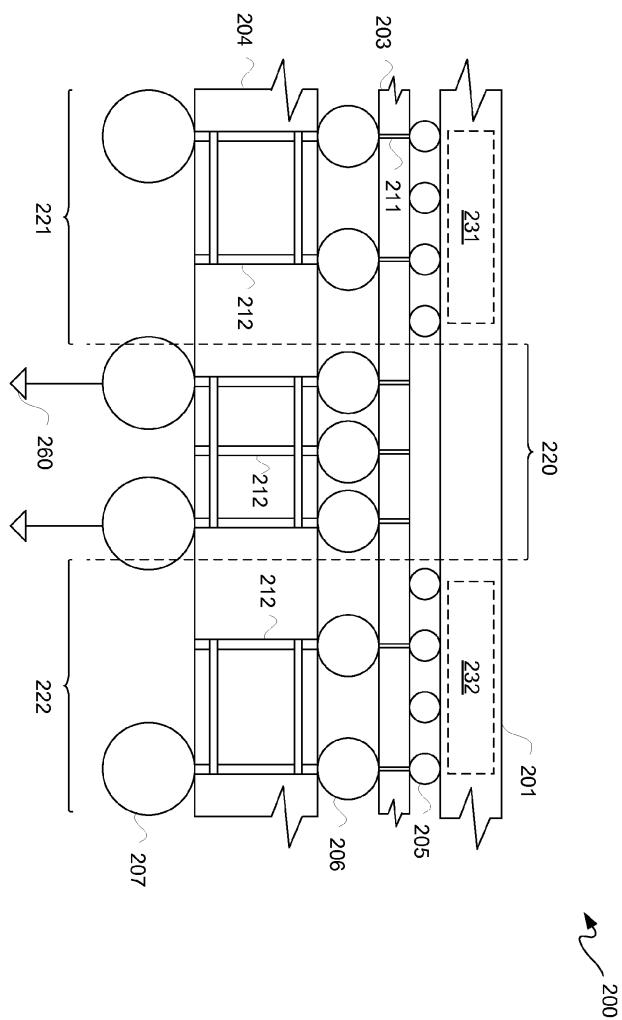
도면2b



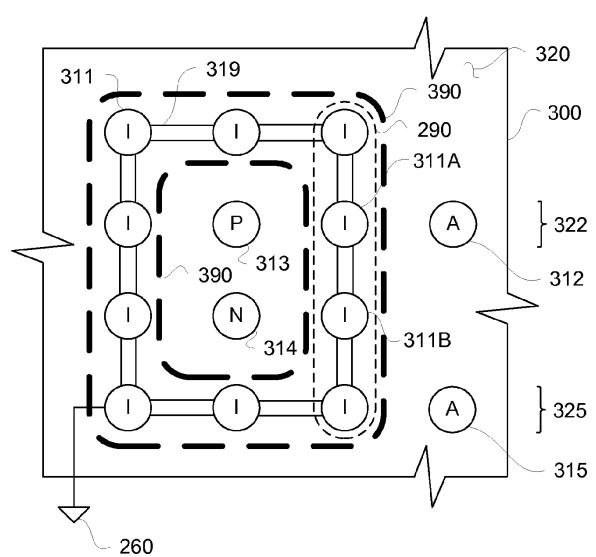
도면2c



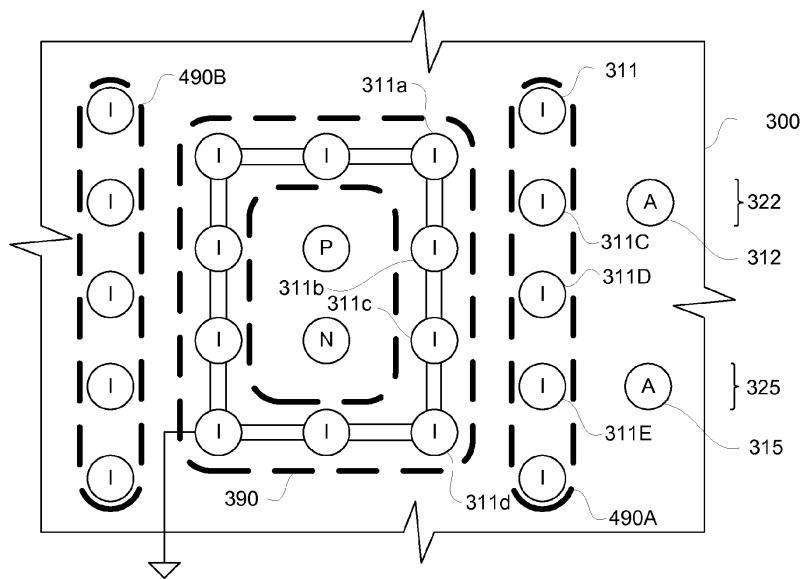
도면2d



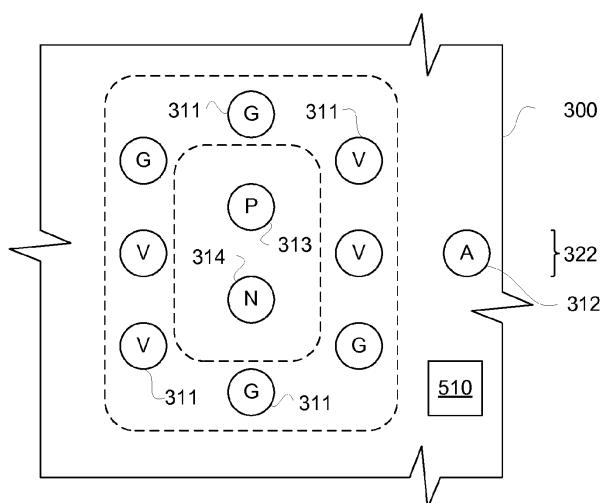
도면3



도면4



도면5



도면6

