

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成29年1月19日(2017.1.19)

【公表番号】特表2016-519356(P2016-519356A)

【公表日】平成28年6月30日(2016.6.30)

【年通号数】公開・登録公報2016-039

【出願番号】特願2016-501600(P2016-501600)

【国際特許分類】

G 06 F 1/28 (2006.01)

H 02 M 3/155 (2006.01)

【F I】

G 06 F 1/28 Z

H 02 M 3/155 H

H 02 M 3/155 W

【手続補正書】

【提出日】平成28年12月1日(2016.12.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路であって、

デジタル回路からの活動調節信号を受信し、出力電圧を前記デジタル回路に提供するように構成される電圧レギュレータを含み、

前記電圧レギュレータが、

第1の可変インピーダンス素子と、

第2の可変インピーダンス素子と、

前記第2の可変インピーダンス素子を制御するために第1の制御信号を生成するように構成される活動デバイスと、

前記活動調節信号への応答性を有する制御論理であって、前記制御論理は、前記活動デバイスと異なり、前記制御論理が、前記第1の可変インピーダンス素子を制御するために第2の制御信号を生成するように構成され、前記出力電圧が、前記第1の可変インピーダンス素子および前記第2の可変インピーダンス素子の少なくとも一部に基づく、制御論理と

を含む、集積回路。

【請求項2】

前記電圧レギュレータが、前記デジタル回路の電流需要の予測増加量に応答して、前記出力電圧を増加するように構成され、前記予測増加量は、前記活動調節信号によって示され、前記制御論理は、前記第1の可変インピーダンス素子と異なる、請求項1に記載の集積回路。

【請求項3】

前記電圧レギュレータが低ドロップアウト(LDO)レギュレータを含み、前記活動調節信号が複数の活動調節信号を含む、請求項1に記載の集積回路。

【請求項4】

前記活動調節信号が、前記デジタル回路によって実行されるスレッドの数を示すように構成される、請求項1に記載の集積回路。

【請求項 5】

前記活動調節信号が、1つまたは複数の後続クロックサイクルの間に実行される命令の数を示すように構成される、請求項1に記載の集積回路。

【請求項 6】

前記活動調節信号が、1つまたは複数の後続クロックサイクルの間に実行される命令のタイプを示すように構成される、請求項1に記載の集積回路。

【請求項 7】

前記活動調節信号が、割込みの受領を示すように構成される、請求項1に記載の集積回路。

【請求項 8】

前記活動調節信号が、キャッシュミスのイベントを示すように構成される、請求項1に記載の集積回路。

【請求項 9】

前記活動調節信号が、バスからデータが到着したことを示すように構成される、請求項1に記載の集積回路。

【請求項 10】

前記デジタル回路が少なくとも1つのプロセッサを含む、請求項1に記載の集積回路。

【請求項 11】

前記制御論理が、前記活動調節信号に基づいて前記デジタル回路の処理活動レベルを予測するように構成される、請求項1に記載の集積回路。

【請求項 12】

前記電圧レギュレータがクロック信号への応答性を有し、前記クロック信号がデジタル回路クロック信号を位相シフトしたものであり、前記デジタル回路が前記デジタル回路クロック信号への応答性を有する、請求項1に記載の集積回路。

【請求項 13】

前記電圧レギュレータが、複数の受動型のp型金属酸化膜半導体電界効果トランジスタ(pMOSFET)、n型MOSFET、p型FinFET、n型FinFET、またはそれらの任意の組合せを含む、請求項1に記載の集積回路。

【請求項 14】

前記電圧レギュレータがスイッチング電源を含み、前記スイッチング電源が複数の受動素子を含む、請求項1に記載の集積回路。

【請求項 15】

前記第1の可変インピーダンス素子、前記第2の可変インピーダンス素子、または両方が、1つまたは複数の抵抗素子を含む、請求項1に記載の集積回路。

【請求項 16】

前記活動デバイスが、電圧比較器を含む、請求項1に記載の集積回路。

【請求項 17】

前記第1の可変インピーダンス素子および前記第2の可変インピーダンス素子が、電圧源と並列に接続される、請求項1に記載の集積回路。

【請求項 18】

前記第1の可変インピーダンス素子が、複数のトランジスタと、受動デバイスとを含む、請求項1に記載の集積回路。

【請求項 19】

前記デジタル回路の電流消費の増加に関連する前記出力電圧の低下を減少させるために、前記電圧レギュレータが前記出力電圧を増加させるように構成される、請求項1に記載の集積回路。

【請求項 20】

電圧レギュレータで、デジタル回路からの活動調節信号を受信するステップと、前記デジタル回路と異なる制御論理で、前記電圧レギュレータのデジタル可変インピーダンス素子を制御するために第1の制御信号を生成するステップと、

前記制御論理と異なるとともに前記デジタル回路と異なる活動デバイスで、前記電圧レギュレータのアナログ可変インピーダンス素子を制御するために第2の制御信号を生成するステップであって、前記電圧レギュレータから前記デジタル回路に提供される出力電圧が、前記電圧レギュレータの前記デジタル可変インピーダンス素子および前記アナログ可変インピーダンス素子の少なくとも一部に基づく、ステップと
を含む、方法。

【請求項 21】

前記第1の制御信号に応答して、前記デジタル可変インピーダンス素子の抵抗値を変化させるステップをさらに含む、請求項20に記載の方法。

【請求項 22】

前記第1の制御信号に応答して、前記デジタル可変インピーダンス素子を駆動する電流の位相を変化させるステップをさらに含む、請求項20に記載の方法。

【請求項 23】

前記第1の制御信号に応答して、前記デジタル可変インピーダンス素子を駆動する複数の電流の位相を変化させるステップをさらに含む、請求項20に記載の方法。

【請求項 24】

前記デジタル回路の電流需要の予測増加量を示す活動調節信号に応答して、前記出力電圧を増加するステップをさらに含む、請求項20に記載の方法。

【請求項 25】

前記活動調節信号が、前記デジタル回路によって実行されるスレッドの数、1つまたは複数の後続クロックサイクルの間に実行される命令の数、1つまたは複数の後続クロックサイクルの間に実行される命令のタイプ、前記デジタル回路がスリープ状態からウェイクアップ状態に移行したことに関連する割込み信号、キャッシュ読出しミスのイベント、またはそれらの組合せを示す、請求項20に記載の方法。

【請求項 26】

前記活動調節信号が、1つまたは複数の後続クロックサイクルの間に予想される前記デジタル回路の処理活動に対応する、請求項20に記載の方法。

【請求項 27】

前記電圧レギュレータでクロック信号を受信するプロセスをさらに含み、前記クロック信号がデジタル回路クロック信号を位相シフトしたものであり、前記デジタル回路が前記デジタル回路クロック信号への応答性を有する、請求項20に記載の方法。

【請求項 28】

電圧レギュレータで、デジタル回路からの活動調節信号を受信するための手段と、前記電圧レギュレータの第1の可変インピーダンス素子を制御するために第1の制御信号を生成するための手段と、

前記電圧レギュレータの第2の可変インピーダンス素子を制御するために第2の制御信号を生成するための手段であって、前記第2の制御信号を生成するための手段が、前記第1の制御信号を生成するための手段と異なり、前記電圧レギュレータから前記デジタル回路に提供される出力電圧が、前記第1の可変インピーダンス素子および前記第2の可変インピーダンス素子の少なくとも一部に基づく、手段と

を含む、装置。

【請求項 29】

コンピュータによって実行可能な命令を含む、コンピュータ可読記憶媒体であって、前記命令が実行する動作が、

電圧レギュレータで、デジタル回路からの活動調節信号を受信するステップと、前記デジタル回路と異なる制御論理を介して、前記電圧レギュレータのデジタル可変インピーダンス素子を制御するために第1の制御信号を生成するステップと、

前記制御論理と異なるとともに前記デジタル回路と異なる活動デバイスを介して、前記電圧レギュレータのアナログ可変インピーダンス素子を制御するために第2の制御信号を生成するステップであって、前記電圧レギュレータから前記デジタル回路に提供される出

力電圧が、前記電圧レギュレータの前記デジタル可変インピーダンス素子および前記アナログ可変インピーダンス素子の少なくとも一部に基づく、ステップとを含む、コンピュータ可読記憶媒体。