

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 8 月 31 日 (31.08.2023)



(10) 国际公布号
WO 2023/159679 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01) **H01L 27/108** (2006.01)

(21) 国际申请号: PCT/CN2022/080152

(22) 国际申请日: 2022 年 3 月 10 日 (10.03.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210186665.0 2022年2月28日 (28.02.2022) CN

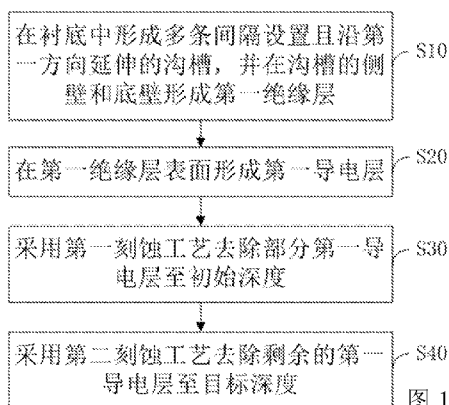
(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 吴润平 (WU, Runping); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。张俊 (ZHANG, Jun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。金泰均 (KIM, Taegyun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。元大中 (WON, Daejoong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。朴淳秉 (PARK, Soonbyung); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制作方法



S10 Form a plurality of grooves which are arranged in a substrate at intervals and extend in the first direction, and form a first insulating layer on the side wall and the bottom wall of each groove

S20 Form a first conductive layer on the surface of the first insulating layer

S30 Remove part of the first conductive layer to the initial depth by using a first etching process

S40 Remove the remaining first conductive layer to the target depth by using a second etching process

图 1

(57) Abstract: The present disclosure relates to the technical field of semiconductors, and provides a semiconductor structure and a manufacturing method therefor for solving the technical problems that a gate induced drain leakage phenomenon is prone to occurring, and the yield of the semiconductor structure is relatively low. The manufacturing method comprises: forming a plurality of grooves which are arranged in a substrate at intervals and extend in the first direction, and forming a first insulating layer on the side wall and the bottom wall of each groove; forming a first conductive layer on the surface of the first insulating layer; removing part of the first conductive layer to the initial depth by using a first etching process; and removing the remaining first conductive layer to the target depth by using a second etching process. The first conductive layer is removed to the target depth by means of at least two etching processes, and the first etching process and/or the second etching process is controlled, to reduce the damage to the first insulating layer when the first conductive layer is etched, such that the thickness of the first insulating layer is ensured, and the gate induced drain leakage phenomenon is reduced or avoided, thereby improving the yield of the semiconductor structure.

(57) 摘要: 本公开提供一种半导体结构及其制作方法, 涉及半导体技术领域, 用于解决易出现栅诱导漏极泄漏电流现象、半导体结构的良率较低的技术问题, 该制作方法包括: 在衬底中形成多条间隔设置且沿第一方向延伸的沟槽, 并在沟槽的侧壁和底壁形成第一绝缘层; 在第一绝缘层表面形成第一导电层; 采用第一刻蚀工艺去除部分第一导电层至初始深度; 采用第二刻蚀工艺去除剩余的第一导电层至目标深度。通过至少两次刻蚀工艺去除第一导电层至目标深度, 控制第一刻蚀工艺和/或第二刻蚀工艺, 可以在刻蚀第一导电层时减少对第一绝缘层的损伤, 从而保证第一绝缘层的厚度, 减少或者避免栅诱导漏极泄漏电流现象, 进而提高半导体结构的良率。

国北京市海淀区西直门北大街32号枫蓝国际A座8F-6, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

本公开要求于 2022 年 02 月 28 日提交中国专利局、申请号为 202210186665.0、申请名称为“半导体结构及其制作方法”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

本公开涉及半导体技术领域，尤其涉及一种半导体结构及其制作方法。

随着半导体技术的发展，半导体结构的应用范围越来越广，尤其是动态随机存储器（Dynamic Random Access Memory，简称 DRAM）因其具有较高的存储密度以及较快的读写速度被广泛地应用在各种电子设备中。

动态随机存储器通常包括多个存储单元，每个存储单元包括晶体管和电容器，晶体管的栅极与字线（Word Line，简称 WL）电连接，晶体管的源极和漏极中的一极与位线（Bit Line，简称 BL）电连接，另一极与电容器电连接。

为了提高动态随机存储器的集成度，动态随机存储器通常采用埋入式字线（Buried Word Line，简称 BWL）。埋入式字线形成在衬底内并与衬底 20 的有源区相交，从而使得部分字线可以用于晶体管的栅极，晶体管的源漏区形成在该栅极两侧的衬底中。然而，上述半导体结构往往容易出现栅极诱导漏极泄漏电流（Gate Induced Drain Leakage，简称 GIDL）现象，半导体结构的良率较低。

鉴于上述问题，本公开实施例提供一种半导体结构及其制作方法，用于减少或者避免栅极诱导漏极泄漏电流现象，提高半导体结构的良率。

根据一些实施例，本公开第一方面提供一种半导体结构的制作方法，其包括：在衬底中形成多条间隔设置且沿第一方向延伸的沟槽，并在所述

沟槽的侧壁和底壁形成第一绝缘层；

在所述第一绝缘层表面形成第一导电层；

采用第一刻蚀工艺去除部分所述第一导电层至初始深度；

采用第二刻蚀工艺去除剩余的所述第一导电层至目标深度。

5 在一些可能的实施例中，所述第一刻蚀工艺与所述第二刻蚀工艺相同。

在一些可能的实施例中，所述第一刻蚀工艺与所述第二刻蚀工艺不同。

在一些可能的实施例中，在所述第一绝缘层表面形成第一导电层，包括：在所述第一绝缘层表面和所述衬底上沉积所述第一导电层，所述第一导电层填充形成有所述第一绝缘层的所述沟槽，且覆盖所述衬底。

10 在一些可能的实施例中，所述第一导电层包括金属导电层。

在一些可能的实施例中，所述第一刻蚀工艺包括干法刻蚀，所述采用第一刻蚀工艺去除部分所述第一导电层至初始深度，包括：干法刻蚀所述第一导电层，完全去除位于所述衬底上的所述第一导电层，并去除位于所述沟槽内的所述第一导电层至初始深度。

15 在一些可能的实施例中，所述干法刻蚀的刻蚀深度为 40-50nm。

在一些可能的实施例中，所述干法刻蚀采用的源功率范围为 200-300W，偏置功率范围为 100-200W。

在一些可能的实施例中，干法刻蚀所述第一导电层时，刻蚀气体包括氩气、氮气、氯气和三氟化氮中的一种或多种组合。

20 在一些可能的实施例中，所述氩气的体积流量为 100-300sccm，所述氮气的体积流量为 10-40sccm，所述氯气的体积流量为 50-100sccm，所述三氟化氮的体积流量为 10-40sccm。

25 在一些可能的实施例中，所述第二刻蚀工艺包括湿法刻蚀，所述湿法刻蚀采用的刻蚀液包括质量分数为 96%的硫酸，以及质量分数为 30%的过氧化氢。

在一些可能的实施例中，所述刻蚀液中的所述硫酸与所述过氧化氢的体积比为 5:1-8:1。

在一些可能的实施例中，所述湿法刻蚀的刻蚀深度为 10-15nm。

30 在一些可能的实施例中，还包括：在所述沟槽内刻蚀后的第一导电层上依次形成第二导电层和保护层，所述第二导电层覆盖所述第一导电层，

所述保护层覆盖所述第二导电层。

在一些可能的实施例中，所述第二导电层的材质包括半导体材料或者掺杂半导体材料。

5 在一些可能的实施例中，所述衬底包括多个间隔设置的有源区，以及隔离各所述有源区的浅槽隔离结构；所述在衬底中形成多条间隔设置且沿第一方向延伸的沟槽，并在所述沟槽的侧壁和底壁形成第一绝缘层，包括：刻蚀所述有源区和所述浅槽隔离结构，以形成所述沟槽；在所述沟槽的侧壁和底壁沉积所述第一绝缘层。

本公开实施例提供的半导体结构的制作方法至少具有如下优点：

10 本公开实施例提供的半导体结构的制作方法中，衬底内形成有沟槽，在沟槽的侧壁和底壁形成第一绝缘层，并在第一绝缘层表面形成第一导电层，再采用第一刻蚀工艺去除部分第一导电层至初始深度，采用第二刻蚀工艺去除剩余的第一导电层至目标深度。通过至少两步刻蚀工艺去除第一导电层至目标深度，控制第一刻蚀工艺和/或第二刻蚀工艺，可以在刻蚀第
15 一导电层时减少对第一绝缘层的损伤，从而保证第一绝缘层的厚度，减少或者避免栅极诱导漏极泄漏电流现象，进而提高半导体结构的良率。

根据一些实施例，本公开实施例的第二方面提供一种半导体结构，所述半导体结构通过如上所述的制作方法形成，因而至少具有栅极诱导漏极
20 泄漏电流现象少、半导体结构的良率高的优点，具体参照上文所述，在此不再赘述。

附图说明

图 1 为本公开一实施例的半导体结构的制作方法的流程图；
图 2 为本公开一实施例的衬底的一截面示意图；
25 图 3 为本公开一实施例的形成沟槽后的一截面示意图；
图 4 为本公开一实施例的形成沟槽后的另一截面示意图；
图 5 为本公开一实施例的形成第一绝缘层后的一截面示意图；
图 6 为本公开一实施例的形成第一绝缘层后的另一截面示意图；
图 7 为本公开一实施例的形成第一导电层后的一截面示意图；
30 图 8 为本公开一实施例的形成第一导电层后的另一截面示意图；

图 9 为本公开一实施例的利用第一刻蚀工艺刻蚀第一导电层后的一截面示意图；

图 10 为本公开一实施例的利用第一刻蚀工艺刻蚀第一导电层后的另一截面示意图；

5 图 11 为本公开一实施例的利用第二刻蚀工艺刻蚀第二导电层后的一截面示意图；

图 12 为本公开一实施例的利用第二刻蚀工艺刻蚀第二导电层后的另一截面示意图；

图 13 为本公开一实施例的形成第二保护层后的一截面示意图；

10 图 14 为本公开一实施例的形成第二保护层后的另一截面示意图；

图 15 为本公开一实施例的形成保护层后的一截面示意图；

图 16 为本公开一实施例的形成保护层后的另一截面示意图。

具体实施方式

15 正如背景技术中所述，半导体结构往往容易出现栅极诱导漏极泄漏电流现象，半导体结构的良率较低。经发明人研究发现，其原因在于，形成埋入式字线时，往往先在衬底内形成沟槽，并在沟槽的侧壁和底壁形成第一绝缘层，部分第一绝缘层可用作栅介质层；再在第一绝缘层所围合的区域内形成第一导电层，通过干法刻蚀工艺一次刻蚀第一导电层至目标深度。

20 在通过干法刻蚀工艺刻蚀第一导电层的过程中，往往对暴露出来的第一绝缘层的损伤较大，位于剩余的第一导电层上方的第一绝缘层厚度减薄，该部分第一绝缘层所形成的栅介质层厚度较薄，后续形成第二导电层时，第二导电层与衬底之间的绝缘性较弱，易产生栅极诱导漏极泄漏电流现象。

为此，本公开实施例提供一种半导体结构的制作方法，通过至少两次

25 刻蚀工艺去除第一导电层至目标深度，控制第一刻蚀工艺和/或第二刻蚀工艺，可以在刻蚀第一导电层时减少对第一绝缘层的损伤，从而保证第一绝缘层的厚度，减少或者避免栅诱导漏极泄漏电流现象，进而提高半导体结构的良率。

为了使本公开实施例的上述目的、特征和优点能够更加明显易懂，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、

30

完整地描述。显然，所描述的实施例仅仅是本公开的一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其它实施例，均属于本公开保护的范围。

5 参考图 1，本公开实施例提供一种半导体结构的制作方法，该制作方法包括以下步骤：

 步骤 S10：在衬底中形成多条间隔设置且沿第一方向延伸的沟槽，并在沟槽的侧壁和底壁形成第一绝缘层。

 参考图 2，衬底 100 提供支撑，用于支撑其上的膜层。衬底 100 可以
10 为半导体衬底。示例性的，衬底 100 可以为硅衬底、锗衬底、碳化硅（SiC）衬底、锗化硅（SiGe）衬底、绝缘体上锗（Germanium on Insulator，简称 GOI）衬底或者绝缘体上硅（Silicon on Insulator，简称 SOI）衬底等。

 如图 2 所示，衬底 100 包括有多个有源区 110（Active Area，简称 AA），多个有源区 110 间隔设置。在一些可能的实施例中，多个有源区 110 之间
15 可以设置浅槽隔离（Shallow Trench Isolation，简称 STI）结构 120，通过浅槽隔离结构 120 将多个有源区 110 之间隔离开来，以保证各有源区 110 之间彼此独立。

 示例性的，通过图案化制作工艺在衬底 100 内形成浅沟槽，并在浅沟槽内填充绝缘材料，从而在衬底 100 上定义出多个由浅槽隔离结构 120 分
20 离的有源区 110。其中，图案化制作工艺可以为自对准双图形（Self-Aligned Double Patterning，简称 SADP）工艺或者自对准四重图形（Self-Aligned Quadruple Patterning，简称 SAQP）工艺。浅沟槽的深度可以为 800nm-1600nm，绝缘材料的介电常数可以小于 3，以减轻电耦合（Coupling），例如，绝缘材料可以为氧化硅。

25 具体的，可以通过热氧化工艺等在衬底 100 的表面形成第二绝缘层，第二绝缘层的材质可以为氧化物（Oxide），以保护后续形成的有源区 110，避免在后续去除硬掩模层时有源区 110 受到污染；再在第二绝缘层上形成硬掩模层，硬掩模层的材质可以为氮化物（Nitride），并在硬掩模层上涂覆第一光刻胶层（Photo Resist，简称 PR）；再以第一光刻胶层为掩膜，
30 刻蚀硬掩模层、第二绝缘层和衬底 100，在衬底 100 内形成浅沟槽和有源

区 110。之后在浅沟槽的侧壁形成氧化物层，以改善有源区 110 与绝缘材料之间的界面特性，并通过沉积绝缘材料填充在浅沟槽内。再通过平坦化处理去除氮化物层，当氮化物层上沉积有绝缘材料时，平坦化处理还去除氮化物层上的绝缘材料。

5 多个有源区 110 可以沿第二方向延伸，第二方向与第一方向之间不垂直，即第二方向相对于第一方向倾斜设置，以便于后续形成的沟槽与有源区 110 交叉，从而将有源区 110 分为多个分区，以用作晶体管的源/漏级。示例性的，以平行于衬底 100 的平面为截面，有源区 110 的截面图形可以为平行四边形，其中心线与第二方向平行。多个有源区 110 可以呈阵列排布，示例性的，多个有源区 110 中的中心呈点阵排布。

参考图 3 和图 4，其中，图 3 和图 4 所示的截面相平行，其与第二方向平行，图 3 所示的截面不经过有源区 110，图 4 所示的截面经过有源区 110。沟槽 200 形成在衬底 100 中，沟槽 200 的数量可以为多条。多条沟槽 200 间隔设置，以使后续形成在各沟槽 200 内的字线之间具有一定间隔。

15 多条沟槽 200 沿第一方向延伸，第一方向与第二方向之间的夹角可以为 15° - 60° ，沟槽 200 的深度小于浅槽隔离结构 120 的深度。沟槽 200 将有源区 110 分隔成第一接触区和第二接触区，第一接触区和第二接触区分别位于沟槽 200 的两侧。第一接触区和第二接触区中的一个与位线电连接，第一接触区和第二接触区中的另一个与电容电连接。

20 在一些可能的实现方式中，一个有源区 110 仅有一条沟槽 200 穿过，即有源区 110 被沟槽 200 分为左右两个部分，这两个部分中的一个为第一接触区，另一个为第二接触区，例如，左边的部分为第一接触区，第一接触区连接位线，右边的部分为第二接触区，第二接触区连接电容。

25 在另一些可能的实现方式中，一个有源区 110 有两条沟槽 200 穿过，即有源区 110 被沟槽 200 分为左中右三个部分，这三个部分中位于中间的部分为一个接触区，位于两边的部分为一个接触区。例如，中间的部分为第一接触区，第一接触区连接位线，左右两个部分均为第二接触区，第二接触区连接电容。如此设置，通过一个有源区 110 可以控制两个电容，可以提高半导体结构的集成度和半导体结构的存储密度。

30 在上述实现方式中，沿第二方向位于同一行的有源区 110 与其旁侧沿

第二方向位于同一行的有源区 110 通常错位设置，因此，沿第二方向位于同一行多个有源区 110 中的每个有源区 110 中有两个沟槽 200 穿过，以将各有源区 110 分隔成上述三个部分，该行相邻两个有源区 110 之间的浅槽隔离结构 120 中有一个沟槽 200 穿过，该沟槽 200 和与其临近的穿过有源区 110 的一个沟槽 200 将位于其他行的有源区 110 分隔成上述三个部分。

在一些可能的实施例中，在衬底 100 中形成多条间隔设置且沿第一方向延伸的沟槽 200，并在沟槽 200 的侧壁和底壁形成第一绝缘层 300，可以包括以下过程：

刻蚀有源区 110 和浅槽隔离结构 120，以形成沟槽 200。参考图 3 和图 4，通过干法刻蚀或者其他各向异性的刻蚀方法刻蚀有源区 110 和浅槽隔离结构 120，以形成所需沟槽 200。以垂直于第一方向的平面为截面，沟槽 200 的截面形状可以为矩形、梯形等四边形。当然，沟槽 200 的侧壁和底壁之间还可以圆角过渡。

每条沟槽 200 部分位于有源区 110，部分位于浅槽隔离结构 120，且这两部分可以依次交替设置，即沿第一方向，每条沟槽 200 依次交替穿过有源区 110 和浅槽隔离结构 120。其中，位于有源区 110 的沟槽 200 中后续形成的结构为栅极结构。沟槽 200 的深度小于有源区 110 的高度，以使该沟槽 200 的部分槽底位于有源区 110。

可以理解的是，刻蚀有源区 110 和浅槽隔离结构 120 时，有源区 110 和浅槽隔离结构 120 的材质不同，两者的刻蚀速率不同，位于有源区 110 中的部分沟槽 200 的深度与位于浅槽隔离结构 120 中的部分沟槽 200 的深度不相同。例如，如图 4 所示，当有源区 110 的材质为硅，浅槽隔离结构 120 的材质为氧化硅时，位于有源区 110 中的部分沟槽 200 的深度小于位于浅槽隔离结构 120 中的部分沟槽 200 的深度，即浅槽隔离结构 120 中的沟槽 200 会更深一些。

示例性的，沟槽 200 可以通过以下过程形成：在衬底 100 上形成掩膜层，并在掩膜层上形成第二光刻胶层，光刻胶层具有图案；以第二光刻胶层为掩膜，刻蚀掩膜层和衬底 100，在衬底 100 的有源区 110 和浅槽隔离结构 120 中形成沟槽 200；再去除掩膜层和第二光刻胶层。通过将第二光刻胶层的图案转移到衬底 100 中，形成所需沟槽 200。

形成沟槽 200 后，在沟槽 200 的侧壁和底壁沉积第一绝缘层 300。参考图 5 和图 6，通过沉积工艺在沟槽 200 的侧壁和底壁形成第一绝缘层 300，部分该第一绝缘层 300 可用于栅介质层。具体的，与有源区 110 相接触的第一绝缘层 300 用作栅介质层，栅介质层用于隔离有源区 110 和形成在第一绝缘层 300 所围合成的区域内的结构。例如，该结构可以包括后续所形成的第一导电层 400、第二导电层 500 和保护层 600(参考图 15 和图 16)。沉积工艺可以为化学气相沉积 (Chemical Vapor Deposition, 简称 CVD) 工艺、物理气相沉积 (Physical Vapor Deposition, 简称 PVD) 工艺或者原子层沉积 (Atomic Layer Deposition, 简称 ALD) 工艺等。

第一绝缘层 300 的介电常数可以为 1-8，其材质可以包括氮化硅或者氧化硅。当然，第一绝缘层 300 的材质还可以包括氧化铪 (HfO) 等高介电常数材料。第一绝缘层 300 的厚度可以为 1nm-8nm。优选的，第一绝缘层 300 的材质与浅槽隔离结构 120 中的绝缘材料相同，第一绝缘层 300 与浅槽隔离结构 120 相接触，以使第一绝缘层 300 和浅槽隔离结构 120 之间不易产生层间分离。

步骤 S20：在第一绝缘层表面形成第一导电层。

参考图 7 和图 8，第一导电层 400 形成在第一绝缘层 300 表面，其覆盖第一绝缘层 300 且填充在形成有第一绝缘层 300 的沟槽 200 中。示例性的，形成沟槽 200 后，第一绝缘层 300 覆盖沟槽 200 的侧壁和底壁，第一导电层 400 填充满第一绝缘层 300 所围合的区域内，即第一绝缘层 300 和第一导电层 400 填充满沟槽 200。

第一导电层 400 包括金属导电层，该金属导电层可以为单层，也可以为多层。例如，第一导电层 400 可以为氮化钛层、钼层、钨层、氮化钨层、氮化钼层、钛氮硅化合物层、钼氮硅化合物层或者钨氮硅化合物层等单层结构。第一导电层 400 还可以包括形成在第一绝缘层 300 的表面的第一导电分层，以及填充在第一导电分层所围合的区域内的第二导电分层。示例性的，第二导电分层可以为钨柱，第一导电分层可以为氮化钛层，第一导电分层位于第二导电分层和第一绝缘层 300 之间，以阻挡第二导电分层的金属扩散至第一绝缘层 300，甚至衬底 100 中。第一导电层 400 的各层可以通过化学气相沉积工艺或者原子层沉积工艺形成。

在一些可能的示例中，在第一绝缘层 300 表面形成第一导电层 400，包括：在第一绝缘层 300 表面和衬底 100 上沉积第一导电层 400，第一导电层 400 填充满形成有第一绝缘层 300 的沟槽 200，且覆盖衬底 100。参考图 7 和图 8，第一导电层 400 填充满形成第一绝缘层 300 后的沟槽 200 的剩余的空间，并覆盖在衬底 100 上，便于第一导电层 400 的形成，以及后续对第一导电层 400 的处理。

在上述衬底 100 上形成有第二绝缘层的实施例中，第二绝缘层可以对有源区 110 进行隔离和保护。第一导电层 400 填充满沟槽 200，并覆盖在第二绝缘层上，其与有源区 110 之间通过第二绝缘层隔离，一方面可以避免第一导电层 400 与有源区 110 电连接，另一方面可以在去除第一导电层 400 时对有源区 110 进行保护，以减少或者避免有源区 110 的损伤。

步骤 S30：采用第一刻蚀工艺去除部分第一导电层至初始深度。

参考图 9 和图 10，通过第一刻蚀工艺去除衬底 100 上方的第一导电层 400，并去除位于沟槽 200 内的部分第一导电层 400，保留位于沟槽 200 的底部的部分第一导电层 400。去除部分第一导电层 400 后，剩余的第一导电层 400 位于沟槽 200 的初始深度，如图 9 所示 H 处。

其中，第一刻蚀工艺可以为干法刻蚀，也可以为湿法刻蚀，第一刻蚀工艺可以为一次刻蚀，也可以为多次刻蚀。一次刻蚀是指一步刻蚀，通过一次刻蚀工艺将第一导电层 400 刻蚀至初始深度；多次刻蚀是指多步刻蚀或者分步刻蚀，通过至少两次刻蚀工艺将第一导电层 400 刻蚀至初始深度，至少两次刻蚀工艺的类型和/或工艺参数不同。

在一些可能的示例中，第一刻蚀工艺为干法刻蚀且为一次刻蚀，例如，通过等离子体直接将第一导电层 400 刻蚀至初始深度。如此设置，刻蚀过程简单，无需增加额外的工序，也无需调整工艺参数。

在另一些可能的示例中，第一刻蚀工艺为干法刻蚀且为多次刻蚀，即第一导电层 400 经过多次干法刻蚀至初始深度。例如，第一导电层 400 经过两次干法刻蚀至初始深度，这两次干法刻蚀的刻蚀速率可以不同。优选的，第二次干法刻蚀的刻蚀速率小于第一次干法刻蚀的刻蚀速率。如此设置，随着第一导电层 400 刻蚀深度增加，第一导电层 400 的刻蚀速率减慢，第一导电层 400 刻蚀至初始深度更准确，即可以减少或者避免第一导电层

400 过刻蚀。

在第一导电层 400 填充满形成有第一绝缘层 300 的沟槽 200，且覆盖衬底 100 的实施例 5 中，第一刻蚀工艺包括干法刻蚀，采用第一刻蚀工艺去除部分第一导电层 400 至初始深度，包括：干法刻蚀第一导电层 400，完全去除位于衬底 100 上的第一导电层 400，并去除位于沟槽 200 内的第一导电层 400 至初始深度。如图 7 至图 10 所示，保留初始深度及其下方的第一导电层 400，去除其余的第一导电层 400，干法刻蚀第一导电层 400 后，第一导电层 400 形成多条，每条位于一个沟槽 200 内。

在一些可能的示例中，干法刻蚀第一导电层 400，当第一导电层 400 10 为氮化钛层或者钼层时，刻蚀气体可以包括含氟气体，例如甲烷（ CF_4 ）、三氟甲烷（ CHF_3 ）或者二氟甲烷（ CH_2F_2 ）等。当第一导电层 400 为钼层时，刻蚀气体还可以包括含氯气体，例如氯气（ Cl_2 ），四氯化碳（ CCl_4 ）等。

步骤 S40：采用第二刻蚀工艺去除剩余的第一导电层至目标深度。

15 参考图 11 和图 12，通过第二刻蚀工艺继续刻蚀剩余的第一导电层 400，去除位于沟槽 200 内的部分第一导电层 400 至目标深度，如图 11 所示 L 处。可以理解的是，经过第一刻蚀工艺和第二刻蚀工艺去除第一导电层 400 后，剩余的第一导电层 400 位于沟槽 200 的目标深度处。通过第二刻蚀工艺进一步减少第一导电层 400 的高度。

20 在一些可能的实施方式中，第一刻蚀工艺与第二刻蚀工艺相同。示例性的，第一刻蚀工艺均为干法刻蚀工艺或者均为湿法刻蚀工艺，第一刻蚀工艺和第二刻蚀工艺的工艺参数可以相同，也可以不同。例如，第二刻蚀工艺的刻蚀速率小于第一刻蚀工艺的刻蚀速率。第一刻蚀工艺的刻蚀深度大于第二刻蚀工艺的刻蚀深度，即通过两次刻蚀去除需要去除的第一导电层 400，25 第一刻蚀工艺去除大部分需要去除的第一导电层 400，第二刻蚀工艺去除小部分需要去除的第一导电层 400，以便于停止刻蚀，减少对第一导电层 400 的过刻蚀和对第一绝缘层 300 的损伤。

在另一些可能的实施方式中，第一刻蚀工艺与第二刻蚀工艺不同，示例的，第一刻蚀工艺为湿法刻蚀，第二刻蚀工艺为干法刻蚀，或者第一刻蚀工艺为干法刻蚀，第二刻蚀工艺为湿法刻蚀。30

在一种优选的实施例中，第一刻蚀工艺为干法刻蚀，第二刻蚀工艺为湿法刻蚀。如此设置，干法刻蚀具有较好的一致性，提高图形的精确性，利用干法刻蚀去除位于衬底 100 上以及远离沟槽 200 的槽底的部分第一导电层 400 后，剩余的第一导电层 400 形成分隔设置的多条，多条第一导电层 400 基本齐平或者高度差在预设范围内，多条第一导电层 400 的深度变化不大。湿法刻蚀具有较好的选择比，利用湿法刻蚀继续刻蚀第一导电层 400 时，可以避免损伤暴露出来的衬底 100 和沟槽 200 的侧壁，即对衬底 100 和第一绝缘层 300 的损伤较小，可以保证刻蚀结束后靠近第一导电层 400 的第一绝缘层 300 的厚度，从而可以保证后续形成第二导电层 500 后，第二导电层 500 与衬底 100 之间的绝缘性能，减少或者避免栅极诱导漏极泄漏电流现象。

具体的，第一刻蚀工艺包括干法刻蚀，干法刻蚀的刻蚀深度为 40-50nm。如此设置，干法刻蚀的刻蚀深度较深，可以最大程度上减小多条第一导电层 400 的深度的差异性，避免多条第一导电层 400 的深度变化太大。干法刻蚀采用的源功率范围为 200-300W，偏置功率范围为 100-200W。其中，源功率是指施加在刻蚀机的上电极的功率，偏置功率是指施加在刻蚀机的下电极的功率，通过调整偏置功率，可以控制刻蚀气体的方向性，改变干法刻蚀的深度等。

干法刻蚀第一导电层 400 时，刻蚀气体包括氩气、氮气、氯气和三氟化氮中的一种或多种组合。示例性的，氩气的体积流量为 100-300sccm，氮气的体积流量为 10-40sccm，氯气的体积流量为 50-100sccm，三氟化氮的体积流量为 10-40sccm。在一种优选的实施方式中，氩气的体积流量为 200sccm，氮气的体积流量为 20sccm，氯气的体积流量为 80sccm，三氟化氮的体积流量 20sccm，源功率为 250W，偏置功率为 150W。

第二刻蚀工艺包括湿法刻蚀，湿法刻蚀的刻蚀深度为 10-15nm。湿法刻蚀的刻蚀深度较小，其主要去除位于沟槽 200 的中部的第一导电层 400，去除该部分第一导电层 400 后所形成的空间可以用于容纳第二导电层 500（参考图 15 和图 16）。利用湿法刻蚀形成该空间，其对该空间侧壁上的第一绝缘层 300 的损伤较小，可以保证第二导电层 500 与有源区 110 之间的绝缘性，减少栅诱导漏极泄漏电流。

湿法刻蚀采用的刻蚀液可以为硫酸-过氧化氢混合物（Sulfuric Peroxide Mixture，简称 SPM），其具有较强的氧化性。具体的，湿法刻蚀的刻蚀液可以包括质量分数为 96% 的硫酸，以及质量分数为 30% 的过氧化氢。刻蚀液中的硫酸与过氧化氢的体积比为 5:1-8:1。在一种优选的实施方案中，湿法刻蚀时的刻蚀液中质量分数为 96% 的硫酸与质量分数为 30% 的过氧化氢的体积比为 6:1。

在本公开其他的实施例中，参考图 13 至图 16，还包括：在沟槽 200 内刻蚀后的第一导电层 400 上依次形成第二导电层 500 和保护层 600，第二导电层 500 覆盖第一导电层 400，保护层 600 覆盖第二导电层 500。

具体的，参考图 13 和图 14，经过第一刻蚀工艺和第二刻蚀工艺去除部分第一导电层 400，保留位于沟槽 200 的底部的第一导电层 400，沟槽 200 仍有部分空间暴露出来。在沟槽 200 暴露的空间内形成第二导电层 500 和保护层 600，且第二导电层 500 覆盖第一导电层 400，保护层 600 覆盖第二导电层 500。也就是说，沟槽 200 的侧壁和底壁形成第一绝缘层 300，第一绝缘层 300 所围合的区域内依次层叠设置有第一导电层 400、第二导电层 500 和保护层 600，这四层填充满沟槽 200。

其中，第二导电层 500 的材质包括半导体材料或者掺杂半导体材料，例如，第二导电层 500 的材质可以为多晶硅（Polysilicon）或者掺杂多晶硅。如此设置，第一导电层 400 为金属导电层时，利用多晶硅材料的功函数较低的性能，可以减少电阻，即多晶硅-金属导电层所形成的叠层的电阻低于同样高度的金属导电层的电阻。第二导电层 500 的材质为多晶硅时，第二导电层 500 的厚度小于第一导电层 400 的厚度，以防止增加多晶硅-金属导电层所形成的叠层高宽比和/或电容量。保护层 600 的材质可以为氮化硅或者氮氧化硅，其对第二导电层 500 进行隔离和保护，以减少或者避免第二导电层 500 氧化。

第二导电层 500 和保护层 600 可以通过沉积工艺形成。示例性的，第二导电层 500 沉积形成在第一导电层 400 和衬底 100 上，刻蚀去除位于衬底 100 上和沟槽 200 内的部分第二导电层 500，即第二导电层 500 通过沉积并回刻形成。保护层 600 沉积形成在第二导电层 500 和衬底 100 上，通过刻蚀或者平坦化处理去除位于衬底 100 上的保护层 600。

优选的,通过机械化学研磨去除衬底 100 上的保护层 600。如此设置,去除衬底 100 上的保护层 600 后还可以继续向下研磨,去除部分衬底 100 和部分保护层 600,以暴露衬底 100 中的有源区 110,便于有源区 110 与其他结构进行电连接。保护层 600 可以与有源区 110 齐平,以提供较为平整的表面,以便于在保护层 600 和有源区 110 上形成其他结构。

参考图 15 和图 16,沟槽 200 的侧壁和底壁形成第一绝缘层 300,第一绝缘层 300 所围合的区域内形成第一导电层 400、第二导电层 500 和保护层 600,第一导电层 400、第二导电层 500 和保护层 600 沿沟槽 200 的底部至开口的方向依次层叠设置,第一导电层 400 位于第二导电层 500 靠近沟槽 200 的底部的一侧。

如图 15 和图 16 所示,部分第一绝缘层 300 用作栅介质层,其中,栅介质层可以分为三部分,这三部分分别为顶部栅介质层、中部栅介质层和底部栅介质层。顶部栅介质层与保护层 600 相接触,中部栅介质层与第二导电层 500 相接触,底部栅介质层与第一导电层 400 相接触。中部栅介质层的绝缘性能影响阈值电压 V_t 和栅极诱导漏极泄漏电流,底部栅介质层的绝缘性能影响源漏电流 I_{ds} 。本公开实施例中,利用第一刻蚀工艺刻蚀第一导电层 400 至初始深度时,底部栅介质层和中部栅介质层没有受到刻蚀,可以保证其绝缘性能。利用第二刻蚀工艺刻蚀第一导电层 400 至目标深度时,底部栅介质层仍没有受到刻蚀,其绝缘性能较好。通过调整第二刻蚀工艺,例如工艺参数等,以减少对中部栅介质层的损伤,以保证其绝缘性能。

本公开实施例提供的半导体结构的制作方法中,衬底 100 内形成有沟槽 200,在沟槽 200 的侧壁和底壁形成第一绝缘层 300,并在第一绝缘层 300 表面形成第一导电层 400,再采用第一刻蚀工艺去除部分第一导电层 400 至初始深度,采用第二刻蚀工艺去除剩余的第一导电层 400 至目标深度。通过至少两步刻蚀工艺去除第一导电层 400 至目标深度,控制第一刻蚀工艺和/或第二刻蚀工艺,可以在刻蚀第一导电层 400 时减少对第一绝缘层 300 的损伤,从而保证第一绝缘层 300 的厚度,减少或者避免栅极诱导漏极泄漏电流现象,进而提高半导体结构的良率。

本说明书中各实施例或实施方式采用递进的方式描述,每个实施例重

点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。参考术语“一个实施方式”、“一些实施方式”、“示意性实施方式”、“示例”、“具体示例”、或“一些示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质的脱离本公开各实施例技术方案的范围。

权 利 要 求 书

1、一种半导体结构的制作方法，包括：

在衬底中形成多条间隔设置且沿第一方向延伸的沟槽，并在所述沟槽的侧壁和底壁形成第一绝缘层；

5 在所述第一绝缘层表面形成第一导电层；

采用第一刻蚀工艺去除部分所述第一导电层至初始深度；

采用第二刻蚀工艺去除剩余的所述第一导电层至目标深度。

2、根据权利要求1所述的制作方法，其中，所述第一刻蚀工艺与所述第二刻蚀工艺相同。

10 3、根据权利要求1所述的制作方法，其中，所述第一刻蚀工艺与所述第二刻蚀工艺不同。

4、根据权利要求1所述的制作方法，其中，在所述第一绝缘层表面形成第一导电层，包括：

15 在所述第一绝缘层表面和所述衬底上沉积所述第一导电层，所述第一导电层填充形成有所述第一绝缘层的所述沟槽，且覆盖所述衬底。

5、根据权利要求4所述的制作方法，其中，所述第一导电层包括金属导电层。

6、根据权利要求4所述的制作方法，其中，所述第一刻蚀工艺包括干法刻蚀，所述采用第一刻蚀工艺去除部分所述第一导电层至初始深度，包
20 括：

干法刻蚀所述第一导电层，完全去除位于所述衬底上的所述第一导电层，并去除位于所述沟槽内的所述第一导电层至初始深度。

7、根据权利要求6所述的制作方法，其中，所述干法刻蚀的刻蚀深度为40-50nm。

25 8、根据权利要求6所述的制作方法，其中，所述干法刻蚀采用的源功率范围为200-300W，偏置功率范围为100-200W。

9、根据权利要求6所述的制作方法，其中，干法刻蚀所述第一导电层时，刻蚀气体包括氩气、氮气、氯气和三氟化氮中的一种或多种组合。

30 10、根据权利要求9所述的制作方法，其中，所述氩气的体积流量为100-300sccm，所述氮气的体积流量为10-40sccm，所述氯气的体积流量为

50-100sccm，所述三氟化氮的体积流量为 10-40sccm。

11、根据权利要求 1-10 任一项所述的制作方法，其中，所述第二刻蚀工艺包括湿法刻蚀，所述湿法刻蚀采用的刻蚀液包括质量分数为 96%的硫酸，以及质量分数为 30%的过氧化氢。

5 12、根据权利要求 11 所述的制作方法，其中，所述刻蚀液中的所述硫酸与所述过氧化氢的体积比为 5:1-8:1。

13、根据权利要求 11 所述的制作方法，其中，所述湿法刻蚀的刻蚀深度为 10-15nm。

10 14、根据权利要求 1-10 任一项所述的制作方法，其中，还包括：在所述沟槽内刻蚀后的第一导电层上依次形成第二导电层和保护层，所述第二导电层覆盖所述第一导电层，所述保护层覆盖所述第二导电层。

15、根据权利要求 14 所述的制作方法，其中，所述第二导电层的材质包括半导体材料或者掺杂半导体材料。

15 16、根据权利要求 1-10 任一项所述的制作方法，其中，所述衬底包括多个间隔设置的有源区，以及隔离各所述有源区的浅槽隔离结构；

所述在衬底中形成多条间隔设置且沿第一方向延伸的沟槽，并在所述沟槽的侧壁和底壁形成第一绝缘层，包括：

刻蚀所述有源区和所述浅槽隔离结构，以形成所述沟槽；

在所述沟槽的侧壁和底壁沉积所述第一绝缘层。

20 17、一种半导体结构，所述半导体结构通过权利要求 1-16 任一项所述的制作方法形成。

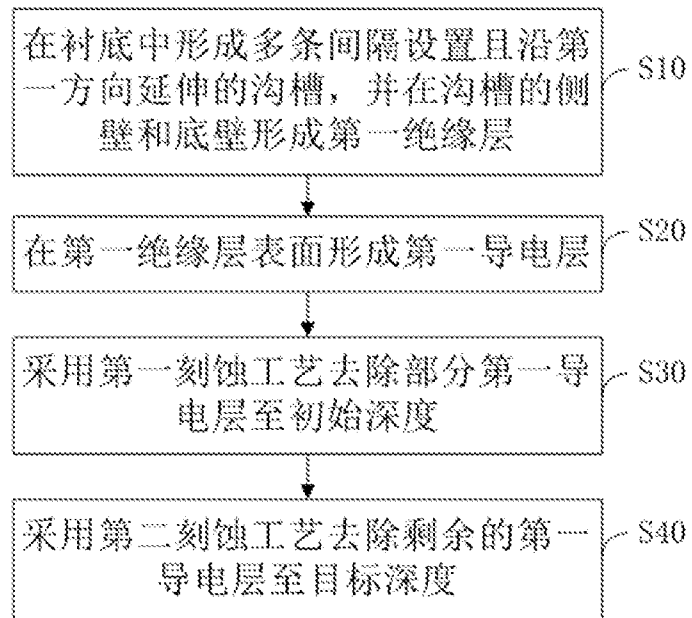


图 1

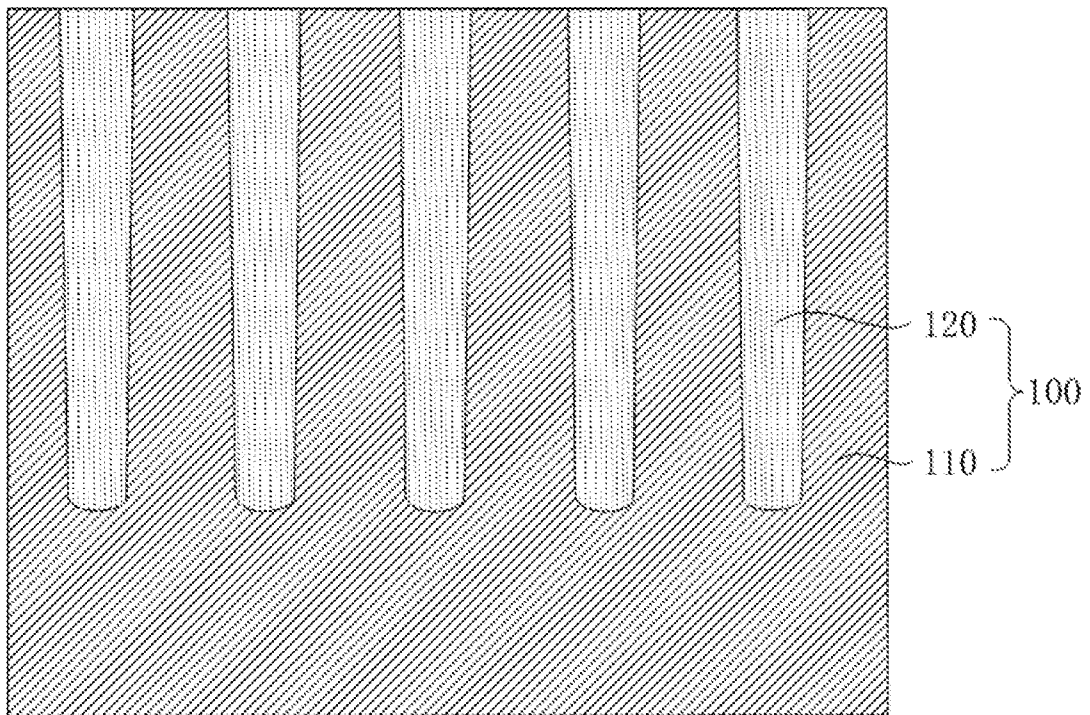


图 2

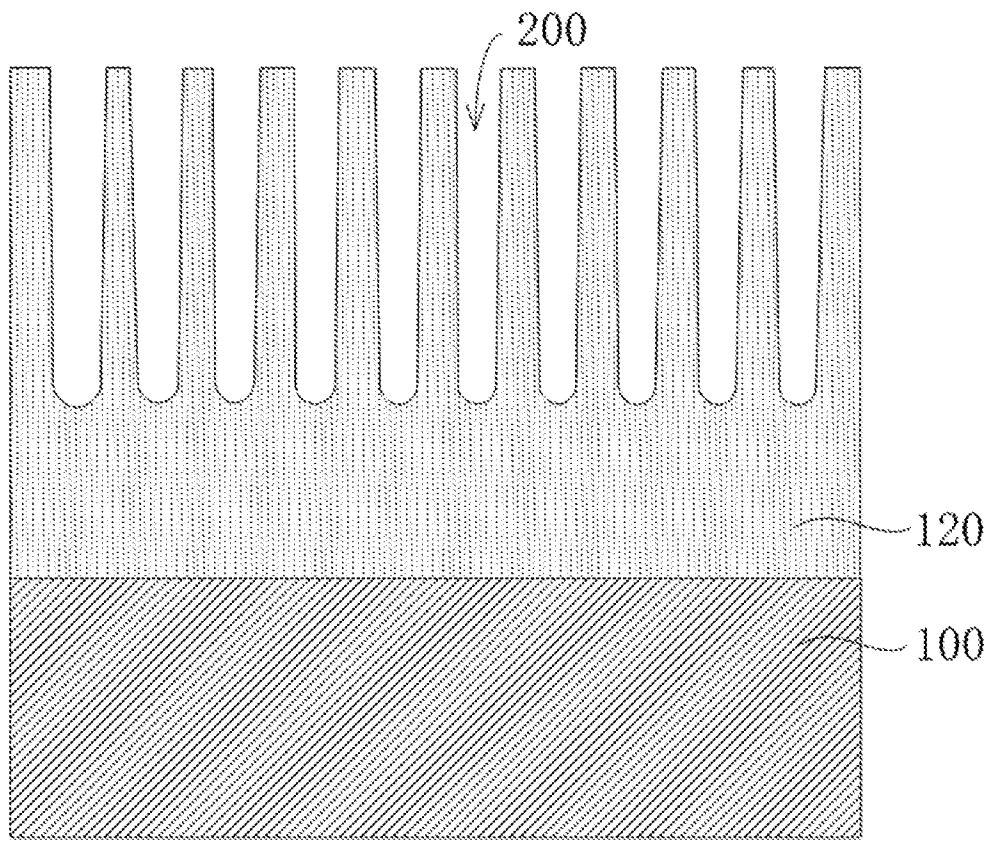


图 3

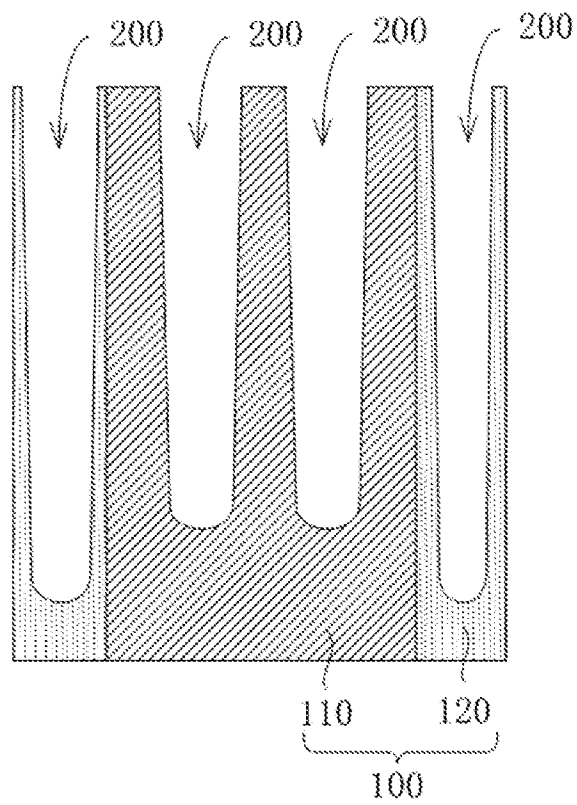


图 4

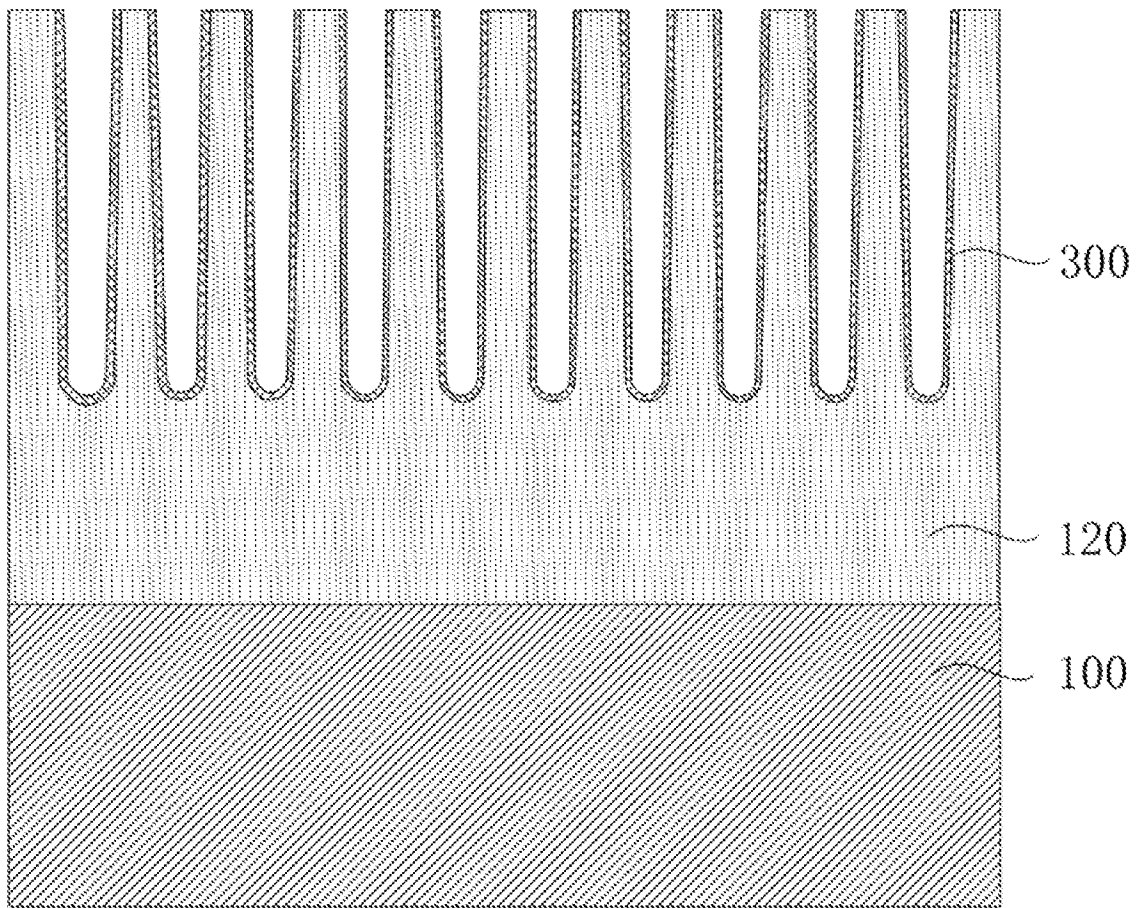


图 5

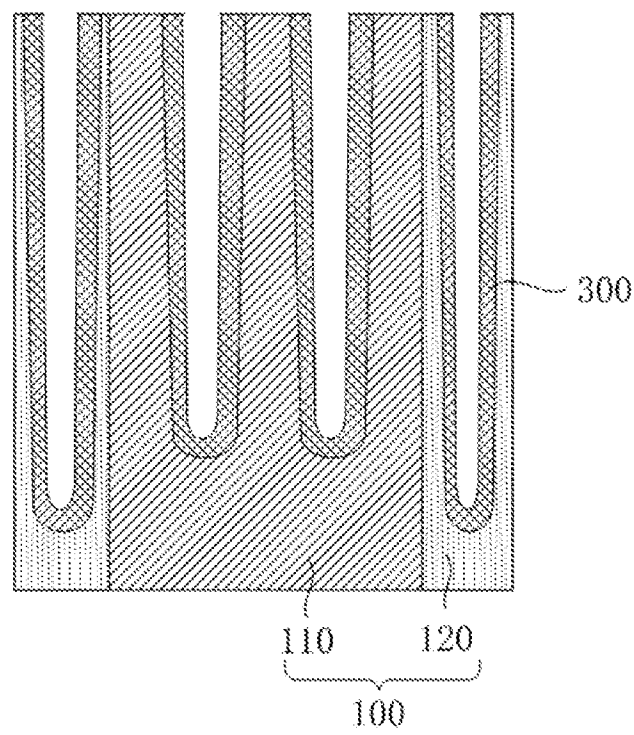


图 6

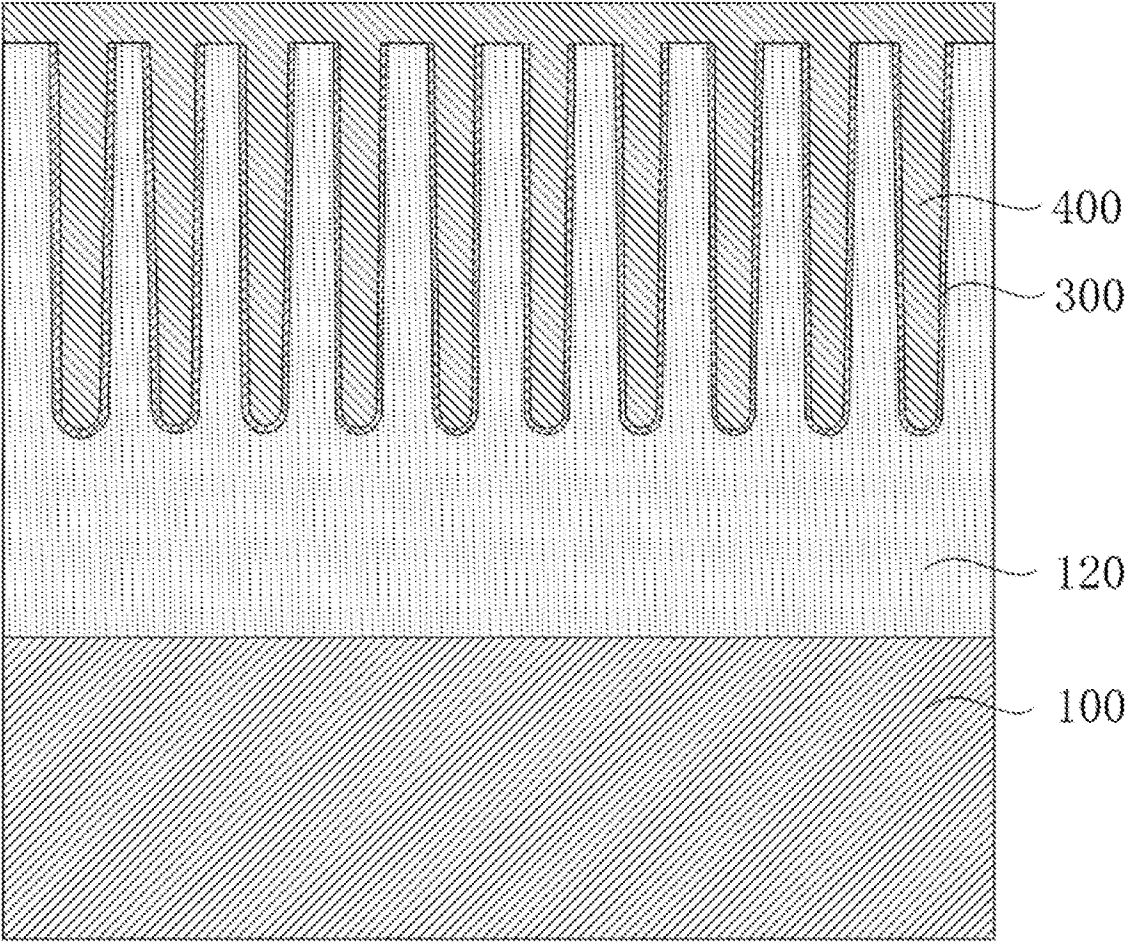


图 7

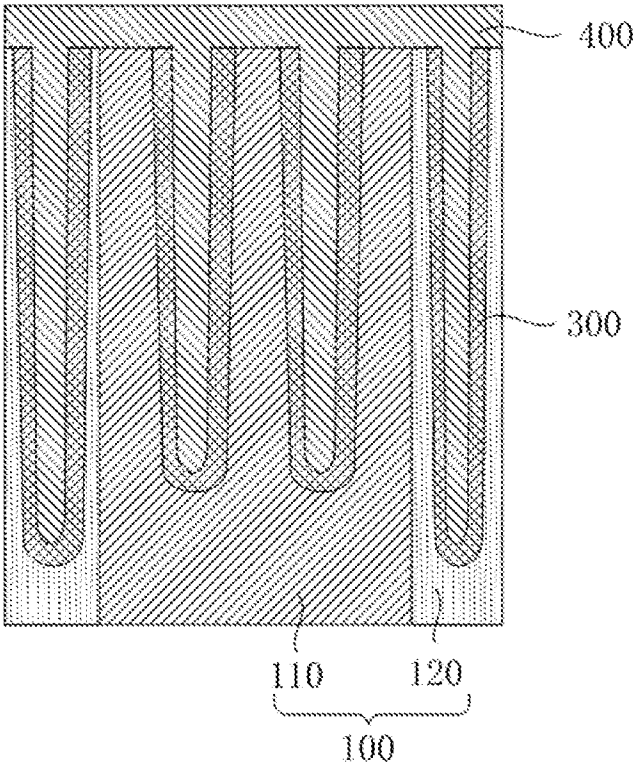


图 8

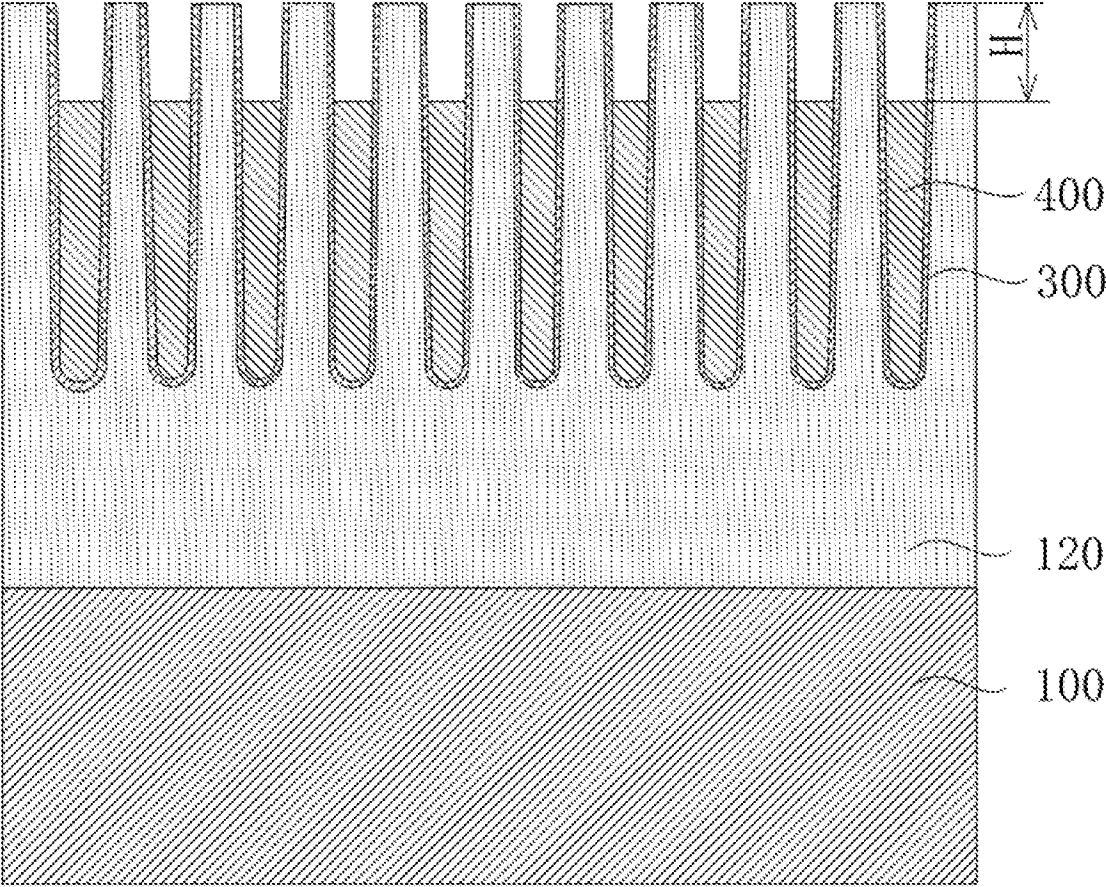


图 9

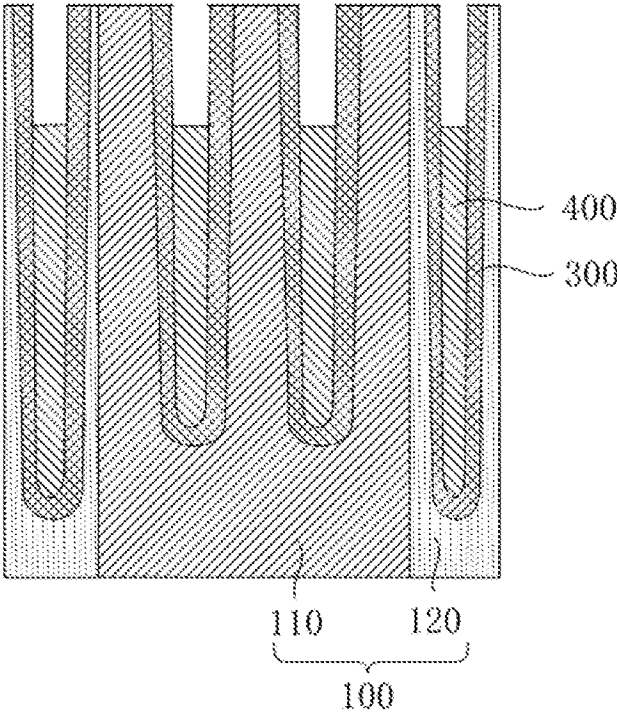


图 10

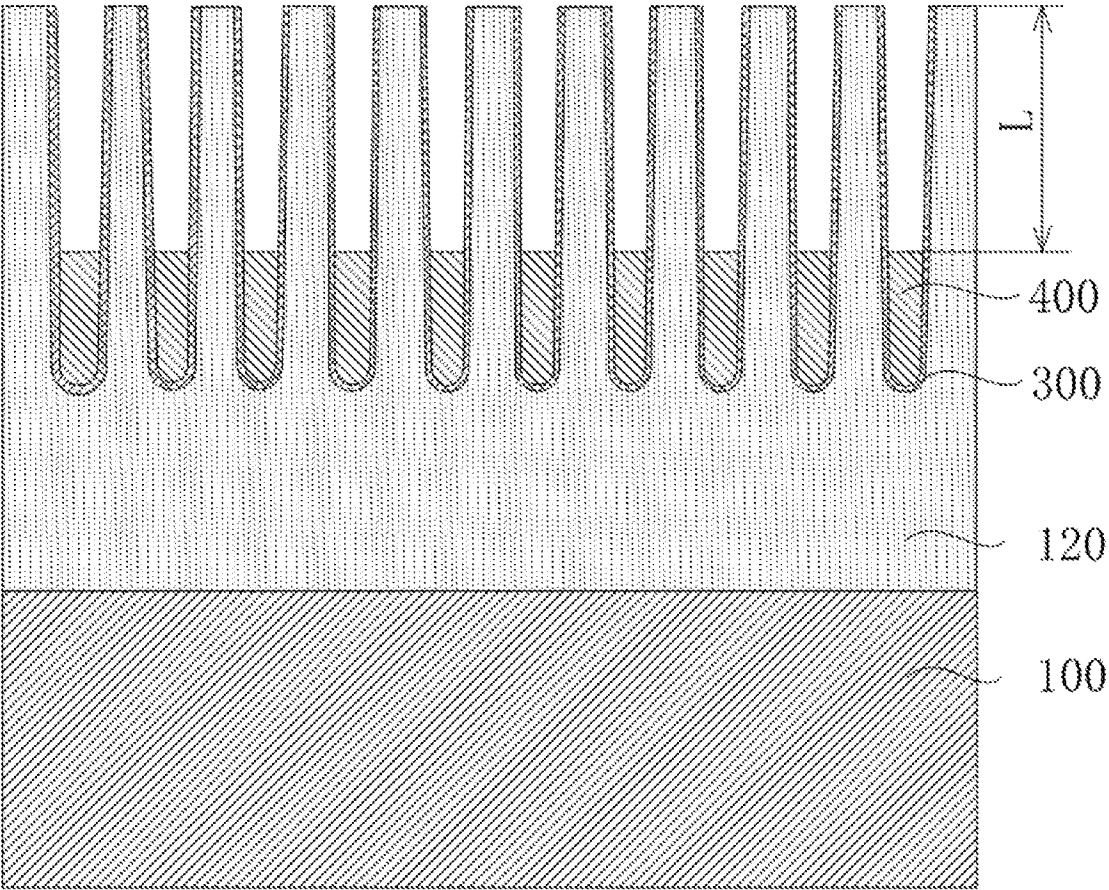


图 11

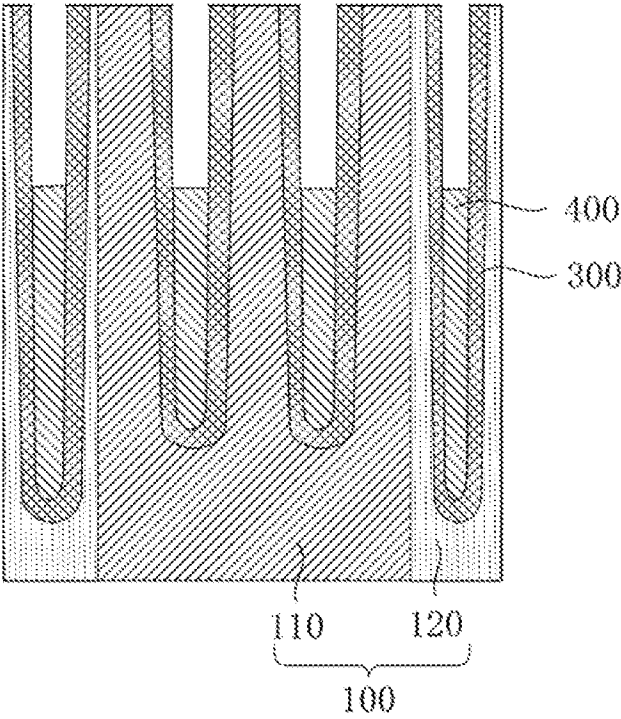


图 12

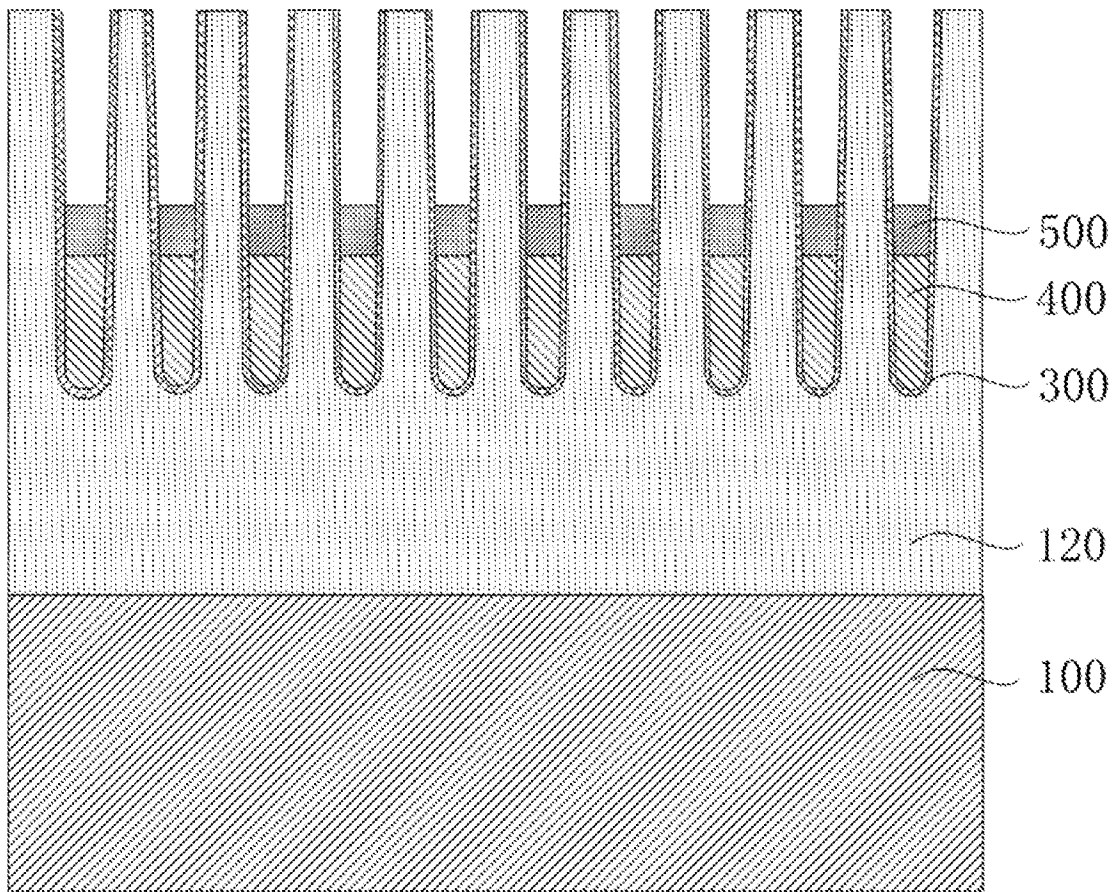


图 13

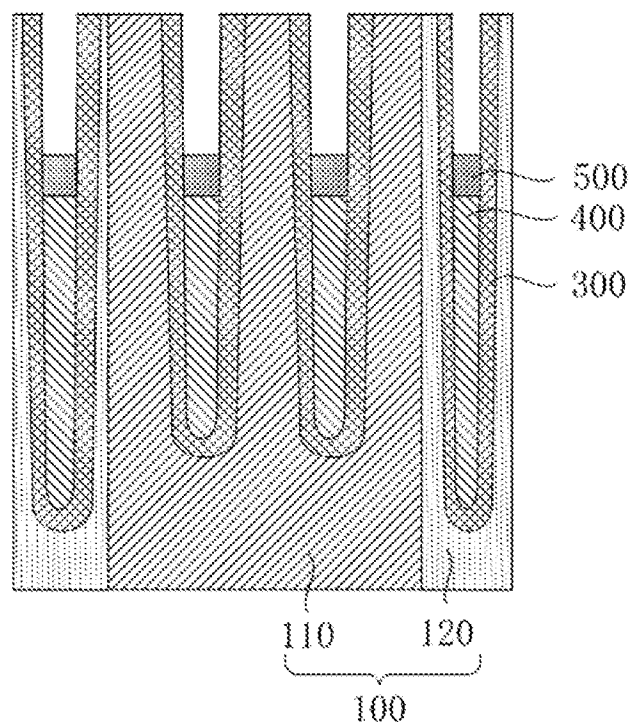


图 14

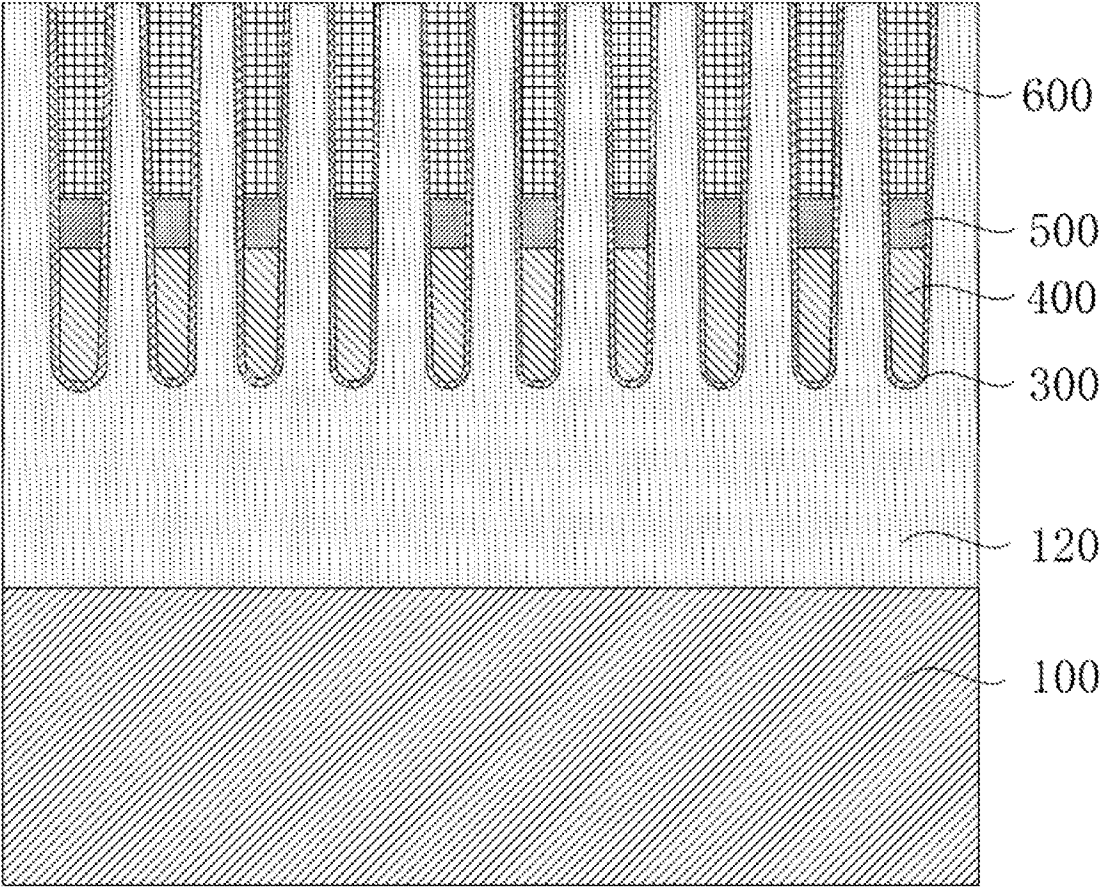


图 15

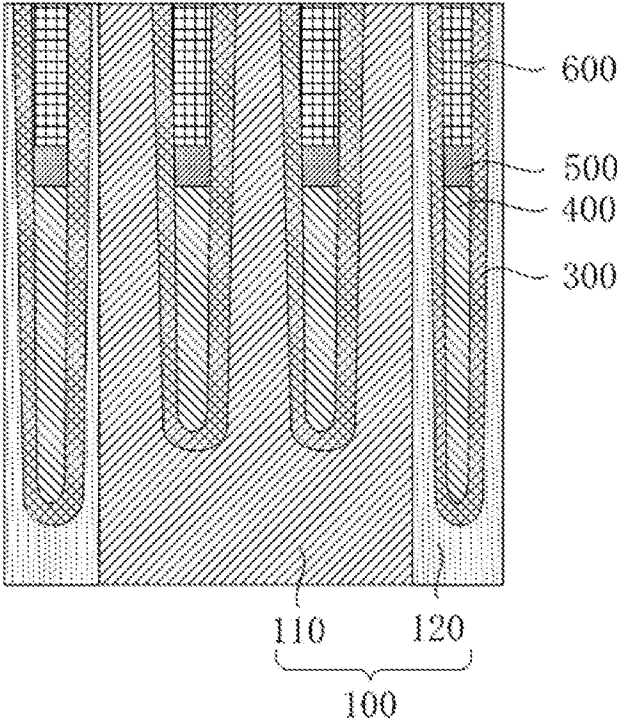


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/080152

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI, IEEE: 半导体, 沟槽, 埋入, 干法, 湿法, 蚀刻, 刻蚀, 栅, semiconductor, trench, groove, buried, dry, wet, etch+, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102214578 A (HYNIX SEMICONDUCTOR INC. et al.) 12 October 2011 (2011-10-12) description, paragraphs [0031]-[0042], and figures 1-2	1-2, 4-10, 16-17
Y	CN 102214578 A (HYNIX SEMICONDUCTOR INC. et al.) 12 October 2011 (2011-10-12) description, paragraphs [0031]-[0042], and figures 1-2	14-15
X	CN 110911281 A (SEMICONDUCTOR MANUFACTURING ELECTRONICS (SHAOXING) CORP.) 24 March 2020 (2020-03-24) description, paragraphs [0035]-[0045], and figures 1-2A	1, 3, 4, 6, 8-13, 17
Y	CN 110911281 A (SEMICONDUCTOR MANUFACTURING ELECTRONICS (SHAOXING) CORP.) 24 March 2020 (2020-03-24) description, paragraphs [0035]-[0045], and figures 1-2A	14-15
Y	CN 113270406 A (NANYA TECHNOLOGY CORP.) 17 August 2021 (2021-08-17) description, paragraphs [0036]-[0055], and figures 1-9	14-15
A	CN 112885897 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 01 June 2021 (2021-06-01) entire document	1-17
A	US 2015187899 A1 (SK HYNIX INC.) 02 July 2015 (2015-07-02) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 November 2022

Date of mailing of the international search report

25 November 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/080152

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012012925 A1 (HYNIX SEMICONDUCTOR INC.) 19 January 2012 (2012-01-19) entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/080152

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102214578	A	12 October 2011	TW	201135815	A	16 October 2011
				US	2011248339	A1	13 October 2011
				US	2012306008	A1	06 December 2012
				KR	20110112613	A	13 October 2011
				KR	101095745	B1	21 December 2011
				US	8263460	B2	11 September 2012
				TW	1521572	B	11 February 2016
				CN	102214578	B	17 February 2016
CN	110911281	A	24 March 2020	CN	110911281	B	29 July 2022
CN	113270406	A	17 August 2021	US	2021257372	A1	19 August 2021
				US	2022216213	A1	07 July 2022
				TW	202131489	A	16 August 2021
				TW	1749766	B	11 December 2021
				US	11315930	B2	26 April 2022
CN	112885897	A	01 June 2021	CN	210640255	U	29 May 2020
US	2015187899	A1	02 July 2015	US	2016093710	A1	31 March 2016
				KR	20150080714	A	10 July 2015
				US	9236439	B2	12 January 2016
US	2012012925	A1	19 January 2012	KR	20120007712	A	25 January 2012
				KR	101139987	B1	02 May 2012

国际检索报告

国际申请号

PCT/CN2022/080152

A. 主题的分类

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, EPDOC, WPI, IEEE: 半导体, 沟槽, 埋入, 干法, 湿法, 蚀刻, 刻蚀, 栅, semiconductor, trench, groove, buried, dry, wet, etch+, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102214578 A (海力士半导体有限公司 等) 2011年10月12日 (2011 - 10 - 12) 说明书第[0031]-[0042]段, 图1-2	1-2, 4-10, 16-17
Y	CN 102214578 A (海力士半导体有限公司 等) 2011年10月12日 (2011 - 10 - 12) 说明书第[0031]-[0042]段, 图1-2	14-15
X	CN 110911281 A (中芯集成电路制造绍兴有限公司) 2020年3月24日 (2020 - 03 - 24) 说明书第[0035]-[0045]段, 图1-2A	1, 3, 4, 6, 8-13, 17
Y	CN 110911281 A (中芯集成电路制造绍兴有限公司) 2020年3月24日 (2020 - 03 - 24) 说明书第[0035]-[0045]段, 图1-2A	14-15
Y	CN 113270406 A (南亚科技股份有限公司) 2021年8月17日 (2021 - 08 - 17) 说明书第[0036]-[0055]段, 图1-9	14-15
A	CN 112885897 A (长鑫存储技术有限公司) 2021年6月1日 (2021 - 06 - 01) 全文	1-17
A	US 2015187899 A1 (SK HYNIX INC.) 2015年7月2日 (2015 - 07 - 02) 全文	1-17
A	US 2012012925 A1 (HYNIX SEMICONDUCTOR INC.) 2012年1月19日 (2012 - 01 - 19) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年11月16日

国际检索报告邮寄日期

2022年11月25日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘天飞

电话号码 86-(10)-53961216

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/080152

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102214578	A	2011年10月12日	TW	201135815	A	2011年10月16日
				US	2011248339	A1	2011年10月13日
				US	2012306008	A1	2012年12月6日
				KR	20110112613	A	2011年10月13日
				KR	101095745	B1	2011年12月21日
				US	8263460	B2	2012年9月11日
				TW	1521572	B	2016年2月11日
				CN	102214578	B	2016年2月17日
CN	110911281	A	2020年3月24日	CN	110911281	B	2022年7月29日
CN	113270406	A	2021年8月17日	US	2021257372	A1	2021年8月19日
				US	2022216213	A1	2022年7月7日
				TW	202131489	A	2021年8月16日
				TW	1749766	B	2021年12月11日
				US	11315930	B2	2022年4月26日
CN	112885897	A	2021年6月1日	CN	210640255	U	2020年5月29日
US	2015187899	A1	2015年7月2日	US	2016093710	A1	2016年3月31日
				KR	20150080714	A	2015年7月10日
				US	9236439	B2	2016年1月12日
US	2012012925	A1	2012年1月19日	KR	20120007712	A	2012年1月25日
				KR	101139987	B1	2012年5月2日