

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： P6104P76

※ 申請日期： P6. 7. 12

※IPC 分類： H01L 21/336

H01L 21/329

一、發明名稱：(中文/英文)

製造溝渠式 DMOS 電晶體及肖特基元件之方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

強茂股份有限公司

代表人：(中文/英文)

方敏清

住居所或營業所地址：(中文/英文)

高雄縣崗山鎮崗山北路 24 號

國 籍：(中文/英文)

中華民國

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 莊喬舜

2. 翁宏達

國 籍：(中文/英文)

中華民國

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種製造溝渠式 DMOS 電晶體及肖特基元件之方法，尤指一種利用簡易的步驟即可形成 DMOS 電晶體及肖特基元件的製造方法。

【先前技術】

雙擴散金氧半電晶體 (double diffused metal oxide semiconductor transistors, DMOS transistors) 大多是應用於高電壓積體電路中的功率電晶體。習用製造 DMOS 電晶體的製程大多相當繁複，一般而言會使用六至七道光罩以分別定義所需的元件。

請參考第二 A 圖所示，首先在一 N⁺ 摻雜基材 (300) 上係形成一 N 型磊晶層 (301)，於該 N 型磊晶層 (301) 上係再成長一初始氧化層 (302)。該初始氧化層 (302) 表面緊接著塗佈第一光阻層 (401)，並使用第一道光罩 (圖中未示) 在第一光阻層 (401) 上定義出圖案。圖案化之後的第一光阻層 (401) 即作為一遮罩，而未受第一光阻層 (401) 遮罩的初始氧化層 (302) 即利用蝕刻程序加以去除，於蝕刻結束後，係移除該第一光阻層 (401)。

請參閱第二 B 圖所示，在未受到該初始氧化層 (302) 遮蔽的磊晶層 (301) 區域，係經由佈值及擴散步驟而形成一 P 主體區 (303)。如第二 C 圖所示，在該 P 主體區 (303) 及未被移除的初始氧化層 (302)

上，係利用化學氣相沉積步驟全面形成一第二氧化層（304）。

請參閱第二D及二E兩圖，於第二氧化層（304）上係塗佈一第二光阻層（402），並利用第二道光罩對該第二光阻層（402）定義出所需的溝渠圖案。圖案化後的第二光阻層（402）係作為蝕刻遮罩層，該第二氧化層（304）及P主體區（303）於未圖案化的區域將被蝕刻移除以形成複數個溝渠（305），而溝渠（305）深度係深及至該磊晶層（301）。

請參考第二F圖所示，於溝渠（305）成形後，係移除該第二光阻層（402），並於未受該第二氧化層（304）所覆蓋的溝渠（305）及P主體區（303）表面形成一閘極氧化層（306）。形成閘極氧化層（306）後，係去除剩餘的第二氧化層（304）以顯露在其下方的第一氧化層（302）。利用沉積步驟（如CVD），係進一步於溝渠（305）內部全面填滿一多晶矽層（307）及覆蓋於第一氧化層（302）上。在多晶矽層（307）上係再塗佈第三光阻層（403）並利用第三道光罩對其圖案化。

請參考第二G圖所示，利用圖案化後的第三光阻層（403）為蝕刻遮罩，係針對該多晶矽層（307）進行蝕刻程序，以於各溝渠（305）內保留適當的厚度，於蝕刻完畢後，該第三光阻層（403）係加以清除。

如第二H圖所示，在前述第二G圖的結構上係全面塗

佈一第四光阻層（404），並以第四道光罩對其加以定義，此道光罩係定義欲施以離子佈植及擴散的區域。未由該第四光阻層（404）所覆蓋的P主體區（303）係施以N+材質摻雜以構成N型摻雜區（308）。該N型摻雜區（308）的位置係自P主體區（303）的上表面向下延伸至一適定深度，且鄰接該閘極氧化層（306），摻雜及擴散程序結束後，該第四光阻層（404）係加以移除。

請參照第二I圖，於該多晶矽層（307）及P主體區（303）上係全面性地形成有一保護層（309）（例如BPSG），在該保護層（309）上係塗佈第五光阻層（405），並以第五道光罩於此光阻層上定義出接觸孔的圖案。

請參考第二J，利用圖案化的第五光阻層（405）對該保護層（309）進行蝕刻後，係開設有複數個接觸窗（310）。於清洗掉第五光阻層（405），在接觸窗（310）內所顯露出來的P主體區（303），係再以佈植及擴散程序而形成P+接觸區（311）。

如第二K圖所示，在前述第二J圖製成的結構上係形成導電層（312）以填滿所有的接觸窗（310）。於該導電層（312）層係塗佈一第六光阻層（406），並利用對應的第六道光罩對其加以圖案化，未圖案化的導電層（312）將被蝕刻去除而顯露出部分的保護層（309）。

形成複數個具有第一摻雜型雜質之摻雜區於該主體區內，各摻雜區係鄰接前述溝渠；

成長一保護層於該第一氧化層上並覆蓋該閘極極點；

以一第二光罩於該保護層上定義接觸孔圖案；

根據前述接觸孔圖案形成複數個接觸孔，該接觸孔係貫穿該保護層及該第一氧化層；

以一第三光罩定義接觸區圖案；

形成具有該第二摻雜型雜質之接觸區於該主體區內；

以一第四光罩定義導電線路圖案；

形成一導電層於該保護層上，並填滿該接觸孔及覆蓋該磊晶層顯露之部份，其中該導電層與該磊晶層之接合界面係構成一肖特基接觸。

利用上述步驟，溝渠圖案光罩、接觸孔圖案光罩、P⁺接觸區圖案光罩及導電線路圖案光罩，該四道光罩便可形成所需的溝渠式DMOS電晶體結構。

【實施方式】

本發明係提供一種溝渠式DMOS電晶體及肖特基元件的製程，當中大幅簡化了既有製程使用六至七道光罩的複雜程序，使溝渠式DMOS電晶體及肖特基元件可藉由簡化的四道光罩步驟便可完成。

請參考第一A圖所示，首先在一N⁺摻雜基板（100）上形成一N型磊晶層（101），在該N型磊晶層（101）表面隨後係形成第一氧化層（102），於其表面

再塗佈第一光阻層（圖中未示），利用第一光罩（或稱為溝渠圖案光罩）於該第一光阻層上定義出複數個適當的溝渠部圖形，以此圖案化之後的第一光阻層為蝕刻遮罩，對第一氧化層（102）進行蝕刻以形成複數個開口（103）而露出部份區域的N型磊晶層（101）。於第一氧化層（102）的蝕刻作業結束後，係透過前述開口（103）對該N型磊晶層（101）進行一佈植及擴散程序以形成P主體區（104）。當形成P主體區（104）之後，係採用如化學氣相沉積（CVD）程序，在第一氧化層（102）上形成一第二氧化層，並對該第二氧化層進行回蝕刻以形成側壁部（105）（SIDEWALL SPACERS）。

請參考第一B圖所示，外露出來的P主體區（104）係進一步再加以蝕刻而形成複數溝渠（106）。在於溝渠（106）表面形成一閘極氧化層（107）以前，係先於溝渠（106）內部形成一犧牲層（SAC）並再對其蝕刻，如此一來可對溝渠（106）表面的微細瑕疵加以修補以得到一更為平滑的表面。

請參考第一C圖所示，利用沉積步驟，係於前述開口（103）、溝渠（106）內填滿一多晶矽層（108），並覆蓋住該第一氧化層（102）。該多晶矽層（108）係再度利用一回蝕刻以去除多餘部分，而僅保留於溝渠（106）內部以作為溝渠式DMOS電晶體的閘極電極點。

請參考第一D圖所示，於P主體區（104）係施以N型半導體材料的佈植程序，藉此形成N+摻雜區（10

9) 以作為 D M O S 電晶體的源極。該 N + 摻雜區 (1 0 9) 的位置係於該 P 主體區 (1 0 4) 的表面向下延伸至一適當深度且緊鄰該閘極氧化層 (1 0 7) 。

請參考第一 E 圖所示，在第一 D 圖所示的結構上係全面沉積形成一絕緣性質的保護層 (1 1 0) 以覆蓋第一氧化層 (1 0 2) 並填滿各開口 (1 0 3) ，此保護層 (1 1 0) 可選自如硼磷矽玻璃 (B P S G) 或其它材質。該保護層 (1 1 0) 表面係再塗佈一第二光阻層 (2 0 2) ，並利用第二道光罩對其圖案化，該第二道光罩係作為一接觸孔圖案光罩。藉由蝕刻去除未圖案化的保護層 (1 1 0) 及第一氧化層 (1 0 2) ，可形成有複數個接觸孔 (1 1 1) ，於接觸孔 (1 1 1) 形成後即清除該第二光阻層 (2 0 2) 。

請參閱第一 F 圖所示，在該 N 型磊晶層 (1 0 1) 及保護層 (1 1 0) 上方係再塗佈第三光阻層 (2 0 3) ，藉由第三道光罩於其上定義出 P + 接觸區的圖案。透過該接觸孔 (1 1 1) ，可在未受到第三光阻層 (2 0 3) 所遮覆的 N 型磊晶層 (1 0 1) 內施以佈植程序以形成 P + 接觸區 (1 1 2) 以及肖特基接觸之防護環 (1 1 3) 。

請參考第一 G 圖所示，在該保護層 (1 1 0) 及 N 型磊晶層 (1 0 1) 上可使用濺鍍或其它方式成長一導電層 (1 1 4) 。在導電層 (1 1 4) 上係塗佈有第四光阻層 (2 0 4) ，該第四光阻層 (2 0 4) 以第四道光罩顯影定義之後，係對該導電層 (1 1 4) 加以蝕刻以形成導電線路，

該導電線路係覆蓋了部分的保護層（110）且填滿該接觸孔（111）。如第一H圖所示，於完成導電線路的結構製作之後，係清除該第四光阻層（204）。

在第一H圖所示的結構中，本發明除了形成溝渠式DMOS電晶體之外，在該導電層（114）及N型磊晶層（101）的接面之間係形成可作為肖特基二極體（120）（Schottky diode）的肖特基接觸面。另一方面，在P主體區（104）之N型磊晶層（101）之間的P-N接面係自然形成一本體二極體（121）（body diode），藉此，該肖特基二極體（120）可在本體二極體（121）導通之前即先導通。相較於利用該本體二極體（121）作為飛輪元件（freewheeling element），以肖特基二極體（120）作為飛輪二極體使用時可降低切換損失。

綜上所述，本發明之溝渠式DMOS電晶體製造方法係顯著地簡化既有製程，當中光罩的使用量係縮減為四道，分別是溝渠圖案光罩、接觸孔圖案光罩、P+接觸區圖案光罩及導電線路圖案光罩，利用該四道光罩便可形成所需的結構，此製法對降低製造成本、良率提升控制等方面均有明顯功效增進。

【圖式簡單說明】

第一A～H圖：係本發明溝渠式DMOS電晶體及肖特基接觸的製程示意圖。

第二A～K圖：係現有DMOS電晶體的製程示意

圖。

【主要元件符號說明】

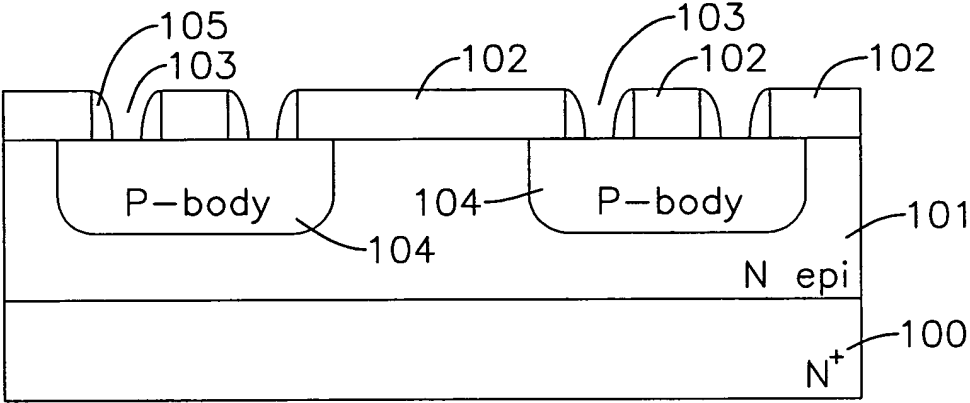
(1 0 0) N + 摻雜基板	(1 0 1) N 型磊晶層
(1 0 2) 第一氧化層	(1 0 3) 開口
(1 0 4) P 主體區	(1 0 5) 側壁部
(1 0 6) 溝渠	(1 0 7) 閘極氧化層
(1 0 8) 多晶矽層	(1 0 9) N + 摻雜區
(1 1 0) 保護層	(1 1 1) 接觸孔
(1 1 2) P + 接觸區	(1 1 3) 防護環
(1 1 4) 導電層	
(2 0 2) 第二光阻層	(2 0 3) 第三光阻層
(2 0 4) 第四光阻層	
(3 0 0) N + 摻雜基材	(3 0 1) N 型磊晶層
(3 0 2) 初始氧化層	(3 0 3) P 主體區
(3 0 4) 第二氧化層	(3 0 5) 溝渠
(3 0 6) 閘極氧化層	(3 0 7) 多晶矽層
(3 0 8) N 型摻雜區	(3 0 9) 保護區
(3 1 0) 接觸窗	(3 1 1) P + 接觸區
(3 1 2) 導電層	
(4 0 1) 第一光阻層	(4 0 2) 第二光阻層
(4 0 3) 第三光阻層	(4 0 4) 第四光阻層
(4 0 5) 第五光阻層	(4 0 6) 第六光阻層

四、聲明事項：

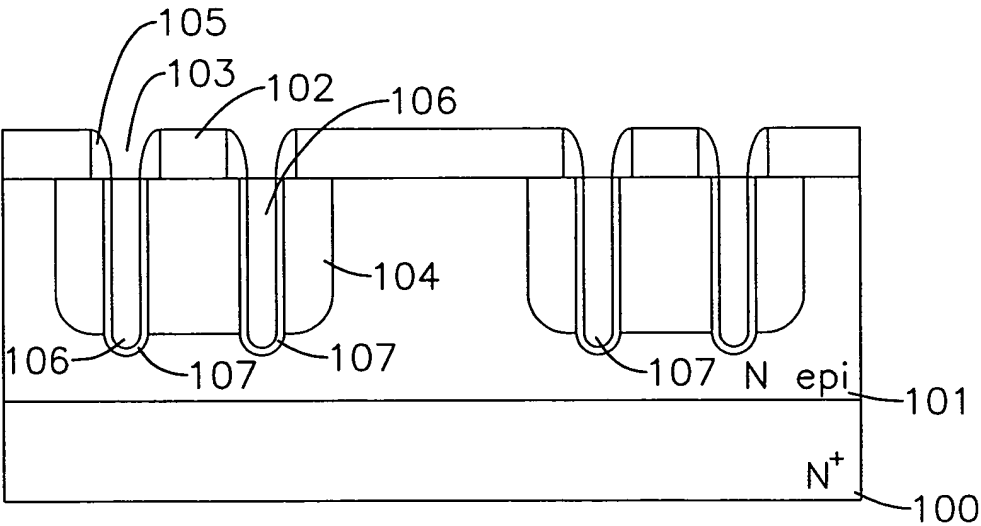
五、中文發明摘要：

本發明係一種製造溝渠式 DMOS 電晶體及肖特基元件之方法，係使用四道光罩分別定義溝渠圖案、接觸孔圖案、P+接觸區圖案及導線圖案以形成溝渠式 DMOS 電晶體，再者，於製成該 DMOS 電晶體過程中，係於一導電層及一摻雜主體區之接面同時形成一肖特基接觸而毋須再使用額外顯影蝕刻製程。

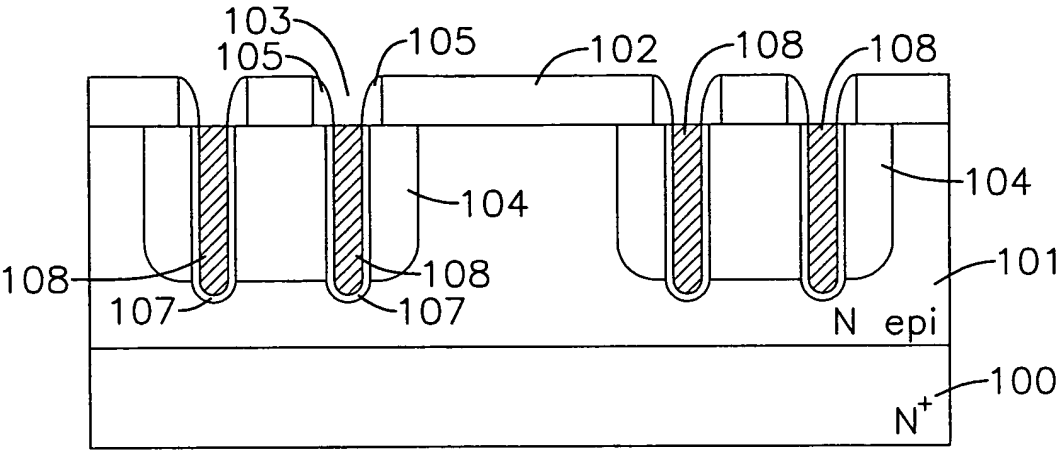
六、英文發明摘要：



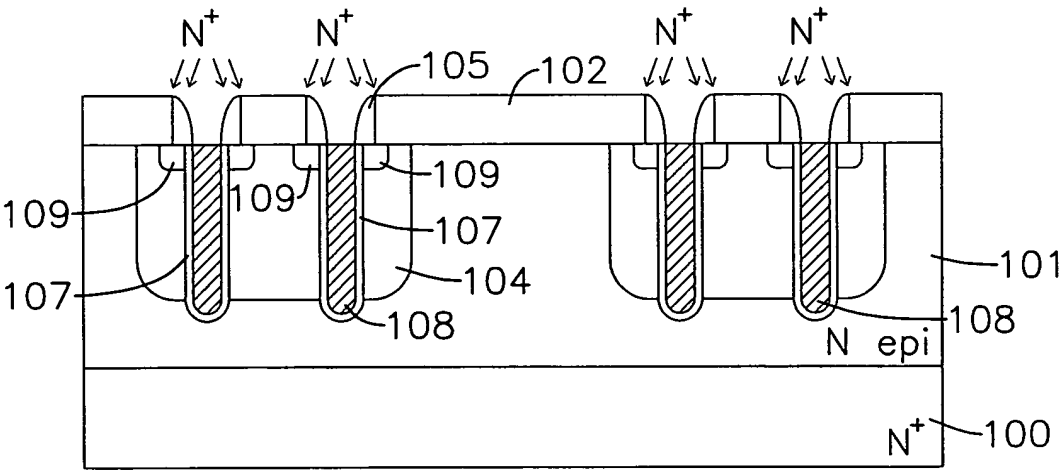
第一A圖



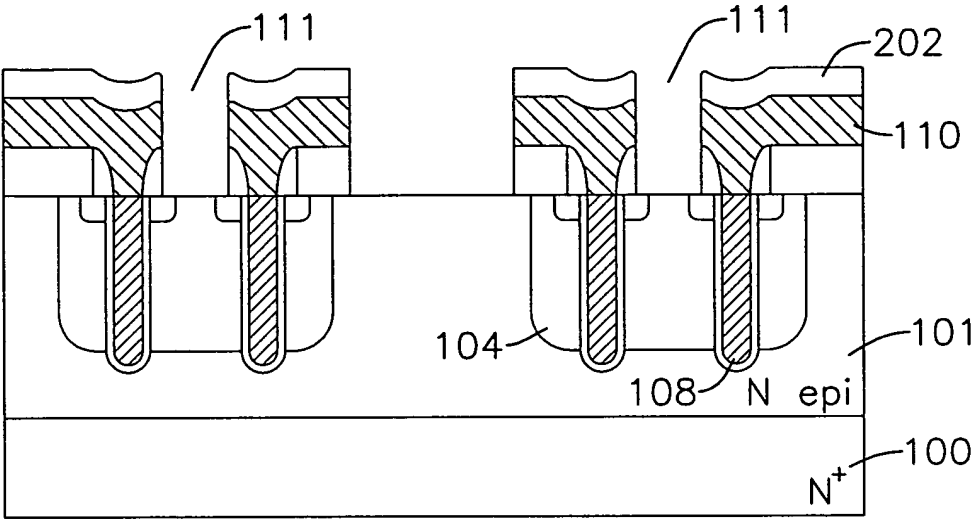
第一B圖



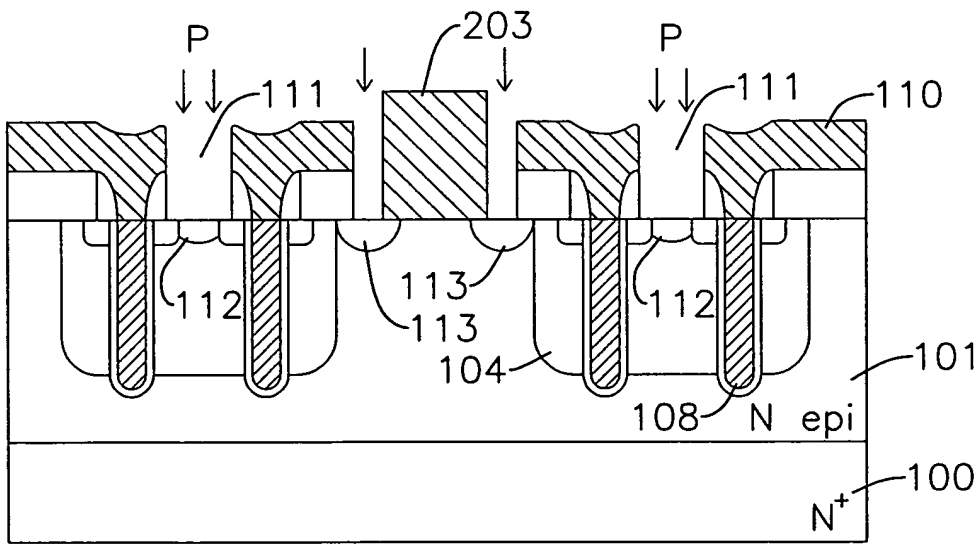
第一C圖



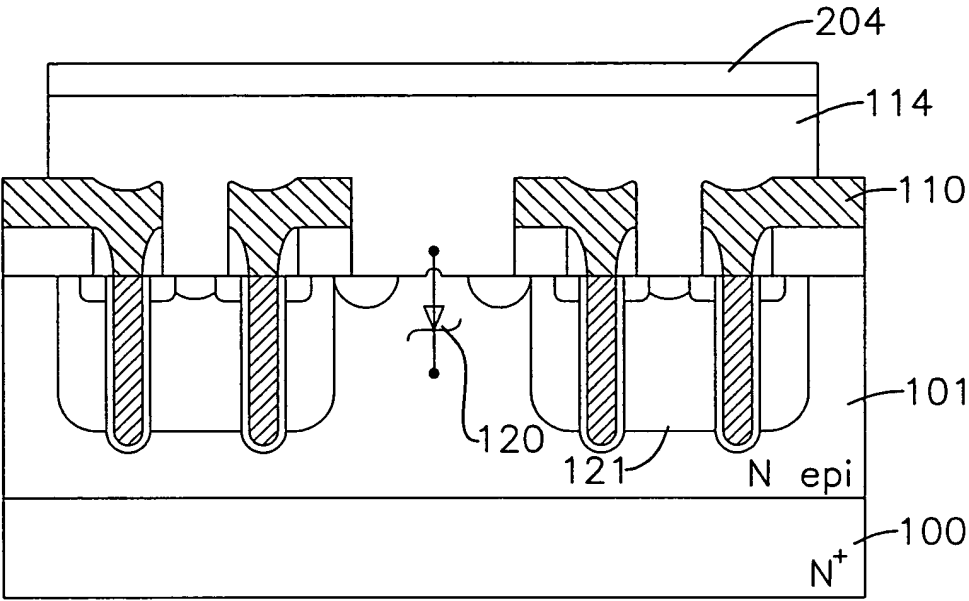
第一D圖



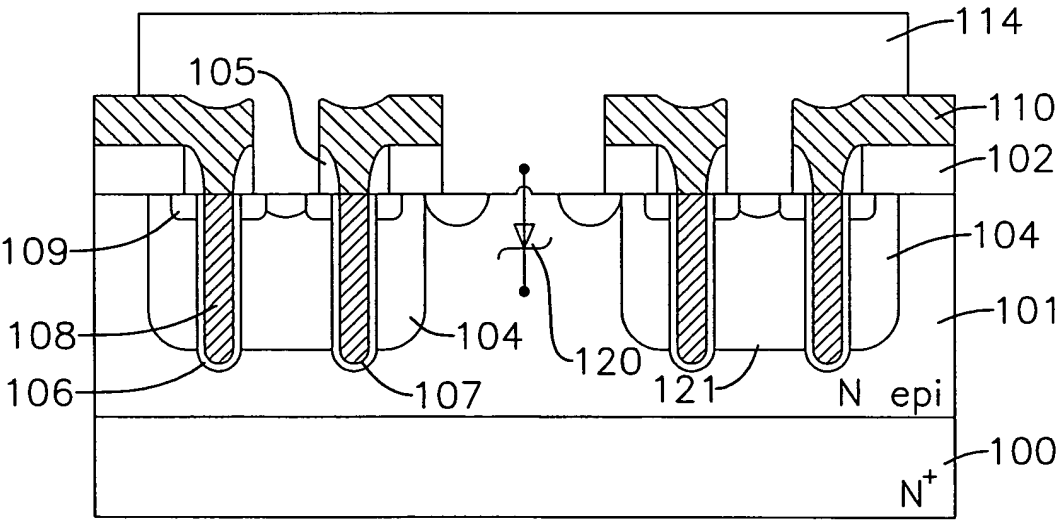
第一E圖



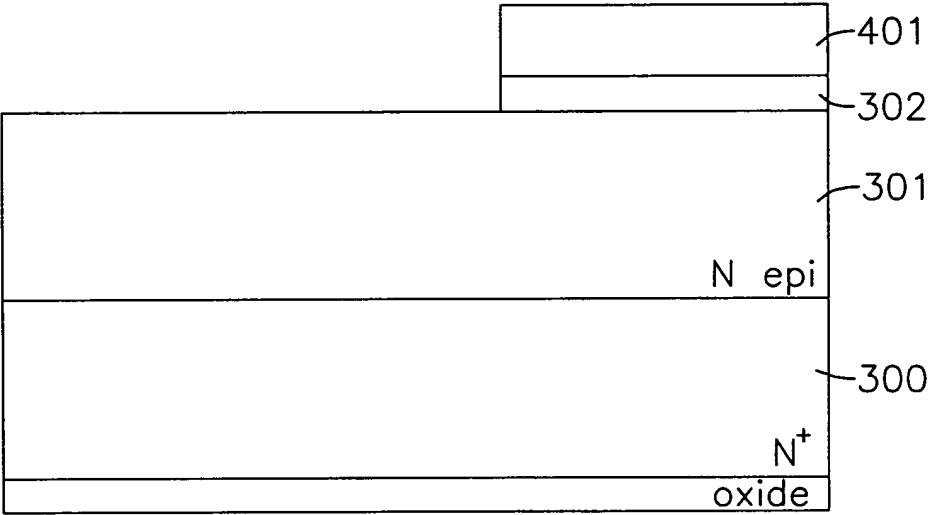
第一F圖



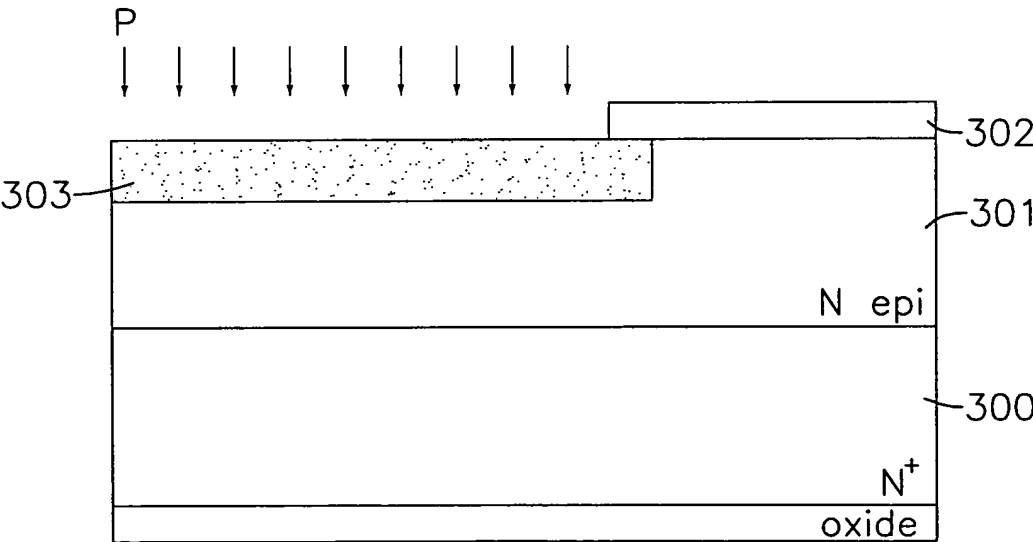
第一G圖



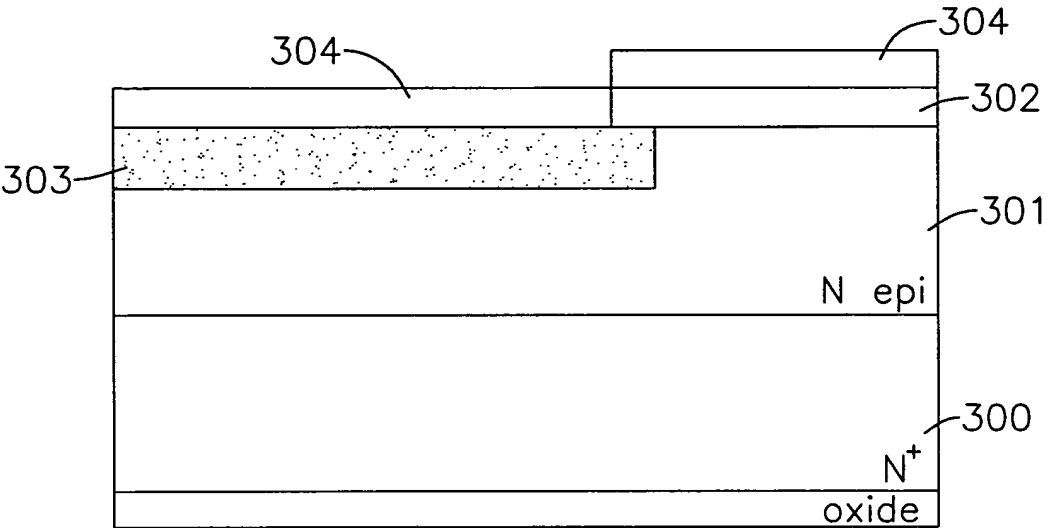
第一H圖



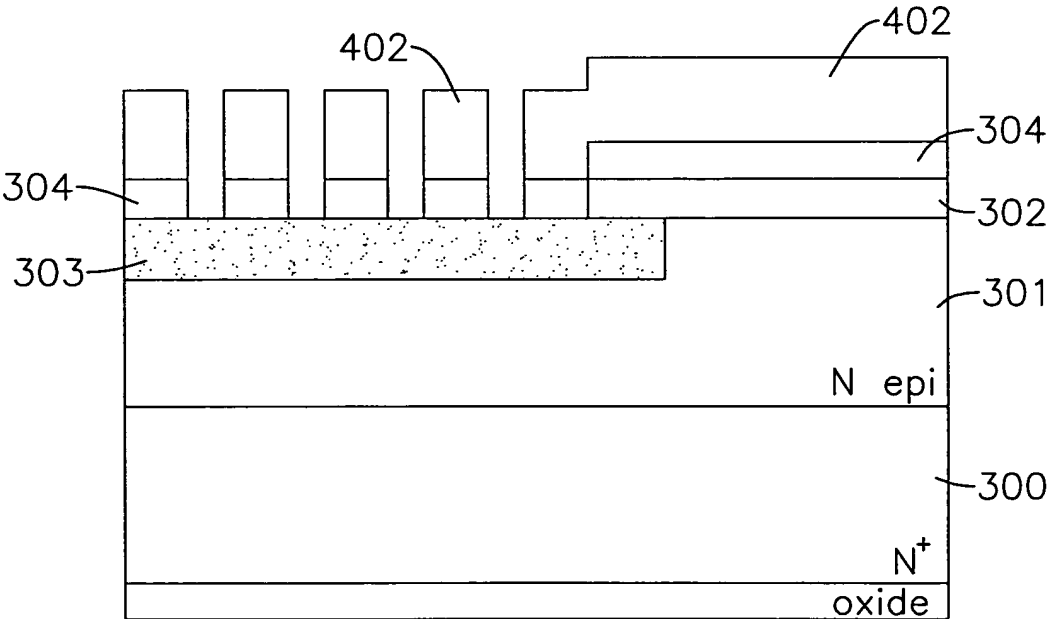
第二A圖



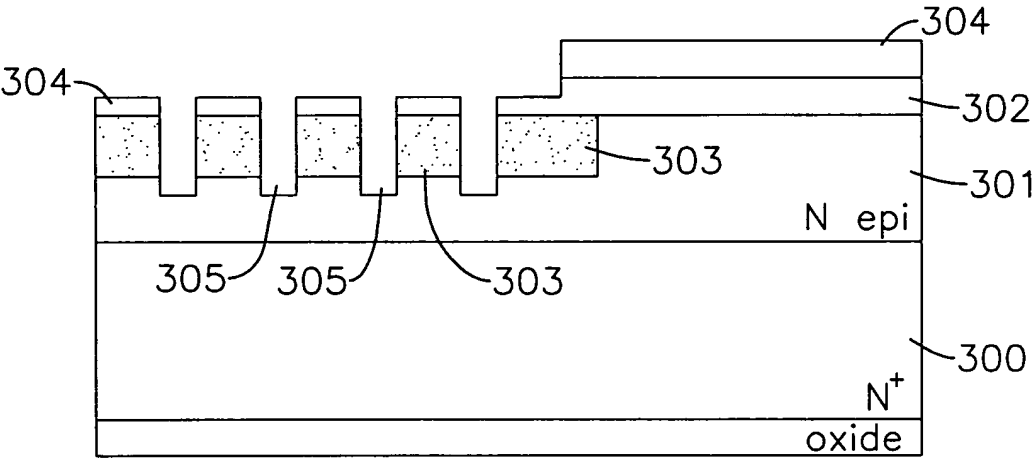
第二B圖



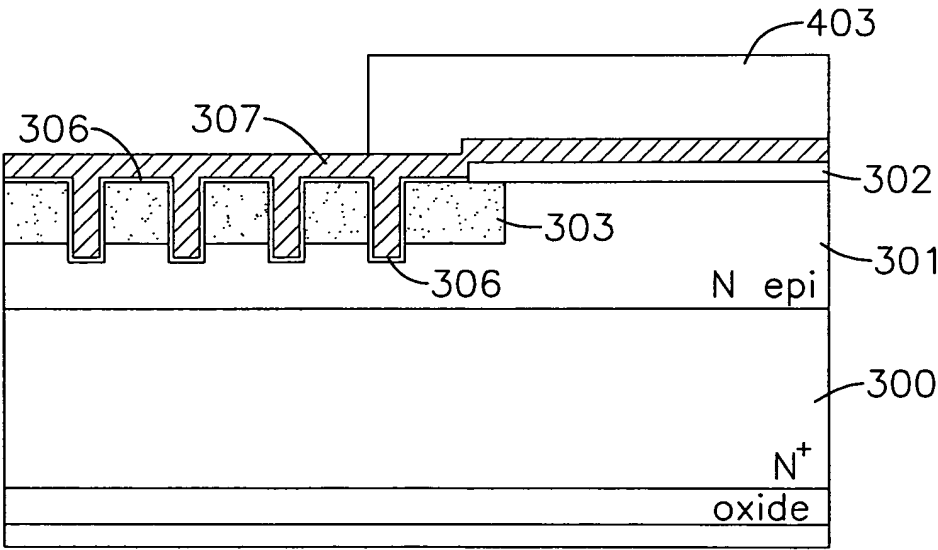
第二C圖



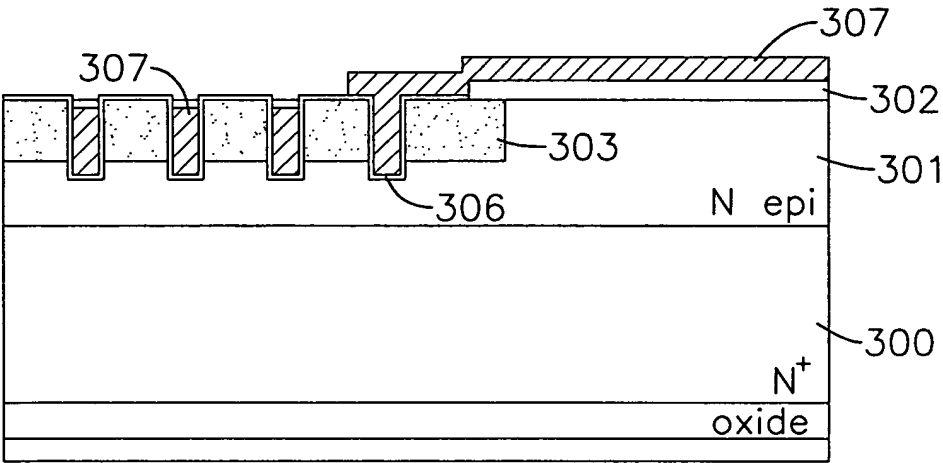
第二D圖



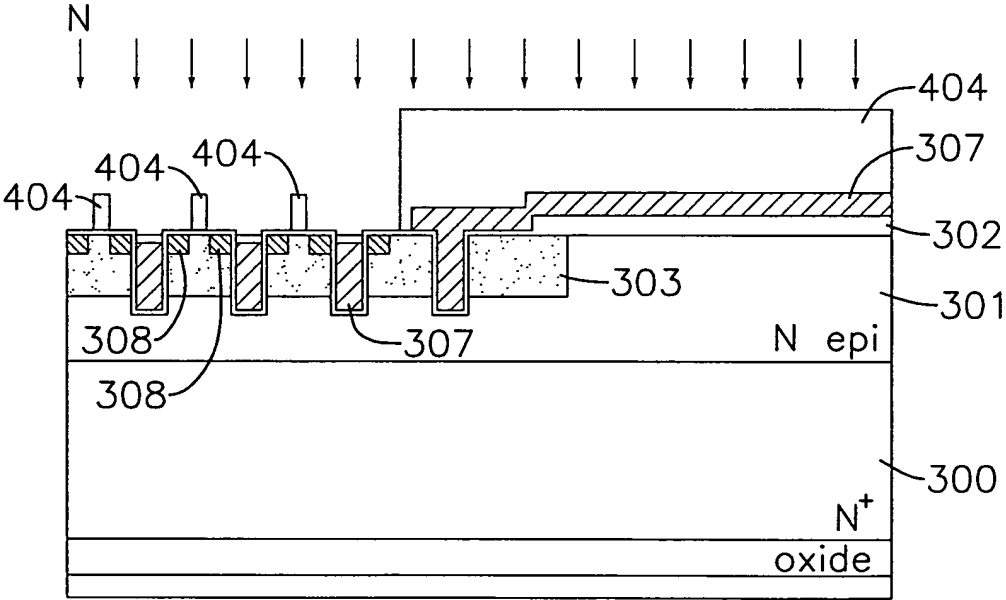
第二E圖



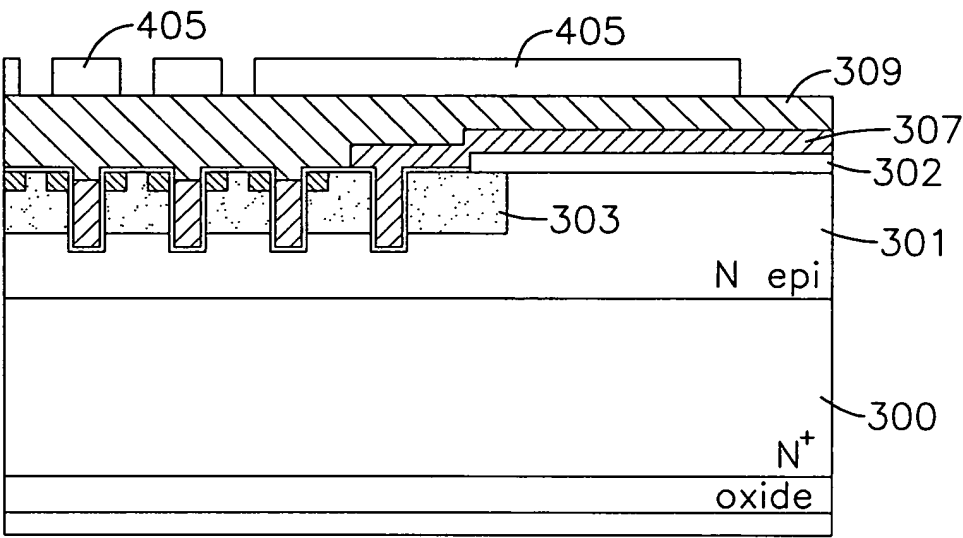
第二F圖



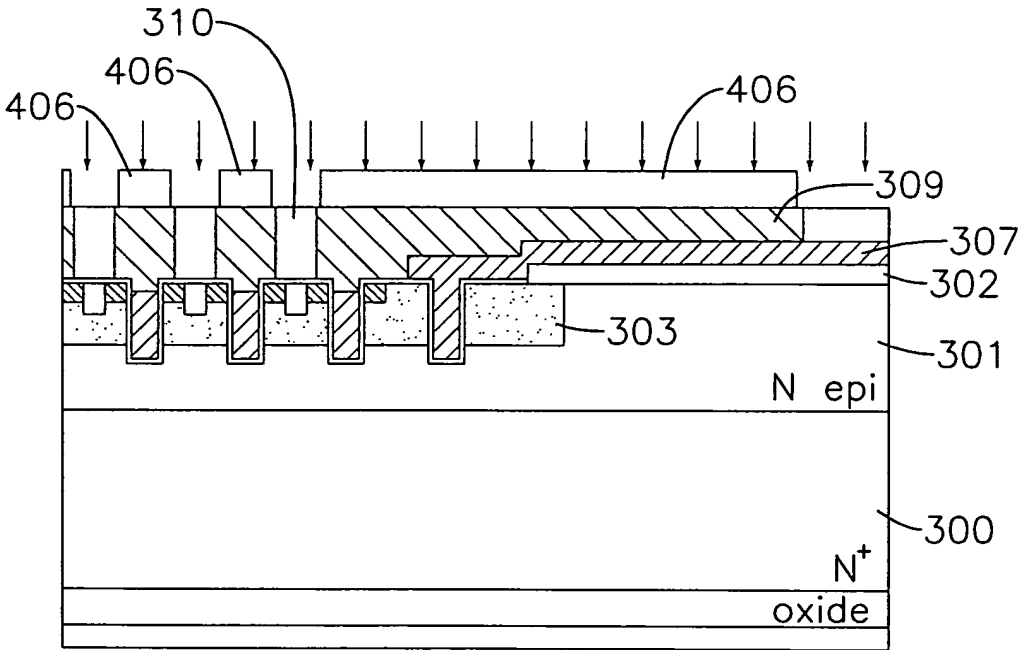
第二G圖



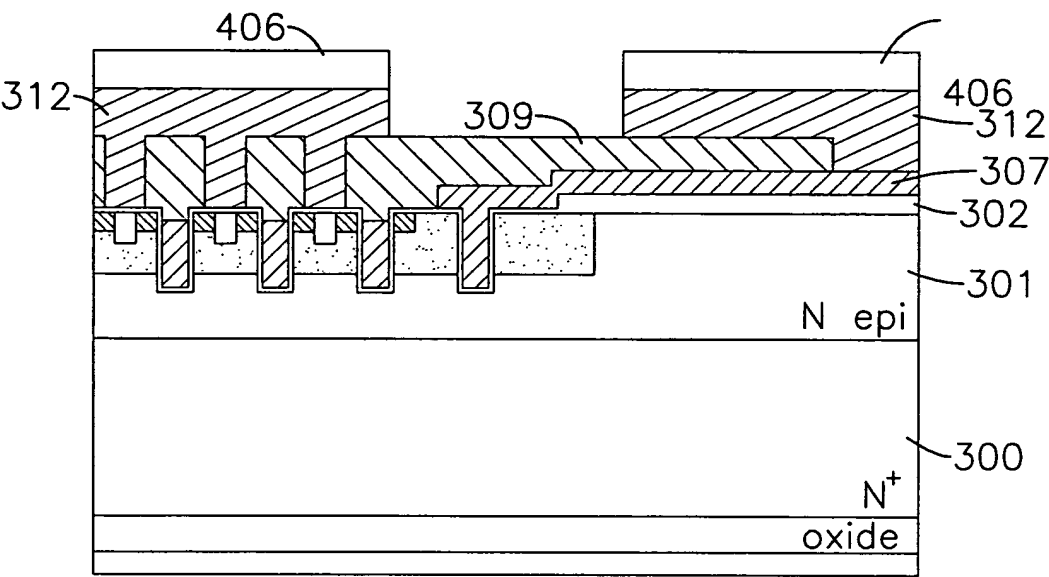
第二H圖



第二I圖



第二J圖



第二K圖

七、指定代表圖：

(一)本案指定代表圖為：第（ 一H ）圖。

(二)本代表圖之元件符號簡單說明：

（ 1 0 0 ） N + 摻雜基板 （ 1 0 1 ） N 型磊晶層

（ 1 0 2 ） 第一氧化層

（ 1 0 4 ） P 主體區 （ 1 0 5 ） 側壁部

（ 1 0 6 ） 溝渠 （ 1 0 7 ） 閘極氧化層

（ 1 0 8 ） 多晶矽層 （ 1 0 9 ） N + 摻雜區

（ 1 1 0 ） 保護層 （ 1 1 1 ） 接觸孔

（ 1 1 2 ） P + 接觸區 （ 1 1 3 ） 防護環

（ 1 1 4 ） 導電層

（ 1 2 0 ） 肖特基二極體 （ 1 2 1 ） 本體二極體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

99年6月1日(八)正修

如前述說明所述，既有製造 DMOS 電晶體的製程會涉及多道的顯影蝕刻步驟，例如第二 A、二 C、二 F、二 H、二 I、二 J 及二 K 等。隨著光罩數目的增加，製程的時間、複雜度及成本等因素勢必相對提高，除此之外，成品的生產良率亦可能降低。

【發明內容】

本發明即針對現有 D M O S 電晶體之製程複雜等問題而提供一種簡化的製法，該製法當中以四道光罩便可完成溝渠式電晶體的結構。

為達成前述目的，本發明之製法主要包含以下步驟：

形成一具有第一摻雜型雜質之一磊晶層於一矽基板上，該矽基板係具有該第一摻雜型雜質且其摻雜濃度高於磊晶層之摻雜濃度；

形成一第一氧化層於該磊晶層上；

塗佈一第一光阻層於該第一氧化層表面；及

以一第一光罩對該第一氧化層蝕刻以形成複數開口；

形成具有第二摻雜型雜質之主體區於該磊晶層內，其中，該主體區之部分區域係經由該複數開口外露；

自該外露於複數開口之該主體區，係向下蝕刻該主體區而形成複數溝渠；

成長一閘極氧化層於該主體區並覆蓋該複數溝渠表面；

於該複數溝渠內部形成閘極極點；

十、申請專利範圍：

1．一種製造溝渠式 D M O S 電晶體及肖特基元件之方法，其包含：

形成一具有第一摻雜型雜質之一磊晶層於一矽基板上，該矽基板係具有該第一摻雜型雜質且其摻雜濃度高於磊晶層之摻雜濃度；

形成一第一氧化層於該磊晶層上；

塗佈一第一光阻層於該第一氧化層表面；及

以一第一光罩對該第一氧化層蝕刻以形成複數開口；

形成具有第二摻雜型雜質之主體區於該磊晶層內，其中，該主體區之部分區域係經由該複數開口外露；

向下蝕刻外露於該複數開口之該主體區而形成複數溝渠；

成長一閘極氧化層於該主體區並覆蓋該複數溝渠表面；

於該複數溝渠內部形成閘極極點；

形成複數個具有第一摻雜型雜質之摻雜區於該主體區內，各摻雜區係鄰接前述溝渠；

成長一保護層於該第一氧化層上並覆蓋該閘極極點；

以一第二光罩於該保護層上定義接觸孔圖案；

根據前述接觸孔圖案形成複數個接觸孔，該接觸孔係貫穿該保護層及該第一氧化層；

以一第三光罩定義接觸區圖案；

形成具有該第二摻雜型雜質之接觸區於該主體區內；

以一第四光罩定義導電線路圖案；

形成一導電層於該保護層上，並填滿該接觸孔及覆蓋該磊晶層顯露之部份，其中該導電層與該磊晶層之接合界面係構成一肖特基接觸。

2．如申請專利範圍第1項所述製造溝渠式DMOS電晶體及肖特基元件之方法，該第一摻雜型雜質為N型雜質，該第二摻雜型雜質係相對為P型雜質。

3．如申請專利範圍第1項所述製造溝渠式DMOS電晶體及肖特基元件之方法，該第一摻雜型雜質為P型雜質，該第二摻雜型雜質係相對為N型雜質。

4．如申請專利範圍第2或3項所述製造溝渠式DMOS電晶體及肖特基元件之方法，該主體區形成之後，係更進一步包含有：

形成一第二氧化層於該第一氧化層表面；

蝕刻該第二氧化層而於該第一氧化層之周圍形成側壁部。

5．如申請專利範圍第2或3項所述製造溝渠式DMOS電晶體及肖特基元件之方法，於該溝渠內部形成閘極極點之步驟中，係包含：

沉積一多晶矽層於該溝渠內部並覆蓋該第一氧化層；

回蝕刻該多晶矽層，以去除該第一氧化層上之該多晶矽層而保留該溝渠內部之該多晶矽層而作為閘極極點。

6．如申請專利範圍第2或3項所述製造溝渠式DMOS電晶體及肖特基元件之方法，於形成該接觸區於該主

體區內時，係同時於該磊晶層之上表面形成一防護環區域。

十一、圖式：

如次頁