



(12)发明专利

(10)授权公告号 CN 108200367 B

(45)授权公告日 2020.09.18

(21)申请号 201810099793.5

(22)申请日 2018.01.31

(65)同一申请的已公布的文献号  
申请公布号 CN 108200367 A

(43)申请公布日 2018.06.22

(30)优先权数据  
15/424,124 2017.02.03 US  
15/678,438 2017.08.16 US

(73)专利权人 思特威(上海)电子科技有限公司  
地址 201203 上海市浦东新区中国(上海)  
自由贸易试验区祥科路111号3号楼6  
楼612室

(72)发明人 莫要武 徐辰 邵泽旭 张正民  
马伟剑

(74)专利代理机构 上海汉声知识产权代理有限公司 31236

代理人 胡晶

(51)Int.Cl.  
H04N 5/374(2011.01)  
H04N 5/378(2011.01)  
H04N 5/235(2006.01)  
H04N 5/225(2006.01)

(56)对比文件  
CN 204217043 U,2015.03.18  
CN 105355621 A,2016.02.24  
CN 101273619 A,2008.09.24  
CN 104009049 A,2014.08.27  
US 2013107093 A1,2013.05.02

审查员 肖然

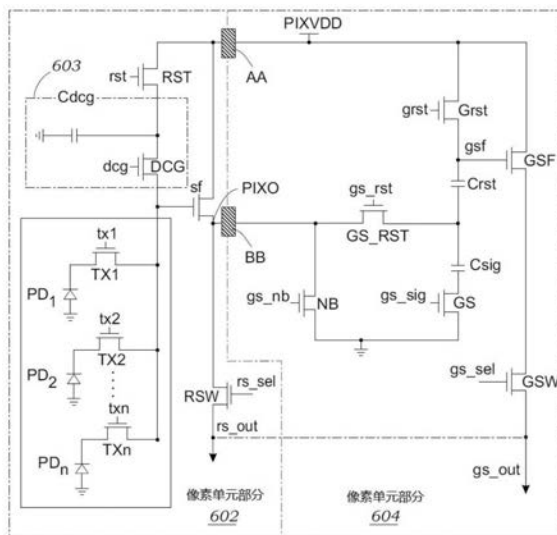
权利要求书3页 说明书12页 附图11页

(54)发明名称

像素单元和形成像素单元的方法及数字相机成像系统组件

(57)摘要

一种像素单元,包括光电二极管,传输晶体管,复位晶体管,动态范围增强电容,电容控制晶体管,放大晶体管,滚动曝光行选择晶体管及读出电路块。所述光电二极管,传输晶体管,复位晶体管,动态范围增强电容,电容控制晶体管,源极跟随放大晶体管和滚动曝光行选择晶体管设置在第一半导体芯片的第一基底内,用于累积图像电荷以响应入射到光电二极管上的光。所述读出电路块可部分地设置在第二半导体芯片的第二基底内,部分地设置在第一基底内,其中所述读出电路块根据应用程序设定包含可选的滚动曝光模式和全局曝光模式。全局曝光模式提供像素内相关双采样。



1. 一种像素单元,包括:

第一基底,具有正面和背面;

一个或多个传输晶体管,每一所述传输晶体管分别连接至各自的光电二极管并共享浮动节点,所述一个或多个传输晶体管设置在所述第一基底内,用于累积和传输图像电荷以响应入射到光电二极管上的光;

复位晶体管,动态范围增强电容,电容控制晶体管,放大晶体管,及滚动曝光行选择晶体管设置在所述第一基底内,用于转换图像电荷到图像信号,且当选择滚动曝光读出模式时将所述图像信号从所述第一基底连接输出;

全局曝光读出电路块,设置于第二基底内,所述第二基底堆叠在所述第一基底的正面上,用于当选择全局曝光读出模式时将所述图像信号通过所述第二基底连接输出;及

芯片内互连,用于直连所述放大晶体管的源极到所述全局曝光读出电路块;

其中,所述全局曝光模式的读出电路块在滚动曝光行选择晶体管关闭时将图像信号从所述放大晶体管通过全局曝光行选择晶体管传输到图像传感器的列线;所述读出电路块的全局曝光读出模式包括连接在所述放大晶体管和一全局曝光放大输出晶体管之间的电路器件,用于执行所述放大晶体管和所述电路器件的相关双采样操作;所述全局曝光放大输出晶体管漏极连接到电源,且所述全局曝光放大输出晶体管栅极通过一全局曝光放大输出晶体管的复位晶体管连接到电源。

2. 根据权利要求1所述的像素单元,其特征在于,所述一个或多个传输晶体管分别对应一个或多个光电二极管,所述传输晶体管共享浮动节点,所述浮动节点连接到所述电容控制晶体管和所述放大晶体管的栅极。

3. 根据权利要求1所述的像素单元,其特征在于,所述动态范围增强电容和所述复位晶体管连接至所述电容控制晶体管,所述放大晶体管的漏极和所述复位晶体管连接到电源。

4. 根据权利要求2所述的像素单元,其特征在于,所述多个传输晶体管及其分别对应的多个光电二极管为四个传输晶体管及四个光电二极管,以 $2 \times 2$ 方式排列设置,其中一光电二极管通过红光滤光器接收入射光,一个光电二极管通过蓝光滤光器接收入射光,及两个光电二极管分别通过绿光滤光器接收入射光。

5. 根据权利要求1所述的像素单元,其特征在于,所述滚动曝光读出模式和所述全局曝光读出模式根据功能应用设定选择。

6. 根据权利要求1所述的像素单元,其特征在于,所述滚动曝光读出模式的图像信号在所述第二基底上的读出电路块内的晶体管关闭时,从所述放大晶体管通过所述第一基底上的滚动曝光行选择晶体管传输到图像传感器的列线。

7. 根据权利要求1所述的像素单元,其特征在于,在所述全局曝光放大输出晶体管栅极和地之间包含三个组件,其中,所述三个组件包括复位电容,连接到所述全局曝光放大输出晶体管及全局曝光复位晶体管的图像信号输出节点之间;信号电容,连接到所述复位电容和所述全局曝光复位晶体管的图像信号输出节点及第三组件全局曝光信号选择晶体管之间,所述全局曝光信号选择晶体管的源极连接到地端。

8. 根据权利要求1所述的像素单元,其特征在于,在所述全局曝光放大输出晶体管栅极和地之间包含三个组件,其中,所述三个组件包括复位电容,连接到所述全局曝光放大输出晶体管的栅极和第二组件全局曝光信号选择晶体管的漏极;所述全局曝光信号选择晶体管

的源极连接到全局曝光复位晶体管输出图像信号的端点及第三组件信号电容,所述信号电容连接到所述全局曝光复位晶体管输出的图像信号的端点和地之间。

9. 根据权利要求7所述的像素单元,其特征在于,所述第一基底上的图像信号放大晶体管连接到所述全局曝光复位晶体管的输出节点通过一个全局曝光偏置电流晶体管接到所述第二基底上的地端。

10. 根据权利要求8所述的像素单元,其特征在于,所述第一基底上的图像信号放大晶体管连接到所述全局曝光复位晶体管的输出节点通过一个全局曝光偏移电流晶体管连接到所述第二基底上的地端。

11. 根据权利要求1所述的像素单元,其特征在于,所述动态范围增强电容为MOS电容, MIM电容, MOM电容, PIP电容或器件所产生的寄生电容。

12. 根据权利要求7或8所述的像素单元,其特征在于,所述复位电容和信号电容为MOS电容, MIM电容, MOM电容或PIP电容。

13. 一种形成像素单元的方法,包含以下步骤:

提供第一半导体芯片,包括一个或多个传输晶体管,每一所述传输晶体管连接到各自的光电二极管并共享浮动节点,及复位晶体管,动态范围增强电容,电容控制晶体,放大晶体管,以及滚动曝光读出行选择晶体管;

提供第二半导体芯片,包括全局曝光读出电路,其中读出模式在滚动曝光读出模式和全局曝光读出模式之间可选,其中,所述全局曝光模式的读出电路块在滚动曝光行选择晶体管关闭时将图像信号从所述放大晶体管通过全局曝光行选择晶体管传输到图像传感器的列线;所述读出电路块的全局曝光读出模式包括连接在所述放大晶体管和一全局曝光放大输出晶体管之间的电路器件,用于执行所述放大晶体管和所述电路器件的相关双采样操作;所述全局曝光放大输出晶体管漏极连接到电源,且所述全局曝光放大输出晶体管栅极通过一全局曝光放大输出晶体管的复位晶体管连接到电源;及

至少一个芯片内互连用于连接所述第一半导体芯片和所述第二半导体芯片。

14. 根据权利要求13所述的形成像素单元的方法,其特征在于,还进一步包括:

将目标聚光到像素单元,所述像素单元转换光信号到电信号,以形成该目标的图像,及在传输晶体管传输光电二极管的电荷期间具有高光照度时,通过电容控制晶体管连接动态范围增强电容到浮动节点。

15. 一种数字相机的成像系统组件,其特征在于,所述成像系统包括:

多个像素单元,以二维阵列排列,每一像素单元包括:

第一基底,具有正面和背面;

一个或多个传输晶体管,每一所述传输晶体连接到各自的光电二极管并共享浮动节点,所述一个或多个传输晶体管设置在所述第一基底内,用于累积和传输图像电荷以响应入射到所述光电二极管上的光;

复位晶体管,动态范围增强电容,电容控制晶体管,放大晶体管,及滚动曝光行选择晶体管设置在所述第一基底,用于转换图像电荷到图像信号,并在选择滚动曝光读出模式时将图像信号从所述第一基底连接输出;

全局曝光读出电路块,设置于堆叠在第一基底正面上的第二基底内,当选择全局曝光读出模式时,将图像信号通过所述第二基底连接输出;

芯片内互连,直连所述放大晶体管和所述全局曝光读出电路块;

其中,所述全局曝光模式的读出电路块在滚动曝光行选择晶体管关闭时将图像信号从所述放大晶体管通过全局曝光行选择晶体管传输到图像传感器的列线;所述读出电路块的全局曝光读出模式包括连接在所述放大晶体管和一全局曝光放大输出晶体管之间的电路器件,用于执行所述放大晶体管和所述电路器件的相关双采样操作;所述全局曝光放大输出晶体管漏极连接到电源,且所述全局曝光放大输出晶体管栅极通过一全局曝光放大输出晶体管的复位晶体管连接到电源。

## 像素单元和形成像素单元的方法及数字相机成像系统组件

### 技术领域

[0001] 本发明涉及一种图像传感器,尤其涉及一种堆叠芯片结构的图像传感器像素单元。底部芯片包括用以捕获图像的光感区域和结构阵列。顶部芯片包括电路元件用以从阵列中获取图像。图像传感器可用于数字相机。

### 背景技术

[0002] 图像捕获装置一般包括图像传感器和镜头。镜头聚光到图像传感器以形成图像,图像传感器转换光信号到电信号。电信号从图像捕获装置输出到电子系统的其他组件。图像捕获装置和电子系统的其他组件构成图像系统。图像传感器逐渐应用普遍,在各种电子系统中都可见,例如手机,数码相机,医疗设备,以及计算机等。

[0003] 一个典型的图像传感器包括一系列光传感图像器件(像素)排列置于二维阵列中。此图像传感器可认为是通过在像素上形成色彩滤镜矩阵(CFA)以产生图像。这种技术过去用于制造图像传感器,尤其是CMOS图像传感器,其技术不断持续向前发展。例如,更高的分辨率和低功耗的需求进一步促进了这些图像传感器的小型化和集成化。然而,小型化会伴随像素光感灵敏度和动态范围的降低,这需要新的方案来解决问题。

[0004] 随着像素尺寸的降低,基底内总的光吸收程度对某些光来说变得不充足,尤其是波长较长的光。这成为使用光入射到传感器基底的背面的背照(BSI)技术的图像传感器的典型问题。在BSI技术中,传感器硅基底可以是2微米厚,这足够吸收蓝光但不足以吸收红光,红光充分吸收需要大约10微米厚。

[0005] 将已有的图像传感器形成所称的堆叠传感器是众所周知的技术。这种形式中一种典型的设置方式是,像素阵列中的光电二极管或其他光传感元件形成在第一半导体晶片或层,处理光传感元件的信号的相关电路形成在位于第一半导体晶片或层之上的第二半导体晶片或层。第一和第二半导体晶片或层在这里一般分别指传感器芯片和电路芯片。更准确地说,第一和第二半导体晶片沿着许多其他类似的晶片形成于堆叠的第一和第二半导体晶片上,排列整齐相关的晶片内连后,切割成一般称作为半导体芯片的堆叠器件。堆叠的两个芯片可理解为通常惯例的两个晶片堆叠并且被切割成依旧保留堆叠以形成例如一个堆叠图像传感器的电路系统的芯片。当晶片的互连和芯片内的互连涉及分别形成于留在晶片和芯片上的装置时,晶片的互连连接传感器和电路晶片可被看作芯片内的互连。关于这种设置的好处包括最终的图像传感系统与未堆叠设置的情形相比,占用更少的面积。另外一个好处是,不同的生产方法和材料可用于加工单独优化使用的芯片。

[0006] 两种最普通的读出传感器芯片产生的图像信号的方式是滚动曝光模式和全局曝光模式。滚动曝光模式包括在不同的时间内曝光传感器阵列的不同行并且按选定的顺序读出这些行。全局曝光模式包括同时曝光每一像素并且和操作传统的机械快门相机相同的时间长度。现有的数字图像系统已经实现了滚动曝光或全局曝光的读出模式。成像系统具有两种可选的读出模式是非常有益的。

[0007] 滚动曝光(RS)模式在不同的时间内曝光和读出阵列的相邻行,每行开始和结束其

曝光与相邻行有略微的偏移时间。曝光完成后一行接一行地读出且从每行传输电荷到像素的读出节点。虽然每行属于相同的曝光时间,传感器上部的行的曝光时间要早于下部的行的曝光时间。时间有赖于行的数目以及相邻行之间的偏移时间。滚动曝光读出模式一个潜在的问题是空间变形。当一个大的物体以高于读出速率的速率运动时,就容易出现空间变形。另一个问题是曝光图像的不同区域不能及时地精确纠正并在图像中呈现出变形。为提高最后读出的图像信号的信噪比,一般是降低随机噪声,称为相关双采样(CDS)的参考读出在每个像素被放大晶体管放大输出信号变换之前进行操作。放大晶体管可为一源极跟随晶体管或一普通的漏极结构,其中像素采用电压模式读出。然而,包含一个像素采用电流模式输出的普通源放大器是有益的。普通的源放大器可用于大面积的成像器。光电二极管的电流被放大且读出电路通过电容整合电流到电压,然后转换到数字电路区域。

[0008] 全局曝光(GS)模式同时曝光阵列中的所有像素。这有利于抓取快速运动的目标,及时冻结。曝光开始前通过耗尽所有的电荷所有像素都复位(RST)到相同的表面暗电平。在曝光开始时每一像素同时收集电荷并在整个曝光期间都允许这样处理。在曝光结束时每一像素同时传输电荷到它的读出点。全局曝光模式可看作是当前面的曝光从每一像素的读出存储点读出时曝光行进的连续操作方式。在这种模式中,传感器具有百分百的占空比来优化时间分辨率和光子收集效率。在滚动曝光模式中的短暂读出阶段的图像中没有这种做法。传感器的不同区域之间准确的时间相关性是必需的这是全局曝光最基本的要求。全局曝光模式也非常容易实现与光源或其他设备同步。

[0009] 全局曝光模式要求像素比使用滚动曝光模式的像素至少多包含一个晶体管或存储组件。这些额外的组件用于存储后续同时曝光时间内所读出的图像电荷。为了提高图像信号的信噪比,需要一个参考电路,不但在每一像素电荷到放大器晶体管输出的信号的转换之前,而且在像素电荷传输到用于在读出期间存储图像电荷的额外组件之前执行该参考电路。

[0010] 总之,滚动曝光模式能传送最低的读出噪声而且对不需要到光源或外部设备同步的快速数据流非常有用。然而,当相对较大,快速移动的物体成像时会带来空间变形的风险。在使用全局曝光时没有空间变形的风险,且同步到快速切换外部装置时相对简单并且能产生图像的高帧率。能灵活地同时提供滚动曝光模式和全局曝光模式非常有利。

[0011] 当采用特定新型电路元件实现可选滚动曝光读出模式和全局曝光读出模式时,传感器芯片和电路芯片在每一像素互相连接的堆叠图像传感器性能会得到提升。另一个提升堆叠图像传感器性能的可能是当特定组件用于传感器芯片以加强画面中成像高亮度和暗影。本发明满足了这些需求,并在以下发明内容中进一步描述其好处。

## 发明内容

[0012] 如下内容描述给出了本发明所做出的贡献。

[0013] 一种像素单元,包含以下内容:

[0014] 第一基底,具有正面和背面;

[0015] 一个或多个传输晶体管,每一所述传输晶体管分别连接至各自的光电二极管并共享浮动节点,所述一个或多个传输晶体管设置在所述第一基底内,用于累积和传输图像电荷以响应入射到所述光电二极管上的光;

[0016] 复位晶体管,动态范围增强电容,电容控制晶体管,放大晶体管,及滚动曝光行选择晶体管设置在所述第一基底内,用于转换图像电荷到图像信号,且当选择滚动曝光读出模式时将所述图像信号从所述第一基底连接输出;

[0017] 全局曝光读出电路块,设置于第二基底内,所述第二基底堆叠在所述第一基底的正面上,用于当选择全局曝光读出模式时将所述图像信号通过所述第二基底连接输出;及

[0018] 芯片内互连,用于直连所述放大晶体管的源极到所述全局曝光读出电路块。

[0019] 所述一个或多个传输晶体管分别对应一个或多个光电二极管,所述一个或多个传输晶体管共享浮动节点,所述浮动节点连接到所述电容控制晶体管和所述放大晶体管的栅极。进一步地,所述多个传输晶体管及其分别对应的多个光电二极管为四个传输晶体管及四个光电二极管,以 $2 \times 2$ 方式排列设置,其中一个光电二极管通过红光滤光器接收入射光,一个光电二极管通过蓝光滤光器接收入射光,及两个光电二极管分别通过绿光滤光器接收入射光。

[0020] 所述动态范围增强电容和所述复位晶体管连接至所述电容控制晶体管,且所述放大晶体管的漏极和所述复位晶体管连接到电源。所述动态范围增强电容可为MOS电容,MIM电容(metal insulator metal电容),MOM电容(metal oxid metal电容),PIP电容(poly insulator poly电容),或者是所述电容控制晶体管对地所产生的寄生电容。

[0021] 所述滚动曝光读出模式和所述全局曝光读出模式根据功能应用设定选择。所述滚动曝光读出模式的图像信号在所述第二基底上的读出电路块内的晶体管关闭时,从所述放大晶体管通过所述第一基底上的滚动曝光行选择晶体管传输到图像传感器的列线。所述读出电路块的全局曝光读出模式在滚动曝光行选择晶体管关闭时将图像信号从所述放大晶体管通过全局曝光行选择晶体管传输到图像传感器的列线。

[0022] 所述全局曝光读出模式的读出电路块包括连接在所述放大晶体管和所述全局曝光放大输出晶体管之间的电路器件,用于执行所述放大晶体管和所述电路器件的相关双采样操作。所述读出电路块可部分设置在第二半导体芯片的第二基底内,且部分设置在第一基底内。全局曝光读出模式还提供像素内相关双采样。

[0023] 所述全局曝光放大输出晶体管漏极连接到电源,且所述全局曝光放大输出晶体管栅极通过一个全局曝光放大输出晶体管的复位晶体管连接到电源,其中在所述全局曝光放大输出晶体管栅极和地之间包含三个组件。

[0024] 所述三个组件包括复位电容,连接到所述全局曝光放大输出晶体管及全局曝光复位晶体管的图像信号输出节点之间;信号电容,连接到所述复位电容和所述全局曝光复位晶体管的图像信号输出节点及第三组件全局曝光信号选择晶体管之间;所述全局曝光信号选择晶体管的源极连接到地端。

[0025] 进一步地,所述三个组件包括复位电容,连接到所述全局曝光放大输出晶体管的栅极和所述第二组件全局曝光信号选择晶体管的漏极;所述全局曝光信号选择晶体管的源极连接到全局曝光复位晶体管输出图像信号的端点及第三组件信号电容;所述信号电容连接都所述全局曝光复位晶体管输出图像信号的端点和地之间。

[0026] 所述复位电容和所述信号电容可为MOS电容,MIM电容(metal insulator metal电容),MOM电容(metal oxid metal电容)或PIP电容(poly insulator poly电容)等。

[0027] 本发明还提供一种形成像素单元的方法,包含以下步骤:

[0028] 提供第一半导体芯片,包括一个或多个传输晶体管,每一所述传输晶体管连接到各自的光电二极管并共享浮动节点,及复位晶体管,动态范围增强电容,电容控制晶体,放大晶体管,和滚动曝光行选择晶体管;

[0029] 提供第二半导体芯片,包括全局曝光读出电路,其中读出模式在滚动曝光读出模式和全局曝光读出模式之间可选;及

[0030] 至少一个芯片内互连用于连接所述第一半导体芯片和所述第二半导体芯片。

[0031] 还进一步包括以下步骤:

[0032] 将目标聚光到像素单元,所述像素单元转换光信号到电信号,以形成该目标的图像,及

[0033] 在传输晶体管传输光电二极管的电荷期间具有高光照度时,通过电容控制晶体管连接动态范围增强电容到浮动节点。

[0034] 本发明还提供一种数字相机的成像系统组件,其特征在于,所述成像系统包括:

[0035] 多个像素单元,以二维阵列排列,每一像素单元包括:

[0036] 第一基底,具有正面和背面;

[0037] 一个或多个传输晶体管,每一所述传输晶体连接到各自的光电二极管并共享浮动节点,设置在所述第一基底内,用于累积和传输图像电荷以响应入射到光电二极管上的光;

[0038] 复位晶体管,动态范围增强电容,电容控制晶体管,放大晶体管,及滚动曝光行选择晶体管设置在所述第一基底,用于转换图像电荷到图像信号,并在选择滚动曝光读出模式时将图像信号从所述第一基底连接输出;

[0039] 全局曝光读出电路块,设置于堆叠在第一基底正面上的第二基底内,当选择全局曝光读出模式时,将图像信号通过所述第二基底连接输出;

[0040] 芯片内互连,直连所述源极跟随放大晶体管和所述全局曝光读出电路块。

[0041] 本发明的一个主要目的是提供一种现有技术中未提及的图像传感器像素。

[0042] 本发明的另一个目的是提供一种占用较少面积且可降低像素尺寸及生产成本的像素单元。

[0043] 本发明的另一个目的是提供根据应用设置具有滚动曝光和全局曝光两种可选模式的堆叠像素。

[0044] 本发明的另一个目的是提供具有可选读出模式以及全局曝光模式的读出路径中像素内采用相关双采样的堆叠像素。

[0045] 本发明的另一个目的是提供当一个全局曝光信号输出到堆叠像素的逻辑部分时,滚动曝光信号输出到传感器芯片部分的堆叠像素。

[0046] 本发明的另一个目的是提供一种堆叠像素,其中动态范围增强电容和电容控制晶体管用于传感器芯片以加强信号动态范围。

[0047] 以下的具体实施方案中记载的内容会进一步体现本发明的益处,结合相关的附图及各实施例,进一步体现本发明内容。

## 附图说明

[0048] 本发明的附图如下:

[0049] 图1是根据本发明一实施例的包含于一集成电路系统内具有堆叠图像传感器像素

单元的图像系统的框图；

[0050] 图2是现有技术中具有滚动曝光读出模式的堆叠图像传感器像素单元一实施例电路图；

[0051] 图3A是现有技术中光电二极管,传输晶体管以及放大晶体管占用相同半导体芯片的像素单元的布局图；

[0052] 图3B是图3A中所示的现有技术中像素单元的截面图；

[0053] 图4A是现有技术像素单元布局的分解图；

[0054] 图4B是图4A中所示的现有技术中像素单元的截面图；

[0055] 图5是根据本发明第一实施例的像素单元的分解图；

[0056] 图6是根据本发明第一实施例的图5中所示的像素单元的电路图；

[0057] 图7A是根据本发明第一实施例的图5中所示的控制信号时序用于执行可选读出模式的像素单元的时序控制图；

[0058] 图7B是根据本发明第一实施例的图5中所示的另一控制信号时序用于执行可选读出模式的像素单元的时序控制图；

[0059] 图8是根据本发明第一实施例的图5中所示的控制信号时序用于执行另一可选读出模式的像素单元的时序控制图；

[0060] 图9是根据本发明第二实施例的像素单元的分解图；

[0061] 图10是根据本发明第二实施例的图9中所示的像素单元的电路图；及

[0062] 图11是根据本发明第二实施例的图9中所示的控制信号时序用于执行可选读出模式的像素单元的时序控制图。

## 具体实施方式

[0063] 结合上述各个附图对本发明进一步进行图示描述。本发明为具有信号动态范围增强组件和可选滚动曝光和全局曝光读出模式及全局曝光读出路径中像素内相关双采样的堆叠图像传感器像素单元。本发明给出了堆叠图像传感器的各种实施例。在以下描述中,给出了大量细节描述用于理解本发明内容。本领域技术人员应当得知,本发明所记载的技术内容在没有具体细节或其他方法,组件,材料等的情况下可以得到实施。在其他情况下,已知的结构,材料或操作未呈现或在细节中描述,以避免模糊特定的内容。一个基底可具有一个正面和一个背面。任何加工过程从正面的执行操作可看作为正面操作,当从背面执行操作可被看作是背面操作。如光电二极管和相关的晶体管的结构和装置可形成在半导体基底的正面表面。包括金属布线层和导电层的交互层介质堆叠可形成在基底的正面表面。在一堆叠芯片设置中,既然每个芯片上的互连大都设置在每个芯片的正面,两个芯片的正面可直接连接。当特定电路元件位于或形成于一个基底上时,一般可认为是该电路位于基底的正面。

[0064] 本专利所使用的“耦接”或“连接”定义如下。“连接”用于描述为两个电路元件之间的直连,例如,按照普通的集成电路加工技术形成的金属线。相比之下,“耦接”用于描述两个电路元件之间或者直连或者非直连。例如,两个耦接元件可以用金属线直接连接,或通过中间的电路元件(例如,电容,电阻,或晶体管的源/漏端)非直接连接。本发明的堆叠芯片排列中,既然每个芯片上的电互连点大多数形成在每个芯片的正面,两个芯片的正面可直接

连接起来。当特定电路元件位于基底内或形成在基底上时，一般可看作是位于所述基底的正面。

[0065] 图1是一图像系统100的结构图。该图像系统100包括一具有多个图像传感器像素的像素阵列102，所述像素阵列包含多个具有本发明所提供的技术特征的图像传感器像素。如图中所示，图像系统100包括连接到控制电路108和读出电路104的像素阵列102，读出电路104连接到功能逻辑单元106。控制电路108和读出电路104连接到状态存储器110。在一实施中，像素阵列102为如图所示的图像传感器像素（例如，像素P1，P2…）的二维（2D）阵列。如图所示，每一像素排成行（例如，行R1到Ry）和列（例如，列C1到Cx）以获得一个人或地方或物体等的图像数据，由此可产生一个人或地方或物体的两维图像。在一实施例中，每一像素获取图像数据或图像电荷后，图像数据采用状态寄存器110指定读出模式的读出电路104读出，然后传输到功能逻辑单元106。在各种应用例中，读出电路104可包括放大电路，模数转换（ADC）电路，及其他。状态寄存器110可包括有程序化选择系统用以确定读出系统是通过滚动曝光还是全局曝光模式读出。功能逻辑单元106可仅存储图像数据或通过图像效果应用甚至处理图像数据（例如，裁剪，旋转，去红眼，调整亮度，调整对比度，或其他）。在一应用例中，读出电路104可沿读出列线（如图所示）一次读出一行图像数据，或者可采用各种其他技术（未示出）读出图形数据，例如串行读出或同时并行读出所有的像素。在一应用例中，控制电路108连接到像素阵列102以控制像素阵列102的可操作特性。控制电路108的操作可通过状态寄存器110的当前设置确定。例如，控制电路108可产生一快门信号用于控制图像获取。在一应用例中，此快门信号是一全局曝光信号使得像素阵列102的所有像素通过单一获取窗口同时分别获取它们的图像数据。在另一应用例中，此快门信号是一滚动曝光信号，每一像素行，列或组通过连续获取窗口连续实现。

[0066] 图2是现有技术中具有滚动曝光读出模式的堆叠图像传感器像素单元的一实施例的电路图。该图和实施例用于简单描述本发明实施例像素的预期操作。如图所示，每一传感器像素200包括一光电二极管210（例如，光感器件）和像素支持电路211。光电二极管210可为现有CMOS图像传感器中采用的钉扎（Pinned）二极管。光电二极管210可设置在堆叠系统的传感器芯片上，像素支持电路211可设置在一单独的电路芯片上。在一应用例中，像素支持电路211包括一复位晶体管220，源极跟随（SF）晶体管225，及行选择晶体管230的电路芯片上，连接到如图所示的堆叠芯片系统的传感器芯片上的垂直通道传输晶体管215和光电二极管210。在另一应用例中，未标示出，像素支持电路包括电路芯片上的行选择晶体管230连接到堆叠系统的传感器芯片上的复位晶体管220，源极跟随（SF）晶体管225，和垂直通道传输晶体管215和光电二极管210。在操作过程中，在曝光期间光电二极管210产生电荷响应入射光。垂直通道传输晶体管215响应传输控制信号TX将光电二极管累积的电荷传输到浮动扩散点（FD）217。当光电二极管210是垂直通道传输晶体管215的源极时，浮动扩散点217是传输晶体管的实际上的漏极。在一实施例中，垂直通道传输晶体管是一垂直通道金属氧化物半导体场效应管（MOSFET）。复位晶体管220连接于电源VDD和浮动扩散点217之间，响应于复位控制信号RST，复位传感器像素200（例如，放电或充电浮动扩散点217和光电二极管210到当前电压）。浮动扩散点217连接到源极跟随晶体管225的栅极。源极跟随晶体管225连接于电源VDD和行选择晶体管230之间，放大输出浮动扩散点217的电压信号。行选择晶体管230根据行选择控制信号RS将像素电路的输出从源极跟随晶体管225输出到读出列，或位线

235. 光电二极管210和浮动扩散点217由暂时有效的复位信号RST和传输控制信号TX复位。累积窗口(例如曝光阶段)在传输控制信号TX失效时开始,使得入射光在光电二极管210累积产生电荷。当光电子在光电二极管210处累加,其电压降低(电子带负电荷)。在曝光期间光电二极管210上的电压或电荷代表入射到光电二极管210上的光强度。在曝光期后,复位控制信号RST失效,关闭复位晶体管220并将浮动扩散点217与电源VDD隔离。传输控制信号TX有效,将光电二极管210连接到浮动扩散点217。电荷从光电二极管210通过垂直通道传输晶体管215传输到浮动扩散点217,在曝光期间使得浮动扩散点217的电压通过一定比例降低到光电二极管210累积的光电子。

[0067] 图像传感器的一个重要的设计要点是动态范围,它是由最大非饱和光电流和最小可测光电流之间的对数比所确定。对于具有固定饱和电荷的传感器,也是指性能,饱和度限制了其最高信号。一般地,最小可测光电流由光电二极管和浮动扩散的复位采样噪声确定。降低动态范围上的复位采样噪声的影响依赖于相关双采样(CDS)。CDS是选取像素信号的两个样本并从第二个信号减去第一个信号以去掉复位采样噪声。一般地,采样一般快速跟随光电二极管和浮动扩散点的复位执行一次且在光电二极管允许累积电荷并将其传输到浮动扩散点后执行一次。信号相减的操作在像素的外围电路执行且可能增加传统的图像传感器的面积虽然不一定是像素的面积。使用滚动曝光模式的图像传感器可包含仅增加外围电路元件的CDS且像素中没有增加的其他电路元件。使用全局曝光模式的图像传感器像素内可能需要多个电容和晶体管,这些降低了填充因子。通过分开CDS所需的增加组件到电路芯片上以保持降低填充因子从而分离并堆叠在传感器芯片上部。

[0068] 图3A为现有技术普通像素单元的布局图。光电二极管310,传输晶体管315和像素电路311占用相同的半导体芯片。图3B为图3A中所示的像素单元沿AA'的截面图。光电二极管310和像素电路311相应于图2中的标示为光电二极管210和像素电路211的光电二极管和像素电路,除了他们占用相同的芯片晶片。传输晶体管315占用如图2中的传输晶体管215相同的位置,除了传输晶体管315为一普通意义上的平面互补金属氧化物半导体场效应管(CMOSFET),它的源极,通道,及漏极位于半导体基底内,且并行与半导体基底的表面。图3A和图3B中所示的M1尽可能减少对降低像素阵列尺寸和生产成本是有利的。然而芯片尺寸M1受加工技术的最小化设计规则的需求所限,比如设置像素电路311到传输晶体管315最接近的方式。这种情况是迫使像素单元分离到两个堆叠芯片的主要因素,芯片的像素电路可堆叠在光电二极管和传输晶体管上以降低M1的晶片尺寸。

[0069] 图4A是现有技术中普通像素单元布局的分解图。其中,光电二极管410和平面互补CMOSFET传输晶体管415位于传感器芯片的半导体基底上,且像素电路411位于电路半导体芯片一隔开的基底上。图4A呈现了传感器芯片的分解图,它的组件置于上部表面,对齐排列于组件置于下部表面电路芯片,通过芯片内互连440连接。在图4B中,电路芯片的下面实际上是前面所述的基底的前面。图4B为图4A像素单元沿BB'包括电路芯片的叠加部分的截面图。图4B呈现了由芯片内互连440连接的两堆叠半导体芯片。与图3A和图4A相比,本领域技术人员应该意识到,假设光电二极管310和410具有相同的尺寸,芯片尺寸M2比M1小,这样能提供降低生产加工成本的可能。

[0070] 在图4A和图4B中所示的堆叠组件中,芯片尺寸限制由传感器芯片确定。假设期望保留光电二极管的尺寸,进一步降低芯片尺寸的机会是降低传输晶体管尺寸,或重置其在

光电二极管的覆盖空间。

[0071] 先进的图像传感器中,降低噪音方法的使用不足以增加动态范围以获取明亮的太阳光及暗影存在的户外场景。先进的动态范围增强技术可采用性能调整方案。此种方案中,在光电二极管电荷传输到浮动节点过程中,性能增强一次或多次。这种使用在小面积堆叠图像传感器像素的动态范围增强方案是本发明所描述的重点部分。本发明实施方案中采用的动态范围增强方案包含通过在具有传感器芯片上的浮动节点的平行结构中增加电容和电容控制晶体管来构建性能调整电路。通过连接所添加的电容到浮动节点,光电二极管电荷传输到一个较大的电容产生较低的转换增益,以及在饱和之前累积更多的电荷。这种性能用于高光照度下成像的场景而不是正常的或低光照度下成像的场景中。因此这种方案所需要的特征是增加一个电容控制晶体管和一个关闭像素(off pixel)电容控制晶体管控制信号电路以感知成像场景的光照度。各种感知场景光强度和基于其上的信号控制电路以采用所期望信号到信号增强电容控制晶体管的栅极的方法是本领域技术人员所熟知的内容,此处不做赘述。

[0072] 图5是根据本发明第一实施例的像素单元的分解图。图5呈现了像素单元布局,其中像素单元部分502包括光电二极管PDa, PDb, PDc, PDd及各自的MOSFET传输晶体管TXa, TXb, TXc, TXd和一般连接的浮动节点FN位于传感器芯片510的半导体基底上。像素单元部分502还包括复位晶体管RST和放大晶体管SF及动态范围增强电容Cfd和位于传感器芯片内的电容控制晶体DCG,用于当选择滚动曝光模式时用于转换图像电荷到图像信号并通过行选择晶体管RSW从传感器芯片将图像信号连接输出。图5还呈现了包含位于电路芯片511的独立半导体基底上的像素电路的像素单元部分504(像素电路芯片)。图5呈现了传感器芯片510的分解图且它的组件位于上部表面以芯片内互连AA和BB对齐排列到组件位于下面或前述所定义的正面的电路芯片511。文中未给出但可容易想象到类似于图4B的一个附图且可呈现如图5中所示的两堆叠半导体芯片,通过芯片内互连AA和BB连接。

[0073] 像素单元部分502呈现了仅像素相关组件位于传感器芯片510上。像素单元部分502重复形成图像阵列的行和列。传感器芯片510可包含额外的外围电路作为功能化图像传感器的图像阵列部分的需求,例如,连接复位控制信号和传输晶体管的传输控制信号到所有的像素单元。光电二极管PDa, PDb, PDc和PDd可以是相同的尺寸和位置,例如图中所示2×2的阵列。典型地,像素单元部分502内光电二极管的尺寸和位置是选定的,如像素单元部分502的阵列的所有光电二极管设置为统一的样式布局。在实例中,像素单元502用于形成彩色图像传感器。各种颜色的滤光器可设置在入射光路径内的每一像素位置处。一种已知的2×2的滤光器安置是拜尔滤光模式(Bayer filter pattern),其包含一个红色,一个蓝色,及两个绿色滤光器(RGGB)。位于像素单元部分504上的像素电路限制其占用不多于像素单元部分502所占用的面积。如图5中所示,像素电路芯片504(像素电路芯片)包括当选择全局曝光模式时提供全局曝光模式功能的读出电路。像素电路芯片511可包含额外的外围电路作为功能化图像传感器的像素电路部分的需求,例如,连接控制信号和电源。

[0074] 图6是图5中所示的根据本发明第一实施例的像素单元的电路图。图6中的像素单元部分602和604相应于图5中的像素单元部分502和504。图6中所示的电路图更清晰地呈现了各器件之间的连接关系。器件名称在两个图中是通用的且用于描述像素单元的操作。图6中设置了传输晶体管(TXa, TXb, TXc, TXd),每一晶体管分别连接到单独的光电二极管(PDa,

PD<sub>b</sub>, PD<sub>c</sub>, PD<sub>d</sub>) 并共享浮动节点FN, 表示为像素单元部分602且设置于第一基底内用以累积和传输图像电荷以响应入射到光电二极管上的光。在图6中, 光电二极管和它们各自的传输晶体管作为单元1, 2...n列出而不是图5中所示的a, b, c...。这主要是为了体现本发明电路可以是多个光电二极管和传输晶体管, 而不是图5中所示的四组光电二极管和传输晶体管。一复位晶体管RST和放大晶体管SF位于像素单元部分602上并设置在第一基底内, 用于转换图像电荷到图像信号(PIX0) 及一行选择晶体管(RSW) 用于当选择滚动曝光模式时从像素单元部分602将图像信号输出。一动态范围增强电容C<sub>dcg</sub>和电容控制晶体DCG设置在像素单元部分602上, 在高光照成像场景中用于提供动态范围增强模式。图6还描述了像素单元604的读出电路块, 且设置在堆叠在第一基底正面上的第二基底内, 其中读出电路块包括一个可选的全局曝光模式。图6中还呈现了芯片内互连AA和BB直连放大晶体管SF到全局曝光模式读出电路块。芯片内互连BB连接产生于源极放大器SF源极的图像信号PIX0到第二基底上的像素单元部分604内全局曝光模式读出路径。芯片内互连AA连接电源PIXVDD到复位晶体管RST和放大晶体管SF。

[0075] 本发明的一个发明点是提供现有技术之上包含名称为603的像素单元, 当成像场景为高光照度情况时, 所述图像电荷部分通过电容控制晶体管DCG储存在动态范围增强电容C<sub>dcg</sub>上。动态范围增强电容C<sub>dcg</sub>连接在地和复位晶体管RST及电容控制晶体管DCG的连接点处, 可以为MOS电容, 能提供较好的像素输出电压线性, 或者为二极管电容用于电荷整合。

[0076] 本发明还提供一现有技术基础上的创新的像素单元, 其图像信号可选地通过设置在第一基底上的电路以滚动曝光模式输出或可选地通过设置在第二基底上的电路以全局曝光模式输出。以滚动曝光读出模式产生图像且不需要信号穿过第二基底, 能降低功耗和信噪以及增加帧率。进一步从第一基底电路分离出第二基底电路利于从独立设置在第一基底的可选源中提供电源PIXVDD。

[0077] 为读出滚动曝光模式中的图像信号PIX0, 仅需行选择晶体管RSW传输读信号rs<sub>pix</sub>到off<sub>pixel</sub>读出电路。因此在滚动曝光模式的选择上, 通过在图1中所示的状态寄存器110上的设置, 控制电路108可至少对图6中的晶体管GS<sub>RST</sub>, Gr<sub>st</sub>, GSF及GSW关闭。图7A给出了用于执行从像素单元部分602的图像信号PIX0的滚动曝光模式读出的控制时序。图7A中的每一控制信号相应于图6中所示应用于相关晶体管门电极相似名称的信号及他们的相关状态开(高)/关(低)。此处包含两种电荷处理模式。一种是用于低于正常光照强度的成像场景, 采用信号dcg1; 另一种是用于高光照强度的成像场景, 采用信号dcg2。在低光照强度成像场景中, 为从像素单元部分602执行滚动曝光读出模式, 时序如图7A所示。首先所有的信号处于关闭状态。接下来复位控制信号rst作用于复位晶体管RST上, 且控制信号dcg作用于电容控制晶体管DCG使其设置为高, 拉高浮动节点FND到初始电压值VF<sub>N0</sub>(接近于PIXVDD) 且将放大器SF的源极的电压拉至相应于初始电压值VF<sub>N0</sub>的图像信号PIX0(rst)。然后行选择晶体管RSW打开, 初始图像信号以电压值V<sub>rs\_pix0</sub>传输到节点rs<sub>pix</sub>。复位晶体管RST和电容控制晶体DCG置低电平, 随后传输晶体管TX1置为高电平。传输晶体管TX1保持高电平一段时间(曝光时间), 然后置为低电平。在曝光期间, 浮动节点FN充电到与入射到光电二极管PD1(此处称VF<sub>N1</sub>) 的光照强度成一定比例, 其充电放大晶体管SF的栅极, 以将放大晶体管SF的源极拉至相应于VF<sub>N1</sub>的图像信号, 且行选择晶体管RSW保持打开状态, 图像信号以电压值V<sub>rs\_pix1</sub>传输到节点rs<sub>pix</sub>。读出电路不在像素单元部分602(off<sub>pixel</sub>) 上但在图像传感

器的其他处,对图像信号Vrs\_pix0和Vrs\_pix1执行相关双采样(CDS)。图7A的最后一行给出了当复位晶体管RST关闭且传输晶体管TXa打开和关闭前和后的off-pixel CDS电路采样信号rs\_pix。图像信号Vrs\_pix1减去图像信号Vrs\_pix0能够提供低噪声信号到光电二极管PD1相应的图像传感器。读出相似的光电二极管PD2...及PDn信号以完成像素单元部分602的图像信号。

[0078] 当高光照强度场景成像时,为执行从像素单元部分602以滚动曝光模式读出信号PIX0,可采用图7A中所示的时序。首先,所有信号处于关闭状态。接着,复位控制信号作用于复位晶体管RST且控制信号dcg置为高电平作用于电容控制晶体管DCG,将浮动节点FN拉至初始电压值VFN0(接近于PIXVDD)且将放大晶体管SF的源极拉至相应于初始电压值VFN0的图像信号PIX0(rst)。然后行选择晶体管RSW打开,初始图像信号以电压值Vrs\_pix0传输到节点rs\_pix。然后复位晶体管RST和电容控制晶体管DCG置为低电平。一小段时间后,电容控制晶体管DCG又置为高,同时传输晶体管TX1置为高电平。传输晶体管TX1保持高电平一段时间(曝光期间)然后置为低电平。在曝光期间,浮动节点FN和动态范围增强电容Cdcg充电到与光电二极管PD1(此处称VFN1)上光照强度成一定比例,对放大晶体管SF的栅极进行充电以将放大晶体管SF的源极拉至相应于VFN1的图像信号,行选择晶体管RSW保持打开状态,图像信号以电压Vrs\_pix1传输到节点rs\_pix。浮动节点FN和动态范围增强电容Cdcg的组合电容比浮动节点FN单独的电容大,在饱和前可以累积更多的电荷,像素单元动态范围因此加强。读出电路不在像素单元部分602(off-pixel)上单在图像传感器的其他处,对图像信号Vrs\_pix0和Vrs\_pix1执行相关双采样(CDS)。图7A的最后一行给出了相应图示。

[0079] 图7B给出了另一控制信号时序用于执行可选读出模式的像素单元的时序控制图。与图7A给出的时序相比,此优选实施例中的时序只需实施一次曝光,分别读取高增益和低增益两种转换增益下的值,并通过帧合成获取高动态图像,此方式可实现更高的帧率。结合图6电路图,以光电二极管PD为四个为例,在此种模式下,信号grst、gs\_rst、gs\_sig、gs\_nb、gs\_sel恒为低电平。其具体的实施过程为:首先初始化所有光电二极管PD,信号rst,dcg,tx1置为高电平,Cdcg、FD和PD1端置为高电平。曝光开始,信号rst,dcg,tx1置为低电平,PD1曝光开始累积光电荷。开始读取,rs\_sel选通,信号rst和dcg至高电平,初始化FN节点电位。置rst为低电平,读取此时低转换增益LCG的初始信号Vlcg0。置rst为高电平,FN节点电位再次重置至PIXVDD。信号rst和dcg置为低电平,读取高转换增益HCG时的初始信号Vhcg0。信号tx1置为高电平,TX1导通,将PD1累积的电子转移至FN节点。信号tx1置为低电平,读取高转换增益HCG时的信号电压值Vhcg1。信号tx1和dcg置为高电平,将PD1累积的电子重新分配至Cdcg和FN节点。信号tx1置低电平,读取低转换增益LCG时的信号电压Vlcg1。由此可计算得出高转换增益HCG模式下信号值Vhcg = Vhcg1 - Vhcg0,低转换增益LCG模式下信号值Vlcg = Vlcg1 - Vlcg0。重复上述实施过程,读取其他所有光电二极管的信号。高转换增益HCG和低转换增益LCG下的信号可合成高动态范围图像。

[0080] 从像素单元部分604上的电路所提供的具有像素内CDS的像素单元部分602中以全局曝光模式读出图像信号的操作规则包含两个阶段,为采样复位值和采样信号值。在第二个阶段(采样信号值),像素内CDS操作根据像素单元部分604上的电路元件结构特性自动发生。具体操作上,为读出全局曝光模式的图像信号PIX0,像素单元部分604上的所有晶体管都可操作以传输读信号rs\_pix到off\_pixel读出电路。因此通过对图1中所示的状态寄存器

110合适的设置的选择,控制电路108可关闭晶体管RSW。图8给出的控制时序用于执行图像信号PIX0的全局曝光模式从像素单元部分602读出。图8中所示的每一控制信号相应于图6中所示的相关晶体管的相应名称的门极信号,以及他们相关的状态开(高)/关(低)。为执行从像素单元部分602全局曝光方式读出的图像信号PIX0,图8中给出了低于正常或正常的光照强度场景中成像的控制时序。首先复位控制信号rst作用于复位晶体管RST,且控制信号dcg1作用于电容控制晶体管DCG将其置为高电平,以拉高浮动节点FN到初始电压值VFNO(接近于电压值PIXVDD),且将放大晶体管SF源极拉至相应于初始电压值VFNO的图像信号PIX0(rst)。当晶体管Grst,GS,及GS\_RST置为高片以对电容Crst充电至电压 $V(Crst)$ , $V(Crst) = PIXVDD - PIX0(rst)$ ,设置RST和DCG为低电平。全局曝光复位晶体管Grst关闭允许电容Crst的顶部极板浮动。然后所有的传输晶体管TX1,TX2...TXn打开,且允许持续曝光时间的时段。若成像场景是高光照强度的场景,控制信号序列dcg2会替代信号序列dcg1从而打开电容控制晶体管DCG和导致浮动节点的电容及饱和前图像电荷累积数量的增加的传输晶体管保持一致。这使得图像信号PIX0(sig)对动态范围增强电容Csig充电到与光电二极管上光照强度成一定比例。全局曝光传输晶体管GS关闭,GS\_RST随后关闭,使得图像信号PIX0(sig)保留在电容Csig上。目前所描述的信号序列,在像素内CDS发生在复位和到电容的图像信号的顺序使用的过程时,完成将全局曝光图像信号存储到全局曝光电容。

[0081] 为了从全局曝光的电容中读出图像信号,图8进一步给出下述增加的步骤顺序。接下来全局曝光复位晶体管Grst打开预充电容Crst的寄生电容。当Grst打开且关闭之前很短时间内,全局曝光行选择晶体管GSW设置为打开以从放大器GSF采样复位信号作为信号Vgs\_pix0直到全局曝光复位晶体管Grst关闭。全局曝光复位晶体管Grst关闭之后,全局曝光行选择晶体管GSW保持打开,下一步打开全局曝光传输晶体管GS一段时间以从放大器GSF采样图像信号Vgs\_pix1。行选择晶体管GSW然后关闭。读出电路不在像素单元部分604(off-pixel)上但在图像传感器的其他处,对图像信号Vrs\_pix0和Vrs\_pix1执行相关双采样(CDS)。当复位晶体管Grst关闭及传输晶体管开或关的前后时间,像素单元部分604(off-pixel)CDS电路采样信号gs\_pix。增加的操作处理源跟随放大器晶体管GSF的噪声。

[0082] 图6中所示的读出电路增加的特征包括rs\_out和gs\_out信号节点连接到一起以减少电路连线。发明内容中描述的其他部分保持不变。

[0083] 图9是根据本发明第二实施例的像素单元的分解图,相关标示同图5中所示。图10是图9中所示的像素单元的电路图。图9和图10中所示的本发明第二实施例与图5和图6总所示的第一实施不同,全局曝光传输晶体管GS位于电容Crst和Csig之间而非图5和图6中所示在电容Csig和地之间。基于滚动曝光读出模式,图像信号如上述本发明第一实施例所述的读出方式。基于全局曝光读出模式,图像信号读出方式类似于上述第一实施例中所述,除了图11中所示的几步。

[0084] 图10中所示的读出电路的附加特性包括rs\_out和gs\_out信号节点可连接到一起以减少电路连线。发明内容中描述的其他部分不变。

[0085] 本专利实施方案中“一个实施例”,“一个应用例”或“一个例子”等,意思为本实施例中特定的特征,结构,或特点,或者包含在根据本发明的至少一个例子中。因此,“在一个实施例中”或“在一个例子中”的短语出现在本说明书的各种地方,不必限于参考相同的具体实施方案或实施例。而且,独特的特征,结构或特点可包含在一个或多个实施例的任何合

适的方式中。定向术语,例如“上”,“下”,“之上”,“之下”,用于参考图中描述的定位。而且,术语“有”,“包含”,“特定”,及类似术语,除非有特定说明,都定义为“包含”。特点,结构或特征可包含在集成电路中,电路中,组合的逻辑电路中,或其他适用的组件,以提供所述的功能性。另外,此处提出的附图是为本领域技术人员提供解释说明且这些附图没必要按比例画出。

[0086] 本发明上述给出的示例,包括在摘要中描述的,并不详尽或限于精确的形式披露。本发明所述的详细的实施例,例子,是为了说明的目的,在不背离本发明更广泛的主旨和范围下,不同形式的等效修改是可能的。确实,根据本发明提供的特定的实施例的结构和材料用于说明的目的且其他结构和材料也可应用于其他实施例中及例子中。根据上述详细的说明可对本发明实施例进行修改。用于权利要求中的术语不应解释为限于本发明具体实施内容和权利要求部分中所揭露的具体实施例。相反地,权利要求中完整确定的范围应解释为根据权利要求解释确立的声明。本发明的说明书和附图应被看作是解释性的,而不是约束性的。

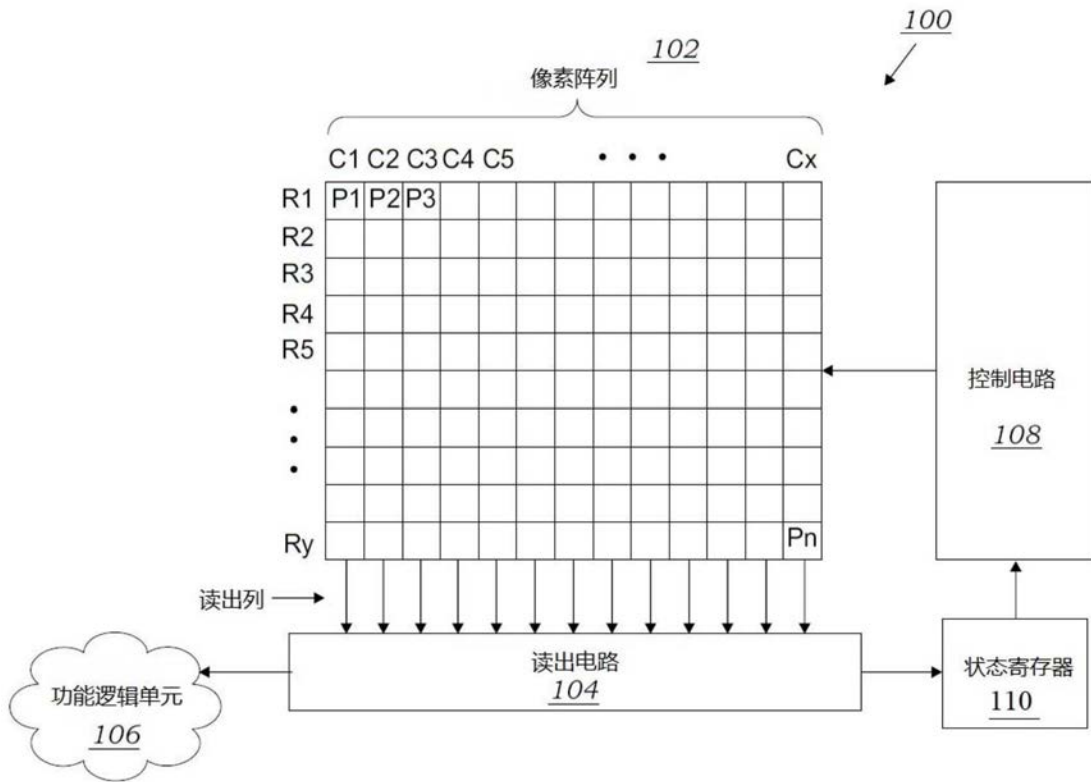


图1

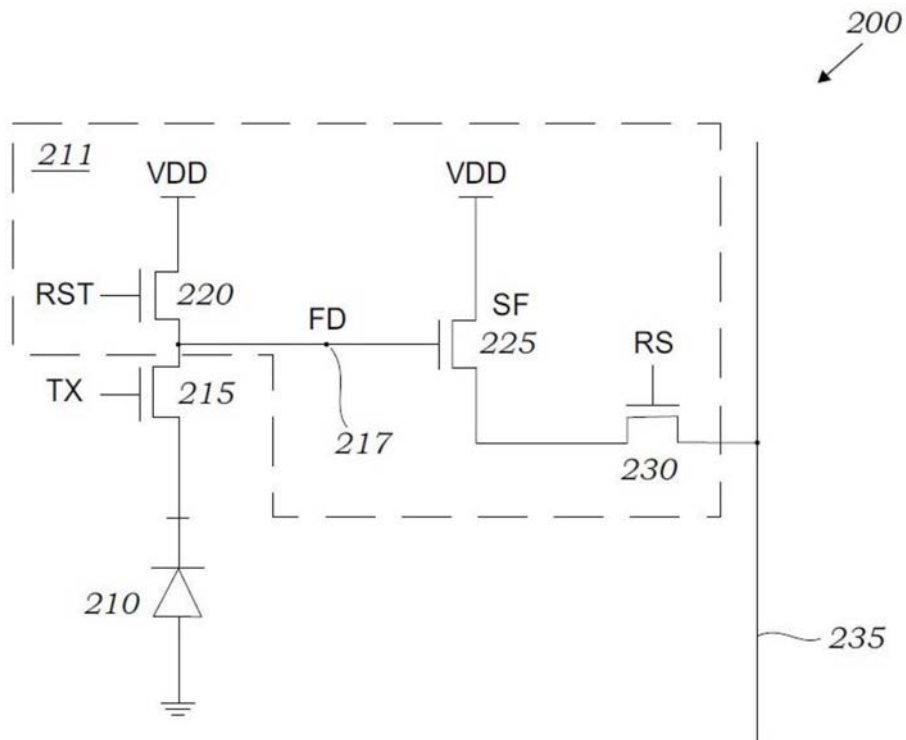


图2

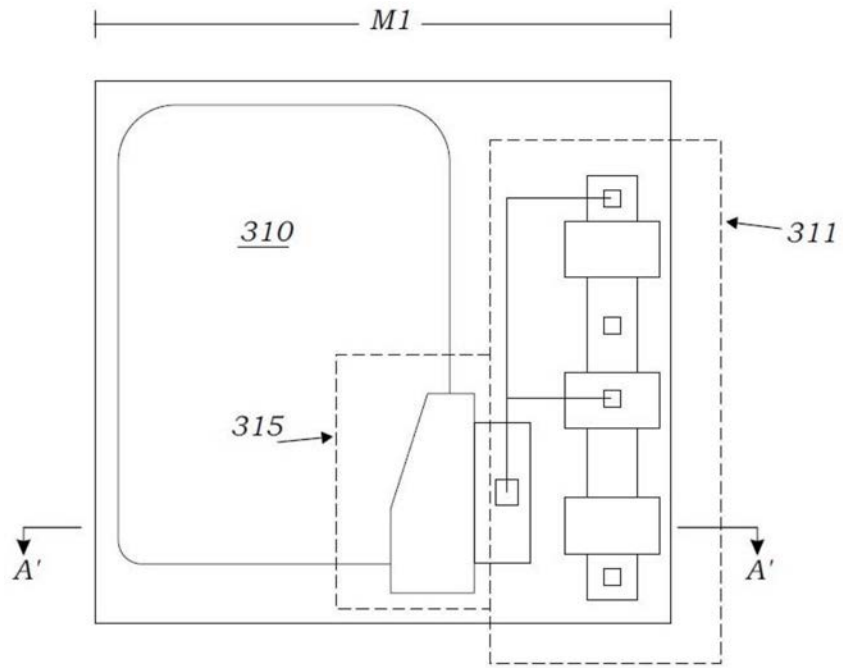


图3A

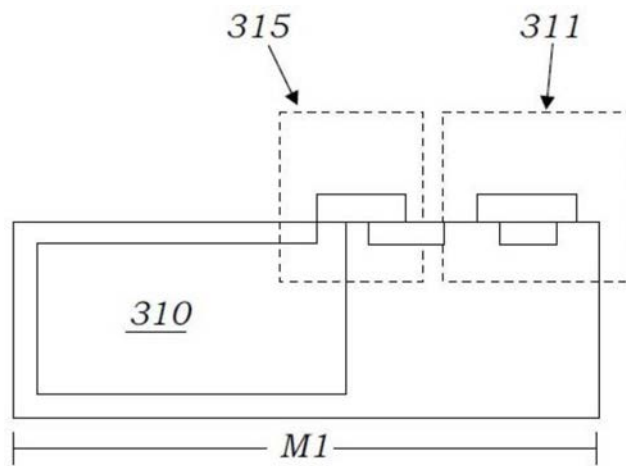


图3B

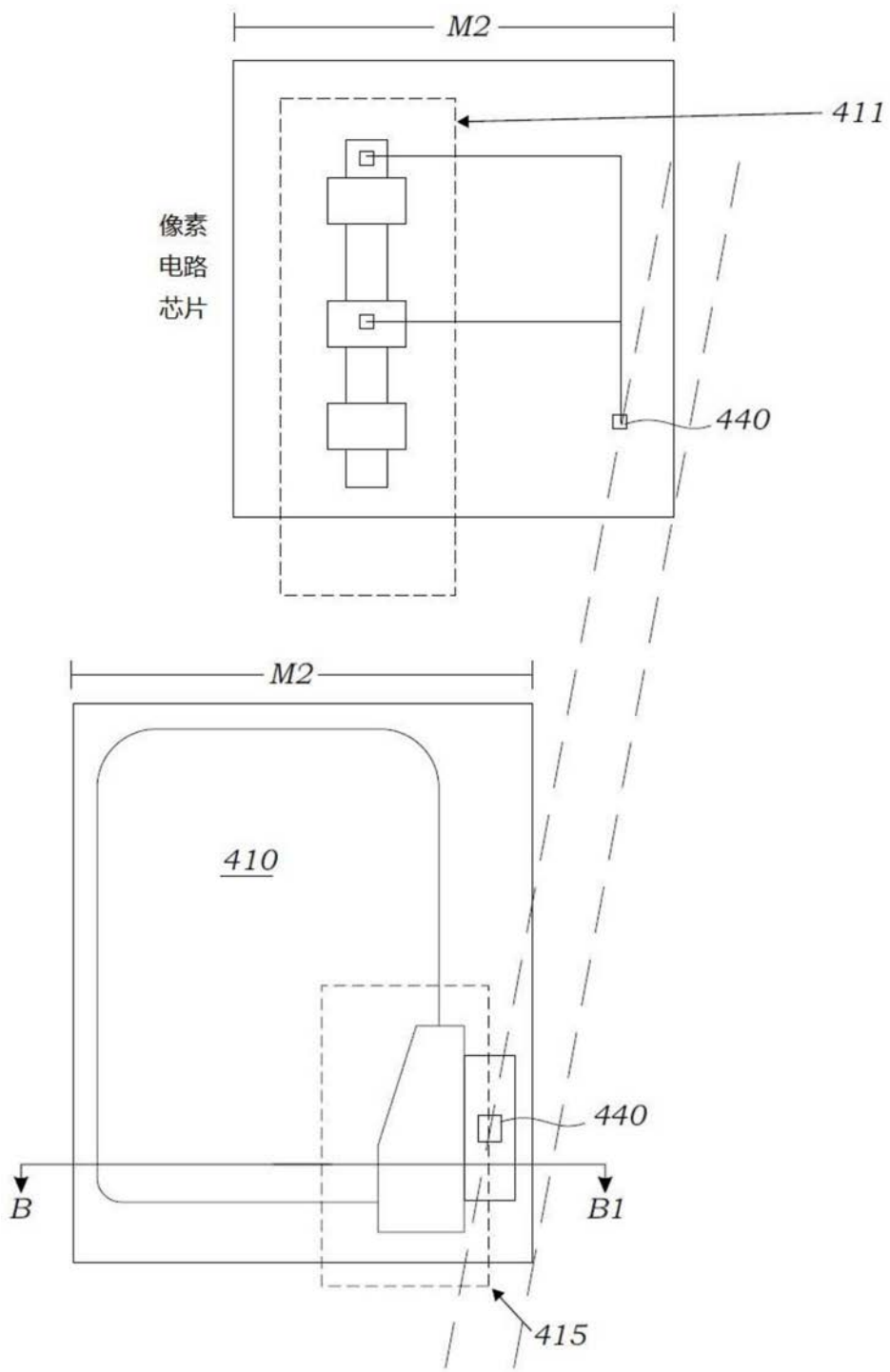


图4A

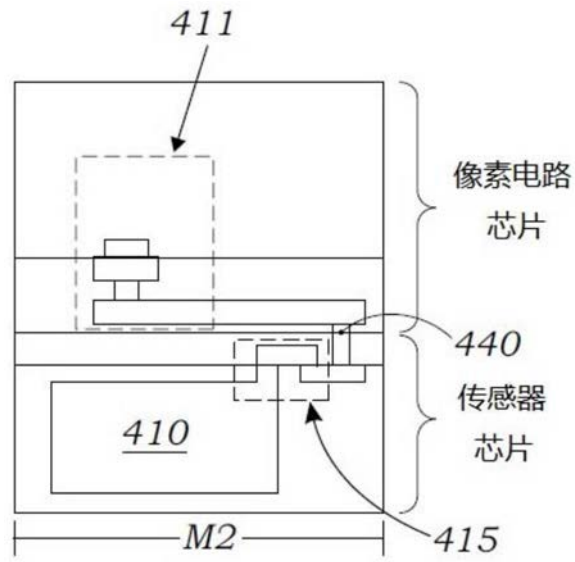


图4B

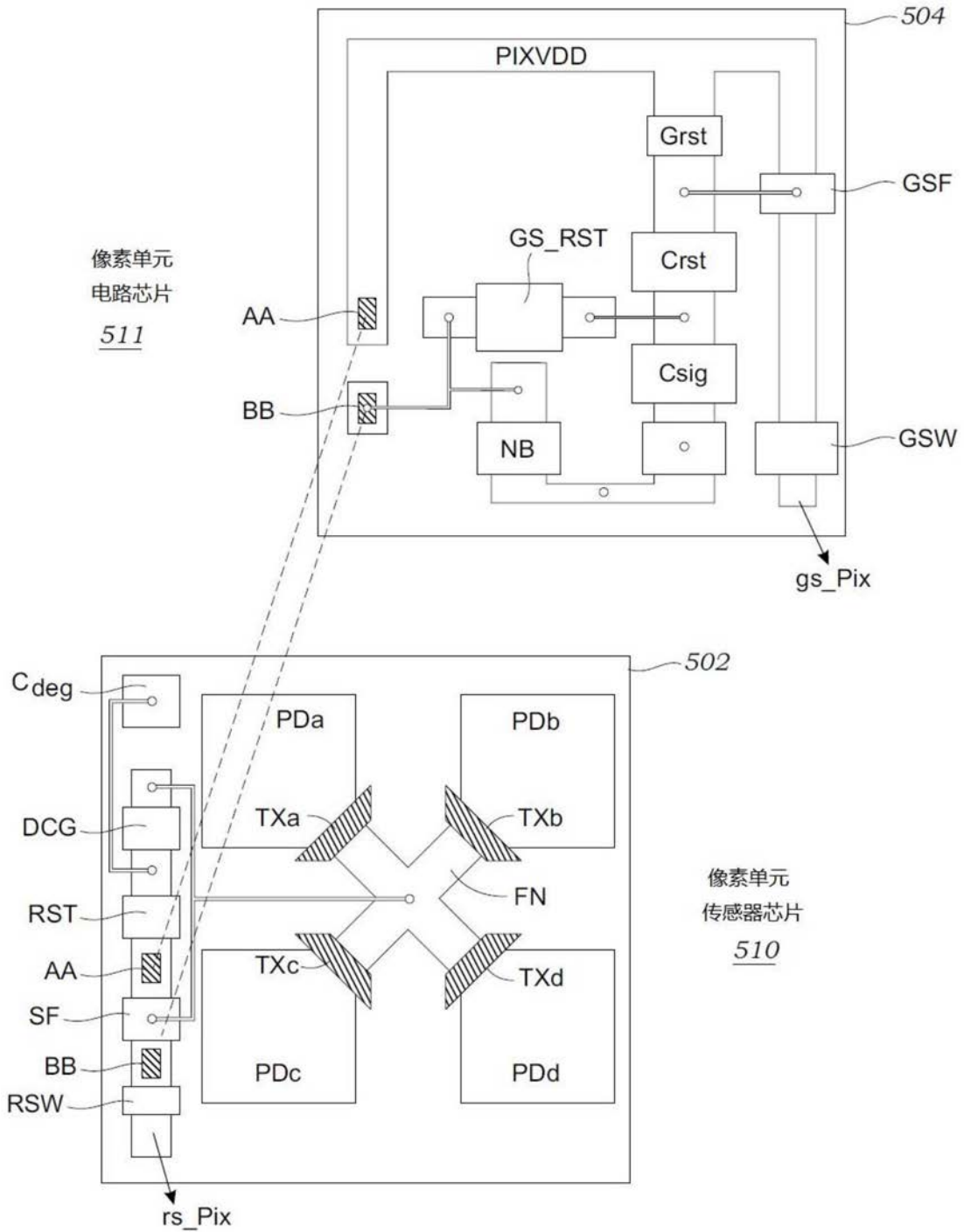


图5

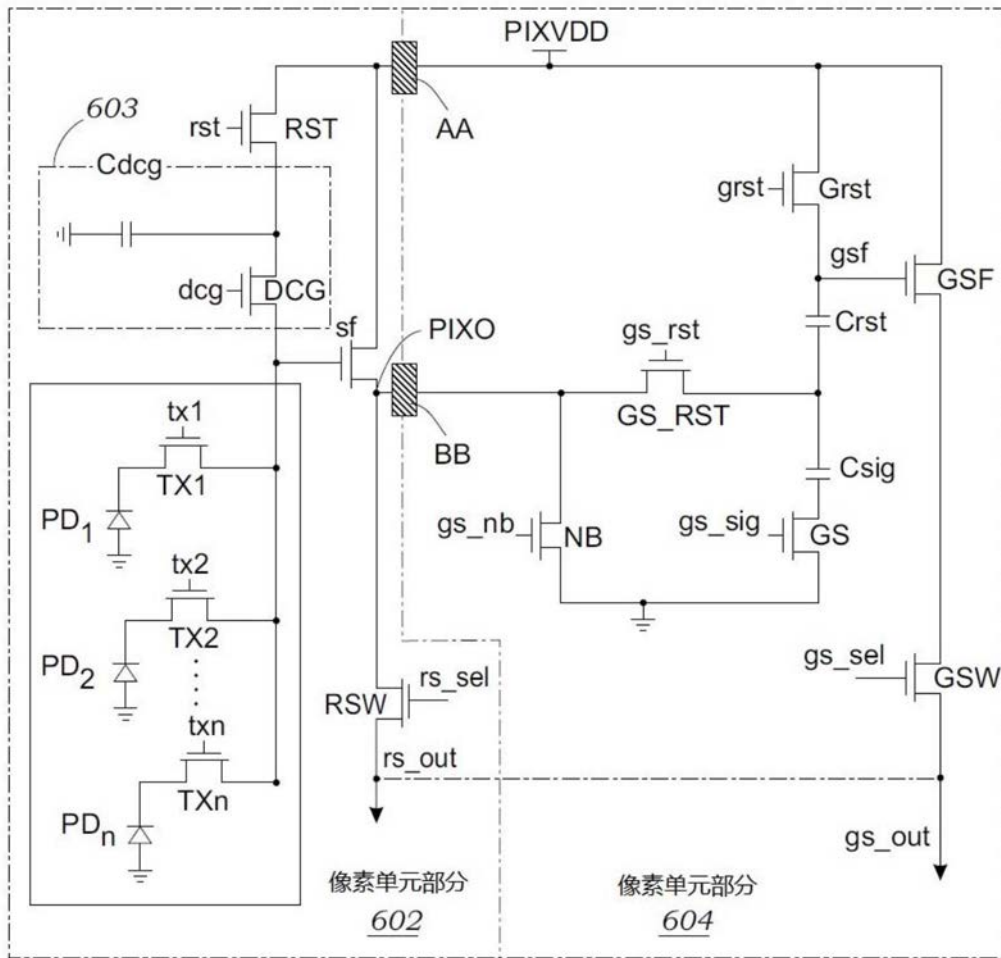


图6

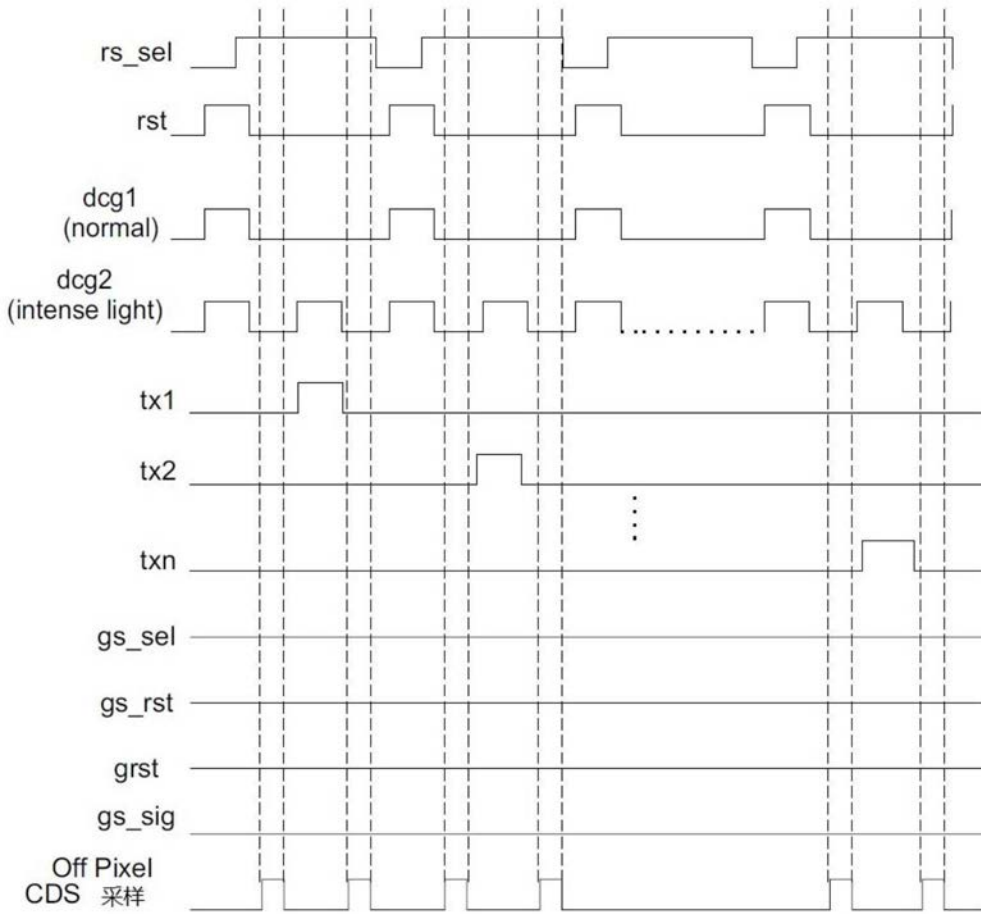


图7A

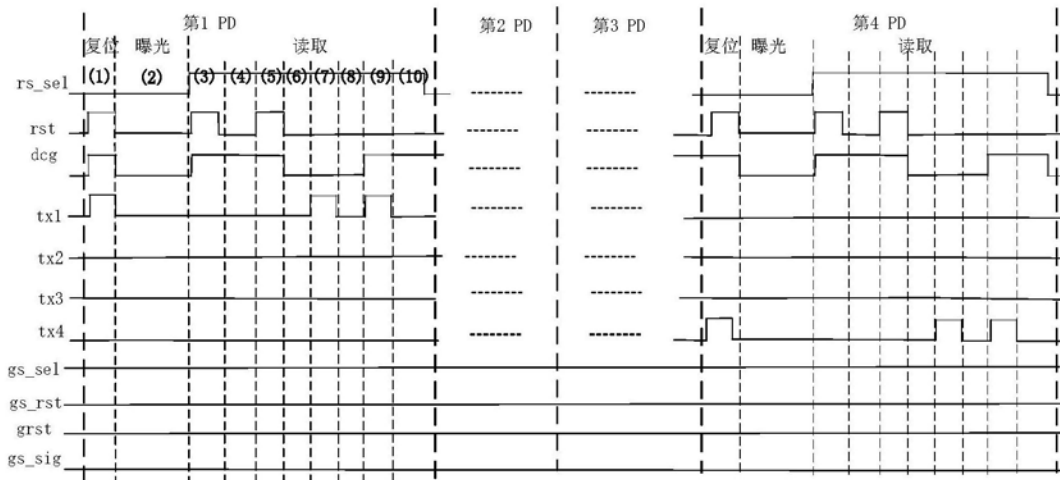


图7B

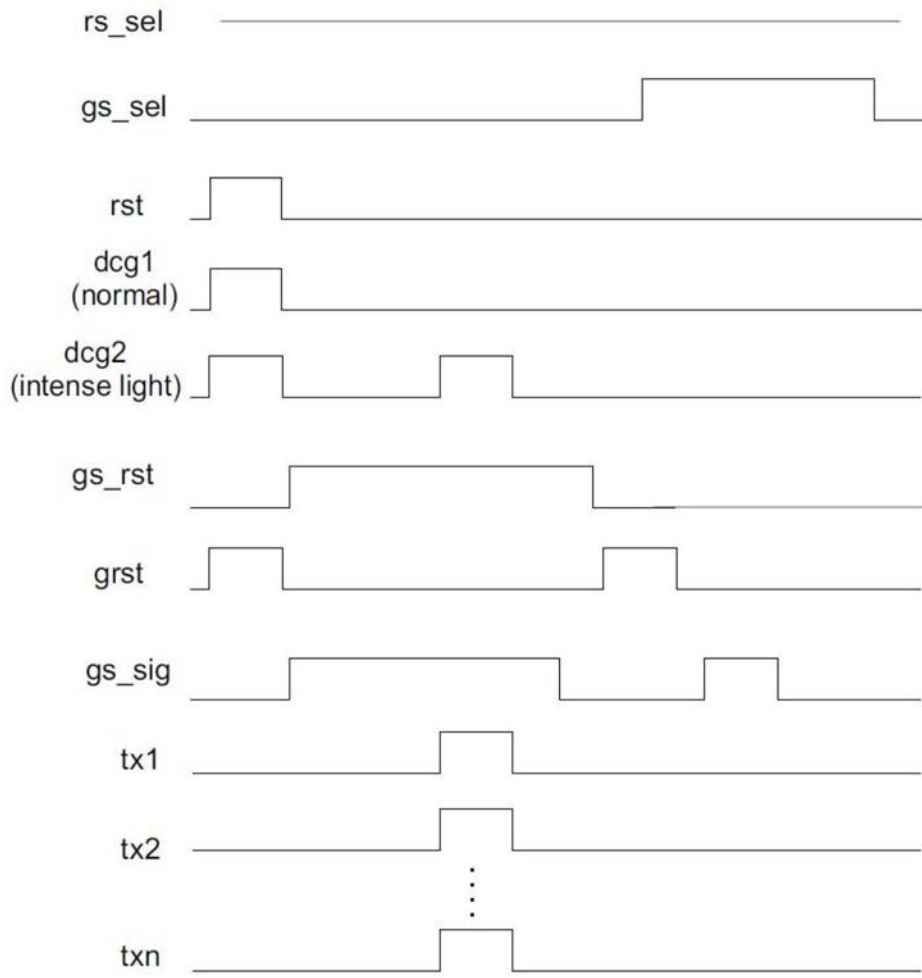


图8

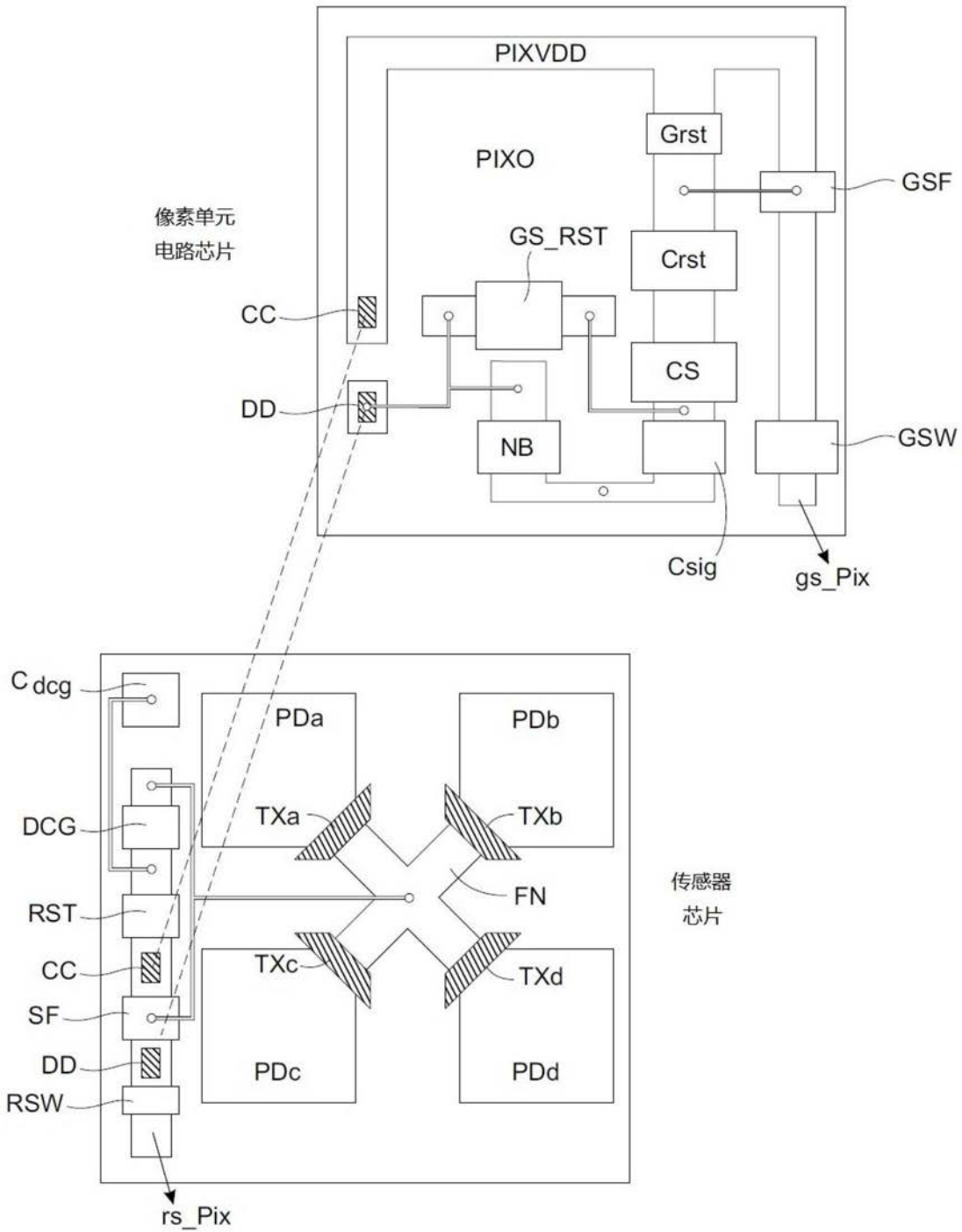


图9



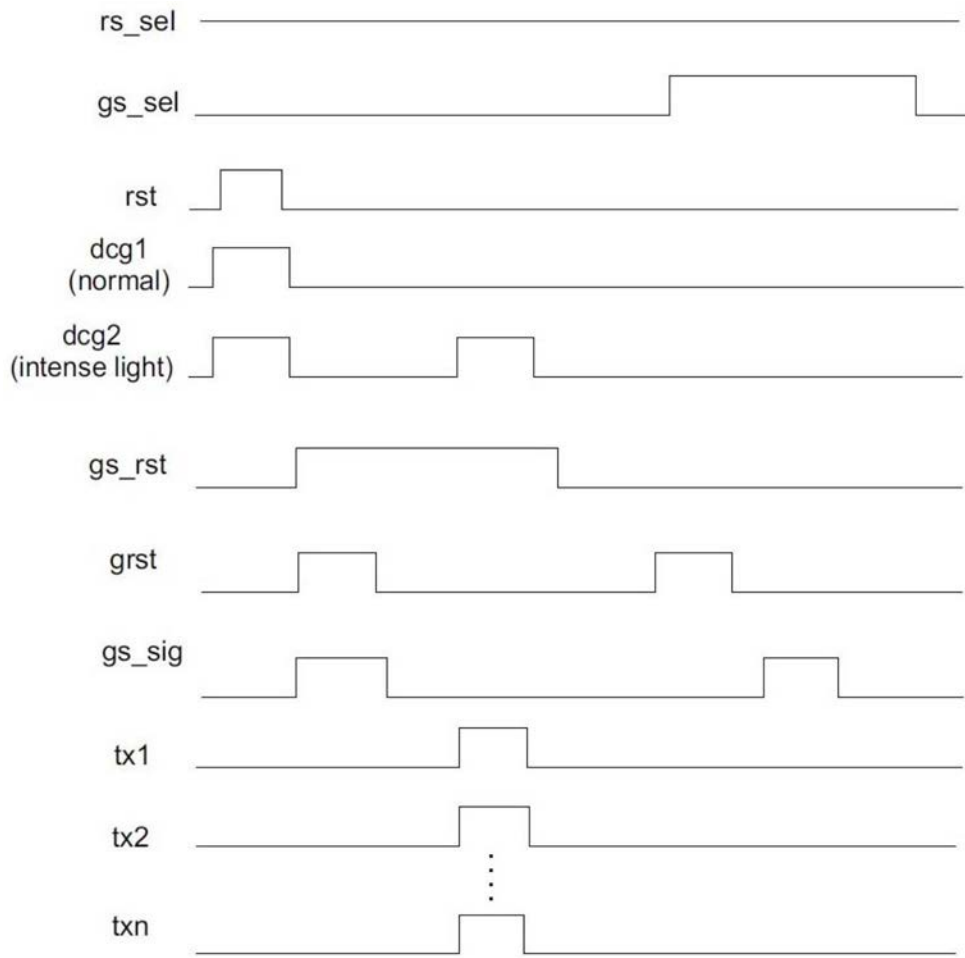


图11