



(12) 发明专利

(10) 授权公告号 CN 1890905 B

(45) 授权公告日 2011.09.28

(21) 申请号 200480035983.7

(22) 申请日 2004.12.08

(30) 优先权数据

10/741,675 2003.12.19 US

(85) PCT申请进入国家阶段日

2006.06.02

(86) PCT申请的申请数据

PCT/US2004/041107 2004.12.08

(87) PCT申请的公布数据

W02005/067185 EN 2005.07.21

(73) 专利权人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 D·罗基诺夫 A·斯蒂芬斯

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 钱慰民

(51) Int. Cl.

H04J 3/06 (2006.01)

(56) 对比文件

US 2002141451 A1, 2002.10.03, 全文.

US 6493832 B1, 2002.12.10, 第4栏第45-63行, 第8栏第61行至第10栏第39行, 图5-8.

CN 1452337 A, 2003.10.29, 全文.

审查员 俞燕浓

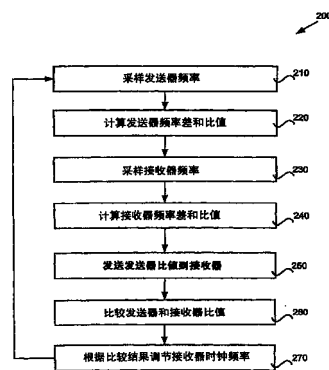
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

用于程序时钟同步的方法和设备

(57) 摘要

一种当通过通信链路在设备之间分配媒体信息时程序时钟同步的方法。发送器(110)中的处理器(117)计算程序时钟(CFsend)的连续采样之间的差以及网络时钟(CFw1)的连续采样之间的差,计算发送到接收器的频率比例系数 $K1 = \text{Diff_CFsend} / \text{Diff_CFw1}$ 。接收器(130)中的处理器(317)计算和发送器(110)中相同的值,但使用局部维持的程序时钟(CFreceive)和系统时钟(CFw2)以及 $K2 = \text{Diff_CFreceive} / \text{Diff_CFw2}$ 。处理器(137)将K1和K2相比较并产生用于调节接收器的程序时钟的差信号 $\Delta K = K1 - K2$ 。



1. 一种用于程序时钟同步的方法,包括:

采样在通信链路上发送信息的程序时钟频率;

采样与所述通信链路相关的系统频率;

根据所采样的程序时钟频率和所采样的系统频率计算结果;并

在通信链路上传送所述结果,

其中,所述采样程序时钟频率包括:在采样间隔的开始和结束时采样对程序时钟频率计数的计数器的值,

其中,所述采样系统频率包括:在采样间隔的开始和结束时采样对系统频率计数的计数器的值,

其中,所述计算包括:计算程序时钟频率的连续采样之间的第一差值,计算系统频率的连续采样之间的第二差值,将所述第一差值除以所述第二差值来获取所述结果。

2. 如权利要求1所述的方法,其特征在于,所述采样程序时钟频率通过采样系统频率来触发。

3. 如权利要求1所述的方法,其特征在于,还包括:

用控制协议通过通信链路使所述系统频率与远程设备的系统频率同步。

4. 一种用于程序时钟同步的方法,包括:

采样播放在通信链路上接收到的信息的程序时钟频率;

采样与所述通信链路相关的系统频率;

根据所采样的程序时钟频率和所采样的系统频率计算第一值;

通过所述通信链路接收第二值,所述第二值为权利要求1中所述的结果;并

根据所述第一值和所述第二值调节所述程序时钟频率,

其中,所述采样程序时钟频率包括:在采样间隔的开始和结束时采样对程序时钟频率计数的计数器的值,

其中,所述采样系统频率包括:在采样间隔的开始和结束时采样对系统频率计数的计数器的值,

所述计算包括:计算所述程序时钟频率的连续采样之间的第一差值,计算所述系统频率的连续采样之间的第二差值,将所述第一差值除以所述第二差值来获取第一值,从所述第一值和所述第二值产生差值,其中所述调节基于所述差值调节所述程序时钟频率。

5. 如权利要求4所述的方法,其特征在于,所述调节还包括:

基于所述差值改变对振荡器的控制电压,或

改变数值以调节本地程序时钟振荡器的频率,或

如果用数据重新采样来取代程序时钟调节则改变虚拟时钟的频率。

6. 如权利要求4所述的方法,其特征在于,所述调节还包括:

如果所述第一值和所述第二值指示所述程序时钟频率滞后于所述发送频率则增加所述程序时钟频率,并且

如果所述第一值和所述第二值指示所述发送频率滞后于所述程序时钟频率则减小所述程序时钟频率。

7. 如权利要求4所述的方法,其特征在于,所述调节包括:

基于所述第一值和所述第二值之间的差重新采样信息。

8. 一种用于程序时钟同步的设备,包括:

以程序频率产生信息的采样的程序时钟;

采样程序时钟的程序频率的第一电路;

产生系统频率的系统时钟;

采样系统时钟的系统频率的第二电路;

在计算上组合来自所述第一电路的采样程序频率和来自所述第二电路的所采样的系统频率的处理器,

其中,所述采样程序频率包括:在采样间隔的开始和结束时采样对程序频率计数的计数器的值,

其中,所述采样系统频率包括:在采样间隔的开始和结束时采样对系统频率计数的计数器的值,

其中,所述处理器设置成将经采样的程序频率的连续采样之间的差值除以经采样的系统频率的连续采样之间的差值来产生一个比值,将所述比值与通过通信链路从发送器接收到的另一比值相比较,所述另一比值为权利要求 1 中所述的结果,根据所述比值和另一比值调节程序时钟。

9. 如权利要求 8 所述的设备,其特征在于,所述第一电路包括:

根据所述程序频率递增的第一计数器,和

存储来自所述第一计数器的值的第一寄存器。

10. 如权利要求 8 所述的设备,其特征在于,所述第二电路包括:

根据所述系统频率递增的第二计数器,和

存储来自所述第二计数器的值的第二寄存器。

11. 如权利要求 8 所述的设备,其特征在于,还包括:

当所述第二电路采样所述系统频率时用于触发所述第一电路以采样所述程序频率的监视电路。

12. 如权利要求 8 所述的设备,其特征在于,还包括:

通过通信链路使所述系统频率与另一设备中的另一系统频率同步的第三电路。

用于程序时钟同步的方法和设备

背景技术

[0001] 本发明涉及传送媒体信息,特别是涉及跨网络分配媒体信息。

[0002] 为沿通信链路分配媒体信息(例如:视频数据、音频数据、视频会议数据等)提出了各种方案。为在例如家庭娱乐系统的设备中分配媒体信息提出了无线数字数据广播。实时播放媒体信息流的一个挑战是程序时钟同步。例如,媒体信息的发送器可以以与主程序时钟(例如以 27MHz 活动图片专家组 MPEG-2 系统定时时钟)同步的某个频率(例如通常 48kHz)产生采样。媒体信息的接收器应在每秒播放相同数量的采样,以避免缓冲器上溢或下溢,因此它应产生具有与发送器相同频率的采样时钟。

[0003] 用于这种时钟同步一个方案可以是接收器使用由发送器产生的时戳来测量和调节其采样时钟频率和发送器的采样时钟频率之间的差。此方案假设媒体信息的发送器和接收器之间的通信链路对每一时戳具有固定和恒定的延迟。

[0004] 然而,在载波侦听多路访问冲突避免(CSMA/CA)网络或载波侦听多路访问冲突检测(CSMA/CD)网络中,传送时戳的包的传送延迟可不恒定。例如在基于 IEEE 802.11a/b/g 的无线网络中,从发送器到接收器的传输延迟可以从小于 1ms 变化至 30ms 或更大。来自其它设备的干扰、冲突、转播、信号长度的变化、数据率的变化和/或其它因素可引起传输延迟的变化。传输延迟中的这种变化可以降低基于时戳的时钟同步方案的有效性。

[0005] 附图简要说明

[0006] 包括在本说明书中并构成其一部分的附图示出符合本发明的原理的一个或多个实施并和说明书一起解释这些实施。在附图中,

[0007] 图 1 示出一个符合本发明的原理的示例系统;

[0008] 图 2 为示出符合本发明的原理的调节图 1 的接收器中的程序时钟的过程的流程图;和

[0009] 图 3 示出符合本发明的原理的另一示例系统。

[0010] 详细说明

[0011] 下列详细说明涉及附图。在不同的附图中相同的标号表示相同或相似的元件。同样,下列详细说明示出某些实施和原理,而本发明的范围由所附权利要求及等效物来限定。

[0012] 图 1 示出符合本发明的原理的示例系统 100。系统 100 可包括由通信链路 120 在功能上连接的发送器 110 和接收器 130。在某些实施中,且为了说明,通信链路 120 可以是例如使用 IEEE 802.11a/b/g 协议之一的无线通信链路。然而,在其它符合本发明的原理的实施中,通信链路 120 可以属于用于在源和目的地之间使用共用时钟的其它类型的包交换网中的类型(例如,同步光网络(SONET)、同步数字分层结构(SDH)、相同物理(PHY)域中的以太网等),并具有读取系统时间的值的机构。

[0013] 发送器 110 可包括:程序时钟 111、第一计数器 112、第一寄存器 113、网络系统时钟 114、第二计数器 115、第二寄存器 116 和处理器 117。虽然发送器 110 可包括元件 111-117 中的一些或全部,它还可包括其它出于解释清楚而未示出的元件(例如用于通信链路 120 的接口)。另外,元件 111-117 可以通过硬件、软件/固件或其某个组合来实现,且虽然为了

便于说明而示为分离的功能模块,但元件 111-117 在发送器 110 中可以不作为分离的元件来实现。

[0014] 程序时钟 111 可产生一个传送媒体信息的采样的发送频率 F_{send} (例如 48kHz)。程序时钟 111 可包括例如电压控制的振荡器 (VCO) 以产生发送频率 F_{send} 。第一计数器 112 可对程序时钟 111 的发送频率 F_{send} 中的周期 (或其部分) 计数。在一些实施中,第一计数器 112 可包括 32 位数字计数器,虽然可以使用较高或较低位数的计数器。

[0015] 第一寄存器 113 可以设置成存储第一计数器 112 的值 CF_{send} 。在某些实施中,第一寄存器 113 可周期性地存储第一计数器 112 的值。处理器 117 例如可以指令第一寄存器 113 在某些时间执行存储操作。

[0016] 网络系统时钟 114 可产生与系统 100 中的各种节点同步的精确系统频率 F_{w1} (例如 1MHz)。在 IEEE 802.11a/b/g 网络中,例如,在系统频率 F_{w1} 共用的网络系统时钟可以已按协议要求存在于独立基本业务组 (independent basic service set (IBSS) mode) 模式或基本同步子集 (basic synchronized subset (BSS)) 模式中。协调来自 CSMA/CA 协议中的不同节点的突发脉冲串可能需要网络系统时钟 114。系统时钟 114 可包括例如产生系统频率 F_{w1} 的晶体控制的振荡器 (XCO)。

[0017] 第二计数器 115 可对系统时钟 114 的无线网络系统频率 F_{w} 中的周期 (或其部分) 计数。在一些实施中,第二计数器 115 可包括 64 位数字计数器,虽然可以使用较高或较低位数的计数器。第二寄存器 116 可以设置成存储第二计数器 115 的值 CF_{w1} 。在某些实施中,第二寄存器 116 可周期性地存储第二计数器 115 的值。处理器 117 例如可以指令第二寄存器 116 在某些时刻执行存储操作。

[0018] 处理器 117 除了诸如跨通信链路 120 发送媒体信息之类的其它任务之外可以从第一和第二寄存器 113 和 116 读取 CF_{send} 和 CF_{w1} 值。处理器 117 还可以被设置成基于 CF_{send} 和 CF_{w1} 值执行计算并在通信链路 120 上传送某些结果,如下进一步详述。

[0019] 接收器 130 可包括:程序时钟 131、第一计数器 132、第一寄存器 133、系统时钟 134、第二计数器 135、第二寄存器 136 和处理器 137。元件 131-137 中许多元件功能相似并作用于发送器 110 中的元件 111-117,因此为了简要起见,只强调接收器元件 131-137 中的某些区别。

[0020] 接收器 130 的程序时钟 131 可产生一个播放媒体信息的接收的采样的基准频率 F_{receive} (例如 48kHz)。程序时钟 131 可包括例如电压控制的振荡器 (VCO)、直接数字频率合成器 (DDS) 或其它可调振荡器,以产生接收频率 F_{receive} 。虽未清楚地显示,但程序时钟 131 和系统时钟 134 可具有相关联的调节电路,从而处理器 137 可合适地调节 (例如通过控制到 VCO 的电压输入) 基准频率 F_{receive} 和系统频率 F_{w2} 。

[0021] 下面将说明包括无线网络的系统 100 的典型操作。

[0022] 在某些网络中,节点 (例如发送器 110 和接收器 130) 可以周期性地发送信标。可以将信标之间的间隔设置成为大多数应用提供良好性能的值 (例如 100ms)。在某些网络中,信标可由指定节点 (例如接入点) 发送,而在其它网络中,节点可共享发送信标的责任。

[0023] 如标准所定义的,信标可携带以 1MHz 运行的 IEEE 802.11a/b/g 系统时钟的时戳。媒体存取控制 (MAC) 协议确保在各种节点中的网络系统时钟 (例如,系统时钟 114 和 134) 在网络中同步,具有最大约 2-3 微秒的定时抖动。发送器 110 和接收器 130 中的网络接口

可提供从 64 位本地计数器（例如从寄存器 116 和 136）读取值的工具。MAC 协议因此导致 MAC 实施中网络时钟的精确同步。

[0024] 因此,在 IEEE 802.11 网络中,系统频率 Fw1 和 Fw2 通过 IEEE802.11MAC 协议中所提供的机制可以在发送器 110 和接收器 130 之间相当接近地同步。这种同步有时被称为 IEEE 802.11 时间同步函数 (TSF) 同步。然而,如上所述,为了便于在接收器 130 回放媒体信息,在 IEEE 802.11 网络中可能出现严重且未知的传输延迟 / 抖动的情况下,希望程序时钟 131 (例如 Freceive) 与程序时钟 111 (例如 Fsend) 同步。

[0025] 图 2 为示出符合本发明的原理的调节程序时钟 131 的过程 200 的流程图。处理可始于处理器 117 通过从寄存器 113 和 116 读取 CFsend 和 CFw 计数器值来周期性地采样 Fsend 和 Fw1 [动作 210]。可以选择采样 (又称为盖时间戳) 周期用于性能和灵活性的合适组合,且在某些实施中,采样周期可以为约 100ms。在某些符合本发明的原理的实施中, Fsend 和 Fw1 的采样周期可以与连续信标之间的间隔一致。动作 210 可包括从寄存器 113 和 116 多次读取 CFsend 和 CFw。

[0026] 处理可继续用处理器 117 计算发送方 CFsend 上的程序时钟的连续采样之间的差 Diff_CFsend [动作 220]。处理器 117 还可计算网络系统时钟 CFw1 的连续采样之间的差 Diff_CFw1。同样在动作 220 中,处理器 117 可计算频率比例系数 $K1 = \text{Diff_CFsend} / \text{Diff_CFw1}$ 。比例系数 K1 可以以网络系统频率 Fw1 为单位表示发送器的程序时钟频率 Fsend 的比。

[0027] 周期性地且可能与动作 210 中的采样不同步地,处理器 137 可通过从寄存器 133 和 136 读取 CFreceive 和 CFw2 来采样 CFreceive 和 CFw2 [动作 230]。可以选择采样 (又称为盖时间戳) 周期用于性能和灵活性的合适组合,且在某些实施中,采样周期可以为约 100ms。在某些符合本发明的原理的实施中, Freceive 和 Fw2 的采样周期可以与连续信标之间的间隔一致。动作 230 可包括从寄存器 133 和 136 多次读取 CFreceive 和 CFw2。

[0028] 处理可继续用处理器 137 计算接收方 CFreceive 上的局部维持的程序时钟的连续采样之间的差 Diff_CFreceive [动作 240]。处理器 137 还可计算网络系统时钟 CFw2 的连续采样之间的差 Diff_CFw2。同样在动作 240 中,处理器 137 可计算第二 (接收侧) 频率比例系数 $K2 = \text{Diff_CFreceive} / \text{Diff_CFw2}$ 。比例系数 K2 可以以网络系统频率 Fw2 为单位表达接收频率 Freceive 的比。

[0029] 发送器 110 中的处理器 117 可以通过通信链路 120 向接收器 130 发送频率比例系数 K1 [动作 250]。发送器 110 可将合适的协议用于发送 K1。例如,如果使用互联网协议 (IP),则可以将传输控制协议 (TCP) 或用户数据报协议 (UDP) 分组用于发送 K1。应注意动作 250 可以先于或与动作 230 和 240 中的一个或多个同时发生。

[0030] 接收器 130 中的处理器 137 可以将 K1 和 K2 相比较并产生差信号 $\Delta K = K1 - K2$ [动作 260]。当程序时钟 111 和 131 被准确同步时,差信号 ΔK 应为 0。差信号 ΔK 的正负号可以指示接收器 130 中程序时钟 131 的频率偏移的方向。例如,当程序时钟 131 运行得比程序时钟 111 慢时,差信号 ΔK 可为负;否则它可为正。错误数量级取决于频率偏移和采样间隔。

[0031] 因为动作 210 和 230 中的采样间隔可以不相等,且在某些实施中,这些间隔可能没有被测量,因此是未知的,差信号 ΔK 也许不给出能用于程序时钟 131 的即时调节的准确频

率偏移量。然而,差信号 ΔK 可以通过低通滤波器滤波并被用于调节程序时钟 131 的频率 Freceive 的控制回路 [动作 270]。控制回路 (未示出) 应尝试将错误最小化并最终收敛至 $\Delta K = 0$ 。此结果暗示 Freceive = Fsend, 它是所希望的目标。

[0032] 可以重复地执行动作 210-270 以确保 Fsend 的连续跟踪。过程 200 不依赖于传输延迟并且对重发和数据率变化不敏感。动作 210-270 中所列出的所有计算以及控制回路滤波可以以软件和 / 或微码和 / 或专用硬件实现。

[0033] 系统 100 和方法 200 可以有几个变型,将进一步说明其中一些。在一个实施中,系统 100 可以在网络适配器 (例如在无线网络适配器 MAC) 中实现。然而,现有的无线 MAC 并不具有实现系统 100 的所需的所有事物。系统频率 Fw (例如 1MHz) 的时钟信号可能不能在适配器外部获取,因此不能用于在 MAC 外部将整个系统 100 构筑成一个自包含的单元。因此,在 MAC 中只实现系统 100 的一部分而剩余部分位于多媒体系统中的其它地方的情况下可以使用另选的方案。例如,系统 100 的元件 111-113 和 131-133 可以在传输去复用单元或视频解码器中实施。

[0034] 在这种实施中,计数器 115 和 135 可以在无线 MAC 中实现,并可通过在用于将无线网络适配器连接至发送器 110 和接收器 130 的其余部分的系统总线 (例如,外围组件互连 (PCI) 总线) 上读取值 CFw1 和 CFw2 来访问。相反,可以在附于相同系统总线的另一块中实现 CFsend 和 CFreceive。因此,可能难以确保在同一时刻取得采样 CFsend 和 CFw1。可以将元件 111-113 和 131-137 周围的附加逻辑电路设计成监视处理器何时采样 CFw 并在同一时刻产生程序时钟计数器的瞬态图,从而允许在设计中将程序和网络时钟计数器在物理上分成分离的块。

[0035] 图 3 示出符合本发明的原理的示例系统 300。系统 300 可包括系统 100 的相同元件,以及发送器 110 中的总线监视器 310 和接收器 130 中的总线监视器 320。

[0036] 监视器逻辑电路 310/320 可监视系统总线活动并可检测处理器 117/137 何时执行 CFw1 或 CFw2 的读访问。监视器逻辑电路 310/320 可为寄存器 113/133 产生一个触发信号,以在这样的时刻采样 CFsend 或 CFreceive。通过使用监视器逻辑电路 310/320,发送器 110 和接收器 130 可以在它们各自的 CFw1 和 CFw2 被采样时立即采样 CFsend 或 CFreceive。虽然显示成分离的功能块,监视器逻辑电路 310/320 可以通过处理器 117/137 来实现。

[0037] 在另一实施中,使采样间隔在发送器 110 和接收器 130 中相等。在接收或发送信标信号时,此相等的采样间隔可以通过采样计数器来实现,因为信标信号不经历传输延迟。在这种情况下,差信号 ΔK 将只取决于时钟频率差,因而 可用于程序时钟 131 的频率 Freceive 的即时修正。此变化允许减少控制环路滤波器的时间常数 (例如通过移去低通滤波器) 并使系统 100/300 对程序时钟偏差更敏感。

[0038] 如果除了频率之外,发送器和接收器的时基的相位也应同步,则可以使用同步相位的附加方案。例如,可以将多播消息用于同步时钟计数器 112 和 132 的相位,从而保持在系统 100 的两端的频率 Fsend 和 Freceive 和相位准确。如果发现相位的实质偏移不能通过调节接收频率 Freceive 来补偿,则这种多播消息可以被周期性地发送由接收器 130 使用。这种实质偏移可由系统 100 中的灾难性事件引起,例如长时间强烈干扰通信链路 120。当程序时钟 111 中出现不连续时,例如当将使用不同程序时钟的商业广告或其它材料插入媒体流时,多播消息也可以由发送器 110 发送。这种拼接可引起时钟频率和相位不连续。在这

种情况中,程序时钟 131 的频率变化可以相对较小,但时基的相位应被复位,以为在媒体信息中找到的时戳提供准确的基准。

[0039] 上述符合本发明的原理的一个或多个实施的说明提供示例和说明,但不旨在穷举或将本发明限定于所公开的精确形式。按照以上内容或从本发明的实践中可以有各种修改和变型。

[0040] 例如,可以将本文所述的方案用于要求联网设备之间精确时钟同步的其它应用中,例如在用于确定计算设备的位置的合成孔径音频系统等。该方案可用于 SONET 和 SDH,其中例如系统频率 F_w 可以从位时钟导出。 F_w 则可用作用于在系统的合适部分中同步程序时钟和其它应用专用时钟的“进入端口”时钟。

[0041] 另外,虽然参照图 2 说明了特定计算,但在某些实施中发送器 110 可以发送一个 F_{send} 如何在采样周期中变化(即,哪个方向)及变化的大小的指示。如果发送器 110 和接收器 130 在与上述相同的时间采样时钟计数器,则可以将这些方向和大小值用于直接调节 $F_{receive}$ 而不用低通滤波器或其它平滑装置。如果不实施维持相同的采样间隔,则由发送器 110 报告的方向和大小仍会使接收器 130 中的控制环路能调节程序时钟 131 使得 $F_{receive}$ 跟踪 F_{send} 。

[0042] 同样,虽然某些符合本发明的原理的实施可调节接收器 130 中程序时钟 131 的干扰频率 $F_{receive}$,其它实施也可调节“虚拟时钟”来实现接收器 130 中匹配的回放率。例如,接收器 130 可实施时钟速率转换方案,其中程序时钟 131 的基准频率 $F_{receive}$ 固定在例如 44.1kHz。发送器 110 中的程序时钟 111 可具有较高的发送频率 F_{send} (例如 48kHz),而接收器 130 可在所接收到的采样中插入来以例如 44.1kHz 的基准频率 $F_{receive}$ 输出数据。替代调节程序时钟 131 的基准频率 $F_{receive}$,接收器 130 将使用关于发送器的和接收器的程序时钟的比的信息(例如, K_1 和 K_2) 并调节用于确定如何插入所接收到的采样的“虚拟时钟”。因为已知基准频率 $F_{receive}$ 与 F_{send} 之间的比,可以使由发送器 110 发送的给定量数据和通过内插在接收器 130 接收到的数据所产生的相应内插采样块的回放时间相等。例如,如果发送频率 F_{send} 减慢,接收器 130 中的虚拟时钟可引导内插器(例如处理器 137)以使每秒在其输出产生较少的采样,这是所希望的效果。

[0043] 另外,图 2 中的动作不需要按所示的顺序实施;也不必执行所有的动作。又,那些不依赖于其它动作的动作可以与其它动作并行执行。另外,此图中的动作可用作在机器可读媒体中实施的指令或一组指令。

[0044] 本发明的说明中所使用的所有元件、动作或指令都不应被理解成本发明所必需的,除非清楚地这样说明了。又,如本文所使用的,冠词“a”指在包括一个或多个事项。在仅指一项时,使用“一”或类似的语言。可以对本发明的上述实施进行各种变型和修改而不实质上偏离本发明的精神和范围。旨在将所有这些修改和变型包括在本公开及所附权利要求所保护的范围内。

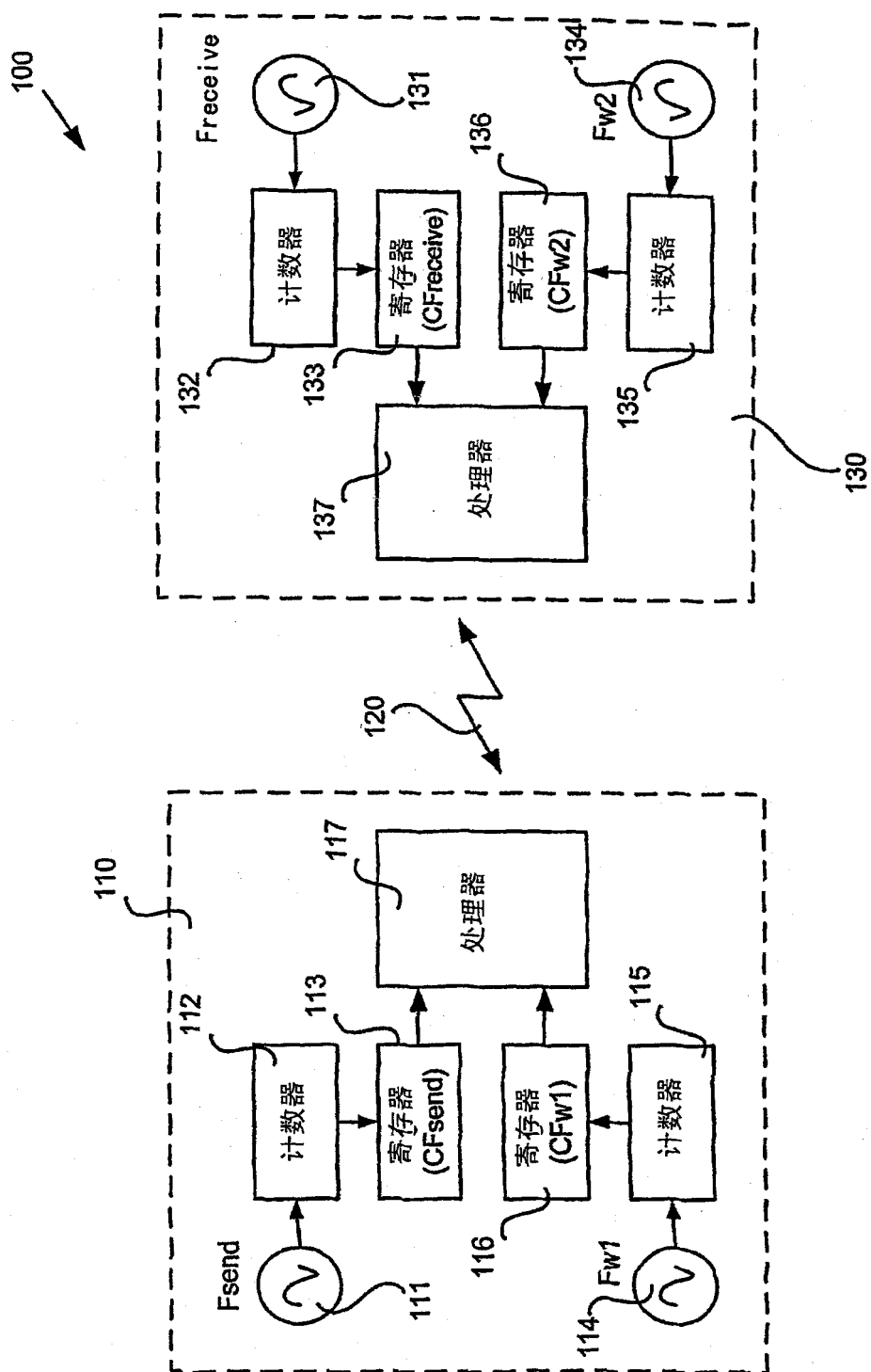


图 1

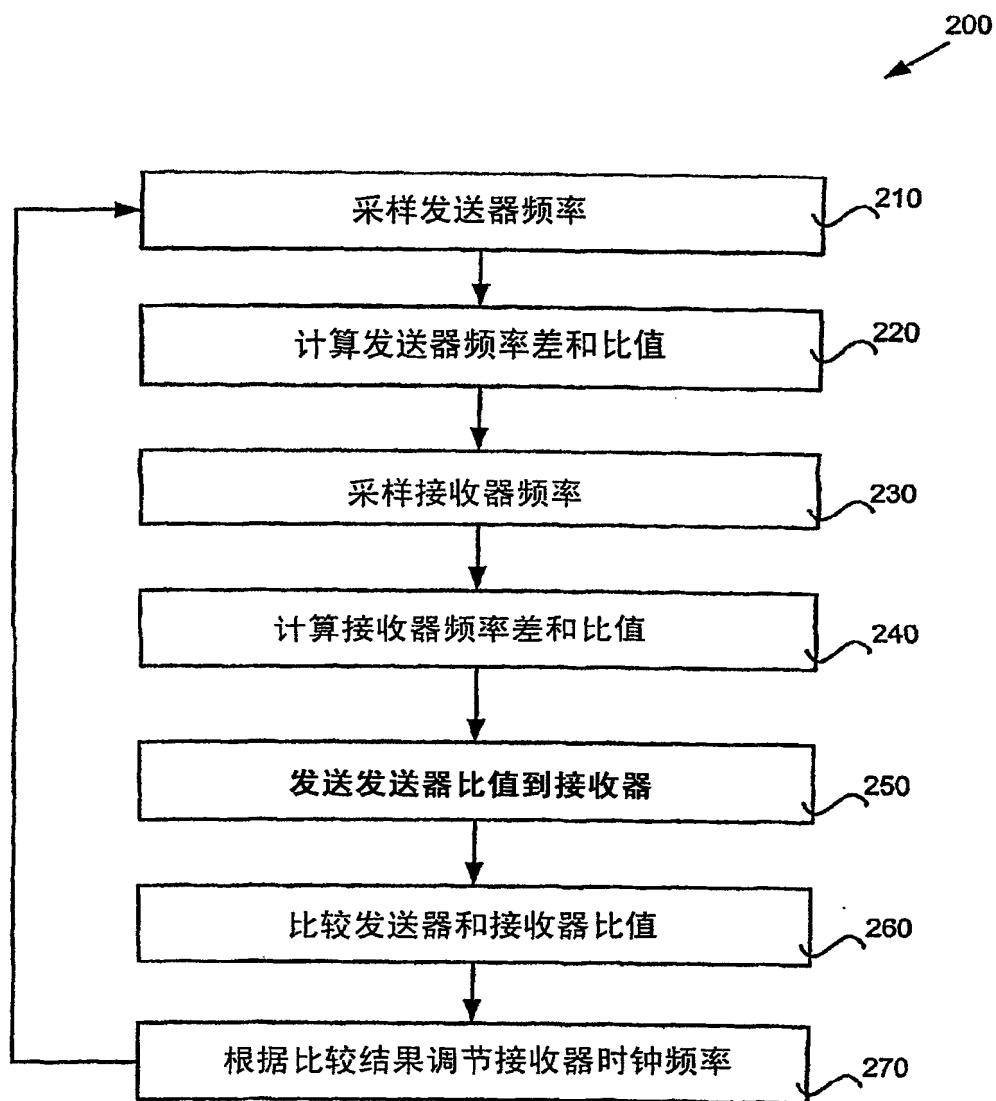


图 2

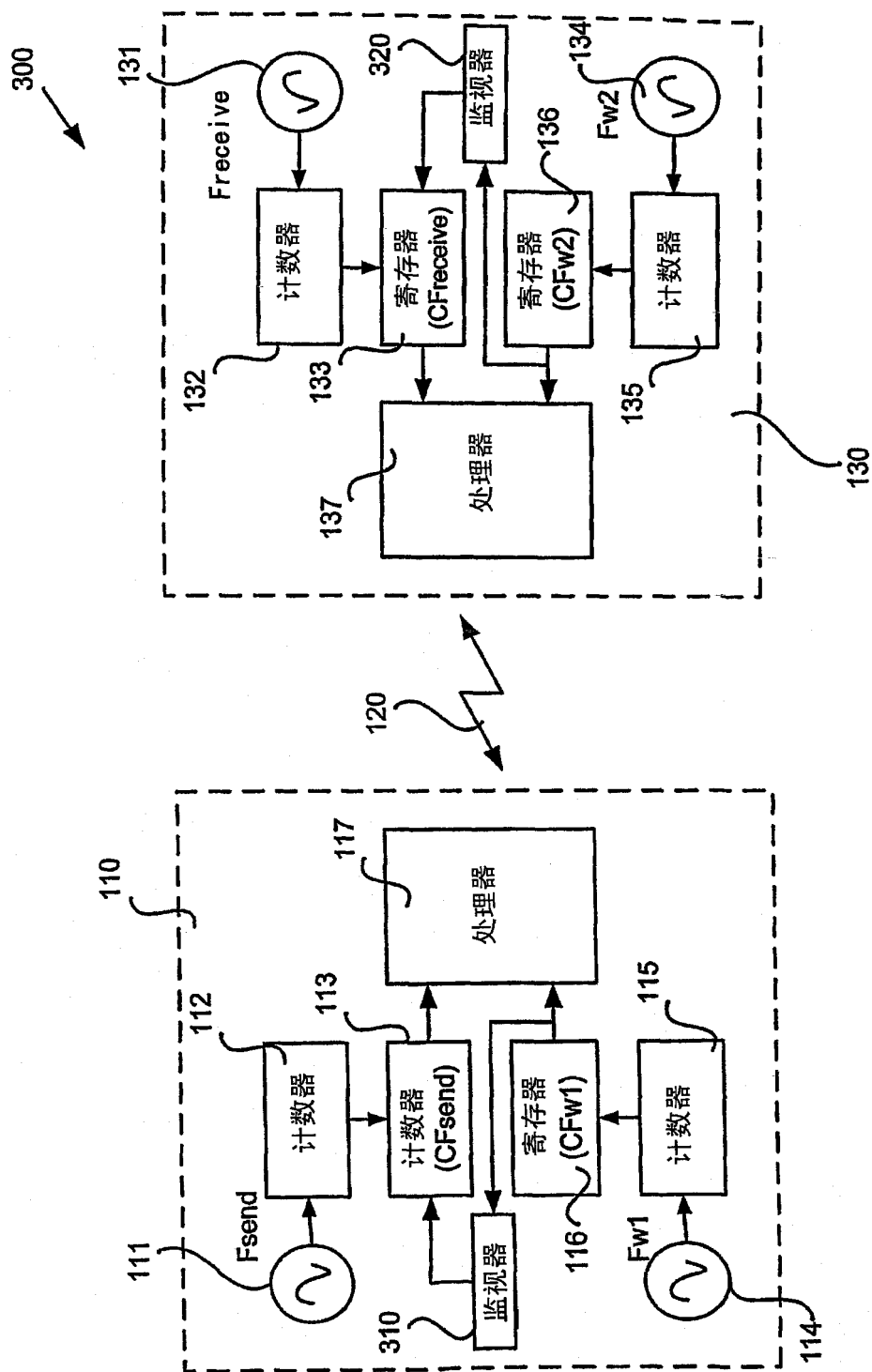


图 3