



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월09일
(11) 등록번호 10-0844960
(24) 등록일자 2008년07월02일

(51) Int. Cl.

H03K 5/135 (2006.01)

(21) 출원번호 10-2007-0124997

(22) 출원일자 2007년12월04일

심사청구일자 2007년12월04일

(56) 선행기술조사문헌

JP2005165828 A

(뒷면에 계속)

(73) 특허권자

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

강진구

서울 서초구 잠원동 한신 18차 335-201호

노병진

서울 서초구 방배동 937-9번지 우노빌 301호

문용환

인천 남구 용현동 하이테크 807호

(74) 대리인

김진우

전체 청구항 수 : 총 4 항

심사관 : 김자영

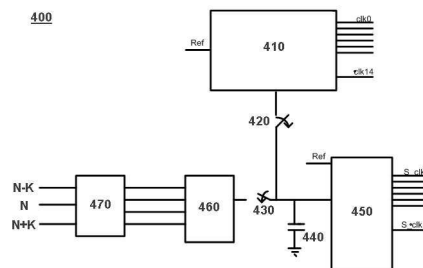
(54) 확산 스펙트럼 클럭 생성기

(57) 요약

본 발명은 확산 스펙트럼 클럭 생성기(Spread Spectrum Clock Generator; SSCG)에 관한 것으로서, 보다 구체적으로는 (1) 기준 클럭을 입력받으며, 고정(locking) 될 경우 $2n+1$ (n :자연수)개의 위상이 서로 다른 다중 클럭을 출력하는 다중-위상 지연 고정 루프(Delay Locked Loop; DLL); (2) 상기 다중-위상 지연 고정 루프에 그 일단이 접속되며, 상기 다중-위상 지연 고정 루프가 고정(locking)될 경우 스위치-오프 되는 제1 스위치; (3) 상기 제1 스위치의 타단에 그 일단이 접속되며, 상기 다중-위상 지연 고정 루프가 고정될 경우 스위치-온 되는 제2 스위치; (4) 상기 제1 스위치의 타단에 접속되는 루프 필터; (5) 상기 제1 스위치의 타단 및 상기 루프 필터에 접속되며, 기준 클럭을 입력받아 $2n+1$ (n :자연수)개의 위상이 서로 다른 다중 클럭을 출력하는 지연단; (6) 상기 제2 스위치의 타단에 접속되는 전하 펌프; 및 (7) 상기 전하 펌프에 접속되며, 상기 다중-위상 지연 고정 루프가 고정될 경우 상기 다중-위상 지연 고정 루프로부터 출력되는 상기 $2n+1$ (n :자연수)개의 클럭들 중 N - K 번째 클럭 및 N - K 번째 클럭을 입력으로 받고, 상기 지연단으로부터 출력되는 상기 $2n+1$ (n :자연수)개의 클럭들 중 N 번째 클럭을 피드백으로 입력받아서, 상기 N 번째 클럭을 상기 N - K 번째 클럭 및 상기 N - K 번째 클럭과 비교하는 것에 의해, 상기 전하 펌프에 삼각파 형태의 업/다운 신호를 출력하는 전하 펌프 제어부를 포함하는 것을 그 구성상의 특징으로 한다.

본 발명은, 다중-위상 지연 고정 루프(DLL)의 전압 제어 지연단(VCDL)의 다중-위상을 이용하여, 고정(locking)된 또 다른 전압제어 지연단(VCDL)의 제어 전압으로 삼각 변조 파형을 인가시키는 것에 의해 확산 스펙트럼 클럭을 생성시킴으로써, 그 구조가 간단하고, 칩 면적 및 전력 소모가 개선되며, 설계 변경이 용이한 확산 스펙트럼 클럭 생성기(SSCG)를 제공할 수 있다. 또한, 본 발명에 따른 확산 스펙트럼 클럭 생성기는, 변조 주파수 및 스윙 폭 조절에 의한 확산비의 조절이 용이하고, 이에 따라 기가 대역 이상에서 고속으로 동작하는 다양한 칩에 일정한 클럭을 기준으로 확산된 클럭을 쉽게 생성시킬 수 있다.

대표도 - 도4



(56) 선행기술조사문헌

KR1020060041377 A*

KR1020040058054 A

KR1020040038676 A

KR1020050000335 A

KR100712501 B1

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

(1) 기준 클럭을 입력 받으며, 고정(locking) 될 경우 $2n+1$ (n :자연수)개의 위상이 서로 다른 다중 클럭을 출력하는 다중-위상 지연 고정 루프(Delay Locked Loop; DLL);

(2) 상기 다중-위상 지연 고정 루프에 그 일단이 접속되며, 상기 다중-위상 지연 고정 루프가 고정(locking)될 경우 스위치-오프 되는 제1 스위치;

(3) 상기 제1 스위치의 타단에 그 일단이 접속되며, 상기 다중-위상 지연 고정 루프가 고정될 경우 스위치-온 되는 제2 스위치;

(4) 상기 제1 스위치의 타단에 접속되는 루프 필터;

(5) 상기 제1 스위치의 타단 및 상기 루프 필터에 접속되며, 기준 클럭을 입력받아 $2n+1$ (n :자연수)개의 위상이 서로 다른 다중 클럭을 출력하는 지연단;

(6) 상기 제2 스위치의 타단에 접속되는 전하 펌프; 및

(7) 상기 전하 펌프에 접속되며, 상기 다중-위상 지연 고정 루프가 고정될 경우 상기 다중-위상 지연 고정 루프로부터 출력되는 상기 $2n+1$ (n :자연수)개의 클럭들 중 N - K 번째 클럭 및 $N+K$ 번째 클럭을 입력으로 받고, 상기 지연단으로부터 출력되는 상기 $2n+1$ (n :자연수)개의 클럭들 중 N 번째 클럭을 피드백으로 입력받아서, 상기 N 번째 클럭을 상기 N - K 번째 클럭 및 상기 $N+K$ 번째 클럭과 비교하는 것에 의해, 상기 전하 펌프에 삼각파 형태의 업/다운 신호를 출력하는 전하 펌프 제어부

를 포함하며,

상기 전하 펌프 제어부에서 N 및 K 의 값을 조정할 수 있는 것을 특징으로 하는 확산 스펙트럼 클럭 생성기(Spread Spectrum Clock Generator; SSCG).

청구항 2

제1항에 있어서,

상기 다중-위상 지연 고정 루프를 대신하여 다중-위상 위상 고정 루프(Phase Locked Loop; PLL)를 포함하는 확산 스펙트럼 클럭 생성기.

청구항 3

제1항에 있어서,

상기 루프 필터는 커패시터로 구성되며, 상기 커패시터의 커패시턴스 값의 조정이 가능한 확산 스펙트럼 클럭 생성기.

청구항 4

삭제

청구항 5

제1항 또는 제2항에 있어서,

상기 다중-위상 지연 고정 루프 또는 상기 다중-위상 위상 지연 루프는 제2 전하 펌프 및 제2 루프 필터를 포함하며, 상기 제1 스위치의 상기 일단은 상기 제2 전하 펌프와 상기 제2 루프 필터 사이에 접속되는 확산 스펙트럼 클럭 생성기.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 확산 스펙트럼 클럭 생성기(Spread Spectrum Clock Generator; SSCG)에 관한 것으로서, 보다 구체적으로는 지연 고정 루프(DLL)의 전압 제어 지연단(Voltage Controlled Delay Line; VCDL)의 다중-위상(multi-phase)을 이용하여, 고정(locking)된 또 다른 전압 제어 지연단(VCDL)의 제어 전압(control voltage)으로 삼각 변조 파형을 인가시키는 것에 의해 확산 스펙트럼 클럭을 생성시킴으로써, 그 구조가 간단하고, 칩 면적 및 전력 소모가 개선되며, 설계 변경이 용이한 확산 스펙트럼 클럭 생성기(SSCG)에 관한 것이다.

배경 기술

- <2> 최근 각종 정보기기간의 동작 주파수 증가와 데이터 입력 비트수가 증가함에 따라 인터페이스 간의 데이터 송수신단에서 데이터 타이밍을 맞추는데 필요한 위상 고정 루프(Phase Locked Loop; PLL)의 내부 블록인 VCO에서 발생하는 고주파 클럭신호에 의해 전자기 간섭 현상(Electro Magnetic Interference; EMI)이 두드러지게 발생되고 있으며, 이로 인하여 주변 회로에서 오동작이 유발되어 인터페이스 장치 및 데이터의 송수신에 있어서 부작용이 드러나고 있다. 이와 같은 EMI를 줄이기 위한 다양한 방법 중, 확산 스펙트럼 클럭 생성기는 출력 신호 주파수의 스펙트럼 확산을 이용하여 출력 신호의 출력 주파수의 전력 밀도를 줄여 EMI를 효과적으로 줄일 수 있는 방법으로 알려져 있다. SSCG는 SATA-II(Serial Advanced Technology Attachment - II) 등의 컴퓨터 보드 내의 고속 인터페이스 회로들에 응용되고 있을 뿐만 아니라, 예전부터 컴퓨터 주변기기와 LCD 패널 등에 널리 사용되어 지고 있다.
- <3> 일반적으로 사용되는 SSCG는 대부분 Σ - Δ 변조기(Σ - Δ modulator)와 기능적 N-분주기(Fractional N-Divider)를 사용하여 주기적으로 분주비를 변화시켜줌으로써 출력 주파수의 스펙트럼을 확산시켜 주는 분주기 변조 방식(Divider Modulating Method)을 사용한다. 도 1은 분주기 변조 방식의 SSCG의 일 예를 나타내는 블록도이다. 도 1에 도시된 구조를 갖는 분주기 변조 방식의 SSCG(100)는, Σ - Δ 변조기(150)와 기능적 N-분주기(140)를 이용하여 분주비를 조절하는 것만으로도 쉽게 확산 비율(δ)과 변조 파형을 조절할 수 있다는 장점을 가지고 있는 반면에, 변조를 위해 사용되는 Σ - Δ 변조기(150)와 기능적 N-분주기(140)가 복잡한 디지털 회로들이기 때문에 실제로 칩을 제작하는 경우에 SSCG(100)의 전체 면적을 크게 증가시킨다는 단점을 가진다. 도 2는 분주기 변조 방식의 SSCG에서 Σ - Δ 변조기가 차지하는 면적을 나타내는 도면이다. 도 2로부터, 분주기 변조 방식을 채용할 경우 Σ - Δ 변조기(230)가 전체 면적(200)에서 얼마나 큰 면적을 차지하는지를 위상 고정 루프(PLL; 210) 및 어드레스 생성기(Address Generator; 220)가 차지하는 면적과 비교함으로써 확인할 수 있다. 표 1은 분주기 변조 방식의 SSCG의 일반적인 칩 면적을 나타내는 것으로서, 표 1로부터 0.18 μ m의 CMOS 공정을 사용하여 분주기 변조 방식의 SSCG를 설계하는 경우 칩 면적이 1.00mm $\times$ 1.00mm 이상이 되는 것을 확인할 수 있다.

표 1

<4>

저자	공정	변조 방식	칩 면적 (루프 필터 포함)
Wei-Ta Chen	0.18 μ m	Σ - Δ 변조	1.00mm $\times$ 1.00mm
Hyun Rok, Lee	0.18 μ m	Σ - Δ 변조	0.94mm $\times$ 1.75mm
Masaru Kokubo	0.15 μ m	Σ - Δ 변조	0.88mm $\times$ 0.48mm

<5>

앞서 설명한 분주기 변조 방식의 SSCG 이외에도 여러 가지 변조 방식의 SSCG가 연구되고 있다. 그 중, 전하 펌프 변조 방식(Charge Pump Modulating Method)의 SSCG는 일반적인 위상 고정 루프(PLL)의 구조에 전하 펌프만을 추가하는 구조로써 일반적으로 사용되는 분주기 변조 방식의 SSCG에 비하여 구조가 간단하여 SSCG의 면적 문제를 해결해 줄 것으로 기대되고 있다. 도 3은 기존에 제안된 전하 펌프 변조 방식의 SSCG(300)의 블록도를 나타내는 도면이다. 도 3에 도시된 바와 같이, 전하 펌프 변조 방식의 SSCG(300)는 기존의 전하 펌프 I(320) 이외에 프로그램 가능한 전하 펌프 II(350)를 추가로 포함한다는 점에 특징이 있다. 앞서 언급한 바와 같이, 전하 펌프 변조 방식의 SSCG가 기존의 SSCG의 면적 문제를 해결해 줄 것으로 기대되고는 있으나, 현재까지 제안된 전하 펌프 변조 방식의 SSCG는 몇 가지 문제점을 가지고 있다. 첫째, 너무 다양한 적용 대상을 목표로 설계하였기 때문에 매우 복잡한 구조를 가지고 있으며, 이로 인해 기존의 SSCG보다 오히려 더 큰 면적을 가지고 있다. 둘째, 미세 전류를 조절함으로써 확산 비율을 조정하기 때문에 전류의 조절이 회로의 동작에 매우 민감하게 영향을 주게 된다. 마지막으로, 단순한 삼각 변조 파형(Triangle Modulation Profile)을 가지고 있어 최대 확산

주파수에서의 주파수별 전력밀도가 평균 전력 밀도치보다 크게 나타난다는 문제점을 가지고 있다.

- <6> 따라서 기존의 확산 스펙트럼 클럭 생성기(SSCG)보다 그 구조가 간단하고 칩 면적 및 전력 소모가 개선되며, 설계 변경이 용이한 확산 스펙트럼 클럭 생성기를 개발할 필요가 있다.

발명의 내용

해결 하고자하는 과제

- <7> 본 발명은 기존에 제안된 방법들의 상기와 같은 문제점들을 해결하기 위해 제안된 것으로서, 지연 고정 루프(DLL)의 전압 제어 지연단(VCDL)의 다중-위상을 이용하여, 고정(locking)된 또 다른 전압제어 지연단(VCDL)의 제어 전압으로 삼각 변조 파형을 인가시키는 것에 의해 확산 스펙트럼 클럭을 생성시킴으로써, 그 구조가 간단하고, 칩 면적 및 전력 소모가 개선되며, 설계 변경이 용이한 확산 스펙트럼 클럭 생성기(SSCG)를 제공하는 것을 그 목적으로 한다.
- <8> 또한, 변조 주파수 및 스윙(swing) 폭 조절에 의한 확산비의 조절이 용이하고, 이에 따라 기가 대역 이상에서 고속으로 동작하는 다양한 칩에 일정한 클럭을 기준으로 확산된 클럭을 쉽게 생성시킬 수 있는 확산 스펙트럼 클럭 생성기를 제공하는 것을 그 목적으로 한다.

과제 해결수단

- <9> 상기한 목적을 달성하기 위한 본 발명의 특징에 따른 확산 스펙트럼 클럭 생성기(Spread Spectrum Clock Generator; SSCG)는,
- <10> (1) 기준 클럭을 입력 받으며, 고정(locking) 될 경우 $2n+1$ (n :자연수)개의 위상이 서로 다른 다중 클럭을 출력하는 다중-위상 지연 고정 루프(Delay Locked Loop; DLL);
- <11> (2) 상기 다중-위상 지연 고정 루프에 그 일단이 접속되며, 상기 다중-위상 지연 고정 루프가 고정(locking)될 경우 스위치-오프 되는 제1 스위치;
- <12> (3) 상기 제1 스위치의 타단에 그 일단이 접속되며, 상기 다중-위상 지연 고정 루프가 고정될 경우 스위치-온 되는 제2 스위치;
- <13> (4) 상기 제1 스위치의 타단에 접속되는 루프 필터;
- <14> (5) 상기 제1 스위치의 타단 및 상기 루프 필터에 접속되며, 기준 클럭을 입력받아 $2n+1$ (n :자연수)개의 위상이 서로 다른 다중 클럭을 출력하는 지연단;
- <15> (6) 상기 제2 스위치의 타단에 접속되는 전하 펌프; 및
- <16> (7) 상기 전하 펌프에 접속되며, 상기 다중-위상 지연 고정 루프가 고정될 경우 상기 다중-위상 지연 고정 루프로부터 출력되는 상기 $2n+1$ (n :자연수)개의 클럭들 중 $N-K$ 번째 클럭 및 $N+K$ 번째 클럭을 입력으로 받고, 상기 지연단으로부터 출력되는 상기 $2n+1$ (n :자연수)개의 클럭들 중 N 번째 클럭을 피드백으로 입력받아서, 상기 N 번째 클럭을 상기 $N-K$ 번째 클럭 및 상기 $N+K$ 번째 클럭과 비교하는 것에 의해, 상기 전하 펌프에 삼각파 형태의 업/다운 신호를 출력하는 전하 펌프 제어부를 포함하는 것을 그 구성상의 특징으로 한다.
- <17> 바람직하게는, 상기 다중-위상 지연 고정 루프를 대신하여 다중-위상 위상 고정 루프(Phase Locked Loop; PLL)를 포함할 수 있다.
- <18> 바람직하게는, 상기 루프 필터는 커패시터로 구성되며, 상기 커패시터의 커패시턴스 값의 조정이 가능하다.
- <19> 바람직하게는, 상기 전하 펌프 제어부에서 N 및 K 의 조정이 가능하다.
- <20> 바람직하게는, 상기 다중-위상 지연 고정 루프 또는 상기 다중-위상 위상 지연 루프는 제2 전하 펌프 및 제2 루프 필터를 포함하며, 상기 제1 스위치의 상기 일단은 상기 제2 전하 펌프와 상기 제2 루프 필터 사이에 접속된다.

효과

- <21> 본 발명은, 다중-위상 지연 고정 루프(DLL)의 전압 제어 지연단(VCDL)의 다중-위상을 이용하여, 고정(locking)된 또 다른 전압제어 지연단(VCDL)의 제어 전압으로 삼각 변조 파형을 인가시키는 것에 의해 확산 스펙트럼 클

력을 생성시킴으로써, 그 구조가 간단하고, 칩 면적 및 전력 소모가 개선되며, 설계 변경이 용이한 확산 스펙트럼 클럭 생성기(SSCG)를 제공할 수 있다.

- <22> 또한, 본 발명에 따른 확산 스펙트럼 클럭 생성기는, 변조 주파수 및 스윙 폭 조절에 의한 확산비의 조절이 용이하고, 이에 따라 기가 대역 이상에서 고속으로 동작하는 다양한 칩에 일정한 클럭을 기준으로 확산된 클럭을 쉽게 생성시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- <23> 이하에서는 첨부된 도면들을 참조하여, 본 발명에 따른 실시예에 대하여 상세하게 설명하기로 한다.

- <24> 도 4는 본 발명의 일 실시예에 따른 확산 스펙트럼 클럭 생성기(400)의 구성을 나타내는 도면이다. 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 확산 스펙트럼 클럭 생성기(400)는, 기준 클럭(Ref)을 입력받으며, 고정될 경우 $2n+1(n: \text{자연수})$ 개의 위상이 서로 다른 다중 클럭($\text{clk0} \sim \text{clk14}$)을 출력하는 다중-위상 지연 고정 루프(410), 다중-위상 지연 고정 루프(410)에 그 일단이 접속되며, 다중-위상 지연 고정 루프(410)가 고정될 경우 스위치-오프 되는 제1 스위치(420), 제1 스위치(420)의 타단에 그 일단이 접속되며, 다중-위상 지연 고정 루프(410)가 고정될 경우 스위치-온 되는 제2 스위치(430), 제1 스위치(420)의 타단에 접속되는 루프 필터(440), 제1 스위치(420)의 타단 및 루프 필터(440)에 접속되며, 기준 클럭(Ref)을 입력 받아 $2n+1(n: \text{자연수})$ 개의 위상이 서로 다른 다중 클럭($S_{\text{clk0}} \sim S_{\text{clk14}}$)을 출력하는 지연단(450), 제2 스위치(430)의 타단에 접속되는 전하 펌프(460), 전하 펌프(460)에 접속되며, 다중-위상 지연 고정 루프(410)가 고정될 경우 다중-위상 지연 고정 루프(410)로부터 출력되는 $2n+1(n: \text{자연수})$ 개의 클럭들 중 N-K번째 클럭 및 N+K번째 클럭을 입력으로 받고, 지연단(450)으로부터 출력되는 $2n+1(n: \text{자연수})$ 개의 클럭들 중 N번째 클럭을 피드백으로 입력받아서, N번째 클럭을 N-K번째 클럭 및 N+K번째 클럭과 비교하는 것에 의해, 전하 펌프(460)에 삼각파 형태의 업/다운 신호를 출력하는 전하 펌프 제어부(470)를 포함한다.

- <25> 다중-위상 지연 고정 루프(410)는 기존의 DLL을 그대로 사용하는 것으로서, 기준 클럭(Ref)을 입력받아, 고정될 경우 $2n+1(n: \text{자연수})$ 개의 위상이 서로 다른 다중 클럭($\text{clk0} \sim \text{clk14}$)을 출력하는 역할을 한다. 도 5는 본 발명에 따른 확산 스펙트럼 클럭 생성기(400)를 구성하는 다중-위상 지연 고정 루프(410)의 일 실시예를 나타내는 도면이다. 도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 다중-위상 지연 고정 루프(410)는, 위상 검출기(Phase Detector; 411), 전하 펌프(413), 루프 필터(415), 지연단(417), 및 거짓 고정 검출기(False Lock Detector; 419)로 구성될 수 있다. 실시예에 따라서는, 다중-위상 지연 고정 루프(410)를 대신하여 다중-위상 위상 고정 루프(Phase Locked Loop; PLL)를 포함할 수 있으며, 제1 스위치(420)는 다중-위상 지연 고정 루프 또는 다중-위상 위상 지연 루프의 전하 펌프(413)와 루프 필터(415) 사이에 접속될 수 있다.

- <26> 제1 스위치(420)와 제2 스위치(430)는, 다중-위상 지연 고정 루프(410)의 고정 전후를 기준으로 회로의 구성을 다르게 만들어 주는 역할을 한다. 즉, 다중-위상 지연 고정 루프(410)가 고정되기 전에는 제1 스위치(420)가 온 되며, 이에 따라 루프 필터(440) 및 지연단(450)이 다중-위상 지연 고정 루프(410)에 연결되어 다중-위상 지연 고정 루프(410) 및 지연단(450)에서 동일한 클럭 신호를 출력하도록 한다. 다중-위상 지연 고정 루프(410)가 고정된 후에는, 제1 스위치(420)가 오프 되는 것에 의해 상부의 다중-위상 지연 고정 루프(410)를 하부의 루프 필터(440) 및 지연단(450)과 분리시키고, 또한 제2 스위치(430)가 온 되는 것에 의해 하부의 전하 펌프(460) 및 전하 펌프 제어부(470)가 루프 필터(440) 및 지연단(450)과 함께 회로를 구성하여 상부의 다중-위상 지연 고정 루프(410)의 출력 클럭 신호 중 일부를 입력으로 받아 이를 이용하여 지연단(450)에서 확산된 스펙트럼의 클럭을 생성할 수 있도록 한다.

- <27> 루프 필터(440)는 제1 스위치(420)의 타단에 접속되며, 도 4에 도시된 바와 같이, 커패시터로 구성되며, 커패시터의 커패시턴스 값을 조정할 수 있다.

- <28> 지연단(450)은, 기존의 일반적인 지연단의 구성을 그대로 채택한 것으로서, 제1 스위치(420)의 타단 및 루프 필터(440)에 접속되며, 기준 클럭(Ref)을 입력 받아 $2n+1(n: \text{자연수})$ 개의 위상이 서로 다른 다중 클럭($S_{\text{clk0}} \sim S_{\text{clk14}}$)을 출력하는 역할을 한다.

- <29> 전하 펌프(460)는, 제2 스위치(430)의 타단에 접속되며, 전하 펌프 제어부(470)의 제어 신호(삼각파 형태의 업/다운 신호)에 따라 지연단(450)의 제어 전압을 조정하는 역할을 한다.

- <30> 전하 펌프 제어부(470)는, 전하 펌프(460)에 접속되며, 다중-위상 지연 고정 루프(410)가 고정될 경우 다중-위상 지연 고정 루프(410)로부터 출력되는 $2n+1(n: \text{자연수})$ 개의 클럭들 중 N-K번째 클럭 및 N+K번째 클럭을 입력으

로 받고, 지연단(450)으로부터 출력되는 $2n+1$ (n :자연수)개의 클럭들 중 N 번째 클럭을 피드백으로 입력받아, N 번째 클럭을 $N-K$ 번째 클럭 및 $N+K$ 번째 클럭과 비교하는 것에 의해, 전하 펌프(460)에 삼각파 형태의 업/다운 제어 신호를 출력하는 역할을 한다.

- <31> 본 발명에서 제안된 확산 스펙트럼 클럭 생성기는 기존의 DLL 구조를 활용하여, 전압 제어 지연단(VCDL)의 제어 전압으로 삼각파 형태의 변조 파형을 인가함으로써, 확산된 스펙트럼의 클럭이 생성되도록 한다. 특히, 비교되는 클럭의 차수에 따라서 확산비(spread ratio)를 쉽게 조절할 수 있다.
- <32> 도 6에 도시된 바와 같이, 일반적인 DLL에서 전압 제어 지연단(VCDL)에서 생성되는 클럭은 전압 제어 지연단의 차수에 따라서 차수만큼의 다중-위상(multi-phase)을 발생시킨다. 본 발명은, 이와 같은 다중-위상 DLL을 기반으로 설계된 것으로서, DLL의 전압 제어 지연단의 다중 위상을 이용하여 고정된 또 다른 전압 제어 지연단의 제어 전압을 변화시키는 구조이다.
- <33> 본 발명에서의 확산비의 결정은 하부의 전하 펌프 제어부에 입력되는 $N-K$ 클럭과 $N+K$ 클럭에 의하여 결정이 된다. 또한, 본 발명에서 생성되는 변조 주파수(modulation frequency)는 비교된 클럭의 전하 펌프와 루프 필터의 커패시턴스 값에 의하여 결정이 되는데, 전하 펌프를 고정시키고 루프 필터를 이루는 커패시턴스만을 변경함으로써 변조 주파수를 조절할 수 있다.
- <34> 앞서 살펴본 바와 같이, 본 발명에 따른 확산 스펙트럼 클럭 생성기는, 상부의 일반적인 DLL 블록과, 상부의 DLL 블록이 고정된 후에 동작하여 전압 제어 지연단의 제어 전압에 삼각파를 입력시키는 하부의 블록으로 구성된다. 전압 제어 지연단에 입력시킬 삼각파를 발생시키기 위하여, 상부의 DLL으로부터 가져온 2개의 고정된 클럭을 하부의 전압 제어 지연단으로부터 피드백 받은 하나의 클럭과 비교하게 된다. 상부의 DLL 블록의 출력으로부터 선택된 $N-K$ 클럭, $N+K$ 클럭에 의해 확산비의 결정이 이루어진다. 즉, 확산 스펙트럼 클럭 생성기로부터 확산된 스펙트럼의 클럭이 생성되기 위한 범위가 $N-K < N < N+K$ ($K < N/2$)로 정해지며, 따라서 K 값이 증가함에 따라 확산되는 범위는 더욱 증가하게 된다.
- <35> 도 7은 본 발명에 따른 확산 스펙트럼 클럭 생성기(400)를 구성하는 전하 펌프 제어부(470)의 일 실시예를 나타내는 도면이다. 도 7에 도시된 바와 같이, 전하 펌프 제어부(470)는 첫 번째 전압 제어 지연단(VCDL)의 클럭을 기준으로 $N-K$ 클럭과 $N+K$ 클럭 사이에서 두 번째 전압 제어 지연단(VCDL)의 전압 제어 신호를 변화시켜 확산비를 결정하고 전하 펌프 입력에 필요한 업/다운(Up/Down) 신호를 발생하게 된다.
- <36> 도 8 내지 도 10을 참조하여, 전하 펌프 제어부(470)에서 업/다운 신호를 생성하는 방법에 대하여 설명하기로 한다. 도 8은 상부의 다중-위상 지연 고정 루프(410)로부터의 2개의 클럭($clk7$, $clk9$) 사이에 하부의 지연단(450)으로부터의 클럭(S_clk8)이 존재하는 경우로서, 업 신호도 다운 신호도 생성하지 않는 경우를 나타내는 도면이다. $clk7$, $clk9$, S_clk8 에서 확인할 수 있는 바와 같이, 도 8 내지 도 10의 예는 $N=8$, $K=1$ 인 경우이다. 도 9는 하부의 지연단(450)으로부터의 클럭(S_clk8)이 상부의 다중-위상 지연 고정 루프(410)로부터의 2개의 클럭($clk7$, $clk9$)보다 느린 경우로서, 이 경우에는 다운 신호를 발생하게 된다. 마지막으로, 도 10은 하부의 지연단(450)으로부터의 클럭(S_clk8)이 상부의 다중-위상 지연 고정 루프(410)로부터의 2개의 클럭($clk7$, $clk9$)보다 빠른 경우로서, 이 경우에는 업 신호를 발생하게 된다.
- <37> 본 발명에서 지연단(450)에 인가될 제어 전압의 변조 파형(modulation profile)에 대한 주파수의 결정은 전하 펌프(460)와 루프 필터(440)의 커패시턴스 값에 의해 다음 수학적 식 1과 같이 결정된다.

수학적 식 1

$$Q = C \frac{dI}{dt}$$

- <38>
- <39> 본 발명의 실시예에서는 루프 필터(440)가 1차 루프를 이루기 때문에 전하 펌프를 고정한다면 커패시턴스의 비율에 의해 변조 주파수가 결정될 수 있다. 특히, 커패시턴스의 값을 두 배로 늘릴 경우에는 변조 주파수가 4배로 증가하게 된다. 전하 펌프 제어부(470)의 특징으로 인해 업/다운 신호에 각각 전하가 펌핑되기 때문에 커패시턴스 값의 2배의 증가는 4배의 효과를 갖게 되어 커패시턴스 효과를 극대화시킬 수 있으며, 따라서 칩 면적의 주된 영역을 차지하는 커패시턴스의 크기를 줄일 수 있다는 효과를 기대할 수 있다.
- <40> 도 11은 본 발명의 일 실시예에 따른 확산 스펙트럼 클럭 생성기의 시뮬레이션 결과를 나타내는 도면으로서, 상부의 다중-위상 지연 고정 루프가 고정된 후 하부 지연단의 제어 전압에 대한 시뮬레이션 결과를 나타낸다. 도

12는 도 11의 삼각 변조 파형 부분을 확대하여 나타낸 도면이다.

<41> 도 13은 상부의 다중-위상 지연 고정 루프의 출력 신호의 주파수 도메인을 나타낸 도면, 및 그에 따른 dbm의 분석을 나타낸 도면으로서, 확산 스펙트럼 형태가 아닌 클럭의 에너지 분포 형태를 나타낸다. 도 14는 하부의 지연단의 출력 신호의 주파수 분석과 dbm, 즉 에너지 분포를 나타낸 도면이다. 도 13과 도 14를 비교해 보면, 확산 스펙트럼 클럭이 확산 스펙트럼 형태가 아닌 클럭에 비해 그 에너지 분포가 약 10dbm 정도 떨어지는 것을 확인할 수 있다.

<42> 도 15는 TSMC 018공정을 이용하여 설계된, 본 발명의 일 실시예에 따른 확산 스펙트럼 클럭 생성기의 레이아웃을 나타내는 도면이다. 레이아웃 설계 결과에 따르면, 사용되는 커패시턴스의 크기를 400pF으로 줄일 수 있었으며, 그 결과 칩의 면적을 0.45 X 0.55 정도로 대폭 줄일 수 있었다. 다음 표 2는 본 발명의 일 실시예에 따른 확산 스펙트럼 클럭 생성기의 성능을 요약한 것이다.

표 2

<43>	SSCG 주파수	50 MHz
	Technology	TSMC 0.18 um CMOS
	변조 방법	Modulation on VCO
	변조 파형	30 ~ 33 kHz
	주파수 편차	1.5 ~ 3% down
	지터 (Non-SSC)	7 ps
	공급 전압	1.8 V

<44> 이상 설명한 본 발명은 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이나 응용이 가능하며, 본 발명에 따른 기술적 사상의 범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

도면의 간단한 설명

<45> 도 1은 분주기 변조 방식의 SSCG(100)의 일예를 나타내는 블록도.

<46> 도 2는 분주기 변조 방식의 SSCG에서 Σ - Δ 변조기(230)가 차지하는 면적을 나타내는 도면.

<47> 도 3은 기존에 제안된 전하 펌프 변조 방식의 SSCG(300)의 블록도를 나타내는 도면.

<48> 도 4는 본 발명의 일 실시예에 따른 확산 스펙트럼 클럭 생성기(400)의 구성을 나타내는 도면.

<49> 도 5는 본 발명에 따른 확산 스펙트럼 클럭 생성기(400)를 구성하는 다중-위상 지연 고정 루프(410)의 일 실시예를 나타내는 도면.

<50> 도 6은 일반적인 DLL에서 전압 제어 지연단(VCDL)에서 생성되는 다중-위상(multi-phase) 클럭을 나타내는 도면.

<51> 도 7은 본 발명에 따른 확산 스펙트럼 클럭 생성기(400)를 구성하는 전하 펌프 제어부(470)의 일 실시예를 나타내는 도면.

<52> 도 8 내지 도 10은 본 발명에 따른 확산 스펙트럼 클럭 생성기(400)를 구성하는 전하 펌프 제어부(470)에서 업/다운 신호를 생성하는 원리를 설명하기 위한 도면.

<53> 도 11은 본 발명의 일 실시예에 따른 확산 스펙트럼 클럭 생성기의 시뮬레이션 결과를 나타내는 도면으로서, 상부의 다중-위상 지연 고정 루프가 고정된 후 하부 지연단의 제어 전압에 대한 시뮬레이션 결과를 나타내는 도면.

<54> 도 12는 도 11의 삼각 변조 파형 부분을 확대하여 나타낸 도면.

<55> 도 13은 상부의 다중-위상 지연 고정 루프의 출력 신호의 주파수 도메인을 나타낸 도면, 및 그에 따른 dbm의 분석을 나타낸 도면으로서, 확산 스펙트럼 형태가 아닌 클럭의 에너지 분포 형태를 나타내는 도면.

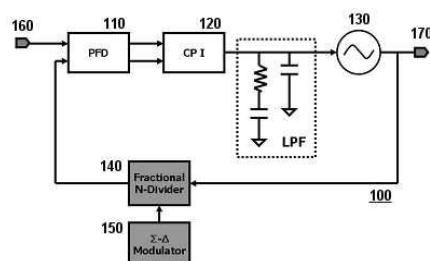
<56> 도 14는 하부의 지연단의 출력 신호의 주파수 분석과 dbm, 즉 에너지 분포를 나타낸 도면.

<57> 도 15는 TSMC 018공정을 이용하여 설계된, 본 발명의 일 실시예에 따른 확산 스펙트럼 클럭 생성기의 레이아웃을 나타내는 도면.

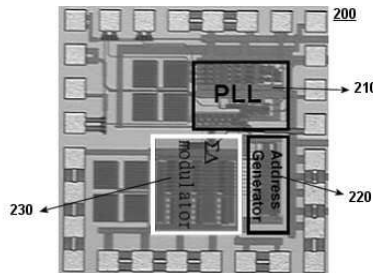
- <58> <도면 중 주요 부분에 대한 부호의 설명>
- <59> 100: (기존의) 분주기 변조 방식의 SSCG
- <60> 110: 위상 주파수 검출기(Phase Frequency Detector; PFD)
- <61> 120: 전하 펌프(Charge Pump; CP)
- <62> 130: 발진기
- <63> 140: 기능-N 분주기(Functional N-Divider)
- <64> 150: Σ - Δ 변조기(Σ - Δ Modulator)
- <65> 160: 기준 클럭
- <66> 170: (확산을 갖는) 출력 클럭
- <67> 200: 전체 칩
- <68> 210: 위상 고정 루프(Phase Locked Loop; PLL)
- <69> 220: 어드레스 생성기(Address Generator)
- <70> 230: Σ - Δ 변조기
- <71> 300: 전하 펌프 변조 방식의 SSCG
- <72> 310: 위상 주파수 검출기(PFD)
- <73> 320: 전하 펌프 I(CP I)
- <74> 330: 전압 제어 발진기(Voltage Control Oscillator; VCO)
- <75> 340: 프로그램 가능한 분주기(Programmable Divider)
- <76> 350: 프로그램 가능한 전하 펌프 II(Programmable CP II)
- <77> 400: (본 발명의 일 실시예에 따른) SSCG
- <78> 410: 다중-위상 지연 고정 루프
- <79> 420: 제1 스위치
- <80> 430: 제2 스위치
- <81> 440: 루프 필터
- <82> 450: (전압 제어) 지연단
- <83> 460: 전하 펌프
- <84> 470: 전하 펌프 제어부

도면

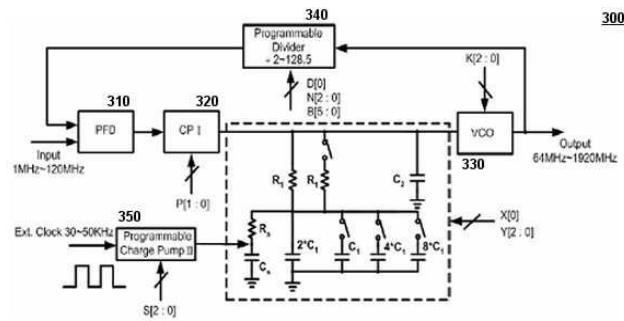
도면1



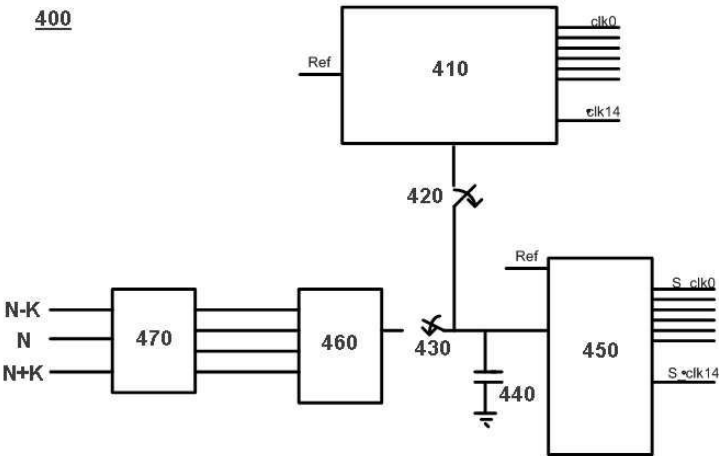
도면2



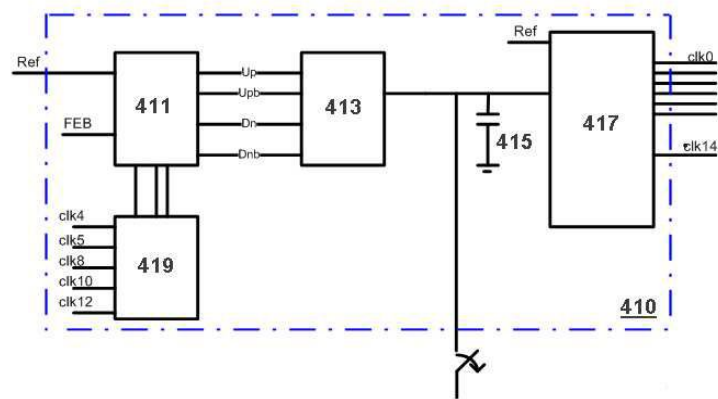
도면3



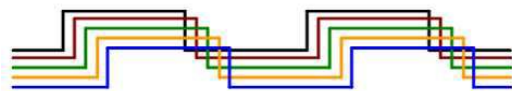
도면4



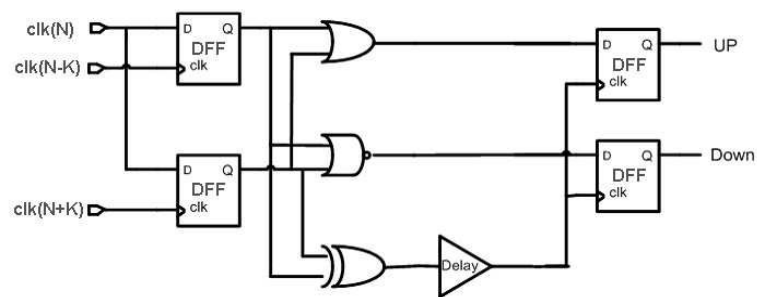
도면5



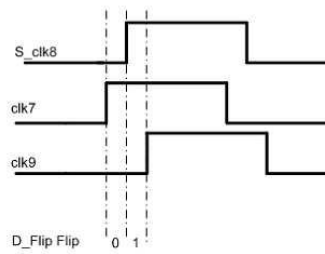
도면6



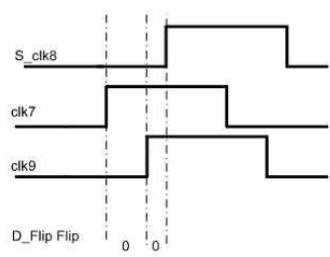
도면7



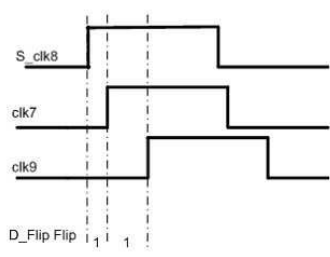
도면8



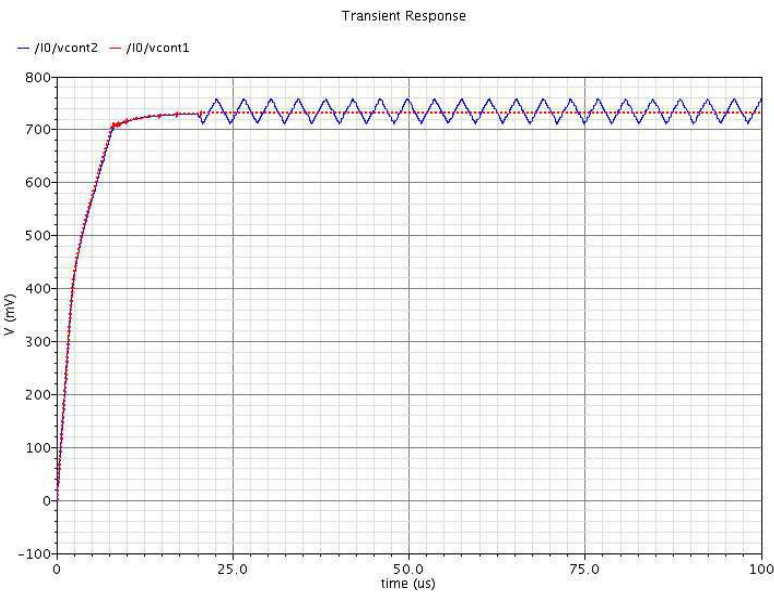
도면9



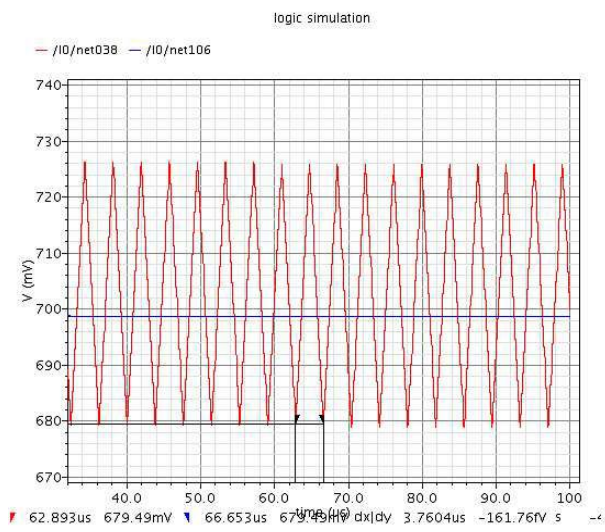
도면10



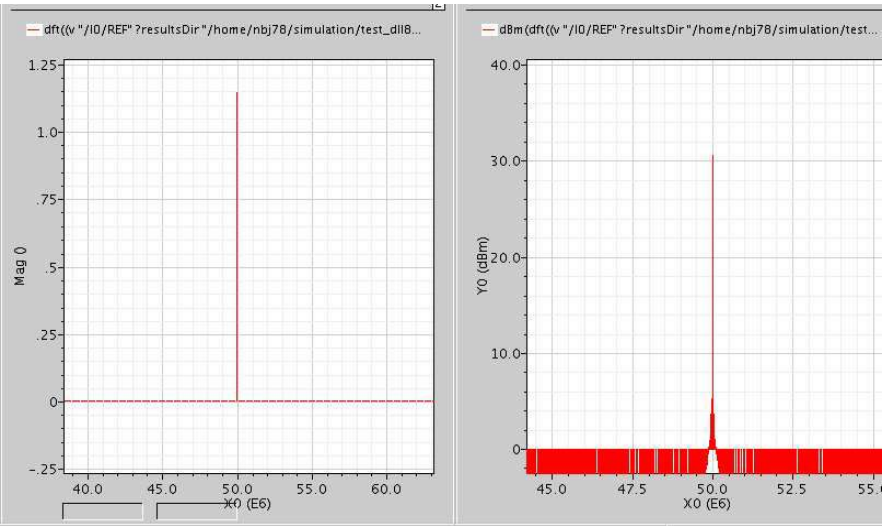
도면11



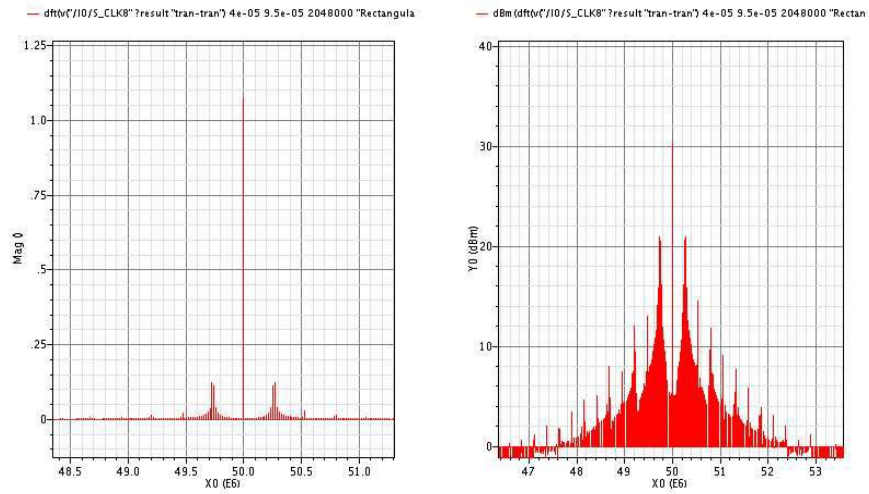
도면12



도면13



도면14



도면15

