

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 143 197

21 N° d'enregistrement national : 22 12873

51 Int Cl⁸ : H 01 L 27/15 (2023.01), H 01 L 31/12, 31/18, 33/20

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 07.12.22.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 14.06.24 Bulletin 24/24.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public — FR.

72 Inventeur(s) : SIMON Julia, ROL Fabian et LE MAITRE Patrick.

73 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATOMIQUE ET AUX ENERGIES ALTERNATIVES Etablissement public.

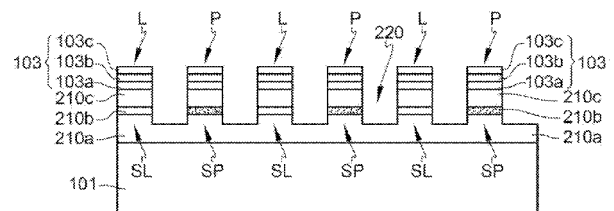
74 Mandataire(s) : CABINET BEAUMONT.

54 Procédé de fabrication d'un dispositif optoélectronique comprenant une LED et une photodiode.

57 Procédé de fabrication d'un dispositif optoélectronique comprenant une LED et une photodiode

La présente description concerne un procédé de fabrication d'un dispositif optoélectronique comportant au moins une LED (L) et au moins une photodiode (P), comprenant les étapes suivantes: a) former un empilement semiconducteur (210) de support comprenant au moins une couche semiconductrice dopée (210b); b) former simultanément, lors d'une étape d'épitaxie commune, un empilement actif semiconducteur (103) d'émission de la LED (L) et un empilement actif semiconducteur (103) de réception de la photodiode (P); c) former des tranchées (220) délimitant des premier (SL) et deuxième (SP) plots de support; et d) porosifier la couche semiconductrice dopée (210b) dans le premier plot de support (SL) sans porosifier cette couche dans le deuxième plot de support (SP), ou porosifier la couche semiconductrice dopée (210b) dans le deuxième plot de support (SP) sans porosifier cette couche dans le premier plot de support (SL).

Figure pour l'abrégié: Fig. 2D



FR 3 143 197 - A1



Description

Titre de l'invention : *Procédé de fabrication d'un dispositif optoélectronique comprenant une LED et une photodiode*

Domaine technique

[0001] La présente description concerne de façon générale le domaine des dispositifs optoélectroniques. Elle vise plus particulièrement la réalisation d'un dispositif optoélectronique comportant au moins une diode électroluminescente (LED), et au moins une photodiode. Elle vise notamment la réalisation simultanée, au moyen d'une étape d'épitaxie commune, d'un empilement actif d'émission de LED et d'un empilement actif de réception de photodiode, destinés à fonctionner dans une même gamme de longueurs d'ondes.

Technique antérieure

[0002] On a déjà proposé, par exemple dans le domaine des systèmes de communication optique, des dispositifs comprenant une ou plusieurs LED configurées pour émettre des signaux lumineux, et une ou plusieurs photodiodes configurées pour recevoir et mesurer des signaux émis par les LED.

[0003] Il serait souhaitable de pouvoir améliorer au moins en partie certains aspects de ces systèmes.

[0004] Il serait en particulier souhaitable de pouvoir réaliser simultanément, au moyen d'une étape d'épitaxie commune, un empilement actif d'émission de la LED et un empilement actif de réception de la photodiode.

Résumé de l'invention

[0005] Pour cela, un mode de réalisation prévoit un procédé de fabrication d'un dispositif optoélectronique comportant au moins une LED et au moins une photodiode, comprenant les étapes successives suivantes :

a) former, par épitaxie, un empilement actif semiconducteur d'émission et de réception commun à la LED et à la photodiode ;

b) former des tranchées s'étendant verticalement à travers l'empilement actif et délimitant latéralement la LED et la photodiode,

dans lequel les tranchées sont agencées de façon que les dimensions latérales de la LED soient inférieures aux dimensions latérales de la photodiode.

[0006] Selon un mode de réalisation, les tranchées sont agencées de façon que les dimensions latérales de la LED soient au moins deux fois inférieures aux dimensions latérales de la photodiode.

[0007] Selon un mode de réalisation, les tranchées sont agencées de façon que les dimensions latérales de la LED soient au moins quatre fois inférieures aux dimensions

latérales de la photodiode.

- [0008] Selon un mode de réalisation, les tranchées sont agencées de façon que les dimensions latérales de la LED soient inférieures à 4 μm .
- [0009] Selon un mode de réalisation, le procédé comprend, entre l'étape a) et l'étape b), une étape de report et de fixation de l'empilement actif sur une face d'un circuit intégré de contrôle préalablement formé dans et sur un substrat semiconducteur.
- [0010] Selon un mode de réalisation, l'étape de report et de fixation, l'empilement actif est fixé sur ladite face du circuit intégré de contrôle par collage moléculaire.
- [0011] Selon un mode de réalisation, à l'issue de l'étape de report et de fixation, l'empilement actif s'étend de façon continue sur toute la surface du circuit intégré de contrôle.
- [0012] Selon un mode de réalisation, l'empilement actif semiconducteur comprend un ou plusieurs alliages semiconducteurs de type III-V ou II-VI.
- [0013] Un autre mode de réalisation prévoit un dispositif optoélectronique comportant au moins une LED et au moins une photodiode comprenant chacune un empilement actif semiconducteur d'émission et de réception de même nature et de même composition, dans lequel les dimensions latérales de la LED sont inférieures aux dimensions latérales de la photodiode.
- [0014] Selon un mode de réalisation, le dispositif comprend en outre un circuit intégré de contrôle sur une face duquel sont fixées la LED et la photodiode, le circuit intégré de contrôle étant adapté à piloter la LED avec une densité de courant plus élevée que celle de la photodiode.
- [0015] Selon un mode de réalisation, le circuit intégré de contrôle est adapté à piloter la LED avec une densité de courant au moins dix fois plus élevée que celle de la photodiode.
- [0016] Un autre mode de réalisation prévoit un procédé de fabrication d'un dispositif optoélectronique comportant au moins une LED et au moins une photodiode, comprenant les étapes suivantes :
- a) former un empilement semiconducteur de support comprenant au moins une couche semiconductrice dopée ;
 - b) former simultanément, lors d'une étape d'épitaxie commune, un empilement actif semiconducteur d'émission de la LED et un empilement actif semiconducteur de réception de la photodiode ;
 - c) former des tranchées s'étendant verticalement à travers l'empilement de support et délimitant latéralement au moins un premier plot de support et au moins un deuxième plots de support,
- dans lequel, à l'issue des étapes b) et c), l'empilement actif semiconducteur d'émission de la LED recouvre le premier plot de support et l'empilement actif de

réception de la photodiode recouvre le deuxième plot de support, le procédé comprenant en outre, après l'étape c), une étape d) de porosification de ladite couche semiconductrice dopée dans le premier plot de support sans porosifier ladite couche semiconductrice dopée dans le deuxième plot de support, ou une étape de porosification de ladite de ladite couche semiconductrice dopée dans le deuxième plot de support sans porosifier ladite couche semiconductrice dopée dans le premier plot de support.

- [0017] Selon un mode de réalisation, l'étape c) de formation des tranchées à travers l'empilement de support et l'étape d) de porosification de la couche semiconductrice dopée sont mises en oeuvre avant l'étape b) d'épitaxie de l'empilement actif semi-conducteur d'émission de la LED et de l'empilement actif semiconducteur de réception de la photodiode, et dans lequel, lors de l'étape d), ladite couche semiconductrice dopée est porosifiée dans le deuxième plot de support et n'est pas porosifiée dans le premier plot de support.
- [0018] Selon un mode de réalisation, l'étape c) de formation des tranchées à travers l'empilement de support est mise en oeuvre après l'étape b) d'épitaxie de l'empilement actif semiconducteur d'émission de la LED et de l'empilement actif semiconducteur de réception de la photodiode, et, lors de l'étape d), ladite couche semiconductrice dopée est porosifiée dans le premier plot de support et non dans le deuxième plot de support.
- [0019] Selon un mode de réalisation, à l'étape d), les flancs de la couche semiconductrice dopée dans le deuxième plot sont mis en contact avec l'électrolyte, tandis que les flancs de la couche semiconductrice dopée dans le premier plot sont protégés du contact avec l'électrolyte par une couche de protection.
- [0020] Selon un mode de réalisation, à l'étape d), les flancs de la couche semiconductrice dopée dans le premier plot sont mis en contact avec un électrolyte, tandis que les flancs de la couche semiconductrice dopée dans le deuxième plot sont protégés du contact avec l'électrolyte par une couche de protection.
- [0021] Selon un mode de réalisation, à l'étape d), un courant de polarisation est appliqué à travers ladite couche semiconductrice dopée.
- [0022] Selon un mode de réalisation, le procédé comprend, après les étapes b) et d), une étape de report et de fixation de la LED et de la photodiode sur une face d'un circuit intégré de contrôle préalablement formé dans et sur un substrat semiconducteur.
- [0023] Selon un mode de réalisation, lors de l'étape de report et de fixation, la LED et la photodiode sont fixées sur la face du circuit intégré de contrôle par collage moléculaire.
- [0024] Selon un mode de réalisation, les tranchées sont agencées de façon que les dimensions latérales de la LED soient inférieures aux dimensions latérales de la photodiode.

- [0025] Selon un mode de réalisation, l'empilement actif semiconducteur d'émission de la LED et l'empilement actif semiconducteur de réception de la photodiode comprennent un ou plusieurs alliages semiconducteurs de type III-V ou II-VI.
- [0026] Un autre mode de réalisation prévoit un dispositif optoélectronique comportant au moins une LED comprenant un empilement actif semiconducteur d'émission et au moins une photodiode comprenant un empilement actif semiconducteur de réception, le dispositif comprenant en outre une couche semiconductrice dopée en vis à vis de la LED et de la photodiode, dans lequel la couche semiconductrice dopée est poreuse en vis à vis de la LED et non poreuse en vis à vis de la photodiode, ou dans lequel la couche semiconductrice dopée est poreuse en vis à vis de la photodiode et non poreuse en vis à vis de la LED.
- [0027] Selon un mode de réalisation, le dispositif comprend en outre un circuit intégré de contrôle sur une face duquel sont fixées la LED et la photodiode, le circuit intégré de contrôle étant adapté à piloter la LED avec une densité de courant plus élevée que celle de la photodiode.
- [0028] Selon un mode de réalisation, le circuit intégré de contrôle est adapté à piloter la LED avec une densité de courant au moins dix fois plus élevée que celle de la photodiode.

Brève description des dessins

- [0029] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :
- [0030] la [Fig.1A], la [Fig.1B], la [Fig.1C] et la [Fig.1D] sont des vues en coupe illustrant des étapes d'un exemple de mise en oeuvre d'un procédé de fabrication d'un dispositif optoélectronique selon un premier mode de réalisation ;
- [0031] la [Fig.2A], la [Fig.2B], la [Fig.2C], la [Fig.2D], la [Fig.2E] et la [Fig.2F] sont des vues en coupe illustrant des étapes d'un exemple de mise en oeuvre d'un procédé de fabrication d'un dispositif optoélectronique selon un deuxième mode de réalisation ;
- [0032] la [Fig.3A], la [Fig.3B], la [Fig.3C], la [Fig.3D] et la [Fig.3E] sont des vues en coupe illustrant des étapes d'un exemple de mise en oeuvre d'un procédé de fabrication d'un dispositif optoélectronique selon un troisième mode de réalisation ; et
- [0033] la [Fig.4] est un diagramme illustrant la réponse d'un empilement actif d'émission de LED et d'un empilement actif de réception de photodiode réalisés au moyen d'une étape d'épitaxie commune.

Description des modes de réalisation

- [0034] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux

différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

- [0035] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, la réalisation des connexions électriques et des circuits de contrôle des LED et des photodiodes des dispositifs décrits n'a pas été détaillée, les modes de réalisation décrits étant compatibles avec les réalisations usuelles de ces éléments ou la réalisation de ces éléments étant à la portée de la personne du métier à partir des indications de la présente description. En outre, les applications susceptibles de tirer avantage des modes de réalisation décrits n'ont pas été détaillées, les modes de réalisation décrits pouvant avantageusement être utilisés pour toute application comportant une ou plusieurs LED et une ou plusieurs photodiodes destinées à fonctionner dans une même gamme de longueurs d'ondes, par exemple une gamme de longueur d'ondes de lumière visible, ultraviolette ou proche infrarouge.
- [0036] Sauf précision contraire, lorsque l'on fait référence à deux éléments électriquement connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0037] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.
- [0038] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0039] Selon un aspect des modes de réalisation décrits, on prévoit un procédé de fabrication d'un dispositif optoélectronique dans lequel on réalise simultanément, lors d'une même étape d'épitaxie, un empilement actif émissif de LED et un empilement actif photosensible de photodiode.
- [0040] Un avantage réside dans la réduction de coût par rapport à des procédés comprenant des étapes d'épitaxies spécifiques distinctes pour réaliser successivement l'empilement actif émissif de LED et l'empilement actif photosensible de photodiode.
- [0041] La LED et la photodiode peuvent être intégrés de façon monolithique dans une même puce optoélectronique, ou être séparés par découpe en fin de procédé pour être intégrés dans des puces distinctes, par exemple destinées à être assemblées au sein d'un même dispositif optoélectronique.
- [0042] L'empilement actif émissif de LED et l'empilement actif photosensible de

photodiode sont par exemple des empilements semiconducteurs inorganiques, par exemple à base de matériaux semiconducteurs de type III-V, par exemple à base de nitrures du groupe III, par exemple de gallium, d'aluminium, d'indium ou d'un alliage à base d'un ou plusieurs de ces matériaux. A titre de variante, l'empilement actif émissif de LED et l'empilement actif photosensible de photodiode sont à base de matériaux semiconducteurs de type II-VI, par exemple ZnCdSe (zinc-cadmium-sélénium).

- [0043] Un même empilement actif à base de nitrure de gallium peut par exemple être utilisé en émission comme empilement actif de LED, ou en réception, comme empilement actif de photodiode. La photodiode présente alors avantageusement un courant d'obscurité très faible et une bande passante optique en réception étroite ce qui permet d'obtenir un très bon rapport signal sur bruit.
- [0044] Toutefois, une difficulté réside alors dans le fait que la longueur d'onde optimale d'émission de la LED (pic d'émission) est décalée vers le haut de quelques dizaines de nanomètres, typiquement de l'ordre de 20 nm pour un empilement actif à base de nitrure de gallium (GaN), par exemple à base de nitrure d'indium-gallium (InGaN), par rapport à la longueur d'onde optimale de réception de la photodiode (pic d'absorption). Il s'agit du décalage de Stokes (Stokes shift en anglais), qui provient notamment de l'énergie de liaison des paires électron-trou. Ceci affecte la sensibilité de la photodiode dans la gamme de longueurs d'ondes d'émission de la LED, et par conséquent l'efficacité du système LED-photodiode.
- [0045] Ce phénomène est notamment illustré par la [Fig.4].
- [0046] La [Fig.4] est un diagramme représentant l'évolution, en fonction de la longueur d'onde W (en abscisse), de l'efficacité quantique Q en réception (courbe 401) et en émission (courbe 403) d'un empilement actif de diode à base de nitrure de gallium (GaN), par exemple à base de nitrure d'indium-gallium (InGaN).
- [0047] Selon un aspect d'un premier mode de réalisation, on prévoit de former, par épitaxie, un empilement actif semiconducteur commun à la LED et à la photodiode, puis de former des tranchées s'étendant verticalement à travers l'empilement actif et délimitant latéralement la LED et la photodiode. Selon le premier mode de réalisation, la LED présente des dimensions latérales inférieures à celles de la photodiode. Ceci permet de relâcher les contraintes mécaniques dans l'empilement actif de LED plus fortement que dans l'empilement actif de photodiode. Il en résulte une diminution du champ électrique interne dans l'empilement actif de LED par rapport au champ électrique interne dans l'empilement actif de photodiode. Cette diminution du champ électrique interne dans l'empilement actif de LED conduit à décaler vers le bas (on parle de décalage vers le bleu ou blue-shift en anglais) le pic d'émission de la LED. Ceci permet de compenser au moins partiellement le décalage de Stokes entre le pic

d'émission et le pic d'absorption de l'empilement actif. Ainsi, le pic d'émission de la LED se rapproche du pic d'absorption de la photodiode, ce qui améliore l'efficacité du système.

- [0048] Les figures 1A à 1D sont des vues en coupe illustrant schématiquement des étapes d'un exemple de mise en oeuvre d'un procédé de fabrication d'un dispositif optoélectronique selon le premier mode de réalisation.
- [0049] La [Fig.1A] illustre une structure comportant un empilement actif semiconducteur d'émission et de réception 103 disposé sur la face supérieure d'un substrat de support 101.
- [0050] L'empilement actif 103 comprend par exemple une couche semiconductrice 103a dopée d'un premier type de conductivité, par exemple de type N, revêtant la face supérieure du substrat 101, une couche active 103b revêtant la face de la couche 103a opposée au substrat 101, c'est à dire sa face supérieure dans l'orientation de la [Fig.1A], et une couche semiconductrice 103c dopée d'un second type de conductivité, par exemple de type P, revêtant la face de la couche 103b opposée à la couche 103a, c'est à dire sa face supérieure dans l'orientation de la [Fig.1A]. A titre d'exemple, la couche 103b est en contact, par sa face inférieure, avec la face supérieure de la couche 103a, et, par sa face supérieure, avec la face inférieure de la couche 103c.
- [0051] Les couches 103a, 103b et 103c de l'empilement actif 103 s'étendent par exemple chacune de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface du substrat 101.
- [0052] Les couches 103a, 103b et 103c sont par exemple formées successivement par épitaxie sur la face supérieure du substrat de support 101.
- [0053] A titre d'exemple, le substrat de support 101 est en saphir ou en silicium. Les couches semiconductrices 103a et 103c de l'empilement actif 103 sont par exemple en nitrure de gallium. La couche active 103b comprend par exemple un empilement de couches formant chacune un puits quantique, par exemple à base de nitrure d'indium-gallium (InGaN).
- [0054] Une couche tampon, non représentée, peut faire interface entre la face supérieure du substrat 101 et la face inférieure de la couche inférieure 103a.
- [0055] La [Fig.1A] illustre en outre une étape de dépôt, sur la face supérieure de l'empilement actif 103, d'une couche métallique 105. Dans l'exemple représenté, la couche 105 s'étend de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure de l'empilement actif 103. A titre d'exemple, la couche 105 est en contact, par sa face inférieure, avec la face supérieure de la couche supérieure 103c de l'empilement actif.
- [0056] La [Fig.1B] représente de façon schématique un circuit intégré de contrôle 110, préalablement formé dans et sur un substrat semiconducteur 111, par exemple un substrat

en silicium. Dans cet exemple, le circuit de contrôle 110 comprend, du côté de sa face supérieure, pour chacune des LED du dispositif, un plot métallique de connexion 113L destiné à être connecté à l'une des électrodes (anode ou cathode) de la LED, de façon à pouvoir commander un courant circulant dans la LED et/ou appliquer une tension aux bornes de la LED. Le circuit de contrôle 110 comprend en outre dans cet exemple, du côté de sa face supérieure, pour chacune des photodiodes du dispositif, un plot métallique de connexion 113P destiné à être connecté à l'une des électrodes (anode ou cathode) de la photodiode, de façon à pouvoir lire un signal électrique représentatif de l'intensité d'un rayonnement lumineux reçu par la photodiode dans sa gamme de longueurs d'ondes de sensibilité.

- [0057] Le circuit de contrôle comprend par exemple, pour chaque LED, connectée au plot métallique 113L dédié à la LED, une cellule élémentaire de contrôle comportant un ou plusieurs transistors, permettant de contrôler le courant circulant dans la LED et/ou une tension appliquée aux bornes de la LED, et, pour chaque photodiode, connecté au plot métallique 113P dédié à la photodiode, une cellule élémentaire de lecture comportant un ou plusieurs transistors, permettant de lire un signal électrique représentatif de l'intensité d'un rayonnement lumineux reçu par la photodiode dans sa gamme de longueurs d'ondes de sensibilité. Le circuit de lecture comprend par exemple un amplificateur transimpédance utilisé pour amplifier le courant de la photodiode.
- [0058] Le circuit de contrôle 110 est par exemple réalisé en technologie CMOS. Les plots métalliques 113L, 113P peuvent être latéralement entourés par un matériau isolant 114, par exemple de l'oxyde de silicium, de façon que le circuit de contrôle 110 présente une surface supérieure sensiblement plane comprenant une alternance de régions métalliques 113 et de régions isolantes 114. Le contact sur les électrodes des LED ou des photodiodes non connectées aux plots 113L, 113P, peut être pris de façon collective, par exemple dans une région périphérique du circuit de contrôle 110, par l'intermédiaire d'un ou plusieurs plots de connexion (non visibles sur la figure) du circuit de contrôle 110. A titre d'exemple, le circuit de contrôle 110 comprend, du côté de la face supérieure du substrat 111, un empilement de niveaux isolants et conducteurs formant un réseau d'interconnexion 112 comprenant notamment les plots de connexion 113L, 113P, la face supérieure du réseau d'interconnexion 112 définissant la face supérieure du circuit 110.
- [0059] La [Fig.1B] illustre en outre une étape de dépôt, sur la face supérieure du circuit intégré de contrôle 110, d'une couche métallique 115. Dans l'exemple représenté, la couche 115 s'étend de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure du circuit 110. A titre d'exemple, la couche 115 est en contact, par sa face inférieure, avec la face supérieure du réseau d'interconnexion 112 du circuit de contrôle 110.

- [0060] La couche 115 est par exemple en le même matériau que la couche 105. A titre d'exemple, les couches 105 et 115 comprennent chacune une couche supérieure dite couche de collage. Les couches de collage des couches 105 et 115 sont de préférence en un même matériau, par exemple en titane.
- [0061] La [Fig.1C] illustre la structure obtenue à l'issue d'une étape de report de l'empilement actif de LED et de photodiode 103 sur la face supérieure du circuit de contrôle 110. Pour cela, la structure de la [Fig.1A] peut être retournée, puis rapportée sur la structure de la [Fig.1B] de façon à mettre en contact la face de la couche métallique 105 opposée au substrat 101 (c'est à dire sa face inférieure dans l'orientation de la [Fig.1C]), correspondant à sa face supérieure dans l'orientation de la [Fig.1A]) avec la face de la couche métallique 115 opposée au substrat 111 (c'est à dire sa face supérieure dans l'orientation des figures 1B et 1C). Au cours de cette étape, l'empilement actif 103 est fixé (bonded) au circuit de contrôle 110. A titre d'exemple, la fixation de l'empilement actif 103 sur le circuit de contrôle 110 peut être obtenue par collage moléculaire entre les deux surfaces mises en contact. A titre de variante, la fixation des deux surfaces peut être réalisée par thermocompression, collage eutectique, ou par toute autre méthode de fixation adaptée.
- [0062] Une fois le collage réalisé, le substrat de support 101 est retiré de façon à découvrir la face supérieure (dans l'orientation de la [Fig.1C]) de la couche semiconductrice 103c de l'empilement actif 103. Le substrat 101 est par exemple retiré par meulage et/ou gravure à partir de sa face opposée à l'empilement actif 103. A titre de variante, dans le cas d'un substrat 101 transparent, par exemple un substrat en saphir, le substrat 101 peut être détaché de l'empilement actif 103 au moyen d'un faisceau laser projeté à travers le substrat 101 depuis sa face opposée à l'empilement actif 103 (procédé de type laser lift-off). Plus généralement, toute autre méthode permettant de retirer le substrat 101 peut être utilisée. Après le retrait du substrat, une étape supplémentaire de gravure peut être prévue pour retirer d'éventuelles couches tampon subsistant du côté de la face supérieure de la couche semiconductrice 103c. En outre, une partie de l'épaisseur de la couche 103c peut être retirée, par exemple par gravure. A l'issue de cette étape, l'empilement actif 103 revêt sensiblement toute la surface du circuit de contrôle 110, sans discontinuité. A titre d'exemple, l'épaisseur de l'empilement actif 103 à l'issue de l'étape de la [Fig.1D] est comprise entre 0,5 et 2 μm .
- [0063] A l'issue de cette étape, les contraintes mécaniques de l'empilement actif épitaxié 103 sont partiellement transférées dans le substrat 111 du circuit de commande 110.
- [0064] La [Fig.1D] illustre une étape postérieure à l'étape de la [Fig.1C], au cours de laquelle des tranchées 120 sont formées dans l'empilement actif 103, depuis sa face supérieure, par exemple par lithographie puis gravure, de façon à délimiter une ou plusieurs LED L et une ou plusieurs photodiodes P, correspondant chacune à une

portion de l'empilement actif 103 en forme d'îlot ou méssa. Dans l'exemple représenté, les tranchées 120 s'étendent verticalement sur toute la hauteur de l'empilement actif 103 et débouchent sur la face supérieure de la couche métallique 105. Les tranchées 120 peuvent être alignées sur des repères préalablement formés sur le circuit de contrôle 110. Dans l'exemple représenté, chaque LED L est située, en projection verticale, en regard d'un unique plot métallique 113L du circuit de contrôle 110, et chaque photodiode P est située, en projection verticale, en regard d'un unique plot métallique 113P du circuit de contrôle 110. A titre d'exemple, chaque LED L et chaque photodiode P a, en vue de dessus, une forme sensiblement carrée ou rectangulaire. Les tranchées 120 forment par exemple, en vue de dessus, une grille ou un quadrillage séparant latéralement les unes des autres les LED L et les photodiodes P du dispositif.

[0065] Les tranchées peuvent ensuite être prolongées à travers les couches métalliques 105 et 115 pour individualiser les connexions électriques sur la couche semiconductrice inférieure 103c de l'empilement actif 103 de chaque LED L et de chaque photodiode P. Des étapes ultérieures peuvent ensuite être mises en oeuvre pour reprendre un contact électrique individuel ou commun sur la couche semiconductrice supérieure 103a de l'empilement actif 103 de chaque LED L et de chaque photodiode P. Ces étapes n'ont pas été détaillées et sont à la portée de la personne du métier à partir des indications de la présente description. A titre d'exemple, ces étapes sont similaires à ce qui a été décrit dans la demande de brevet WO2017194845 ou dans la demande de brevet WO2019092357 précédemment déposées par le demandeur.

[0066] Lors de l'étape de la [Fig.1D] de gravure de l'empilement actif 103, une relaxation additionnelle des contraintes mécaniques présentes dans l'empilement actif épitaxié 103 se produit par les bords des îlots ou mésas gravés. Cette relaxation dépend de la taille des îlots ou mésas. En particulier, des îlots ou mésas de petites dimensions présentent une relaxation importante des contraintes, tandis que des îlots ou mésas de dimensions plus importantes conservent une contrainte mécanique relativement élevée. La relaxation peut en outre dépendre de la nature du substrat, qui peut par exemple comprendre un empilement d'une couche de nitrure de gallium sur une couche de silicium, ou un empilement d'une couche de nitrure de gallium sur une couche de saphir, ou un empilement d'une couche de nitrure de gallium poreux sur une couche de silicium.

[0067] Selon un aspect du premier mode de réalisation, on prévoit de définir :

- des LED L de dimensions latérales relativement faibles de façon à obtenir une relaxation importante des contraintes mécaniques dans l'empilement actif 103 et par conséquent un décalage vers le bas du pic d'émission relativement important, et
- des photodiodes P de dimensions latérales relativement élevées de façon à obtenir une relaxation moins importante des contraintes mécaniques dans l'empilement actif

- 103 et par conséquent un décalage vers le bas du pic d'absorption relativement faible.
- [0068] Ceci permet de compenser au moins partiellement le décalage de Stokes naturellement présent entre le pic d'émission et le pic d'absorption de l'empilement actif 103.
- [0069] A titre d'exemple, les îlots ou méssa formant les LED L présentent des dimensions latérales inférieures ou égales à 5 μm , par exemple inférieures ou égales à 4 μm , par exemple inférieures ou égales à 2 μm . Ceci permet d'obtenir une relaxation quasi-totale de l'empilement actif lors de la gravure de la LED. Les îlots ou méssa formant les photodiodes P présentent quant à eux des dimensions latérales supérieures à celles des LED, par exemple au moins deux fois supérieures à celles des LED, par exemple au moins quatre fois supérieures à celles de LED, de façon à conserver des contraintes mécaniques relativement élevées dans l'empilement actif 103 des photodiodes P.
- [0070] A titre d'exemple, non limitatif, pour un empilement actif à base de GaN et pour des LED L carrées d'environ 1 μm de côté et des photodiodes P de 8 10 μm de côté, on observe un alignement du pic d'émission des LED L sur le pic d'absorption des photodiodes P.
- [0071] Les modes de réalisation décrits ne se limitent pas à l'exemple d'agencement des LED L et des photodiodes P représenté sur la [Fig.1D]. A titre d'exemple, le dispositif peut comprendre, sur une première partie de la surface du circuit intégré de contrôle 110, une pluralité de LED L, par exemple identiques (aux dispersions de fabrication près), par exemple agencées en matrice selon des rangées et des colonnes, par exemple avec un pas inter-LED constant. Le dispositif peut en outre comprendre, sur une deuxième partie de la surface du circuit intégré de contrôle 110, une pluralité de photodiodes P, par exemple identiques (aux dispersions de fabrication près), par exemple agencées en matrice selon des rangées et des colonnes, par exemple avec un pas inter-photodiodes constant. Le pas inter-LED dans la première région est par exemple identique au pas inter-photodiodes dans la deuxième région. Les dimensions latérales des LED de la première région sont en revanche inférieures aux dimensions latérales des photodiodes de la deuxième région.
- [0072] Outre la taille différenciée des LED L par rapport aux photodiodes P, un autre paramètre permettant de réduire le décalage en longueur d'onde entre le pic d'émission des LED et le pic d'absorption des photodiodes est la densité de porteurs de charges dans l'empilement actif et notamment dans les puits quantiques de la couche active 103b. Plus particulièrement, une densité de porteurs élevée conduira à écranter le champ électrique présent dans l'empilement actif, et par conséquent à décaler vers le bas la longueur d'onde de fonctionnement optimale de l'empilement actif.
- [0073] Ainsi, de façon avantageuse, le circuit de contrôle 110 est configuré pour piloter les LED L à des tensions plus élevées que les photodiodes P. Ceci permet d'obtenir une

densité de porteurs plus élevée dans les LED L que dans les photodiodes P, et par conséquent de réduire le décalage entre le pic d'émission des LED L et le pic d'absorption des photodiodes P. A titre d'exemple, les tensions de pilotage sont choisies de façon à avoir une densité de porteurs dans les LED L au moins deux fois plus importante, par exemple au moins cinq fois plus importante, par exemple de l'ordre de dix fois plus importante, que dans les photodiodes P.

[0074] La valeur du décalage en longueur d'onde liée à l'augmentation de la densité de courant dans la LED dépend de la structure de l'empilement actif, et notamment de la largeur des puits quantiques de la couche active 103b. En particulier, plus les puits seront larges, plus l'écrantage du champ électrique lié à l'augmentation de la densité de porteurs sera importante, et par conséquent plus le décalage vers le bas de la longueur d'onde d'émission optimale de la LED lié à l'augmentation de la densité de porteurs sera important. L'augmentation de la largeur des puits entraîne en revanche un temps de recombinaison radiative plus élevé, ce qui peut être dommageable pour des applications de communication nécessitant un temps de recombinaison court. La personne du métier saura choisir le compromis adapté en fonction des besoins de l'application. A titre d'exemple illustratif, non limitatif, pour une LED comportant des puits quantiques en InGaN de 4 nm d'épaisseur avec un taux d'indium de 14,3%, piloter la LED avec une densité de courant de l'ordre de 100 A/cm² conduit à un décalage vers le bleu du pic d'émission d'environ 6 nm par rapport à un pilotage de la même LED à une densité de courant de l'ordre de 10 A/cm².

[0075] Afin de compenser entièrement le décalage de Stokes, on pourra par exemple prévoir de combiner l'effet de relaxation mécanique décrit ci-dessus en prévoyant des LED plus petites que les photodiodes, et l'effet d'écrantage du champ par les porteurs en prévoyant une densité de courant plus importante dans les LED que dans les photodiodes. A titre d'exemple illustratif, non limitatif, pour des LED à base de nitrure de gallium comportant des puits quantiques en InGaN on observe un décalage en longueur d'onde du pic d'émission entre une LED de 4 µm de largeur pilotée à une densité de courant de l'ordre de 200 A/cm² et une LED de même nature de 25 µm de largeur pilotée à une densité de courant de l'ordre de 10 A/cm², de l'ordre de 30 nm. Sur ces 30 nm de décalage, environ 20 nm sont liés à la différence de taille, le reste (environ 10 nm) étant lié à la différence de densité de courant. Ce décalage est typiquement du même ordre que le décalage de Stokes entre l'émission et la réception dans l'empilement actif.

[0076] On notera que la compensation par différenciation des densités de porteurs entre les LED et les photodiodes peut aussi être obtenue dans un dispositif ayant des LED L de mêmes dimensions latérales que les photodiodes P, voire des dimensions latérales supérieures à celles des photodiodes P.

- [0077] Selon un aspect d'un deuxième mode de réalisation, on prévoit, avant l'étape d'épithaxie commune au cours de laquelle sont formés simultanément les empilements actifs d'émission et de réception, de porosifier localement, en vis à vis des photodiodes du dispositif, une couche support en un matériau semiconducteur, sur laquelle est destiné à être épithaxié l'empilement actif. Il en résulte une relaxation des contraintes mécaniques dans l'empilement actif des photodiodes pendant l'épithaxie, notamment lors de la formation de la couche active 103b de l'empilement. Cette relaxation conduit à une différence de proportions des espèces de l'alliage semiconducteur formant la couche active 103b entre les photodiodes et les LED. En particulier, dans le cas où la couche active comprend des puits quantiques en InGaN, il en résulte une incorporation d'indium plus importante dans les puits quantiques des photodiodes que dans les puits quantiques des LED. Ceci conduit à un décalage vers le rouge, c'est à dire vers le haut, du pic d'absorption des photodiodes, et donc à compenser au moins partiellement le décalage de Stokes entre le pic d'émission et le pic d'absorption de l'empilement actif.
- [0078] Les figures 2A à 2F sont des vues en coupe illustrant schématiquement des étapes d'un exemple de mise en oeuvre d'un procédé de fabrication d'un dispositif optoélectronique selon le deuxième mode de réalisation.
- [0079] La [Fig.2A] illustre une structure comportant un empilement semiconducteur de support 210 sur une face d'un substrat de support 101. Le substrat de support 101 est par exemple identique ou similaire à ce qui a été décrit précédemment. L'empilement semiconducteur de support 210 est par exemple en un matériau semiconducteur de type III-V, par exemple en nitrure de gallium. L'empilement semiconducteur de support 210 comprend au moins une couche semiconductrice dopée 210b, de niveau de dopage choisi pour permettre de rendre poreuse la couche 210b lors d'une étape ultérieure de porosification électrolytique. A titre d'exemple, la couche 210b est dopée de type N. A titre d'exemple, la couche 210b est en nitrure de gallium dopé de type N de niveau de dopage compris entre 10^{19} et $1,5 \cdot 10^{19}$ atomes/cm³.
- [0080] Dans l'exemple représenté, l'empilement de support 210 comprend en outre, du côté de la face inférieure de la couche 210b, par exemple en contact avec la face inférieure de la couche 210b, une couche semiconductrice 210a. La couche 210a est par exemple en le même matériau que la couche 210b mais de niveau de dopage inférieur à celui de la couche 210b, par exemple de niveau de dopage au moins dix fois inférieur, à celui de la couche 210b. A titre de variante, la couche 210a est en un matériau différent du matériau de la couche 210b.
- [0081] Dans l'exemple représenté, l'empilement de support 210 comprend en outre, du côté de la face supérieure de la couche 210b, par exemple en contact avec la face supérieure de la couche 210b, une couche semiconductrice 210c. La couche 210c est par exemple en le même matériau que la couche 210b mais de niveau de dopage inférieur à celui de

la couche 210b, par exemple de niveau de dopage au moins dix fois inférieur, de préférence au moins 100 fois inférieur, à celui de la couche 210b. A titre de variante, la couche 210c est en un matériau différent du matériau de la couche 210b.

- [0082] Les couches 210a, 210b et 210c de l'empilement de support 210 s'étendent par exemple chacune de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface du substrat 101.
- [0083] Les couches 210a, 210b et 210c sont par exemple formées successivement par épitaxie sur la face supérieure du substrat de support 101.
- [0084] A titre d'exemple, le substrat de support 101 est en saphir ou en silicium. Une couche tampon, non représentée, peut éventuellement faire interface entre la face supérieure du substrat 101 et la face inférieure de la couche inférieure 210a de l'empilement de support 210.
- [0085] La [Fig.2B] illustre une étape de formation de tranchées 220 dans l'empilement de support 210, depuis sa face supérieure, par exemple par lithographie puis gravure, de façon à définir dans l'empilement 210 une pluralité de plots de support SL et SP en forme d'îlots ou mésas. Chaque plot de support SL est destiné à recevoir, sur sa face supérieure, une LED L du dispositif, et chaque plot de support SP est destiné à recevoir, sur sa face supérieure, une photodiode P du dispositif.
- [0086] Dans l'exemple représenté, les tranchées 220 s'étendent verticalement depuis la face supérieure de l'empilement, traversent entièrement les couches 210c et 210b, et débouchent dans la couche 210a sans la traverser entièrement. A titre de variante, les tranchées 220 traversent entièrement la couche 210.
- [0087] Les tranchées 220 forment par exemple, en vue de dessus, une grille ou un quadrillage séparant latéralement les uns des autres les plots de support SL et SP destinés à recevoir les LED L et les photodiodes P du dispositif.
- [0088] Les plots de support SP et SL ont par exemple tous les mêmes dimensions latérales, par exemple comprises entre 1 μ m et 25 μ m, par exemple entre 2 et 8 μ m. A titre d'exemple, les plots de support SP et SL ont, en vue de dessus, une forme carrée ou rectangulaire.
- [0089] A ce stade, dans chaque plot de support SL et SP, les flancs de la couche semiconductrice dopée 210b de l'empilement de support sont exposés.
- [0090] La [Fig.2C] illustre la structure obtenue à l'issue d'une étape de porosification sélective de la couche 210b, localisée uniquement dans les plots de support SP des photodiodes P du dispositif. Lors de cette étape, la couche 210b des plots de support SP est rendue poreuse par gravure électrolytique ou électroporosification. La couche 210b des plots de support SL reste en revanche non poreuse.
- [0091] Pour cela, les flancs des plots de support peuvent être préalablement revêtus d'une couche de protection (non visible sur la figure), par exemple en un matériau isolant,

par exemple en oxyde ou en nitrure de silicium. La couche de protection est par exemple initialement déposée sur toute la face supérieure, puis retirée localement, par exemple par photolithographie et gravure, de manière à exposer les flancs des plots de support SP sans exposer les flancs des plots de support SL.

- [0092] La structure peut ensuite être plongée dans un bain électrolytique (non visible sur la figure), par exemple une solution à base d'acide oxalique, par exemple une solution aqueuse d'acide oxalique.
- [0093] Une tension de polarisation est ensuite appliquée de façon à faire circuler un courant dans la couche semiconductrice dopée 210b. A titre d'exemple, la tension est appliquée entre une première électrode (non visible sur la figure) connectée à la couche 210a et l'électrolyte (non visible sur la figure) connecté par la tranche à la couche 210c.
- [0094] Sous l'effet du courant de polarisation, les portions de la couche 210b en contact, par leurs flancs, avec l'électrolyte, c'est à dire les portions de la couche 210b comprises dans les plots de support SP des photodiodes P du dispositif, deviennent poreuses. Les portions de la couche 210b protégées du contact avec l'électrolyte, c'est à dire les portions de la couche 210b comprises dans les plots de support SL des LED L du dispositif, restent en revanche intactes (non poreuses).
- [0095] On notera que, dans cet exemple, les niveaux de dopage des couches 210a, 210b et 210c de l'empilement de support sont choisis de façon que seule la couche 210b soit rendue poreuse lors de l'étape d'électroporosification.
- [0096] A l'issue de cette étape, la couche de protection revêtant les flancs des plots de support SL peut être retirée.
- [0097] La [Fig.2D] illustre la structure obtenue à l'issue d'une étape d'épitaxie commune au cours de laquelle est formé, sur chaque plot de support SL et sur chaque plot de support SP, un empilement actif semiconducteur 103. L'épitaxie est par exemple localisée dans des ouvertures préalablement gravées dans une couche diélectrique, non représentée.
- [0098] Sur chaque plot de support SL et SP, l'empilement actif 103 recouvre par exemple toute la surface supérieure du plot. La portion de l'empilement actif 103 revêtant chaque plot SL définit une LED du dispositif. La portion de l'empilement actif 103 revêtant chaque plot SP définit une photodiode du dispositif.
- [0099] Sur chaque plot de support SP et SL, l'empilement actif 103 comprend, dans l'ordre à partir de la surface supérieure du plot, une couche semiconductrice 103a, une couche semiconductrice 103b, et une couche semiconductrice 103c, par exemple identiques ou similaires à ce qui a été décrit précédemment en relation avec les figures 1A à 1D. Les couches 103a, 103b et 103c sont par exemple formées successivement par épitaxie à partir de la face supérieure des plots SP et SL. A titre d'exemple, dans chaque plot SP et SL, la couche semiconductrice inférieure 103a de l'empilement actif 103 est en

contact, par sa face inférieure, avec la face supérieure de la couche 210c.

- [0100] Du fait de la présence de la couche poreuse 210b dans les plots de support SP, on obtient une relaxation mécanique plus importante dans l'empilement actif des photodiodes P que dans l'empilement actif des LED L. Il en résulte, pendant l'épitaxie, une incorporation des espèces différentes dans la couche active 103b de l'empilement actif des LED L et dans la couche active 103b de l'empilement actif des photodiodes P. En particulier, dans le cas d'une couche active 103b à base d'InGaN, il en résulte une incorporation d'indium plus importante dans la couche active 103b des photodiodes P que dans la couche active 103b des LED L. Ainsi, la présence de la couche poreuse 210b dans les plots de support SP des photodiodes P conduit à décaler le pic d'absorption des photodiodes P vers le haut en longueur d'onde (vers le rouge), et ainsi à le rapprocher du pic d'émission des LED L.
- [0101] La [Fig.2E] illustre la structure obtenue à l'issue d'une étape de formation, sur chaque LED L, d'une métallisation de contact 232L sur et en contact avec la face supérieure de la couche semiconductrice supérieure 103c de l'empilement actif 103 de la LED, et, sur chaque photodiode P, d'une métallisation de contact 232P sur et en contact avec la face supérieure de la couche semiconductrice supérieure 103c de l'empilement actif 103 de la photodiode.
- [0102] La [Fig.2E] illustre en outre une étape de remplissage des tranchées 220 et de l'espace entre les LED L et les photodiodes P par un matériau électriquement isolant 234, par exemple de l'oxyde de silicium.
- [0103] Après le remplissage, une étape de planarisation peut être mise en oeuvre, par exemple par polissage mécano-chimique (CMP), de façon que les métallisations de contact 232L, 232P affleurent au niveau de la face supérieure du matériau de remplissage 234.
- [0104] La [Fig.2F] illustre une étape de report et de fixation de la structure de la [Fig.2E] sur un circuit intégré de contrôle 110, par exemple similaire à celui de la [Fig.1B].
- [0105] Lors de cette étape, les métallisations de contact 232L, 232P de la structure de la [Fig.2E] sont mises en contact, par leur face opposée au substrat de support 101, avec la face des métallisations de contact 113L, 113P du circuit de contrôle 110 opposée au substrat 111.
- [0106] A titre d'exemple, la structure de la [Fig.2E] est fixée et connectée électriquement au circuit intégré de contrôle 110 par collage moléculaire, par exemple par collage hybride métal-métal / oxyde-oxyde.
- [0107] Après assemblage des deux structures, le substrat de support 101 de la structure de la [Fig.2E] peut être retiré. En outre, tout ou partie de l'empilement semiconducteur de support 210 peut être retiré, par exemple par meulage ou gravure.
- [0108] Dans l'exemple représenté, la couche 210a de l'empilement de support 210 est en-

tièrement retirée, et les couches 210b et 210c sont conservées. Les modes de réalisation décrits ne se limitent toutefois pas à cet exemple.

- [0109] Des étapes ultérieures peuvent ensuite être mises en oeuvre pour reprendre un contact électrique individuel ou commun sur la couche semiconductrice supérieure 103a de l'empilement actif 103 de chaque LED L et de chaque photodiode P. Par exemple, une couche d'un matériau électriquement conducteur transparent, par exemple un oxyde conducteur transparent, par exemple de l'oxyde d'indium-étain (ITO) est déposée sur et en contact avec la face supérieure de la structure de la [Fig.2F]. Ces étapes n'ont pas été détaillées et sont à la portée de la personne du métier à partir des indications de la présente description.
- [0110] De façon similaire à ce qui a été décrit précédemment, le circuit de contrôle peut optionnellement être configuré pour piloter les LED et les photodiodes avec des densités de porteur adaptées à réduire le décalage entre le pic d'émission des LED et le pic d'absorption des photodiodes.
- [0111] Selon un aspect d'un troisième deuxième mode de réalisation, on prévoit de former des plots de support SP et SL de façon similaire à ce qui a été décrit ci-dessus en relation avec les figures 2A à 2F, mais de porosifier sélectivement la couche 210b des plots de support seulement après l'étape d'épitaxie commune au cours de laquelle sont formés simultanément les empilements actifs 103 des LED L et des photodiodes P. Dans ce troisième mode de réalisation, la couche 210b est rendu poreuse à l'aplomb des LED L et est conservée intacte (non poreuse) à l'aplomb des photodiodes P. Ceci conduit à relaxer au moins partiellement les contraintes mécaniques dans l'empilement actif des LED L sans appliquer cette relaxation dans les photodiodes P. Il en résulte une diminution du champ électrique interne dans l'empilement actif de LED par rapport au champ électrique interne dans l'empilement actif de photodiode. Cette diminution du champ électrique interne dans l'empilement actif de LED conduit à décaler vers le bas le pic d'émission de la LED. Là encore, ceci permet de compenser au moins partiellement le décalage de Stokes entre le pic d'émission et le pic d'absorption de l'empilement actif. Ainsi, le pic d'émission de la LED se rapproche du pic d'absorption de la photodiode, ce qui améliore l'efficacité du système.
- [0112] Les figures 3A à 3E sont des vues en coupe illustrant schématiquement des étapes d'un exemple de mise en oeuvre d'un procédé de fabrication d'un dispositif optoélectronique selon le troisième mode de réalisation.
- [0113] La [Fig.3A] illustre une structure comportant un empilement semiconducteur de support 210 sur une face d'un substrat de support 101. L'empilement de support 210 et le substrat de support 101 sont par exemple identique ou similaire à ce qui a été décrit précédemment en relation avec la [Fig.2A].
- [0114] La [Fig.3A] illustre en outre une étape de formation d'un empilement actif 103 de

LED et de photodiode sur la face supérieure de l'empilement semiconducteur de support 210. L'empilement actif 103 est par exemple identique ou similaire à ce qui a été décrit précédemment, notamment en relation avec la [Fig.1A]. Les couches 103a, 103b et 103c sont par exemple formées successivement par épitaxie à partir de la face supérieure de l'empilement de support 210. A titre d'exemple, la couche semiconductrice inférieure 103a de l'empilement actif 103 est en contact, par sa face inférieure, avec la face supérieure de la couche 210c.

- [0115] A ce stade, les couches de l'empilement de support 210 et les couches de l'empilement actif 103 s'étendent chacune de façon continue et avec une épaisseur uniforme sur toute la surface du substrat de support 101.
- [0116] La [Fig.3B] illustre une étape de formation de tranchées 320 dans l'empilement actif 103 et dans l'empilement de support 210, depuis la face supérieure de l'empilement actif 103, par exemple par lithographie puis gravure, de façon à définir dans l'empilement 210 une pluralité de plots de support SL et SP en forme d'îlots ou mésas, chaque plot de support SL étant revêtu, sur sa face supérieure, par une portion de l'empilement actif 103 définissant une LED L du dispositif, et chaque plot de support SP étant revêtu, sur sa face supérieure, par une portion de l'empilement actif 103 définissant une photodiode P du dispositif.
- [0117] Dans l'exemple représenté, les tranchées 320 s'étendent verticalement depuis la face supérieure de l'empilement actif 103, traversent entièrement les couches 103c, 103b, 103a, 210c et 210b, et débouchent dans la couche 210a sans la traverser entièrement. A titre de variante, les tranchées 220 traversent entièrement la couche 210.
- [0118] Les tranchées 320 forment par exemple, en vue de dessus, une grille ou un quadrillage séparant latéralement les LED L et les photodiodes P et les plots de support SL et SP.
- [0119] Les LED L et les photodiodes P, et les plots de support SP et SL sous-jacents, ont par exemple tous les mêmes dimensions latérales, par exemple comprises entre 1 μ et 25 μ m, par exemple entre 2 et 8 μ m. A titre d'exemple, les LED L et les photodiodes P et les plots de support SP et SL ont, en vue de dessus, une forme carrée ou rectangulaire. Plus généralement, les LED L et les photodiodes P peuvent avoir une forme quelconque, par exemple ronde ou hexagonale.
- [0120] A ce stade, dans chaque plot de support SL et SP, les flancs de la couche semiconductrice dopée 210b de l'empilement de support sont exposés.
- [0121] La [Fig.3C] illustre la structure obtenue à l'issue d'une étape de porosification sélective de la couche 210b, localisée uniquement dans les plots de support SL des LED L du dispositif. Cette étape est similaire à ce qui a été décrit précédemment en relation avec la [Fig.2C], à la différence que, dans l'exemple de la [Fig.3C], la couche 210b des plots de support SL est rendu poreuse, tandis que la couche 210b des plots de

support SP reste intacte (non poreuse).

- [0122] Pour cela, pendant l'étape d'électroporosification, les flancs des plots de support SP peuvent être protégés du contact avec l'électrolyte par une couche de protection (non visible sur la figure), les flancs des plots de support SL étant en revanche en contact avec l'électrolyte.
- [0123] Dans l'exemple de la [Fig.3C], la tension de polarisation permettant de faire circuler un courant dans la couche 210b est par exemple appliquée entre une première électrode (non visible sur la figure) connectée à la couche 210a et l'électrolyte (non visible sur la figure) connecté par la tranche à la couche 103c.
- [0124] Du fait de la porosification de la couche 210b dans les plots de support SL, on obtient une relaxation mécanique plus importante dans l'empilement actif des LED L que dans l'empilement actif des photodiodes P. Ceci conduit à décaler le pic d'émission des LED vers le bas, et ainsi à le rapprocher du pic d'absorption des photodiodes P.
- [0125] La [Fig.3D] illustre la structure obtenue à l'issue d'une étape similaire à ce qui a été décrit précédemment en relation avec la [Fig.2E] de formation, sur chaque LED L, d'une métallisation de contact 232L sur et en contact avec la face supérieure de la couche semiconductrice supérieure 103c de l'empilement actif 103 de la LED, et, sur chaque photodiode P, d'une métallisation de contact 232P sur et en contact avec la face supérieure de la couche semiconductrice supérieure 103c de l'empilement actif 103 de la photodiode.
- [0126] La [Fig.2E] illustre en outre une étape de remplissage des tranchées 320 et de l'espace entre les LED L et les photodiodes P par un matériau électriquement isolant 234, par exemple de l'oxyde de silicium.
- [0127] Après le remplissage, une étape de planarisation peut être mise en oeuvre, par exemple par polissage mécano-chimique (CMP), de façon que les métallisations de contact 232L, 232P affleurent au niveau de la face supérieure du matériau de remplissage 234.
- [0128] La [Fig.3E] illustre une étape similaire à ce qui a été décrit ci-dessus en relation avec la [Fig.2F], de report et de fixation de la structure de la [Fig.3D] sur un circuit intégré de contrôle 110, et de retrait du substrat de support 101, et, éventuellement, de tout ou partie de l'empilement semiconducteur de support 210.
- [0129] De façon similaire à ce qui a été décrit précédemment, des étapes ultérieures peuvent ensuite être mises en oeuvre pour reprendre un contact électrique individuel ou commun sur la couche semiconductrice supérieure 103a de l'empilement actif 103 de chaque LED L et de chaque photodiode P.
- [0130] De façon similaire à ce qui a été décrit précédemment, le circuit de contrôle peut optionnellement être configuré pour piloter les LED et les photodiodes avec des densités

de porteur adaptées à réduire le décalage entre le pic d'émission des LED et le pic d'absorption des photodiodes.

- [0131] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier. En particulier, les modes de réalisation décrits ne se limitent pas aux exemples de matériaux et de dimensions mentionnés dans la description.
- [0132] En outre, bien que l'on ait décrit ci-dessus des exemples de réalisation dans lesquels les empilements actifs de LED et de photodiode 103 sont fixés sur le circuit intégré de contrôle par collage direct métal-métal pleine plaque ou par collage direct hybride métal-métal/diélectrique-diélectrique, les modes de réalisation décrits ne se limitent pas à ces exemples particuliers. Plus généralement, les empilements actifs de LED et de photodiode 103 peuvent être fixés sur le circuit intégré de contrôle par tout autre moyen, par exemple par collage direct oxyde-oxyde pleine plaque.
- [0133] Par ailleurs, on notera que les premier et troisièmes modes de réalisation peuvent être combinés.
- [0134] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de la personne du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

- [Revendication 1] Procédé de fabrication d'un dispositif optoélectronique comportant au moins une LED (L) et au moins une photodiode (P), comprenant les étapes suivantes :
- a) former un empilement semiconducteur (210) de support comprenant au moins une couche semiconductrice dopée (210b) ;
 - b) former simultanément, lors d'une étape d'épitaxie commune, un empilement actif semiconducteur (103) d'émission de la LED (L) et un empilement actif semiconducteur (103) de réception de la photodiode (P) ;
 - c) former des tranchées (220 ; 320)s'étendant verticalement à travers l'empilement de support (210) et délimitant latéralement au moins un premier plot de support (SL) et au moins un deuxième plots de support (SP),
- dans lequel, à l'issue des étapes b) et c), l'empilement actif semiconducteur (103) d'émission de la LED (L) recouvre le premier plot de support (SL) et l'empilement actif (103) de réception de la photodiode (P) recouvre le deuxième plot de support (SP),
- le procédé comprenant en outre, après l'étape c), une étape d) de porosification de ladite couche semiconductrice dopée (210b) dans le premier plot de support (SL) sans porosifier ladite couche semiconductrice dopée (210b) dans le deuxième plot de support (SP), ou une étape de porosification de ladite de ladite couche semiconductrice dopée (210b) dans le deuxième plot de support (SP) sans porosifier ladite couche semiconductrice dopée (210b) dans le premier plot de support (SL).
- [Revendication 2] Procédé selon la revendication 1, dans lequel l'étape c) de formation des tranchées (220) à travers l'empilement de support (210) et l'étape d) de porosification de la couche semiconductrice dopée (210b) sont mises en oeuvre avant l'étape b) d'épitaxie de l'empilement actif semiconducteur (103) d'émission de la LED (L) et de l'empilement actif semiconducteur (103) de réception de la photodiode (P), et dans lequel, lors de l'étape d), ladite couche semiconductrice dopée (220b) est porosifiée dans le deuxième plot de support (SP) et n'est pas porosifiée dans le premier plot de support (SL).
- [Revendication 3] Procédé selon la revendication 1, dans lequel l'étape c) de formation des tranchées (320) à travers l'empilement de support (210) est mise en oeuvre après l'étape b) d'épitaxie de l'empilement actif semiconducteur (103) d'émission de la LED (L) et de l'empilement actif semiconducteur

(103) de réception de la photodiode (P), et dans lequel, lors de l'étape d), ladite couche semiconductrice dopée (220b) est porosifiée dans le premier plot de support (SL) et non dans le deuxième plot de support (SP).

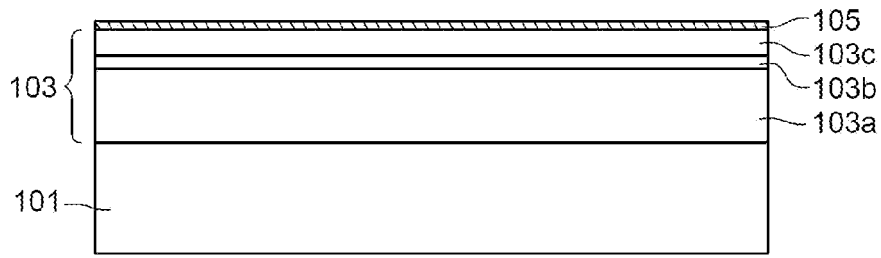
- [Revendication 4] Procédé selon la revendication 2, dans lequel, à l'étape d), les flancs de la couche semiconductrice dopée (210b) dans le deuxième plot (SP) sont mis en contact avec un électrolyte, tandis que les flancs de la couche semiconductrice dopée (210b) dans le premier plot (SL) sont protégés du contact avec l'électrolyte par une couche de protection.
- [Revendication 5] Procédé selon la revendication 3, dans lequel, à l'étape d), les flancs de la couche semiconductrice dopée (210b) dans le premier plot (SL) sont mis en contact avec un électrolyte, tandis que les flancs de la couche semiconductrice dopée (210b) dans le deuxième plot (SP) sont protégés du contact avec l'électrolyte par une couche de protection.
- [Revendication 6] Procédé selon l'une quelconque des revendications 1 à 5, dans lequel, à l'étape d), un courant de polarisation est appliqué à travers ladite couche semiconductrice dopée (210b).
- [Revendication 7] Procédé selon l'une quelconque des revendications 1 à 6, comprenant, après les étapes b) et d), une étape de report et de fixation de la LED (L) et de la photodiode (P) sur une face d'un circuit intégré de contrôle (110) préalablement formé dans et sur un substrat semiconducteur (101).
- [Revendication 8] Procédé selon la revendication 7, dans lequel lors de ladite étape de report et de fixation, la LED (L) et la photodiode (P) sont fixées sur ladite face du circuit intégré de contrôle (110) par collage moléculaire.
- [Revendication 9] Procédé selon l'une quelconque des revendications 1 à 8, dans lequel les tranchées (220 ; 320) sont agencées de façon que les dimensions latérales de la LED (L) soient inférieures aux dimensions latérales de la photodiode (P).
- [Revendication 10] Procédé selon l'une quelconque des revendications 1 à 9, dans lequel l'empilement actif semiconducteur (103) d'émission de la LED (L) et l'empilement actif semiconducteur (103) de réception de la photodiode (P) comprennent un ou plusieurs alliages semiconducteurs de type III-V ou II-VI.
- [Revendication 11] Dispositif optoélectronique comportant au moins une LED (L) comprenant un empilement actif semiconducteur (103) d'émission et au moins une photodiode (P) comprenant un empilement actif semiconducteur (103) de réception, le dispositif comprenant en outre une couche semiconductrice dopée (210b) en vis à vis de la LED (L) et de la

photodiode (P), dans lequel la couche semiconductrice dopée (210b) est poreuse en vis à vis de la LED (L) et non poreuse en vis à vis de la photodiode (P), ou dans lequel la couche semiconductrice dopée (210b) est poreuse en vis à vis de la photodiode (P) et non poreuse en vis à vis de la LED (L).

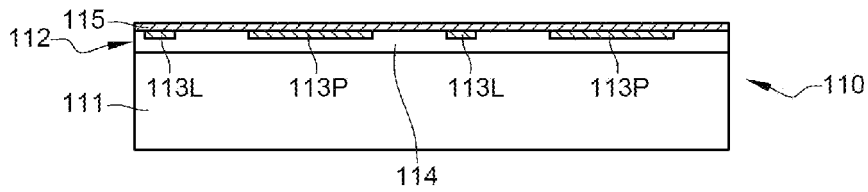
[Revendication 12] Dispositif selon la revendication 11, comprenant en outre un circuit intégré de contrôle (110) sur une face duquel sont fixées la LED (L) et la photodiode (P), le circuit intégré de contrôle (110) étant adapté à piloter la LED avec une densité de courant plus élevée que celle de la photodiode (P).

[Revendication 13] Dispositif selon la revendication 12, dans lequel le circuit intégré de contrôle (110) est adapté à piloter la LED (L) avec une densité de courant au moins dix fois plus élevée que celle de la photodiode (P).

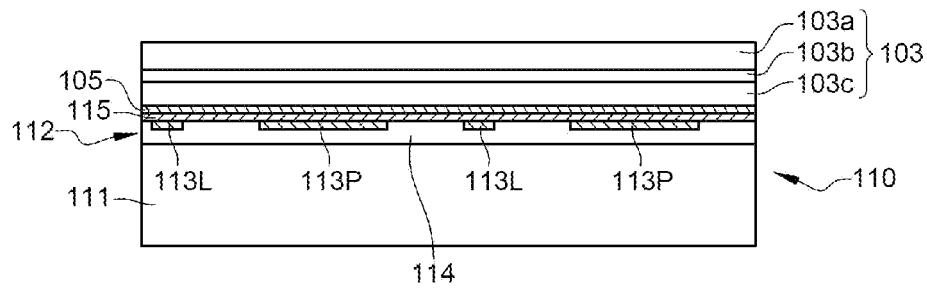
[Fig. 1A]

**Fig. 1A**

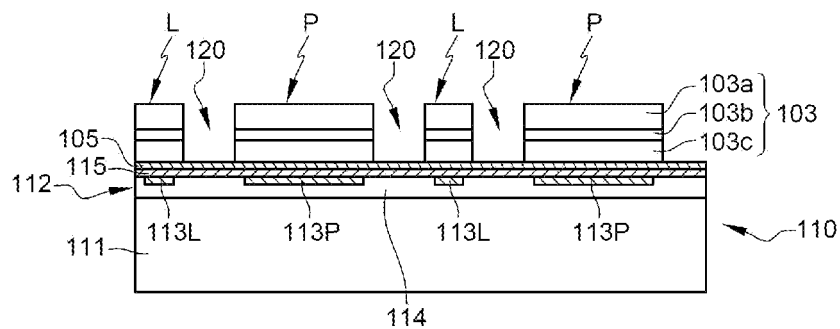
[Fig. 1B]

**Fig. 1B**

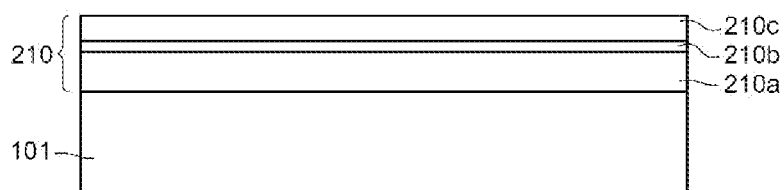
[Fig. 1C]

**Fig. 1C**

[Fig. 1D]

**Fig. 1D**

[Fig. 2A]

**Fig. 2A**

[Fig. 2B]

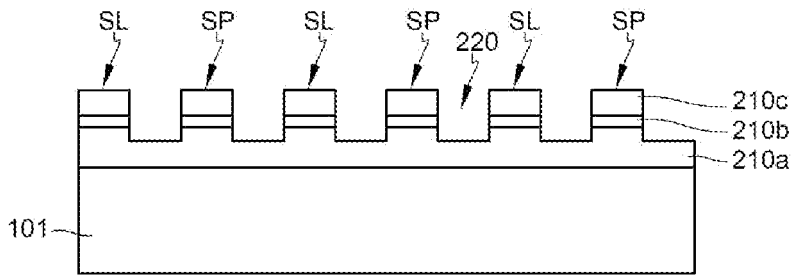


Fig. 2B

[Fig. 2C]

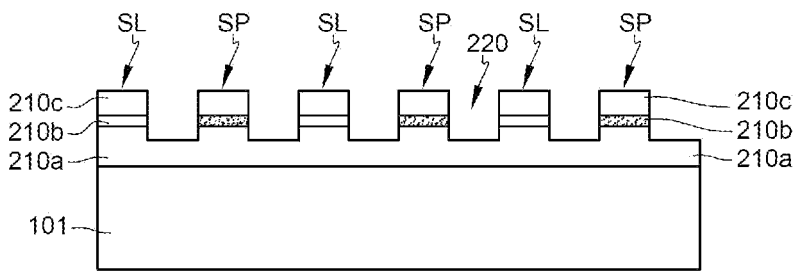


Fig. 2C

[Fig. 2D]

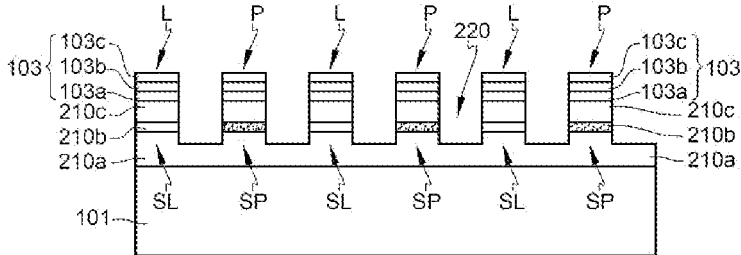


Fig. 2D

[Fig. 2E]

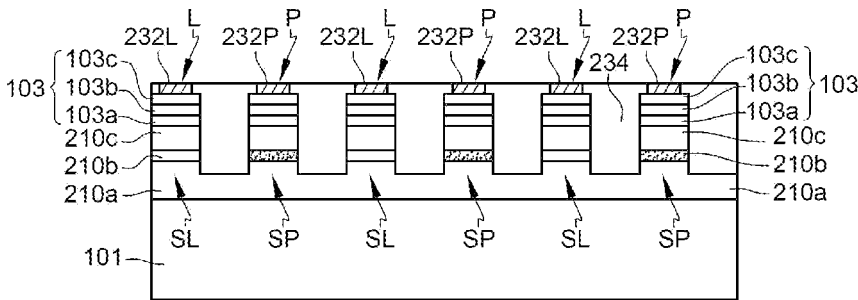


Fig. 2E

[Fig. 2F]

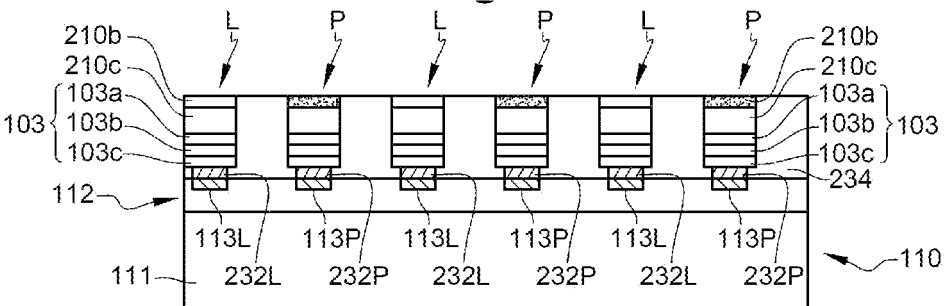


Fig. 2F

[Fig. 3A]

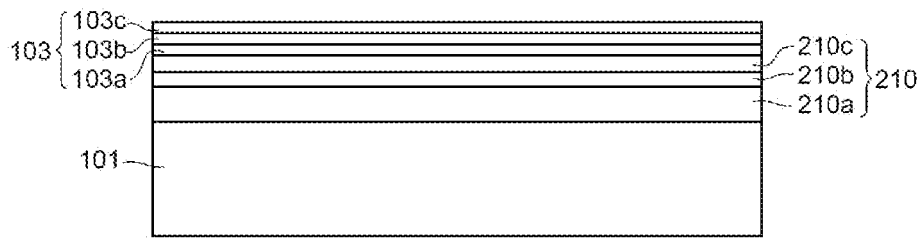


Fig. 3A

[Fig. 3B]

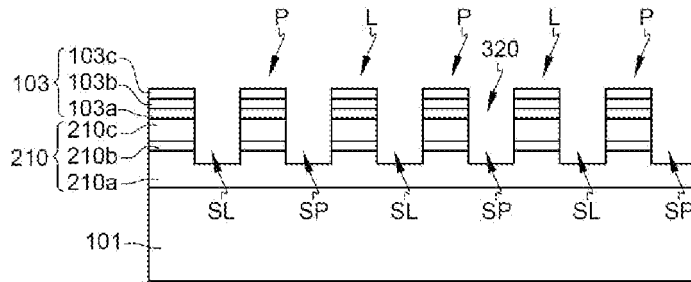


Fig. 3B

[Fig. 3C]

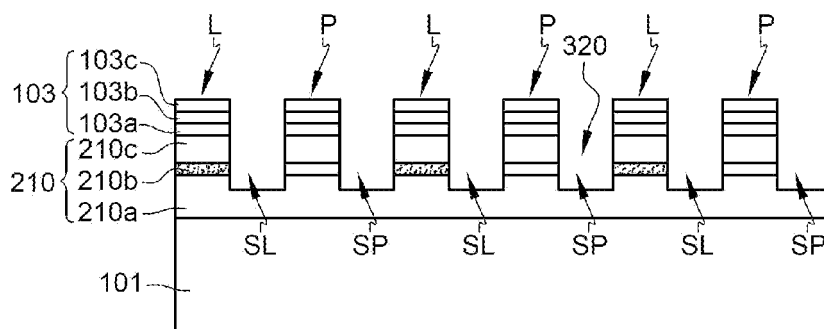


Fig. 3C

[Fig. 3D]

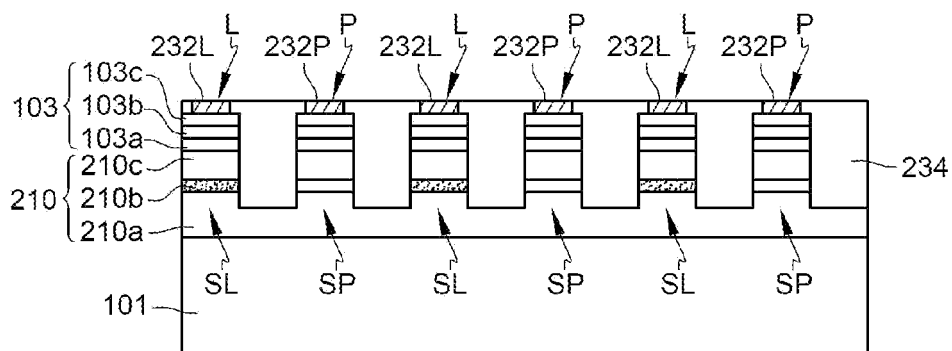
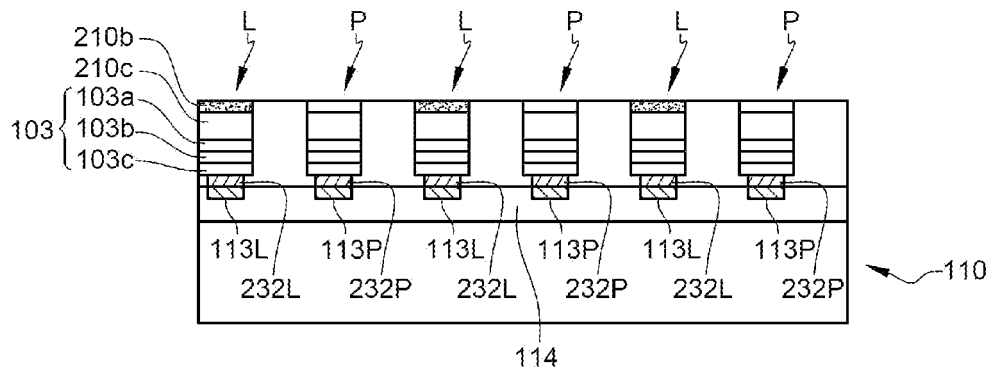
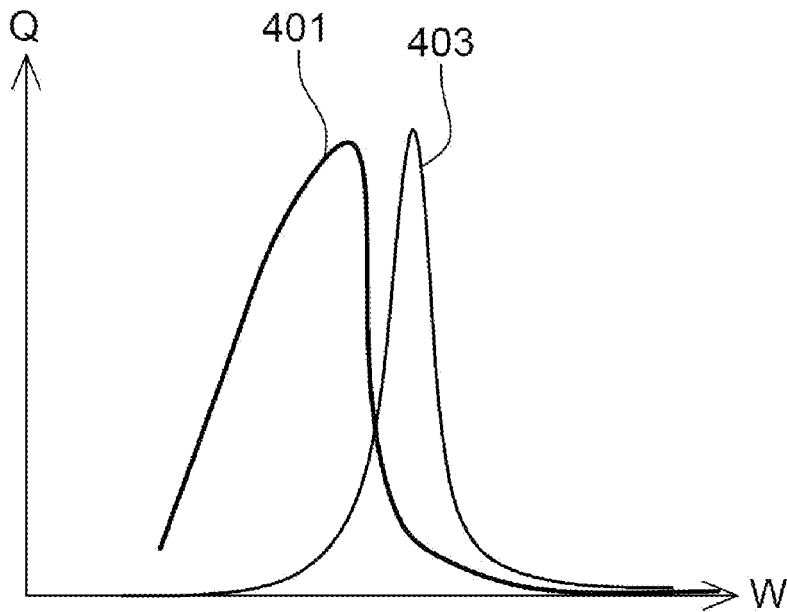


Fig. 3D

[Fig. 3E]

**Fig. 3E**

[Fig. 4]

**Fig. 4**

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 915440
FR 2212873

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	EP 3 780 123 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 17 février 2021 (2021-02-17) * alinéa [0046] * * alinéa [0077] * * revendications 1-16; figure 6 * -----	1-13	H01L27/15 H01L31/12 H01L31/18 H01L33/20
A	EP 3 826 068 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 26 mai 2021 (2021-05-26) * alinéa [0045] * * alinéa [0049] * * revendications 1-12; figures 1A-3F * -----	1-13	
A	EP 3 364 340 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 22 août 2018 (2018-08-22) * alinéa [0062] * -----	1, 11	
A	US 2017/141115 A1 (BOWER CHRISTOPHER [US] ET AL) 18 mai 2017 (2017-05-18) * alinéa [0074] * -----	1, 11	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
29 juin 2023		But, Gabriela-Ileana	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2212873 FA 915440**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **29-06-2023**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication	
EP 3780123	A1	17-02-2021	CN 112397449 A	23-02-2021
			EP 3780123 A1	17-02-2021
			FR 3099966 A1	19-02-2021
			TW 202129948 A	01-08-2021
			US 2021050476 A1	18-02-2021

EP 3826068	A1	26-05-2021	CN 112825341 A	21-05-2021
			EP 3826068 A1	26-05-2021
			FR 3103634 A1	28-05-2021
			US 2021159359 A1	27-05-2021

EP 3364340	A1	22-08-2018	EP 3364340 A1	22-08-2018
			FR 3063163 A1	24-08-2018
			US 2018240843 A1	23-08-2018

US 2017141115	A1	18-05-2017	AUCUN	
