



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I579934 B

(45) 公告日：中華民國 106 (2017) 年 04 月 21 日

(21) 申請案號：103125175

(22) 申請日：中華民國 103 (2014) 年 07 月 22 日

(51) Int. Cl. : H01L21/56 (2006.01)

H01L23/552 (2006.01)

(30) 優先權：2013/12/13 日本

2013-258704

(71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72) 發明人：高野勇佑 TAKANO, YUUSUKE (JP)；井本孝志 IMOTO, TAKASHI (JP)；渡部武志 WATANABE, TAKESHI (JP)；本間莊一 HOMMA, SOICHI (JP)；澀谷克則 SHIBUYA, KATSUNORI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US 4,343,677A

US 2002/0159242A1

US 2012/0015687A1

US 2013/0168231A1

審查人員：黃淑萍

申請專利範圍項數：5 項 圖式數：7 共 21 頁

(54) 名稱

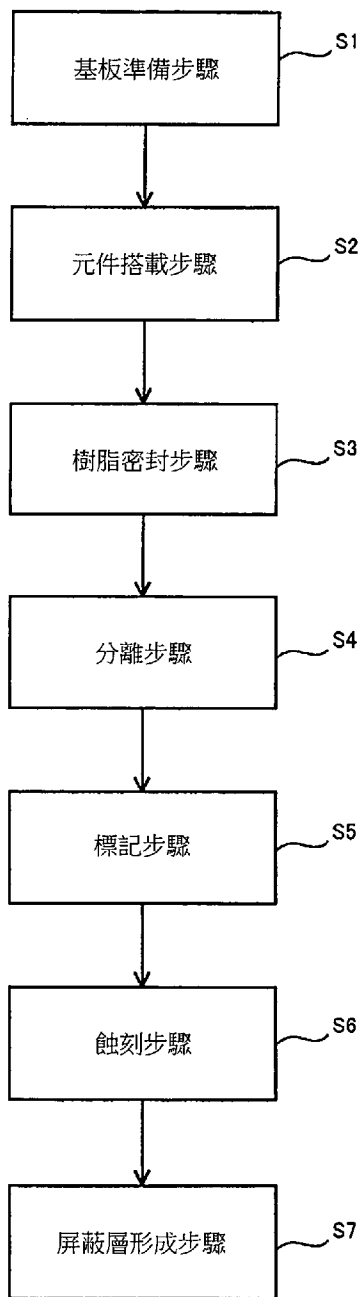
半導體裝置之製造方法及半導體裝置

(57) 摘要

本發明係提高屏蔽層與密封樹脂層之密接性。

實施形態之半導體裝置之製造方法包括如下步驟：將半導體晶片搭載於配線基板；以將半導體晶片密封之方式，形成含有無機填充材料之密封樹脂層；藉由乾式蝕刻去除上述密封樹脂層之一部分，直至上述無機填充材料之一部分露出為止；以及以至少覆蓋上述密封樹脂層之方式形成屏蔽層。

指定代表圖：



符號簡單說明：

S1 . . . 基板準備步驟

S2 . . . 元件搭載步驟

S3 . . . 樹脂密封步驟

S4 . . . 分離步驟

S5 . . . 標記步驟

S6 . . . 蝕刻步驟

S7 . . . 屏蔽層形成步驟

圖1

發明摘要

※ 申請案號：103125175

※ 申請日：103. 7. 22

※ IPC 分類：H01L 21/00 (2006.01)

H01L 23/10 (2006.01)

【發明名稱】

半導體裝置之製造方法及半導體裝置

【中文】

本發明係提高屏蔽層與密封樹脂層之密接性。

實施形態之半導體裝置之製造方法包括如下步驟：將半導體晶片搭載於配線基板；以將半導體晶片密封之方式，形成含有無機填充材料之密封樹脂層；藉由乾式蝕刻去除上述密封樹脂層之一部分，直至上述無機填充材料之一部分露出為止；以及以至少覆蓋上述密封樹脂層之方式形成屏蔽層。

【英文】

無

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

- S1 基板準備步驟
- S2 元件搭載步驟
- S3 樹脂密封步驟
- S4 分離步驟
- S5 標記步驟
- S6 蝕刻步驟
- S7 屏蔽層形成步驟

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置之製造方法及半導體裝置

【相關申請案】

本申請案係享受將日本專利申請案2013-258704號(申請日：2013年12月13日)作為基礎申請案之優先權。本申請案係藉由參照該基礎申請案而包含基礎申請案之全部內容。

【技術領域】

實施形態之發明係關於一種半導體裝置之製造方法及半導體裝置。

【先前技術】

對於用於通信設備等之半導體裝置，為了抑制EMI(Electro Magnetic Interference，電磁干擾)等電磁波干擾，而使用利用屏蔽層覆蓋密封樹脂層之表面之構造。為了利用上述構造獲得充分之屏蔽效果，較佳為將屏蔽層電性連接於接地配線，使電磁波雜訊經由接地配線而逸散至外部。

於半導體裝置中，屏蔽層與密封樹脂層之密接性較高者於可靠性方面較佳。又，就屏蔽效果之觀點而言，屏蔽層與接地配線之間之電阻率較佳為較低。為了於屏蔽層與密封樹脂層之間提高密接性，例如對設置不鏽鋼(例如SUS304等)之緩衝層(基底層)之構造進行研究。然而，不鏽鋼之電阻率為 $72 \times 10^{-8} \Omega\text{m}$ 左右，高於例如使用銅或銀之屏蔽層之電阻率。

【發明內容】

實施形態之發明所欲解決之問題在於提高屏蔽層與密封樹脂層

之密接性。

實施形態之半導體裝置之製造方法包括如下步驟：將半導體晶片搭載於配線基板；以將半導體晶片密封之方式，形成含有無機填充材料之密封樹脂層；藉由乾式蝕刻去除密封樹脂層之一部分，直至無機填充材料之一部分露出為止；及以至少覆蓋密封樹脂層之方式形成屏蔽層。

【圖式簡單說明】

圖1係表示半導體裝置之製造方法例之流程圖。

圖2(A)～(C)係用以說明半導體裝置之製造方法例之剖面圖。

圖3(A)及(B)係表示半導體裝置之構造例之立體圖。

圖4係表示半導體裝置之構造例之剖面圖。

圖5係表示半導體裝置之構造例之剖面圖。

圖6係表示半導體裝置之構造例之剖面圖。

圖7係表示半導體裝置之密接性試驗之結果之圖。

【實施方式】

以下，參照圖式對實施形態之半導體裝置進行說明。

圖1係表示本實施形態之半導體裝置之製造方法例之流程圖。圖1所示之半導體裝置之製造方法例包括基板準備步驟(S1)、元件搭載步驟(S2)、樹脂密封步驟(S3)、分離步驟(S4)、標記步驟(S5)、蝕刻步驟(S6)及屏蔽層形成步驟(S7)。再者，本實施形態之半導體裝置之製造方法例之步驟內容及步驟順序未必限定於圖1所示之步驟。

基板準備步驟(S1)係準備配線基板之步驟。此處，作為一例，製作複數個配線基板呈矩陣狀連續設置之構造之集合基板。

元件搭載步驟(S2)係將半導體晶片搭載於配線基板之步驟。再者，於元件搭載步驟(S2)中，亦可進行經由接合線(bonding wire)將設置於配線基板之信號配線及接地配線等配線與半導體晶片連接之接

合。

樹脂密封步驟(S3)係以將半導體晶片密封之方式形成密封樹脂層之步驟。例如可使用轉移成型法、壓縮成型法、射出成型法等成型法形成密封樹脂層。密封樹脂層含有無機填充材料(例如 SiO_2)，且例如將該無機填充材料與有機樹脂等混合而形成。無機填充材料例如為粒狀，且具有調整密封樹脂層之黏度或硬度等之功能。密封樹脂層中之無機填充材料之含量例如為80%~90%。

分離步驟(S4)係針對每個半導體裝置進行基板之切割，分離成各個半導體裝置之步驟。對於切割，例如可使用金剛石刀片(diamond blade)等刀片。

標記步驟(S5)係例如藉由包括YAG(Yttrium Aluminum Garnet，鈮鋁石榴石)雷射等之雷射標記裝置，對配線基板上之密封樹脂層之上表面刻印製品名、製品編號、製造年週、製造工廠等製品資訊之步驟。再者，亦可於標記步驟(S5)之後進行熱處理。

蝕刻步驟(S6)係藉由乾式蝕刻等去除密封樹脂層之一部分之步驟。例如可藉由濺射蝕刻而去除密封樹脂層之一部分。所謂濺射蝕刻係指於惰性氣體等環境下施加電壓而產生電漿，使惰性氣體之離子碰撞被處理基板而將基板表面之氧化物等物質以離子之形式撞飛之處理。作為惰性氣體，例如使用氬氣等。

屏蔽層形成步驟(S7)係於已進行標記之半導體裝置中，以至少覆蓋密封樹脂層之方式形成屏蔽層之步驟。

如此，本實施形態之半導體裝置之製造方法例至少包括如下步驟：將半導體晶片搭載於配線基板；以將半導體晶片密封之方式，形成含有無機填充材料之密封樹脂層；藉由蝕刻而去除密封樹脂層之一部分；以及以至少覆蓋密封樹脂層之方式形成屏蔽層。

進而，參照圖2對蝕刻步驟(S6)及屏蔽層形成步驟(S7)進行說

明。圖2係用以說明本實施形態之半導體裝置之製造方法例之剖面圖。

經過基板準備步驟(S1)至標記步驟(S5)而形成之半導體裝置之一例係如圖2(A)中作為半導體裝置1表示般，包括：配線基板2，其具有第1面及第2面；半導體晶片3，其具有電極墊，且設置於配線基板2之第1面上；密封樹脂層5，其以將半導體晶片3密封之方式設置於配線基板2之第1面上；以及接合線8。再者，配線基板2之第1面相當於圖2(A)中之配線基板2之上表面，第2面相當於圖2(A)中之配線基板2之下表面，且配線基板2之第1面及第2面相互對向。

配線基板2包括：絕緣層21，其設置於第1面與第2面之間；配線層22，其設置於第1面；配線層23，其設置於第2面；通孔24，其貫通絕緣層21而設置；阻焊層28，其設置於配線層22上；以及阻焊層29，其設置於配線層23上。

於在蝕刻步驟(S6)中使用濺射蝕刻之情形時，一般而言，濺射蝕刻係為了去除附著於表面之氧化物或污物等而進行，但於本實施形態中，如圖2(A)所示，藉由濺射蝕刻使離子31碰撞密封樹脂層5，將密封樹脂層5之一部分以離子32之形式撞飛，藉此將密封樹脂層5之一部分去除。再者，離子32亦可為分子單位。

於蝕刻步驟(S6)中，較佳為將密封樹脂層5之一部分去除，直至無機填充材料30之一部分露出為止。具體而言，較佳為將密封樹脂層5之一部分自表面去除至大於等於2.5 nm且未達7.5 nm之深度為止。例如可藉由控制蝕刻條件而調整所去除之密封樹脂層5之深度，於濺射蝕刻之情形時，可藉由控制濺射蝕刻之時間或惰性氣體之流量等而調整所去除之密封樹脂層5之深度。又，較佳為如圖2(A)所示對於密封樹脂層5之側面亦同樣地使無機填充材料30之一部分露出。

關於藉由樹脂密封步驟(S3)而形成之密封樹脂層5之表面，凹凸

相對較少且光滑。因此，認為密封樹脂層5與藉由屏蔽層形成步驟(S7)而形成之屏蔽層之密接性較差。對此，可藉由進行濺射蝕刻等而提高屏蔽層與密封樹脂層5之密接性。認為其原因在於利用密封樹脂層5之表面積之增大或露出之無機填充材料30之微細之凹凸所得之定準效應(anchor effect)等。

再者，由於因濺射蝕刻而導致密封樹脂層5之表面整體灰化，密接性反而變差，故而較佳為於密封樹脂層5之表面整體灰化之前之範圍內進行濺射蝕刻。

於屏蔽層形成步驟(S7)中，如圖2(B)所示，於半導體裝置1中，以至少覆蓋密封樹脂層5之方式形成屏蔽層7。例如藉由上述蝕刻步驟(S6)進行濺射蝕刻，其後，於屏蔽層形成步驟(S7)中，藉由濺鍍成膜銅或銀等之導電膜而形成屏蔽層7，藉此，可不使被處理基板暴露於大氣中地進行連續處理。

除濺鍍以外，亦可藉由利用例如轉印法、網版印刷法、噴霧塗佈法、噴射點膠法、噴墨法、氣溶膠(aerosol)法等塗佈導電膏而形成屏蔽層7。導電膏較佳為例如包含銀或銅與樹脂為主成分，且電阻率較低。又，亦可應用利用無電解電鍍法或電解電鍍法將銅或鎳等成膜之方法，形成屏蔽層7。

進而，亦可如圖2(C)所示，視需要以覆蓋屏蔽層7之方式設置耐蝕性或耐遷移性優異之保護層9。又，亦可於形成保護層9之前與蝕刻步驟(S6)同樣地再次進行濺射蝕刻等蝕刻。藉此，可提高屏蔽層7與保護層9之密接性。

其後，於配線層23所具有之電極墊設置外部連接端子。並不限定於此，例如亦可於元件搭載步驟(S2)中設置外部連接端子。進而，亦可設定藉由使用所製作之半導體裝置之外部連接端子測定電阻值而檢查是否為良品等之步驟。以上為本實施形態之半導體裝置之製造方

法例之說明。

其次，對可藉由本實施形態之半導體裝置之製造方法例進行製造之半導體裝置之構造例進行說明。

圖3係表示半導體裝置之構造例之立體圖，圖3(A)係上表面為正面側之立體圖，圖3(B)係上表面為背面側之立體圖。圖3(A)及圖3(B)所示之半導體裝置1包括配線基板2、半導體晶片3、覆蓋半導體晶片3之屏蔽層7、及具有焊料球之外部連接端子6。再者，於圖3(B)中，外部連接端子6之大小均勻，但各外部連接端子6之大小及位置並不限定於圖3(B)。又，於圖3中，表示BGA(Ball Grid Array，球柵陣列)之半導體裝置，但並不限定於此。

圖4係表示圖3(A)及圖3(B)所示之半導體裝置之構造例之剖面圖。圖4所示之半導體裝置1包括：半導體晶片3，其設置於配線基板2之第1面上；密封樹脂層5，其以將半導體晶片3密封之方式設置於配線基板2之第1面上；外部連接端子6，其設置於第2面上；屏蔽層7，其至少覆蓋密封樹脂層5；接合線8；以及保護層9，其覆蓋屏蔽層7。

再者，配線基板2之第1面相當於圖4中之配線基板2之上表面，第2面相當於圖4中之配線基板2之下表面，配線基板2之第1面及第2面相互對向。又，對於圖4中之半導體裝置之各構成要素中之標註有與圖2(A)至圖2(C)相同之符號之構成要素，可適當引用圖2(A)至圖2(C)之對應之各構成要素之說明。

配線基板2包括：絕緣層21，其設置於第1面與第2面之間；配線層22，其設置於第1面；配線層23，其設置於第2面；通孔24，其貫通絕緣層21而設置；阻焊層28，其設置於配線層22上；以及阻焊層29，其設置於配線層23上。

作為絕緣層21，例如可使用矽基板或玻璃基板、陶瓷基板、玻璃環氧樹脂等樹脂基板等。

作為密封樹脂層5，含有SiO₂等無機填充材料，可使用例如將無機填充材料與絕緣性之有機樹脂材料等混合而得者，且可使用例如與環氧樹脂混合而得者。

於配線層22及配線層23，例如設置有信號配線、電源配線及接地配線等。配線層22及配線層23之各者並不限定於單層構造，亦可為使隔著絕緣層並經由絕緣層之開口部而電性連接之複數個導電層積層而得之積層構造。對於配線層22及配線層23，例如使用銅或銀或者包含該等之導電膏，亦可視需要對表面實施鍍鎳或鍍金等。

通孔24係貫通絕緣層21而設置複數個。通孔24例如具有設置於貫通絕緣層21之開口之內表面的導體層、以及填充於導體層之內側之埋孔材料。對於導體層，例如使用銅或銀或者包含該等之導電膏，亦可視需要對表面實施鍍鎳或鍍金等。埋孔材料係例如使用絕緣性材料或導電性材料而形成。再者，並不限定於此，例如亦可藉由利用鍍敷等將貫通孔內填充金屬材料(銅等)而形成通孔24。

作為外部連接端子6，例如設置有信號端子、電源端子及接地端子等。外部連接端子6係經由配線層23及通孔24而電性連接於配線層22。外部連接端子6具有焊料球4。焊料球4係設置於配線層23之連接墊上。再者，亦可代替焊料球4而設置焊墊。

屏蔽層7係與密封樹脂層5之無機填充材料30接觸。屏蔽層7具有遮斷自半導體晶片3等放射之無用之電磁波，抑制該無用之電磁波向外部洩漏的功能。作為屏蔽層7，例如較佳為使用電阻率較低之金屬層，且較佳為使用例如包含銅、銀、鎳等之金屬層。藉由將電阻率較低之金屬層用於屏蔽層7，可抑制經由半導體晶片3或配線基板2而放射之無用之電磁波之洩漏。

屏蔽層7之厚度較佳為基於其電阻率而設定。例如較佳為以將屏蔽層7之電阻率除以厚度而得之薄片電阻值成為小於等於0.5 Ω之方

式，設定屏蔽層7之厚度。藉由將屏蔽層7之薄片電阻值設為小於等於 $0.5\ \Omega$ ，可再現性良好地抑制來自密封樹脂層5之無用之電磁波之洩漏。

接合線8係電性連接於配線層22及半導體晶片3。例如，藉由接合線8將半導體晶片3與信號配線或接地配線電性連接。

進而，亦可如圖4所示設為如下構造：以覆蓋配線基板2之側面之至少一部分之方式形成屏蔽層，使配線層22所具有之配線22A之側面於配線基板2之側面露出，且配線22A之側面接觸於屏蔽層7。此時，配線22A具有作為接地配線之功能。可藉由使配線22A電性連接於屏蔽層7而使無用之電磁波經由接地配線逸散至外部。並不限定於此，亦可設為配線層23所具有之配線23A之側面接觸於屏蔽層7之構造。配線23A具有作為接地配線之功能。

又，於配線層22所具有之配線22A中，亦可設置在配線基板2之側面露出之複數個露出部。藉此，可增加於配線基板2之側面露出之配線22A之面積，故而可使配線22A與屏蔽層7之連接電阻變低，且可提高屏蔽效果。又，於本實施形態之半導體裝置中，藉由沿著配線基板2之周緣配置接地配線，而可使接地配線作為屏蔽層發揮功能，可抑制經由半導體晶片3或配線基板2放射之無用之電磁波的洩漏。

作為保護層9，例如可使用不鏽鋼(SUS304等)或聚醯亞胺樹脂等。

進而，本實施形態之半導體裝置之構造並不限定於上述構造。參照圖5及圖6對半導體裝置之其他構造例進行說明。再者，於圖5及圖6所示之半導體裝置中，對與圖4所示之半導體裝置相同之部分標註相同之符號，適當引用圖4所示之半導體裝置之說明。

圖5所示之半導體裝置1係代替圖4所示之半導體裝置1之絕緣層21而包括絕緣層21A及絕緣層21B，進而包括設置於絕緣層21A與絕緣

層21B之間之導電層15。再者，對於半導體晶片3、密封樹脂層5、外部連接端子6、屏蔽層7、接合線8及保護層9等與圖4為相同之符號之構成要素，適當引用圖4所示之半導體裝置1之說明。

作為絕緣層21A及絕緣層21B，例如可使用可應用於絕緣層21之基板。

導電層15較佳為與半導體晶片3之至少一部分重疊。導電層15具有作為接地配線之功能。導電層15例如較佳為固體膜或網狀膜。

導電層15係例如藉由如下方式形成，即：使用光微影技術於同一導電膜上形成抗蝕劑，以該抗蝕劑作為掩膜將導電膜之一部分去除。作為導電膜，較佳為使用例如可應用於屏蔽層7之材料。

又，通孔24係貫通絕緣層21A、導電層15、及絕緣層21B而設置。再者，電性連接於信號配線等之通孔24係與導電層15電性分離。例如可藉由預先於導電層15設置開口而使電性連接於信號配線等之通孔24與導電層15電性分離。再者，配線22A、配線23A係電性連接於導電層15。關於配線22A、配線23A、通孔24之構成，引用圖4所示之半導體裝置1之說明。

藉由設置導電層15，可提高抑制無用之電磁波經由配線基板2洩漏之效果。進而，導電層15之側面較佳為接觸於屏蔽層7。藉此，可增加與屏蔽層7之連接點數，故而可抑制成為接地端子之外部連接端子6與屏蔽層7之連接不良，又，可使連接電阻變低，故而可提高屏蔽效果。

圖6所示之半導體裝置1為如下構造：圖4所示之半導體裝置1之一部分通孔24係配置於配線基板2之周緣，且具有於厚度方向(通孔之貫通方向)被切斷之形狀。此時，配線22A及配線23A具有作為接地配線之功能。通孔24之切斷面係於配線基板2之側面露出，且接觸於屏蔽層7。再者，於圖6所示之半導體裝置1中，使通孔24之形狀為被切

斷至厚度方向之中途之形狀，但並不限定於此，亦可使通孔24之形狀為被切斷至厚度方向(通孔24之貫通方向)之最後為止之形狀。又，通孔24之切斷面亦可未必通過中心，只要於切斷面包含通孔24之一部分即可。

藉由形成將通孔24之切斷面接觸於屏蔽層7之構造，可增加通孔24與屏蔽層7之接觸面積，換言之，可增加接地配線與屏蔽層7之接觸面積，故而可降低連接電阻，而可提高屏蔽效果。再者，亦可代替圖6所示之半導體裝置1之絕緣層21，而設置圖5所示之半導體裝置1之絕緣層21A及絕緣層21B，且設置導電層15。

如上所述，本實施形態之半導體裝置可藉由屏蔽層7而抑制經由半導體晶片3或配線基板2放射之無用之電磁波洩漏。由此，本實施形態之半導體裝置較佳地應用於例如智慧型手機等攜帶型資訊通信終端或平板型資訊通信終端等。

[實施例]

於本實施例中，對實際製作之半導體裝置及其密接性試驗結果進行說明。

於本實施例中，於實施形態所示之步驟中，針對每個樣本改變蝕刻步驟(S6)中之濺射蝕刻之時間而製作複數個半導體裝置之樣本，進行所製作之半導體裝置之樣本之密接性試驗。此時，以密封樹脂層中所含之無機填充材料之蝕刻速率成為15埃(1.5 nm)/分鐘之方式，設定濺射蝕刻之條件。又，作為密接性試驗，進行由JIS(Japanese Industrial Standards，日本工業標準) H8504等規定之試驗、即利用膠帶之剝離試驗。將結果示於圖7中。

於圖7中，橫軸表示濺射蝕刻之時間(秒)，縱軸表示藉由各樣本之密接性試驗而剝離之樣本之比率(剝離率(%))，圓形記號係表示於濺鍍後經過一定時間後進行密接性試驗之樣本，菱形記號係表示進而

於壓力鍋試驗後經過100小時後進行密接性試驗之樣本。

如圖7所示，於濺射蝕刻之時間未達100秒時(蝕刻深度未達2.5 nm時)，剝離率較高。其原因在於：無法藉由濺射蝕刻將密封樹脂層之一部分充分地去。又，於濺射蝕刻之時間大於等於300秒(蝕刻深度大於等於7.5 nm)時亦同樣地，剝離率較高。其原因在於：因濺射蝕刻而導致密封樹脂層之表面整體灰化。相對於此，於濺射蝕刻之時間為大於等於100秒且未達300秒(蝕刻深度為大於等於2.5 nm且未達7.5 nm)時，剝離率較低。由上可知，藉由調整利用濺射蝕刻而去除之密封樹脂層之深度或濺射蝕刻之時間，可提高屏蔽層與密封樹脂層之密接性。

再者，實施形態係作為示例而提出者，並非意欲限定發明之範圍。該等新穎之實施形態能夠以其他各種形態實施，可於不脫離發明之主旨之範圍內進行各種省略、替換、變更。該等實施形態及其變化包含於發明之範圍或主旨中，並且包含於申請專利範圍中所記載之發明及其均等範圍內。

【符號說明】

- | | |
|----|--------|
| 1 | 半導體裝置 |
| 2 | 配線基板 |
| 3 | 半導體晶片 |
| 4 | 焊料球 |
| 5 | 密封樹脂層 |
| 6 | 外部連接端子 |
| 7 | 屏蔽層 |
| 8 | 接合線 |
| 9 | 保護層 |
| 15 | 導電層 |

- 21 絕緣層
- 21A 絕緣層
- 21B 絕緣層
- 22 配線層
- 22A 配線
- 23 配線層
- 23A 配線
- 24 通孔
- 28 阻焊層
- 29 阻焊層
- 30 無機填充材料
- 31 離子
- 32 離子
- S1 基板準備步驟
- S2 元件搭載步驟
- S3 樹脂密封步驟
- S4 分離步驟
- S5 標記步驟
- S6 蝕刻步驟
- S7 屏蔽層形成步驟

申請專利範圍

1. 一種半導體裝置之製造方法，其包括如下步驟：

將半導體晶片搭載於配線基板；

以將上述半導體晶片密封之方式，形成含有無機填充材料之密封樹脂層；

針對每個上述半導體晶片，分離上述配線基板，並且分割上述密封樹脂層；

藉由乾式蝕刻去除上述經分割的密封樹脂層之一部分，而於上述經分割的密封樹脂層之表面及側面，露出上述無機填充材料之至少一部分；及

以至少覆蓋上述經分割之密封樹脂層之側面及表面之方式形成屏蔽層。

2. 如請求項1之半導體裝置之製造方法，其中上述乾式蝕刻為濺射蝕刻，

形成上述屏蔽層之步驟係藉由濺鍍而進行。

3. 一種半導體裝置之製造方法，其包括如下步驟：

將半導體晶片搭載於配線基板；

以將半導體晶片密封之方式，形成含有無機填充材料之密封樹脂層；

針對每個上述半導體晶片，分離上述配線基板，並且分割上述密封樹脂層；

藉由濺射蝕刻將上述經分割的密封樹脂層之一部分自表面去除至2.5 nm以上且未達7.5 nm之深度為止，而於上述經分割的密封樹脂層之表面及側面，露出上述無機填充材料之至少一部分；及

藉由濺鍍以至少覆蓋上述經分割的密封樹脂層之表面及側面之方式形成屏蔽層。

4. 如請求項2或3之半導體裝置之製造方法，其中於去除上述經分割的密封樹脂層之一部分之步驟中，於上述密封樹脂層之表面及側面整體灰化之前進行上述濺射蝕刻。
5. 一種半導體裝置，其包括：
 - 配線基板，其包含第1面及第2面；
 - 半導體晶片，其設置於上述第1面上；
 - 外部連接端子，其設置於上述第2面上；
 - 密封樹脂層，其以將上述半導體晶片密封之方式設置於上述第1面上，且含有於表面及側面露出至少一部分之無機填充材料；及
 - 屏蔽層，其以至少覆蓋上述密封樹脂層之方式設置，且相接於上述露出至少一部分之無機填充材料。

圖式

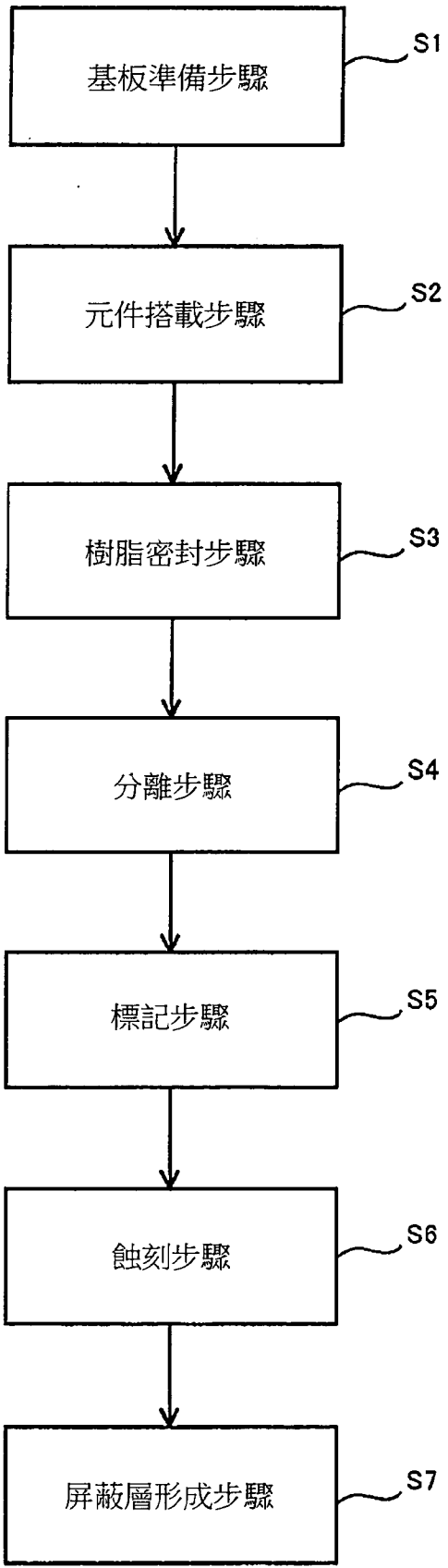


圖1

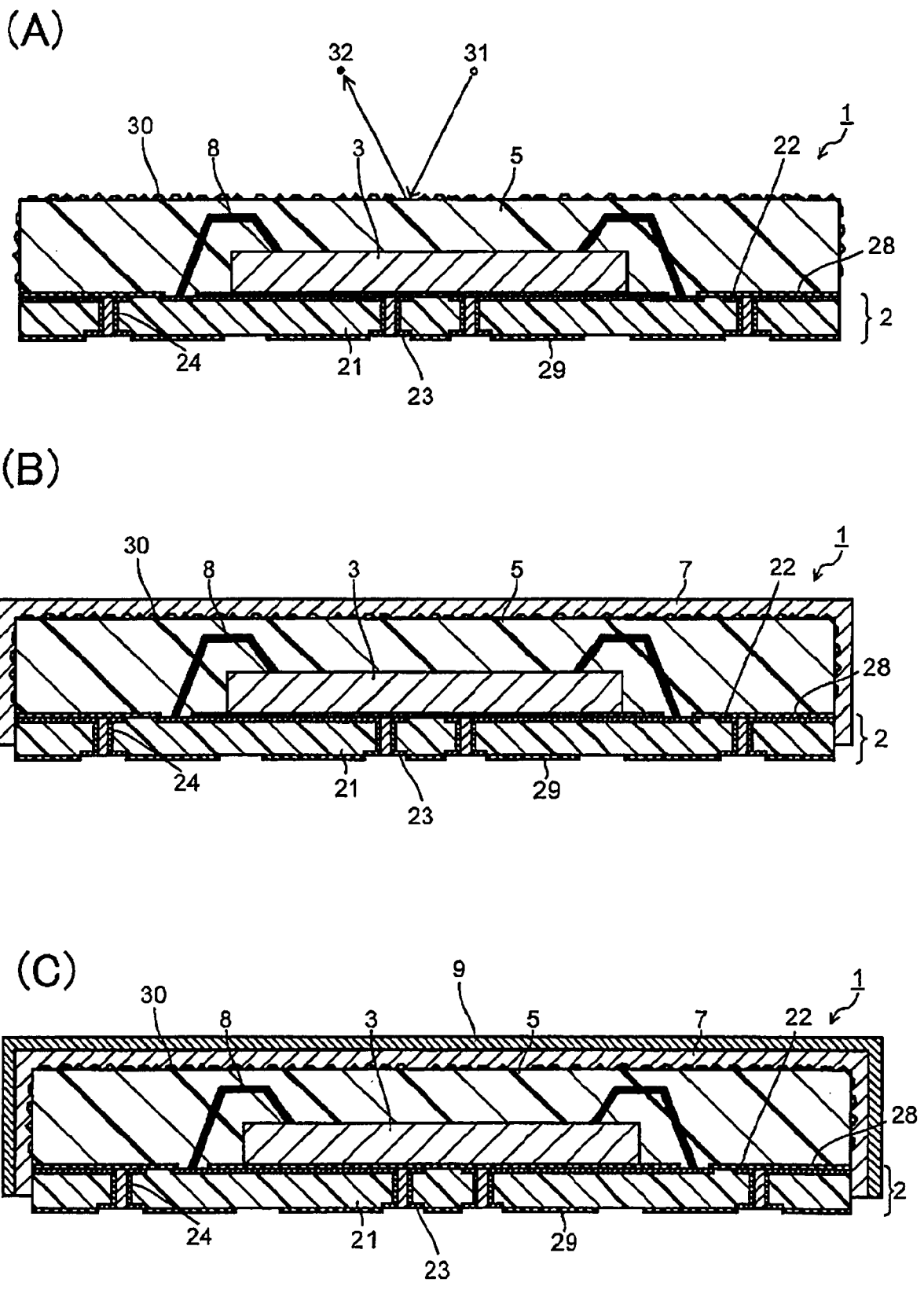


圖2

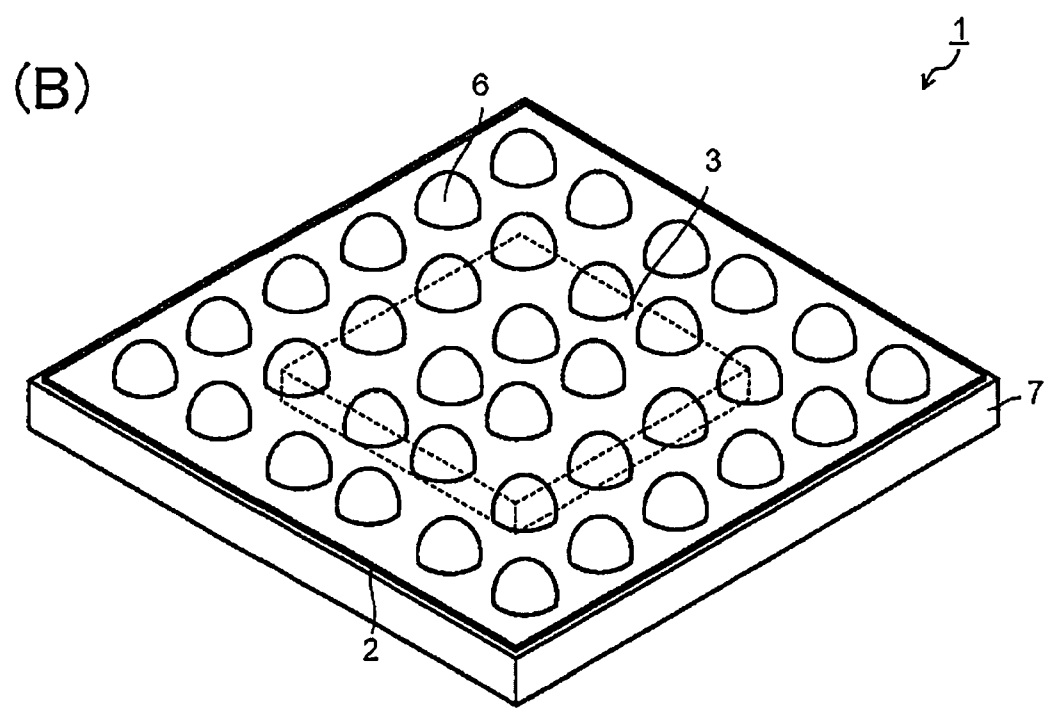
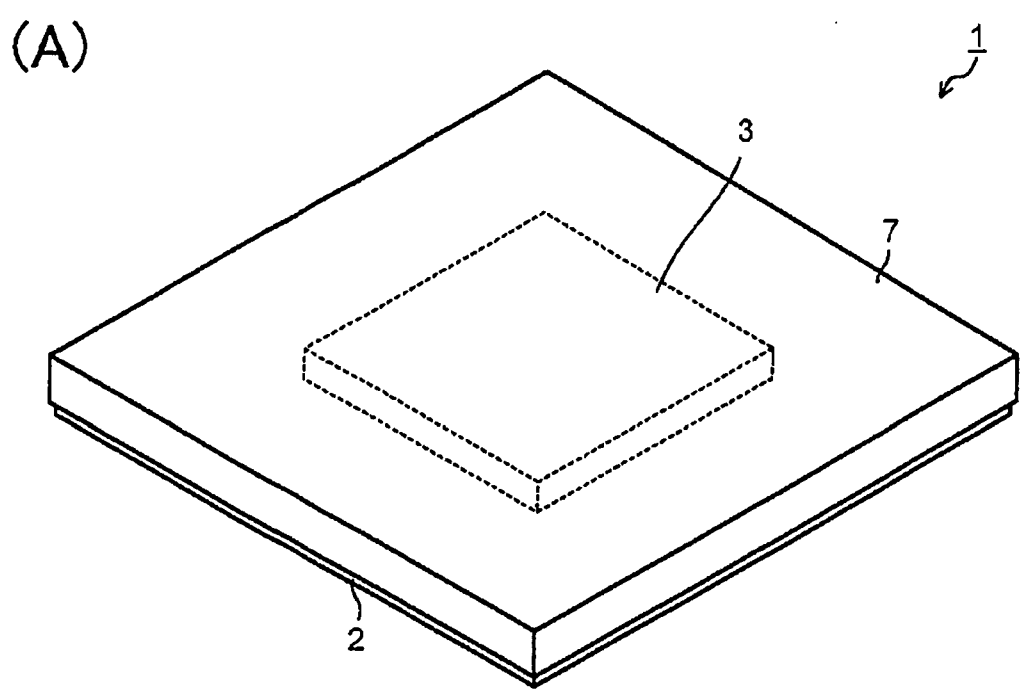


圖3

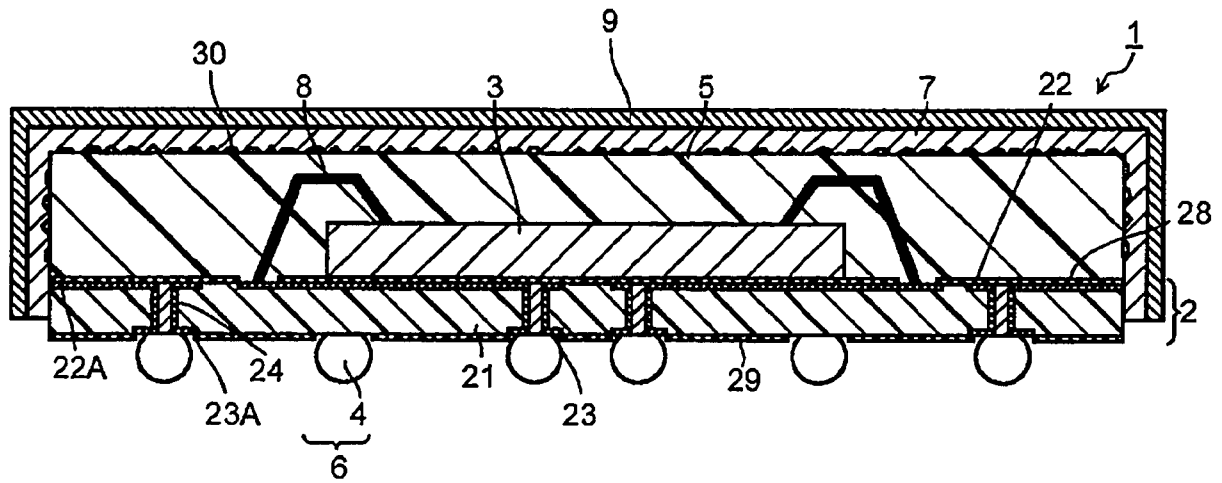


圖4

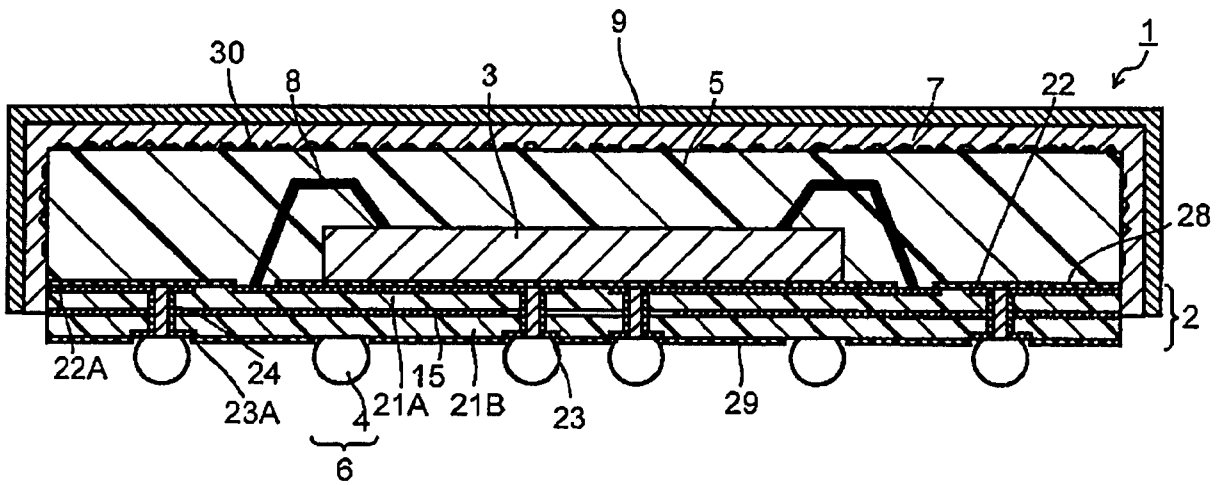


圖5

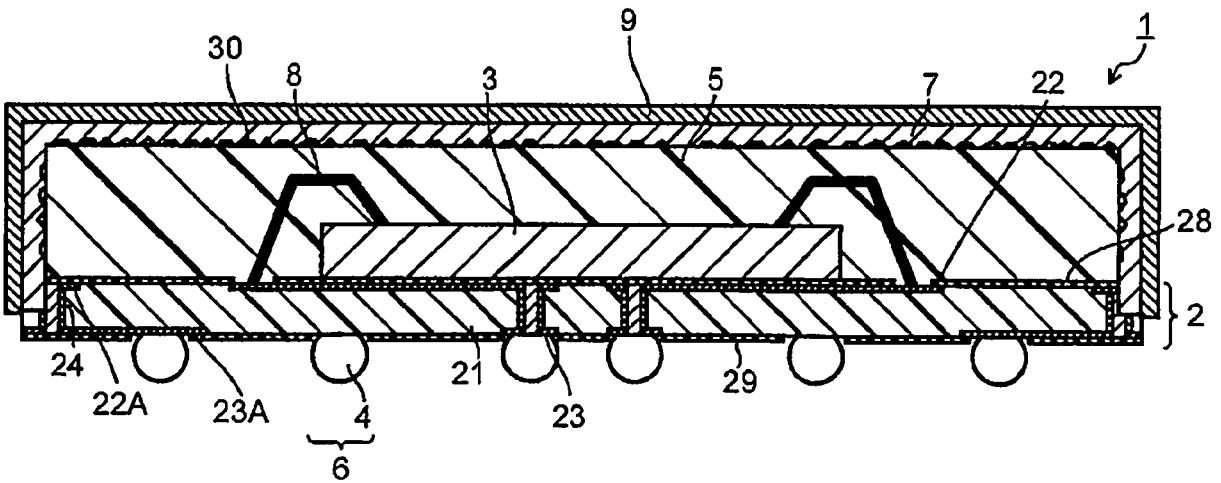


圖6

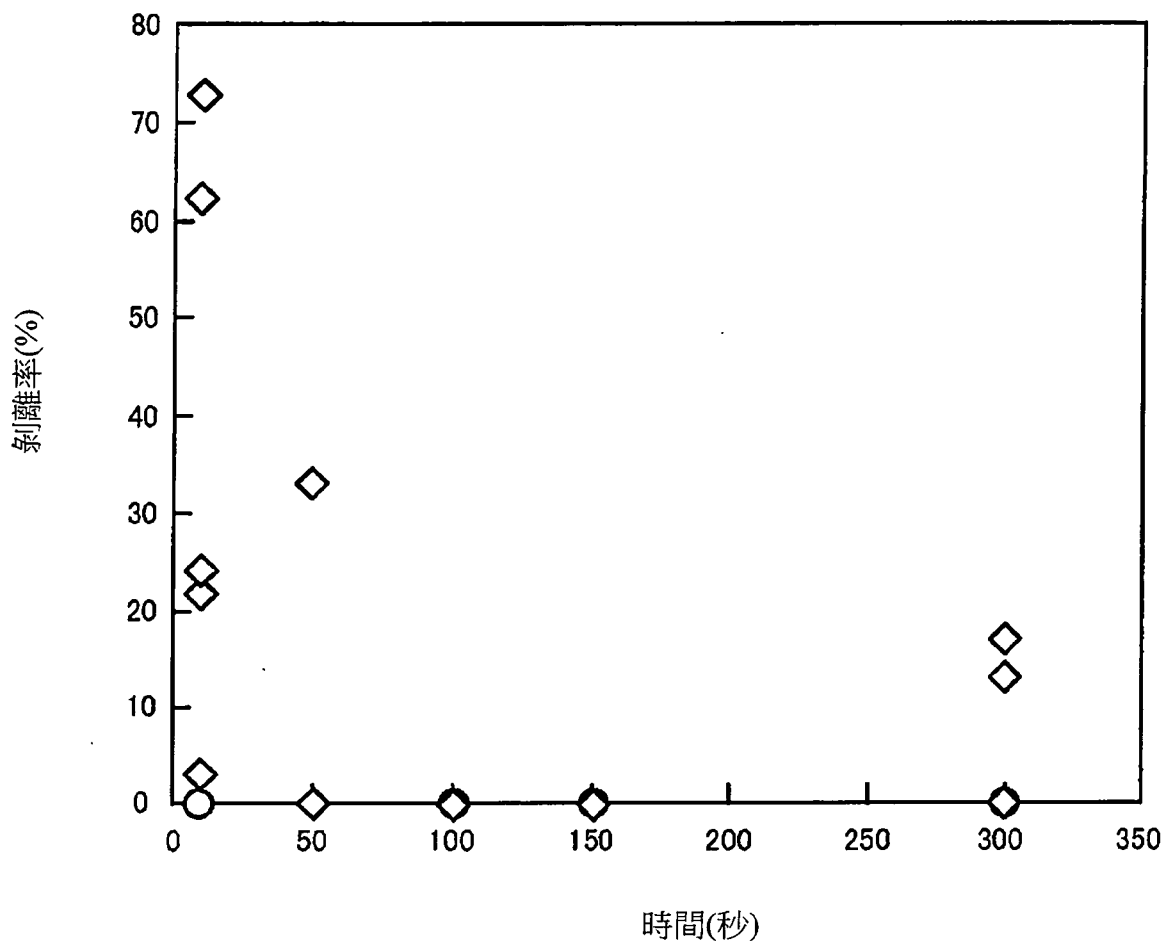


圖7