

(52) CPC특허분류
G06F 17/5009 (2013.01)

명세서

청구범위

청구항 1

방법으로서,

프로세서에 의해, 실험실 자동화 시스템에 대한 실험실 자동화 시스템 설계 데이터를 수신하는 단계; 및

상기 프로세서에 의해, 그리고 상기 실험실 자동화 시스템 설계 데이터를 이용하여, 상기 실험실 자동화 시스템에 대한 사이트 네트워크를 생성하도록, 시스템 블록들과 연관된 서브그래프들 - 각각의 서브그래프는 복수의 사이트 노드들, 에지들, 및 의사 노드들을 포함함 - 을 함께 스티칭하는 단계를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 프로세서에 의해, 사전정의된 실험실 동작 조건들에 따라 상기 실험실 자동화 시스템에 대한 상기 사이트 네트워크의 동작을 시뮬레이션하는 단계를 추가로 포함하는, 방법.

청구항 3

제1항에 있어서, 상기 복수의 시스템 블록들은 각각 원심분리기(centrifuge), 분취기(aliquoter), 입력 유닛, 출력 유닛, 분석기, 저장 유닛, 디캐퍼(decapper), 및 리캐퍼(recapper) 중 적어도 하나를 포함하는, 방법.

청구항 4

제1항에 있어서, 상기 에지들은 이송 경로들에 대응하는, 방법.

청구항 5

제1항에 있어서,

상기 프로세서에 의해, 수신하는 단계 이후에 그리고 스티칭하는 단계 이전에, 상기 실험실 자동화 시스템 설계 데이터를 포함하는 매니페스트 파일을 생성하는 단계를 추가로 포함하는, 방법.

청구항 6

제1항에 있어서, 상기 실험실 자동화 시스템 설계 데이터는 상기 시스템 블록들 및 상기 서브그래프들의 선택, 및 상기 시스템 블록들 및 상기 서브그래프들의 서로에 대한 배열에 관련된 데이터를 포함하는, 방법.

청구항 7

제6항에 있어서, 상기 실험실 자동화 시스템 설계 데이터는 상기 실험실 자동화 시스템에 의해 프로세싱되는 샘플들에 대한 사전결정된 처리율 및 턴어라운드 시간에 관련된 데이터를 포함하는, 방법.

청구항 8

제7항에 있어서, 상기 실험실 자동화 설계 시스템 데이터는 상기 실험실 자동화 시스템을 하우징할 물리적 구조에 관련된 데이터를 포함하는, 방법.

청구항 9

제1항에 있어서,

상기 프로세서에 의해, 사전정의된 실험실 동작 조건들에 따라 상기 실험실 자동화 시스템에 대한 상기 사이트 네트워크의 동작을 시뮬레이션하는 단계;

상기 프로세서에 의해, 상기 실험실 자동화 시스템의 동작이 사전결정된 파라미터들을 충족시키지 않는 경우에

상기 실험실 자동화 시스템을 거부하는 단계; 및

상기 프로세서에 의해, 상기 실험실 자동화 시스템의 동작이 상기 사전결정된 파라미터들을 충족시키는 경우에 상기 실험실 자동화 설계 시스템을 수용하는 단계를 추가로 포함하는, 방법.

청구항 10

제9항에 있어서,

상기 프로세서에 의해, 상기 수용된 실험실 자동화 시스템에 대한 부품 리스트를 생성하는 단계를 추가로 포함하는, 방법.

청구항 11

컴퓨터 장치로서,

하나 이상의 프로세서들, 및 상기 하나 이상의 프로세서들에 커플링된 컴퓨터 판독가능 매체를 포함하며,

상기 컴퓨터 판독가능 매체는, 상기 하나 이상의 프로세서들로 하여금,

실험실 자동화 시스템에 대한 실험실 자동화 시스템 설계 데이터를 수신하는 단계; 및

상기 실험실 자동화 시스템 설계 데이터를 이용하여, 상기 실험실 자동화 시스템에 대한 사이트 네트워크를 생성하도록 시스템 블록들과 연관된 서브그래프들 - 각각의 서브그래프는 복수의 사이트 노드들, 예지들, 및 의사 노드들을 포함함 - 을 함께 스티칭하는 단계를 포함하는 방법을 구현하게 하기 위한 코드를 포함하는, 컴퓨터 장치.

청구항 12

제11항에 있어서, 상기 방법은,

사전정의된 실험실 동작 조건들에 따라 상기 실험실 자동화 시스템에 대한 상기 사이트 네트워크의 동작을 시뮬레이션하는 단계를 추가로 포함하는, 컴퓨터 장치.

청구항 13

제11항에 있어서, 상기 복수의 시스템 블록들은 각각 원심분리기, 분취기, 입력 유닛, 출력 유닛, 분석기, 저장 유닛, 디캡퍼, 및 리캡퍼 중 적어도 하나를 포함하는, 컴퓨터 장치.

청구항 14

제11항에 있어서, 상기 예지들은 이송 경로들에 대응하는, 컴퓨터 장치.

청구항 15

제11항에 있어서, 상기 방법은,

상기 프로세서에 의해, 복수의 시스템 블록들과 연관된 복수의 서브그래프들을 데이터베이스에 저장하는 단계를 추가로 포함하는, 컴퓨터 장치.

청구항 16

제11항에 있어서, 상기 실험실 자동화 시스템 설계 데이터는 상기 시스템 블록들 및 상기 서브그래프들의 선택, 및 상기 시스템 블록들 및 상기 서브그래프들의 서로에 대한 배열에 관련된 데이터를 포함하는, 컴퓨터 장치.

청구항 17

제16항에 있어서, 상기 실험실 자동화 시스템 설계 데이터는 상기 실험실 자동화 시스템에 의해 프로세싱되는 샘플들에 대한 사전결정된 처리율 및 턴어라운드 시간에 관련된 데이터를 포함하는, 컴퓨터 장치.

청구항 18

제17항에 있어서, 상기 실험실 자동화 설계 시스템 데이터는 상기 실험실 자동화 시스템을 하우징할 물리적 구

조에 관련된 데이터를 포함하는, 컴퓨터 장치.

청구항 19

제11항에 있어서, 상기 방법은,

사전정의된 실험실 동작 조건들에 따라 상기 실험실 자동화 시스템에 대한 상기 사이트 네트워크의 동작을 시뮬레이션하는 단계;

상기 실험실 자동화 시스템의 동작이 사전결정된 파라미터들을 충족시키지 않는 경우에 상기 실험실 자동화 시스템을 거부하는 단계; 및

상기 실험실 자동화 시스템의 동작이 상기 사전결정된 파라미터들을 충족시키는 경우에 상기 실험실 자동화 설계 시스템을 수용하는 단계를 추가로 포함하는, 컴퓨터 장치.

청구항 20

제19항에 있어서, 상기 방법은,

상기 프로세서에 의해, 상기 수용된 실험실 자동화 시스템에 대한 부품 리스트를 생성하는 단계를 추가로 포함하는, 컴퓨터 장치.

발명의 설명

기술 분야

[0001] 관련 출원과의 상호 참조

[0002] 본 출원은 2014년 5월 6일자로 출원된 미국 가특허 출원 제61/989,054호의 정식 출원이고 그의 출원일에 대한 이익을 주장하며, 상기 가특허 출원은 모든 목적들을 위해 전체적으로 본 명세서에 참고로 포함된다.

배경 기술

[0003] 실험실 자동화 시스템들은 샘플 튜브들과 같은 샘플 컨테이너들 내의 샘플들을 프로세싱하는 데 사용된다. 그러한 자동화 시스템들은 원심분리기(centrifuge)들, 분취기(aliquoter)들, 디캡퍼(decapper)들, 및 리캡퍼(recapper)들과 같은 기기들을 활용할 수 있다.

[0004] 다양한 이유들로, 실험실 자동화 시스템들의 사용자들은 사전결정된 공간 및 프로세싱 제약들에 맞도록 특별하게 설계된 그들의 시스템들을 가질 필요가 있을 수 있다. 그러한 사용자 특정 실험실 자동화 시스템들을 설계하는 것은 오래 걸리고 번거롭다. 또한, 특정 실험실 자동화 시스템 구성이 생성된 후에도, 실험실 자동화 시스템은 사용자가 기대하는 바와 같이 동작하지 않을 수도 있다. 예를 들어, 특정 실험실 자동화 시스템의 설치 후, 사용자는 프로세싱 지연들이 있는 것으로 판정할 수 있는데, 그 이유는 불충분한 개수의 분취기들 또는 디캡퍼들이 있기 때문이다. 대안으로, 사용자는 시스템이 증가된 프로세싱 속도를 가져올 수 있는 방식으로 배열되었을 수 있는 것으로 판정했을 수도 있다.

[0005] 다수의 프로세싱 시스템들이 종래 기술에서 설명된다.

[0006] 미국 특허 제5,737,498호는 프로세스의 수행을 위한 스케줄을 생성하기 위한 방법을 개시한다. 방법은 노드 리스트를 생성하는데, 여기서 각각의 노드는 프로세스에서의 적어도 하나의 단계, 및 프로세스의 각각의 단계에 대한 태스크들(작업 명령어들)의 리스트에 대응한다. 노드 및 태스크 리스트에 기초하여, 스케줄러는 소정 시퀀스의 단계들을 생성한다(미국 특허 제5,737,498 A호의 도 3 참조).

[0007] 미국 특허 제6,546,364호는 동적으로 변화하는 물리적 환경에서 소정 시퀀스의 태스크들("작업 명령어들")을 포함하는 작업흐름("루트 스케줄")을 생성하도록 구성된 스케줄러 엔진을 개시한다.

[0008] 스케줄러 엔진은, 상태 노드들에 의해 나타내지는 BOM(bill of materials) 및 태스크 노드들에 의해 나타내지는 BOR(bill of resources)을 포함한, 물리적 환경의 가상 표현을 생성하고, 생성된 작업흐름의 실행을 모니터링한다. 또한, 물리적 환경은 상태 변화의 경우에 가상 표현을 업데이트하도록 하기 위해 변화들에 대해 꾸준히 모니터링된다.

[0009] 미국 특허 제6,721,615호는, 리소스의 상태(가용성) 및 프로세스에서의 샘플의 프로세싱 상태를 모니터링하고

예상치 못한 이벤트의 경우에 샘플 프로토콜을 동적으로 업데이트하는 작업셀 시스템의 관리를 위한 방법을 개시한다(미국 특허 제6,721,615 B2호의 도 1 및 도 1a 참조).

[0010] 이들 참조문헌들 중 어느 것도 길이 및 번거로움과 연관된 문제들, 및 때때로 실험실 자동화 시스템들을 설계하기 위한 부정확한 종래의 프로세스들을 다루지는 않는다. 본 발명의 실시예들은 개별적으로 그리고 총체적으로 이들 및 다른 문제들을 다루고 있다.

발명의 내용

[0011] 본 발명의 실시예들은 실험실 자동화 시스템들에 대한 사이트 그래프들을 생성하기 위한 시스템들 및 방법들에 관한 것이다.

[0012] 본 발명의 일 실시예는, 프로세서에 의해, 실험실 자동화 시스템에 대한 실험실 자동화 시스템 설계 데이터를 수신하는 단계를 포함하는 방법에 관한 것이다. 방법은, 또한, 실험실 자동화 시스템에 대한 사이트 네트워크를 생성하도록, 시스템 블록들과 연관된 서브그래프들을 함께 스티칭하는 단계를 포함한다. 각각의 서브그래프는 사이트 노드들, 에지들, 및 의사 노드들을 포함한다. 서브그래프는 적어도 하나의 서버어셈블리와 연관될 수 있다.

[0013] 본 발명의 다른 실시예는 하나 이상의 프로세서들, 및 하나 이상의 프로세서들에 커플링된 컴퓨터 판독가능 매체에 관한 것이며, 컴퓨터 판독가능 매체는 하나 이상의 프로세서들이 방법을 구현하게 하기 위한 코드를 포함한다. 방법은, 프로세서에 의해, 실험실 자동화 시스템에 대한 실험실 자동화 시스템 설계 데이터를 수신하는 단계를 포함한다. 방법은, 또한, 프로세서에 의해, 실험실 자동화 시스템에 대한 사이트 네트워크를 생성하도록, 시스템 블록들과 연관된 서브그래프들을 함께 스티칭하는 단계를 포함한다. 각각의 서브그래프는 사이트 노드들, 에지들, 및 의사 노드들을 포함한다. 서브그래프는 적어도 하나의 서버어셈블리와 연관될 수 있다.

[0014] 본 발명의 이들 및 다른 실시예들이 아래에 더욱 상세히 기술된다.

도면의 간단한 설명

[0015] 도 1은 상호접속된 실험실 자동화 시스템의 적어도 일부분의 평면도이다.

도 2a는 실험실 자동화 시스템의 다이어그램의 상부 평면도를 도시하며, 여기서 실험실 자동화 시스템의 부품들 주위에 박스들이 도시되어 있다.

도 2b는 사이트 그래프를 도시하며, 여기서 도 2a에서의 실험실 자동화 시스템의 부품들에 대응하는 서브그래프들 주위에 박스들이 도시되어 있다.

도 3은 실험실 자동화 시스템 내의 2개의 예시적인 시스템 블록들의 상부 평면도를 도시한다.

도 4는 함께 접속된 예시적 시스템 블록들의 상부 평면도를 도시한다.

도 5는 함께 접속되지만 도 4에 도시된 것과는 상이한 방식으로 접속된 스텝 시스템 블록들의 상부 평면도를 도시한다.

도 6은 본 발명의 일 실시예에 따른 다른 예시적인 실험실 자동화 시스템의 상부 평면도를 도시한다.

도 7a 내지 도 7c는 함께 스티칭될 수 있는 개별 서브그래프들의 다이어그램들을 도시한다.

도 8은 스티칭 포인트들을 통해 함께 스티칭되는 3개의 서브그래프들을 도시한다.

도 9는 도 7 및 도 8에 도시된 서브그래프들을 함께 스티칭함으로써 형성된 사이트 그래프의 다이어그램을 도시한다.

도 10은 본 발명의 일 실시예에 따른 방법을 설명하는 흐름도를 도시한다.

도 11은 본 발명의 일 실시예에 따른 스티칭 프로세스를 설명하는 흐름도를 도시한다.

도 12는 본 발명의 일 실시예에 따른 시스템의 블록 다이어그램을 도시한다.

도 13은 컴퓨터 장치의 블록 다이어그램을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 발명의 실시예들은 실험실 자동화 시스템들을 생성하기 위한 시스템들 및 방법들에 관한 것이다. 본 발명의 실시예들은 사용자에게 의해 희망되는 바와 같이 조립되어 제안된 실험실 자동화 시스템에 대한 사이트 그래프를 생성할 수 있는 시스템 블록들의 카탈로그를 활용할 수 있다. 이어서, 사이트 그래프는 제안된 실험실 자동화 시스템의 동작을 시뮬레이션하는 데 이용될 수 있다. 제안된 실험실 자동화 설계 시스템의 동작은 실제 실험실 자동화 시스템이 구현되기 전에 평가될 수 있다. 본 발명의 실시예들은, 사용자가, 제안된 실험실 자동화 설계 시스템이 사용자의 희망 목표들에 따라 동작할 것인지 여부를 판정하게 한다. 예를 들어, 사용자는 특정 영역(예컨대, 건축물)에서 프로세싱할 사전결정된 개수들 및 타입들의 샘플 튜브들을 가질 수 있다. 본 발명의 실시예들은 사용자가 사용자의 특정 설계, 프로세스, 및/또는 공간 제약들을 고려하여 최적의 실험실 자동화 설계 시스템을 결정하는 것을 도울 수 있다.
- [0017] 본 발명의 구체적인 실시예들을 논의하기 전에, 일부 용어들에 관한 일부 설명이 유용할 수 있다.
- [0018] "시스템 블록"은 실험실 자동화 시스템 내의 임의의 적합한 컴포넌트 또는 컴포넌트들의 서브세트를 포함할 수 있다. 컴포넌트들은 이송 경로들(예컨대, 트랙들), 및/또는 리캡퍼들, 디캡퍼들, 원심분리기들, 및 분취기들을 포함한 서브시스템들을 포함할 수 있다. 일부 실시예들에서, 각각의 시스템 블록은 특정 하드웨어 구성을 식별할 식별자(예컨대, 부품 번호)를 포함할 수 있다.
- [0019] "시스템 블록 컨테이너"는 시스템 블록에 대한 소프트웨어 모듈일 수 있다. 그것은 서브시스템 데이터 및/또는 트랙 데이터를 포함할 수 있다.
- [0020] "사이트 그래프"(사이트 네트워크로도 지칭될 수 있음)는 실험실 자동화 시스템의 기능들을 나타낼 수 있고, 실험실 자동화 시스템의 다양한 하드웨어 구성들을 가상으로 작성하는 데 이용될 수 있다. 그것은 다수의 사이트 노드들(예컨대, 버퍼, 프로세싱, 및 이송) 및 노드들을 접속시키는 에지들을 포함할 수 있다. 에지는 2개의 노드들 사이의 라인일 수 있고, 라인은 2개의 노드들 사이에서 이동하는 실험실 제품 이송 요소에 대한 이송 경로를 나타낼 수 있다. 사이트 그래프는, 또한, 그래프 내로의 입력 또는 그래프로부터의 출력을 나타내는 하나 이상의 의사 노드들(의사 사이트들로도 지칭될 수 있음)을 포함할 수 있다.
- [0021] "의사 노드"는 서브그래프 또는 사이트 그래프의 경계에 있는 노드를 포함할 수 있다. 의사 노드가 서브그래프의 경계에 있는 경우, 그것은 스티칭 프로세스에서 다른 서브그래프 상의 대응하는 의사 노드와 병합될 수 있다.
- [0022] "서브그래프"는 사이트 그래프의 일부분일 수 있다. 사이트 그래프와 같이, 서브그래프는 서브그래프 내의 노드들 및 노드들 사이의 에지들을 포함할 수 있다. 단일 서브그래프는 단일 시스템 블록과 연관될 수 있다. 서브그래프들은 다수의 사이트 노드들(예컨대, 버퍼, 프로세싱, 이송 등) 및 노드들을 상호접속시키는 에지들을 포함할 수 있다. 서브그래프는 다른 서브그래프들의 의사 노드들과 병합될 수 있는 의사 노드들을 포함할 수 있다.
- [0023] "스티칭"은 2개 이상의 서브그래프들을 병합시키기 위한 임의의 적합한 방법을 포함할 수 있다. 스티칭은 제2 서브그래프 내의 하나 이상의 의사 노드들과 병합될 수 있는, 제1 서브그래프 내의 하나 이상의 의사 노드들을 식별하는 것을 수반할 수 있다. 예를 들어, 제1 시스템 블록으로부터 출력된 샘플에 대응하는 의사 노드는 제2 시스템 블록 내에 입력되는 샘플에 대응하는 의사 노드와 병합될 수 있다. 일단 병합될 의사 노드들이 식별되면, 스티칭 동작은 그래프 평탄화 동작을 활용하여 의사 노드들을 병합시킬 수 있다.
- [0024] 일부 실시예들에서, 그래프 평탄화 동작 시, 제1 서브그래프 내의 의사 노드 n_1 은 제2 서브그래프 내의 대응하는 의사 노드 n_2 에 맵핑될 수 있다.
- [0025] 일부 실시예들에서, 각 쌍의 의사 노드들(n_1 , n_2)에 대해, 평탄화 동작은 n_1 및 n_2 를 그의 연관된 서브그래프에서 n_1 또는 n_2 중 어느 하나가 인접해 있는 모든 노드에 인접하는 조합 노드 n_{12} 로 대체시킬 수 있다. 일부 경우들에 있어서, 3개 이상의 의사 노드들이 단일 노드로 조합될 수 있다. 그러한 경우들에 있어서, 조합 노드는 병합된 노드들 중 임의의 것이 인접해 있는 노드들에 인접할 수 있다(즉, 의사 노드들의 인접성 리스트들의 결합).
- [0026] 일부 실시예들에서, 각 쌍의 의사 노드들(n_1 , n_2)에 대해, 평탄화 동작은 n_1 및 n_2 를 전적으로 제거하여, 제1 서브그래프 내의 n_1 에 인접한 각각의 노드가 제2 서브그래프 내의 n_2 에 인접한 각각의 노드에 인접하게 되게 할 수 있다.

- [0027] 다른 실시예들에서, 그래프 평탄화 동작은 2개 이상의 의사 노드들 사이의 에지 축소 또는 버텍스 축소에 대한 임의의 다른 적합한 알고리즘을 활용할 수 있다.
- [0028] 스티칭 동작의 결과는 다수의 시스템 블록들의 조합된 동작을 나타내는 사이트 네트워크이다. 전술된 바와 같이, 서브그래프 내의 각각의 이송 또는 프로세싱 노드는 노드와 연관된 동작(예컨대, 모터를 동작시켜 원심분리기를 실행시킴)을 수행하는 데 이용되는 소프트웨어 루틴과 연관될 수 있다. 기능, 링크된 라이브러리, 또는 공유된 객체와 같은 소프트웨어 루틴은 임의의 적합한 방식으로 구현될 수 있다. 서브그래프 내의 각각의 에지는 이송 노드들 사이에서의 그리고/또는 이송 노드들과 프로세싱 노드들 사이에서의 샘플의 이동을 나타낸다. 서브그래프들이 사이트 네트워크로 조합되는 경우, 이송 및 프로세싱 노드들과 연관된 소프트웨어 루틴들은 동일한 상태로 유지될 수 있지만, 서브그래프들 사이의 에지들은 시스템 블록들 사이에서의 샘플의 이동을 인에이블링시킨다. 따라서, 사이트 네트워크로의 서브그래프들의 스티칭은 실험실 자동화 시스템에 대한 조합된 소프트웨어 프로그램이 자동으로 생성되게 한다.
- [0029] 일부 실시예들에서, 2개의 시스템 블록들을 함께 스티칭하는 것은 그들 시스템 블록들 내에 있는 서브시스템들의 기능을 변경시키지 않을 수도 있다. 예를 들어, 함께 결합될 수 있는 2개의 시스템 블록들은 디캡퍼 및 제1 트랙 섹션을 포함하는 제1 시스템 블록을 포함할 수 있고, 제2 시스템 블록은 원심분리기 및 제2 트랙 섹션을 포함한다. 시스템 블록들이 서로에 대해 배열되는 방법과는 무관하게, 디캡퍼 및 원심분리기의 기능들은 동일할 수 있다.
- [0030] 다른 실시예들에서, 2개의 시스템 블록들을 함께 스티칭하는 것은 그들 시스템 블록들 내에 있는 서브시스템들의 기능을 변경시킬 수 있다. 예를 들어, 함께 결합될 수 있는 2개의 시스템 블록들은 디캡퍼 및 제1 트랙 섹션을 포함하는 제1 시스템 블록을 포함할 수 있고, 제2 시스템 블록은 원심분리기 및 제2 트랙 섹션을 포함한다. 디캡퍼 및 원심분리기의 기능들은 제1 및 제2 시스템 블록들이 서로 접속되는 방법 및/또는 제1 및 제2 시스템 블록들에 접속되는 추가적인 시스템 블록들이 있는지 여부에 따라 변경될 수 있다. 예를 들어, 제1 시스템 블록 내의 디캡퍼는 특정 제조자로부터의 특정 타입의 것일 수 있고, 사전결정된 속도로 동작할 수 있다. 제1 시스템 블록이 제2 시스템 블록에 접속되는 경우, 제2 시스템 블록 내의 원심분리기의 동작은 (예컨대, 펌웨어를 통해) 자동으로 조절되어, 제1 시스템 블록 내에 존재하는 특정 디캡퍼로의 접속을 수용할 수 있다.
- [0031] "서브시스템"은 명시된 기능을 수행할 수 있는 기기 또는 기기들의 집합체를 포함할 수 있다. 서브시스템들의 예들은 리캡퍼, 디캡퍼, 원심분리기, 및 분취기뿐만 아니라 샘플 입력 및 샘플 출력을 포함한다.
- [0032] "서브어셈블리"는 서브시스템의 일부일 수 있다. 각각의 서브시스템은 하나 이상의 서브어셈블리들을 포함할 수 있다. 예를 들어, "출력" 서브시스템은 그리퍼 및 다수의 드로워(drawer)들을 포함할 수 있다. 그리퍼(또는 드로워들)는 이러한 예에서 서브어셈블리로 간주될 수 있다.
- [0033] "서브어셈블리 컨테이너"는 2개 이상의 서브어셈블리들의 지정된 그룹화를 제어하는 소프트웨어 모듈을 포함할 수 있다. 2개 이상의 서브어셈블리들은 상이한 서브시스템들의 일부일 수 있다.
- [0034] "실험실 자동화 시스템 설계 데이터"는 실험실 자동화 시스템을 생성하는 데 이용되는 임의의 적합한 정보를 포함할 수 있다. 그러한 데이터는 실험실 자동화 시스템 내의 서브시스템들 및/또는 서브어셈블리들의 개수 및/또는 타입들에 관한 정보를 포함할 수 있다. 그러한 데이터는, 또한, 실험실 자동화 시스템 내의 상이한 서브시스템들 및/또는 서브어셈블리들의 구성에 관한 정보를 포함할 수 있다.
- [0035] 일부 실시예들에서, 실험실 자동화 설계 데이터는 제안된 실험실 자동화 설계 시스템에서 사용될 선택된 시스템 블록들 및 서브그래프들에 관련된 데이터를 포함할 수 있다. 그것은, 또한, 서로에 대해서뿐 아니라 프로세스 제약들(예컨대, 제안된 시스템 상에서 실행될 평가들의 횟수 및/또는 타입) 또는 물리적 제약들(예컨대, 실험실 자동화 시스템을 하우징할 공간(room)의 크기 및/또는 치수들)과 같은 임의의 적합한 외부 파라미터들에 대한 그들 시스템 블록들 및/또는 서브그래프들의 특정 배열 또는 구성을 포함할 수 있다.
- [0036] 실험실 자동화 설계 데이터는, 또한, 시스템을 구축하는 데 있어서 존재할 수 있는 임의의 제약들에 관련된 데이터를 포함할 수 있다. 그러한 제약들의 예들은 프로세스 제약들(예컨대, 제안된 시스템 상에서 실행될 평가들의 횟수 및/또는 타입, 예상되는 처리율, 및/또는 턴어라운드 시간 등) 또는 물리적 제약들(예컨대, 실험실 자동화 시스템을 하우징할 공간의 크기 및/또는 치수들)을 포함할 수 있다.
- [0037] "실험실 제품"은 실험실 이송 시스템 내에서 이송될 수 있는 여러 가지 상이한 컨테이너들을 지칭할 수 있다.

그러한 컨테이너들의 예들은 테스트 튜브, 샘플 튜브, 샘플 컨테이너, 또는 실험실 샘플을 보유하도록 구성될 수 있는 임의의 컨테이너를 포함하지만, 이로 제한되지 않는다. 추가로, 실험실 제품은 상이한 상황들에서 캡핑(cap) 또는 캡핑해제(uncap)될 수 있다. 또한, 본 발명의 일부 실시예들에서, 실험실 제품은, 또한, 이송되기 전에 사전원심분리될 수 있다.

[0038] "실험실 제품 이송 요소"는 실험실 이송 시스템 내에서 실험실 제품을 이송하도록 구성된 여러 가지 상이한 이송 요소들을 포함할 수 있다. 실험실 제품 이송 요소는 임의의 적합한 이송 모드를 이용하여 실험실 제품(예컨대, 샘플 튜브)을 이송할 수 있다. 예시적인 실험실 제품 이송 요소들은 요소의 이동을 가능하게 하는 디바이스들, 예컨대 휠(wheel)들을 포함할 수 있다. 이송 요소는 하나 이상의 실험실 제품들(예컨대, 내부에 샘플을 갖는 샘플 컨테이너)을 이송할 수 있다.

[0039] 본 발명의 일 실시예에 따른 "실험실 이송 시스템"은 본 발명의 일 실시예에 따른 적어도 하나의 실험실 제품 이송 요소 및 이송 경로 배열물을 포함할 수 있다. 실험실 이송 시스템은 여러 가지 상이한 서브시스템들을 포함할 수 있다. 예를 들어, 일부 실험실 이송 시스템들은 이송 경로 배열물 및 하나 이상의 실험실 제품 이송 요소들을 포함할 수 있다. 일부 실험실 이송 시스템들은 능동적 이송 시스템들일 수 있는 반면, 다른 것들은 수동적 이송 시스템들일 수 있다. 능동적 이송 시스템은 실험실 제품 이송 요소들이 이동되게 하는 체인 또는 벨트 컨베이어들을 포함할 수 있거나, 또는 이송 요소들은 사전결정된 경로를 따라서 이동되는 하나 이상의 자석들의 자력에 의해 경로를 따라서 이동된다. 수동적 이송 시스템들은, 체인 또는 벨트 컨베이어들 또는 가동성 자석들의 사용을 피할 수 있고 대신에 실험실 제품 이송 요소 자체의 부품인 상이한 이동 컴포넌트들을 활용하는 이송 표면들을 따라서 이동할 수 있는 자체 추진형 이송 요소들을 활용한다.

[0040] "이송 경로"는 실험실 제품 이송 요소가 이동할 수 있게 되는, 실험실 이송 시스템 내의 여러 가지 상이한 표면들을 지칭할 수 있다. 일부 경우들에 있어서, 이송 경로는 평탄한 표면을 포함할 수 있다. 이송 경로의 예는 또한 트랙을 포함할 수 있다. 이송 경로는 일부 경우들에 있어서 다른 특징부들과 함께 하나 이상의 이송 경로들을 포함할 수 있는 이송 경로 배열물의 일부일 수 있다. 이송 경로들의 적합한 예들은 실험실 제품 이송 요소의 이동을 한정할 수 있는 측면 제한부들(예컨대, 벽부들)을 갖는 수평방향 웹(web)을 포함할 수 있다. 일부 경우들에 있어서, 이송 경로는 실험실 제품 이송 요소가 추종할 수 있는 마커(예컨대, 라인)를 가질 수 있다. 이송 경로들은 하나 이상의 방향들로 향해질 수 있다.

[0041] "이송 경로 배열물"은 추가적인 특징부들을 포함할 수 있는데, 그들 중 일부는 능동적일 수 있지만 다른 것들은 수동적일 수 있다. 이송 경로 배열물은 배리어들, 마커들, 표시자들, 센서들, 송신기들, 수신기들, 전기 도체들, 전원들, 전자기 방사원들, 및/또는 광학 디바이스들을 포함할 수 있지만, 이들로 제한되지 않는다.

[0042] "메모리 디바이스"는 전자 데이터를 저장할 수 있는 임의의 적합한 디바이스일 수 있다. 적합한 메모리 디바이스는 원하는 방법을 구현하도록 프로세서에 의해 실행될 수 있는 명령어들을 저장하는 컴퓨터 판독가능 매체를 포함할 수 있다. 메모리 디바이스들의 예들은 하나 이상의 메모리 칩들, 디스크 드라이브들 등을 포함할 수 있다. 그러한 메모리 디바이스들은 임의의 적합한 전기, 광, 및/또는 자기 동작 모드를 이용하여 동작할 수 있다.

[0043] "프로세서"는 임의의 적합한 데이터 계산 디바이스 또는 디바이스들을 지칭할 수 있다. 프로세서는 함께 작업하여 원하는 기능을 달성하도록 하는 하나 이상의 마이크로프로세서들을 포함할 수 있다. 프로세서는 사용자 및/또는 시스템 생성 요청들을 실행시키기 위한 프로그램 컴포넌트들을 실행시키는 데 충분한 적어도 하나의 고속 데이터 프로세서를 포함하는 CPU를 포함할 수 있다. CPU는 AMD의 Athlon, Duron 및/또는 Opteron; IBM 및/또는 Motorola의 PowerPC; IBM 및 Sony의 Cell processor; Intel의 Celeron, Itanium, Pentium, Xeon, 및/또는 XScale; 및/또는 유사한 프로세서(들)와 같은 마이크로프로세서일 수 있다.

[0044] 도 1은 다수의 트랙 세그먼트들(108A 내지 108D)을 포함하는 이송 시스템과 함께 접속되는 다수의 서브시스템들(104A 내지 104C)을 갖는 실험실 자동화 시스템(100)의 일부분의 상부 평면도를 도시한다. 픽(puck)들과 같은 실험실 제품 이송 요소들은 이송 시스템을 사용하여 다양한 서브시스템들(104A 내지 104C) 사이에서 샘플 컨테이너들 내의 샘플들을 이송할 수 있다. 구체적인 실험실 제품 이송 요소들 및 이들에 대한 이송 경로들(예컨대, 트랙 세그먼트들)에 관한 상세사항들은 2012년 5월 11일자로 출원되었고 발명의 명칭이 "실험실 제품 이송 요소를 포함하는 시스템 및 방법(System and Method Including Laboratory Product Transport Element)"인 미국 특허 출원 제14/117,434호에서 찾을 수 있으며, 상기 출원은 모든 목적들을 위해 전체적으로 본 명세서에 참고로 포함된다. 각각의 서브시스템(104A 내지 104C)은 로봇들, 카메라들 등을 포함하는 임의의 적합한 개수 또는 조합의 서브어셈블리들을 포함할 수 있다.

- [0045] 도 1에 도시된 바와 같이, 서버어셈블리들(104A 내지 104C) 및 트랙 세그먼트들(108A 내지 108D)은 많은 상이한 방식들로 구성될 수 있다. 최종 사용자는 임의의 적합한 방식으로 트랙 세그먼트들(108A 내지 108D) 및 서버시스템들(104A 내지 104C)을 구성할 수 있다. 그들이 최종 사용자에게 의해 배열되는 방식은 사전결정된 공간 및/또는 프로세싱 제약들에 의존할 수 있다. 공간 제약의 예는 실험실 자동화 시스템을 하우징하는 데 이용될 수 있는 가용 공간의 양을 포함할 수 있다. 프로세싱 제약들의 예들은 프로세싱될 필요가 있는 샘플들의 개수 및/또는 샘플들에 대해 수행되어야 하는 프로세싱의 타입을 포함할 수 있다. 예를 들어, 특정 사용자(예컨대, 병원)는 사전결정된 양의 시간 내에 사전결정된 개수의 샘플들을 프로세싱할 수 있어야 하며, 여기서 그들의 소정 비율은 STAT(short turnaround time) 샘플들이다.
- [0046] 도 2a는 예시적인 실험실 자동화 시스템의 다이어그램을 도시한다. 도시된 실험실 자동화 시스템은 6개의 시스템 블록들을 포함한다. 6개의 시스템 블록들은 제1 시스템 블록(204A), 제2 시스템 블록(204B), 및 제3 시스템 블록(204C)을 포함한다. 이러한 예에서, 제1, 제2, 및 제3 시스템 블록들(204A, 204B, 204C)은 실험실 제품 이송 요소들을 가이드하는 데 사용되는 트랙들로 이루어진 이송 섹션들일 수 있다. 제4 시스템 블록(204D), 제5 시스템 블록(204E), 및 제6 시스템 블록(204F)은 제1, 제2, 및 제3 시스템 블록들(204A, 204B, 204C)과 각각 연관된다. 제4, 제5, 및 제6 시스템 블록들(204D, 204E, 204F)은 샘플 컨테이너들 내의 샘플들을 프로세싱할 수 있는 서버어셈블리들을 가질 수 있다. 이러한 예에서, 제4, 제5, 및 제6 시스템 블록들(204D, 204E, 204F)은 각각 원심분리기, 분취기, 및 출력 시스템 블록들로서 특징지어질 수 있다.
- [0047] 도 2a에 도시된 실험실 자동화 시스템은 단지 예시 목적들을 위한 것이고, 다른 실험실 자동화 시스템들은 구체적으로 기술된 시스템 블록들보다 더 많거나 더 적은 시스템 블록들 또는 그들과는 상이한 타입들의 시스템 블록들을 가질 수 있다는 것이 이해된다.
- [0048] 도 2b는 도 2a에 도시된 실험실 자동화 시스템에 대한 사이트 그래프(208)와 연관된 다수의 프로세싱, 버퍼, 및 이송 노드들을 도시한다. 노드들은 샘플들에 대한 이동 경로들 또는 샘플들을 운반하는 실험실 제품 이송 요소들을 나타낼 수 있는 에지들에 의해 접속될 수 있다. 사이트 그래프(208) 내의 화살표들은 실험실 자동화 시스템 내의 실험실 제품 이송 요소들에 대한 잠재적인 이동 방향들을 도시한다.
- [0049] 사이트 그래프(208)는 도 2a에서의 시스템 블록들에 대응할 수 있는 서브그래프들(208A 내지 208F)로 분할될 수 있다. 예를 들어, 제1, 제2, 및 제3 서브그래프들(208A, 208B, 208C)은 제1, 제2, 및 제3 시스템 블록들(204A, 204B, 204C)과 연관될 수 있다. 제4, 제5, 및 제6 서브그래프들(208D, 208E, 208F)은 제4, 제5, 및 제6 시스템 블록들(204D, 204E, 204F)에 대응할 수 있다.
- [0050] 이러한 예에서, 제1, 제2, 및 제3 시스템 블록들(204A, 204B, 204C)은 실험실 제품 이송 요소들의 이송을 지원하도록 하는 트랙들만을 포함할 수 있다.
- [0051] 제1 서브그래프(208A)는 제1 시스템 블록(204A)에 대응할 수 있고, 원심분리 정지부, 입력 정지부, 디캡퍼 정지부, 및 사전분취 정지부를 그 순서로 각자 서로의 하류에 포함하는 다수의 이송 노드들을 포함할 수 있다.
- [0052] 제2 서브그래프(208B)는 제2 시스템 블록(204B)에 대응할 수 있고, 제1 사전분취 정지부, 제2 사전분취 정지부, 제1 분취 정지부, 및 제2 분취 정지부를 포함하는 이송 노드들을 포함할 수 있다. 제1 사전분취 정지부는 제2 사전분취 정지부의 상류일 수 있다. 제1 분취 정지부는 제2 사전분취 정지부의 상류일 수 있다. 사전분취 정지부는 실험실 제품 이송 요소가 분취 정지부에 도달하기 전에 정지하는 위치일 수 있다. 분취 저장 정지부는 제1 사전분취 정지부의 상류일 수 있고, 또한, 제1 시스템 블록(208A) 내의 원심분리 정지부의 상류일 수 있다.
- [0053] 제3 서브그래프(208C)는 제3 시스템 블록(240C)에 대응할 수 있고, 리캡퍼 정지부, 제1 출력 정지부, 및 제2 출력 정지부를 그 순서로 각자 서로의 하류에 포함하는 다수의 이송 노드들을 포함할 수 있다.
- [0054] 제4 서브그래프(208D)는 제4 시스템 블록(204D)에 대응하고, 제1 시스템 블록(204A) 내에서 디캡퍼 정지부의 하류에 그리고 사전분취 정지부의 상류에 디캡퍼 입력 정지부를 포함하는 이송 노드를 포함한다. 제4 시스템 블록(204D)은, 또한, 디캡퍼 입력 정지부와 통신하는 디캡퍼, 및 제4 시스템 블록(208D) 내의 분배 버퍼의 하류의 그리고 제1 시스템 블록(208A) 내의 원심분리 정지부의 상류의 원심분리기를 포함하는 다수의 프로세싱 노드들을 포함한다. 제4 시스템 블록(204D)은, 또한, 입력 영역, 분배 버퍼, 및 SIQ(sample in question) 버퍼를 포함하는 다수의 버퍼 노드들을 포함할 수 있다.
- [0055] 제5 서브그래프(208E)는 제5 시스템 블록(204E)에 대응하고, 제1 라벨러 정지부 및 제2 라벨러 정지부를 포함하는 다수의 이송 노드들을 포함한다. 제1 및 제2 라벨러 정지부들은 제2 서브그래프(208B) 내의 제1 및 제2 분

취기 정지부들의 상류일 수 있고, 제1 및 제2 분취 분취기 정지부들로 실험실 제품 이송 요소들을 피딩(feed)할 수 있다. 라벨러 정지부들은 라벨러 노드를 포함하는 프로세싱 노드들과 통신할 수 있다. 제1 및 제2 분취기 노드들은, 또한, 제5 서브그래프(208E)에 존재할 수 있고, 제2 서브그래프(208B) 내의 제1 및 제2 분취기 정지부들과 통신할 수 있다.

[0056] 제6 시스템 서브그래프(208F)는 제6 시스템 블록(204F)에 대응한다. 제6 서브그래프(208F)는 리캡퍼 입력 정지부뿐 아니라, 리캡퍼 노드, 제1 및 제2 출력 노드들을 포함한 다수의 프로세싱 노드들을 포함하는 이송 노드를 포함할 수 있다. 리캡퍼 입력 정지부는 리캡퍼 프로세싱 노드와 통신한다.

[0057] 도 2b에 도시된 바와 같이, 서브그래프들 내의 그리고 인접 서브그래프들 사이의 상이한 노드들은 이송 경로들을 나타내는 예지들과 접속될 수 있다. 하기에 더 상세히 기술되는 바와 같이, 인접 서브그래프들의 의사 노드들에서 중단되는 이송 경로들이 함께 스티칭될 수 있다. 서브그래프들 및 대응하는 시스템 블록들의 가상 표현들은 카탈로그 데이터베이스에 저장될 수 있고, 그들은 실험실 자동화 시스템을 설계하는 데 있어서 최종 사용자에게 의해 희망하는 대로 선택될 수 있다.

[0058] 도 2a 및 도 2b가 다수의 특정 프로세싱 및 이송 노드들을 도시하고 있지만, 본 발명의 실시예들은 이들 특정 노드들, 특정 하드웨어 구성들, 또는 실험실 제품 이송 요소 이동 경로들로 제한되지 않는다.

[0059] 도 3은 예시적인 목적들을 위한 2개의 시스템 블록들을 도시한다. 제1 시스템 블록(304)은 제1 트랙 섹션(304A)을 포함하는 반면, 제2 시스템 블록(308)은 대응하는 제2 트랙 섹션(308A)에 커플링된 기기(예컨대, 원심분리기)(308B)를 포함한다. 다른 실시예들에서, 시스템 블록은 대응하는 트랙 섹션들과 함께 커플링되거나 또는 대응하는 트랙 섹션들 없이 커플링되는 다수의 기기들을 가질 수 있다. 제1 및 제2 트랙 섹션들(304A, 308A)은 함께(예컨대, 전기적으로 그리고/또는 기계적으로) 커플링되어 실험실 제품 이송 요소들이 그들 사이에서 이동할 수 있게 할 수 있다. 도 3은 시스템 블록들이 오로지 샘플들을 이송하기만 하는 것, 샘플들을 프로세싱하고 샘플들을 이송하는 것, 또는 샘플들을 프로세싱하기만 하는 것에 사용될 수 있다는 것을 도시한다.

[0060] 도 4 및 도 5는 본 발명의 실시예들을 이용하여 2개의 시스템 블록들(404, 408)이 배열 및 재배열될 수 있는 방법을 도시한다.

[0061] 도 4는 함께 결합된 제1 시스템 블록(404) 및 제2 시스템 블록(408)을 도시한다. 각각의 시스템 블록(404, 408)은 드로워들 및 캡퍼를 갖는 출력 프레임(404A, 408A)을 포함할 수 있다. 도시된 바와 같이, 제1 및 제2 시스템 블록들과 연관된 2개의 전면 트랙들(404B, 408B) 및 2개의 배면 트랙들(404C, 408C)은 함께 결합될 수 있다. 다수의 실험실 제품 이송 요소들(예컨대, 펌프)(407)은 트랙들(404B, 404C, 408B, 408C)을 통해서 시스템 블록들(404, 408) 사이를 통과할 수 있다.

[0062] 도 5는 동일한 시스템 블록들(404, 408)을 도시하지만, 제2 시스템 블록(408)은 출력 프레임(408A)이 출력 프레임(404A)과는 트랙들(404B, 404C, 408B, 408C)의 반대 측면 상에 있도록 도 4에서의 그의 위치에 대해 반전되어 있다. 도시된 바와 같이, 시스템 블록(404)과 연관된 전면 트랙들(404B)은 시스템 블록(408)의 배면 트랙들(408C)에 결합될 수 있다. 또한, 시스템 블록(404)의 배면 트랙들(404C)은 시스템 블록(408)의 전면 트랙들(408B)에 결합될 수 있다. 다수의 실험실 제품 이송 요소들은 트랙들을 통해서 시스템 블록들(404, 408) 사이를 통과할 수 있다.

[0063] 도 4 및 도 5에 도시된 바와 같이, 본 발명의 실시예들을 이용하여 시스템 블록들은 상이한 실험실 자동화 시스템 구성들을 생성하도록 서로에 대해 재배열될 수 있다. 이들 시스템 블록들(404, 408)과 연관된 서브그래프들은, 일단 최종 사용자가, 시스템 블록들(404, 408)이 서로에 대해 배열되는 방법을 결정하면, 자동으로 함께 스티칭될 수 있다. 시스템 블록들(404, 408)의 기능은 그들이 배열되는 방법에 기초하여 시뮬레이션될 수 있다. 시스템 블록들의 상이한 배열물들이 배열될 수 있고, 그들의 동작들은 그들이 결합되어 실제로 사용되기 전에 컴퓨터 소프트웨어를 이용하여 서로에 대해 시뮬레이션될 수 있다.

[0064] 도 6은 제1 시스템 블록(604), 제2 시스템 블록(608), 제3 시스템 블록(610), 및 제4 시스템 블록(612)을 포함하는 다른 시스템을 도시한다. 제1 시스템 블록(604)은 제1 트랙 섹션(604A), 및 제1 트랙 섹션(604A)에 커플링된 원심분리기 프레임(604B)을 포함할 수 있다. 원심분리기 프레임(604B)은 원심분리기, 튜브 로봇, 및 어댑터 핸들러를 포함할 수 있다. 제2 시스템 블록(608)은 제2 트랙 섹션(608A), 및 제2 트랙 섹션(608A)에 커플링된 입력 프레임(608B)을 포함할 수 있다. 입력 프레임(608B)은 다수의 입력 드로워들, 분배 버퍼, 및 디캡퍼를 포함할 수 있다. 제3 시스템 블록(610)은 제3 트랙 섹션(610A), 및 제3 트랙 섹션(610A)에 커플링된 출력 프레임(610B)을 포함할 수 있다. 출력 프레임(610B)은 리캡퍼, 다수의 드로워들, 및 출력 섹션을 포함할 수 있다.

제4 시스템 블록(612)은 제4 트랙 섹션(612A), 및 제4 트랙 섹션(612A)에 커플링된 분취기 프레임(612B)을 포함할 수 있다. 이러한 예에서, 분취기 프레임(612B) 내의 분취기는 시스템의 다른 기기들과는 이송 섹션들의 반대 측면 상에 있다. 이러한 예에서, 제1, 제2, 및 제3 시스템 블록들 내의 프로세싱 서브시스템들은 접속된 이송 서브시스템들의 동일 측면 상에 있다. 제4 시스템 블록은 제1, 제2, 및 제3 블록 시스템들(604, 608, 610, 612) 내의 프로세싱 서브시스템들에 대항하는 접속된 이송 서브시스템들의 측면 상에 있는 프로세싱 서브시스템을 갖는다. 최종 사용자의 희망에 따라, 블록 시스템들(604, 608, 610, 612) 중 임의의 것 내의 프로세싱 서브시스템들의 배열은 반전될 수 있다.

[0065] 도 7a 내지 도 7c는 함께 스티칭되기 전에 개별적으로 존재할 수 있는 복수의 서브그래프들(702, 704, 706)을 각각 도시한다. 서브그래프들(702, 704, 706)은 상이한 시스템 블록들에 대응할 수 있다.

[0066] 도 7a는 복수의 이송 노드들(702A)을 포함할 수 있는 트랙 중단 시스템 블록에 대한 제1 서브그래프(702)를 도시한다. 각각의 이송 노드(702A)는 실험실 제품 이송 요소가 정지하거나 또는 방향을 변경하는 위치일 수 있다. 서브그래프(702)는 또한 다수의 의사 노드들(702E, 702F, 702G)을 포함할 수 있다. 의사 노드들(702F, 702G)은 트랙 섹션들의 중단들에 대응할 수 있다. 다른 의사 노드들(702E)은 다른 의사 노드들에 스티칭될 수 있다. 제1 서브그래프(702)에서의 예지들은 실험실 제품 이송 요소가 이동할 수 있는 경로들에 대응할 수 있다.

[0067] 도 7b는 의사 노드들(704E, 704F)을 포함하는 원심분리기 시스템 블록에 대한 제2 서브그래프(704)를 도시한다. 2개의 이송 노드들(704A)은 2개의 각자의 의사 노드들(704E) 사이에 있다. 노드(704B)는 다른 이송 노드일 수 있는 반면, 노드들(704C, 704D)은 프로세싱 노드들일 수 있다. "정지 병합부"로 라벨링된 노드들(704A, 704B)은, 물리적으로, 실험실 제품 이송 요소가 원심분리기와 트랙 사이에서 이송되는 동일한 포인트일 수 있다. 노드(704C-1)는 부피 판정을 위한 것일 수 있는 반면, 노드(704C-2)는 원심분리를 위한 것일 수 있다. 노드(704D-1)는 원심분리기 출력 버퍼에 대한 것일 수 있는 반면, 노드(704D-2)는 원심분리기 입력 버퍼에 대한 것일 수 있다. 의사 노드(702F)는 원심분리기 입력 버퍼(704D-2)에 접속될 수 있다.

[0068] 도 7c는, 마지막으로, 입력 시스템 블록에 대한 제3 서브그래프(706)를 도시한다. 그것은 의사 노드들(706E, 706F)뿐 아니라 다수의 이송 노드들(706A, 706B)을 포함한다. (점선으로 나타내진 바와 같이) 서로 인접해 있는 "정지 병합부"로 라벨링된 노드들은 실험실 제품 이송 요소의 이송이 트랙과 분배 버퍼(704D-1)와 디캡퍼(706C-2) 사이에서 일어나는 샘플 물리적 포인트일 수 있다. 그것은, 또한, 입력 노드(706C-1) 및 디캡 노드(706C-2)를 포함하는 다수의 프로세싱 노드들을 포함할 수 있다. 그것은, 또한, 분배 버퍼(704D-1) 및 SIQ 버퍼(704D-2)를 포함하는 다수의 버퍼 노드들을 포함할 수 있다.

[0069] 도 8은 제1, 제2, 및 제3 서브그래프들(702, 704, 706)을 함께 스티칭하는 것을 도시한다. 도시된 바와 같이, 제1 서브그래프(702)로부터의 의사 노드들(702E) 및 제2 서브그래프(704)로부터의 의사 노드들(704E)은 스티칭 포인트들(802E)을 형성하도록 함께 스티칭된다. 도시된 바와 같이, 제2 서브그래프(704)로부터의 의사 노드들(706E) 및 제3 서브그래프(706)로부터의 의사 노드들(704E)은 스티칭 포인트들(804E)을 형성하도록 함께 스티칭된다. 또한, 제2 서브그래프(704) 내의 의사 노드(704F) 및 제3 서브그래프(706) 내의 의사 노드(706F)는 스티칭 포인트(806)를 형성하도록 결합된다.

[0070] 도 9는 제1, 제2, 및 제3 서브그래프들(702, 704, 706)을 함께 스티칭함으로써 형성되는 사이트 그래프를 도시한다. 도 9에 도시된 바와 같이, 도 8에 도시된 스티칭 포인트들(802E, 804E, 806)은 더 이상 존재하지 않는다. 사이트 그래프의 각각의 노드는 샘플, 샘플 컨테이너, 또는 샘플 컨테이너 또는 샘플을 운반하는 실험실 제품 이송 요소에 대해 수행될 수 있는 상이한 프로세스들 또는 기능들을 나타낼 수 있다.

[0071] 일부 실시예들에서, 상이한 노드들은 상이한 소프트웨어 계층들에 의해 제어될 수 있다. 본 출원과 동일한 양수인에 의해 2013년 11월 7일자로 출원되고 발명의 명칭이 "자동화된 샘플 처리 시스템(Automated Sample Processing System)"인 미국 특허 출원 제14/074,069호는 작업흐름 관리 층(workflow management layer, WML), 프로세스 제어 층(process control layer, PCL), 중간 제어 층(middle control layer, MCL), 및 디바이스 제어 층(device control layer, DCL)을 포함하는 소프트웨어 계층들을 설명하며, 상기 출원은 모든 목적들을 위해 전체적으로 본 명세서에 참고로 포함된다. 이들 소프트웨어 계층들 각각은 사이트 그래프 내의 상이한 노드들에 대해 상이한 기능들을 수행할 수 있다. 예를 들어, WML은 디캡퍼 노드에서 디캡퍼에 명령어들을 제공할 수 있는 반면, MCL은 사이트 그래프 내의 이송 노드들을 제어할 수 있다.

[0072] WML은 상측 레벨일 수 있거나 또는 사용자에게 관찰될 수 있어서, 그의 규칙 엔진에 명시된 샘플 프로세싱 규칙

들을 활용하여 샘플에 대해 실행될 프로세스 계획을 결정하게 할 수 있다. 다수의 LAS(laboratory automation system) 라인들을 갖는 실험실들의 경우에, WML은 각각의 라인이 상이한 작업흐름 관리 방식으로 구성되게 할 수 있고, 다수의 활성 작업흐름들을 동시에 관리할 수 있다. 시동 시, WML은 구성 데이터를 PCL로 전달할 수 있고, PCL에게 시동 후의 구성 데이터에 대한 임의의 추가적인 변화들을 통지할 수 있다.

[0073] 동작 동안, WML은 단일 샘플 컨테이너에 대한 프로세스 루트를 생성하고, 이러한 프로세스 계획을 PCL에 제공한다. 루트 계획은 주어진 순서로 될 수 있는 프로세싱 명령어들의 리스트를 포함한다. 방법은, 또한, 프로세스 제어 층을 이용하는 적어도 하나의 프로세서에 의해, 샘플 준비 시스템을 통해, 루트 계획에 따라 그리고 샘플 준비 시스템의 가용성 및 샘플의 우선순위에 따라, 요구되는 분석기들 각각으로의 최적화된 루트를 판정하는 단계, 프로세스 제어 층(PCL)을 이용하는 단계, 및 최적화된 루트를 이용하여 샘플을 프로세싱하는 단계를 포함한다.

[0074] 일부 실시예들에서, 중간 제어 층(MCL)은 추가로 루트 레그들을 PCL로부터 수신하여 프로세싱할 수 있고, 이들 루트 레그들은 추가로 MCL에 의해 최적화될 수 있다. MCL은 본 발명의 실시예들에서 PCL 및 WML에 독립적으로 동작할 수 있다.

[0075] MCL은, 또한, 특정 명령어들을 DCL(명령어들을 특정 디바이스 펌웨어에 제공할 수 있음)에 제공하여 특정 서브어셈블리들의 동작을 제어할 수 있다.

[0076] 도 10은 본 발명의 일 실시예에 따른 방법을 설명하는 흐름도를 도시한다. 도 10에서의 방법은, 프로세서에 의해, 복수의 시스템 블록들과 연관된 복수의 서브그래프들을 데이터베이스에 저장하는 단계(단계 1002)에 의해 시작된다. 전술된 바와 같이, 각각의 서브그래프는 적어도 하나의 어셈블리와 연관된 사이트 노드들, 에지들, 및 의사 노드들을 포함한다. 데이터베이스는 수백 개의 상이한 시스템 블록들 및 그들의 서브그래프들의 가상 표현들을 저장할 수 있다. 저장하는 단계는 카탈로그 관리자 컴퓨터에 의해 수행될 수 있으며, 이는 하기에 더 상세히 기술된다.

[0077] 방법은, 또한, 프로세서에 의해, 실험실 자동화 시스템에 대한 실험실 자동화 시스템 설계 데이터를 수신하는 단계(단계 1004)를 포함한다. 실험실 자동화 설계 데이터는 형성될 실험실 자동화 시스템의 임의의 적합한 특성을 특정할 수 있다. 예를 들어, 그것은 포함할 시스템 블록들의 개수 및/또는 타입들뿐 아니라 그들의 서로에 대한 배열을 포함할 수 있다.

[0078] 적합한 실험실 자동화 시스템 설계 데이터는 실험실 자동화 시스템의 생성을 커스터마이징하기 위해 그리고 그의 동작을 시뮬레이션하기 위해 이용될 수 있는 임의의 적합한 타입의 데이터를 포함할 수 있다.

[0079] 일부 실시예들에서, 실험실 자동화 설계 데이터는 제안된 실험실 자동화 설계 시스템에서 사용될 선택된 시스템 블록들 및 서브그래프들에 관련된 데이터를 포함할 수 있다. 그것은, 또한, 서로에 대해서뿐 아니라 프로세스 제약들(예컨대, 제안된 시스템 상에서 실행될 평가들의 횟수 및/또는 타입) 또는 물리적 제약들(예컨대, 실험실 자동화 시스템을 하우징할 공간의 크기 및/또는 치수들)과 같은 임의의 적합한 외부 파라미터들에 대한 이들 시스템 블록들 및/또는 서브그래프들의 특정 배열 또는 구성을 포함할 수 있다.

[0080] 실험실 자동화 설계 데이터는, 또한, 시스템을 구축하는 데 있어서 존재할 수 있는 임의의 제약들에 관련된 데이터를 포함할 수 있다. 그러한 제약들의 예들은 프로세스 제약들(예컨대, 제안된 시스템 상에서 실행될 평가들의 횟수 및/또는 타입, 예상되는 처리율, 및/또는 턴어라운드 시간 등) 또는 물리적 제약들(예컨대, 실험실 자동화 시스템을 하우징할 공간의 크기 및/또는 치수들)을 포함할 수 있다.

[0081] 일부 실시예들에서, 사용자의 요구들은 사용자에 의해 생성되는 매니페스트(manifest) 파일에서 구현될 수 있다. 새로운 실험실 자동화 시스템을 설계할 때, 또는 기존 구성을 변경할 때, 사용자는 시스템 성능/처리율, 전력 요건들, 논리적 레이아웃들, 및 플로어 레이아웃(floor layout)들과 같은 희망 파라미터들을 제공한다. 그러한 정보는 실험실 자동화 시스템 설계 데이터에 포함될 수 있다. 매니페스트 파일에 관한 추가 상세사항들이 하기에 제공된다.

[0082] 실험실 자동화 설계 데이터가 프로세서에 수신된 후, 프로세서는 실험실 자동화 시스템에 대한 사이트 네트워크를 생성하도록, 실험실 자동화 시스템 설계 데이터에 특정된 시스템 블록들과 연관된 서브그래프들을 함께 스티칭한다(단계 1006). 예시적인 스티칭 프로세스들이 전술되어 있고, 또한 도 11과 관련하여 하기에 더 상세히 기술된다.

[0083] 시스템 블록들은 마스터 시스템 블록 카탈로그 데이터베이스(도 12와 관련하여 하기에 더 상세히 기술됨)에 저장될 수 있다. 시스템 블록 데이터베이스는 모든 지원되는 시스템 블록들 또는 디바이스들 및 그들의 각자의

서브그래프들에 관한 정보를 포함한다. 그것은, 또한, 원격으로 위치된 서버들 및 제조 시스템들에 접속되고, 그들로부터 그의 콘텐츠를 검색 및 업데이트할 수 있다.

[0084] 시스템 레이아웃을 생성할 때, 시스템 빌더 컴퓨터는 가장 바람직한 방식으로 사용자 요건들을 충족시키도록 시스템 블록들의 레이아웃을 최적화할 수 있다. 예를 들어, 레이아웃은 최소 이송 경로 길이들이 달성되도록 선택될 수 있다. 또한, 레이아웃은, 샘플들이 경로들을 불필요하게 가로질러서 트래픽을 야기하고 TAT를 감소키는 것이 회피되도록 개선될 수 있다. 또한, 레이아웃은 캐리어들의 저장소들을 그들이 필요로 하는 장소 근처에 도입시킴으로써 캐리어 가용성에 대해 개선될 수 있는데, 그 이유는 저장소들이 전략적으로 배치되지 않는 경우에 캐리어들이 긴 거리를 이동해야 하여서, 트래픽을 증가시키고 분석기/기기 처리율에 지연을 추가할 것이기 때문이다. 또한, 높은 처리율 및 낮은 처리율 분석기들의 사용이 최적화될 수 있고, 이러한 경우, 레이아웃은 더 느린 분석기들이 더 빠른 분석기들의 수행을 둔화시키지 않도록 분석기 샘플링 시간을 고려할 수 있다.

[0085] 최적화 후, 매니페스트 파일이 생성될 수 있다. 그것은 시스템을 구축하는 데 필요한 시스템 블록들에 관한 정보 및 이들 시스템 블록들의 버전 및/또는 생성에 관한 정보를 포함할 수 있다. 본 발명의 실시예들에서, 이러한 매니페스트 파일은 이용된 시스템 블록들 또는 소프트웨어의 버전으로부터 독립적일 수 있어서, 동일한 매니페스트 파일이 이전에 활용되었던 시스템들 상의 소프트웨어를 업데이트하는 데 이용될 수 있게 한다. 본 발명의 다른 실시예들에서, 매니페스트 파일은 시스템 블록들 또는 시스템 블록들과 연관된 임의의 소프트웨어에 대한 버전 번호들을 언급할 수 있다.

[0086] 이러한 매니페스트 파일로부터, 시스템의 배선, 요구되는 시스템 블록들, 및 시스템 블록들에의 PLC들의 할당뿐 아니라 공간 레이아웃 정보가 도출될 수 있다. 예를 들어, 서비스 엔지니어가 새롭게 설계된 시스템을 설치하는 것을 돕도록 하는 배선 계획이 생성될 수 있다.

[0087] 전술된 바와 같이, 스티칭 동작의 결과는 다수의 시스템 블록들의 조합된 동작을 나타내는 사이트 네트워크이다. 전술된 바와 같이, 서브그래프 내의 각각의 이송 또는 프로세싱 노드는 노드와 연관된 동작(예컨대, 모터를 동작시켜 원심분리기를 실행시킴)을 수행하는 데 이용되는 소프트웨어 루틴과 연관될 수 있다. 기능, 링크된 라이브러리, 또는 공유된 객체와 같은 소프트웨어 루틴은 임의의 적합한 방식으로 구현될 수 있다. 서브그래프 내의 각각의 예지는 이송 및/또는 프로세싱 노드들 사이에서의 샘플의 이동을 나타낸다. 서브그래프들이 사이트 네트워크로 조합되는 경우, 이송 및 프로세싱 노드들과 연관된 소프트웨어 루틴들은 동일한 상태로 유지될 수 있지만, 서브그래프들 사이의 예지들은 시스템 블록들 사이에서의 샘플의 이동을 인에이블링시킨다. 따라서, 사이트 네트워크로의 서브그래프들의 스티칭은 실험실 자동화 시스템에 대한 조합된 소프트웨어 프로그램이 자동으로 생성되게 한다.

[0088] 일단 제안된 실험실 자동화 시스템에 대한 사이트 네트워크가 형성되었다면, 사이트 네트워크의 동작이 시뮬레이션된다(단계 1008). 예를 들어, 다수의 상이한 시스템 구성들이 상이한 타입들 및 개수들의 이송 경로들 및 서브어셈블리들을 상이한 방식들로 조합함으로써 형성될 수 있다. 상이한 타입들의 프로세싱 특성들(예컨대, 일반 프로세싱, 짧은 턴어라운드 시간 또는 "STAT" 프로세싱) 및 상이한 루트 계획들을 갖는 다양한 타입들의 샘플들이 상이한 시스템 구성들을 통해 가상으로 실행되어 그들이 샘플들을 프로세싱하는 방법을 보여줄 수 있다. 시스템들이 실질적으로 구축되기 전, 이들 가상의 시뮬레이션된 실험실 자동화 시스템들을 가상으로 실행시킴으로써 프로세싱 지연들 및 다른 문제들이 식별될 수 있다.

[0089] 시뮬레이션된 실험실 자동화 시스템의 동작이 수용가능하지 않은 경우, 추가적인 그리고/또는 상이한 실험실 자동화 설계 데이터가 프로세서에 제공될 수 있다(단계 1010). 시뮬레이션된 실험실 자동화 시스템의 동작이 수용가능한 경우, 프로세스가 종료될 수 있다.

[0090] 실험실 자동화 시스템의 시뮬레이션 결과는 다수의 이유들로 인해 수용불가능하거나 불만족스러울 수 있다. 그러한 이유들은 샘플 프로세싱 시스템 내의 하나 이상의 위치들에서 실험실 제품 이송 요소들의 이송 시의 병목현상들의 형성을 포함할 수 있다. 예를 들어, 다수의 시스템 블록들을 결합시킨 후, 시뮬레이션은 불충분한 개수의 원심분리기들이 있다는 것을 나타낼 수 있는데, 그 이유는 시스템 내의 원심분리기 앞의 버퍼 구역에 진입하는 샘플 컨테이너들의 개수가 너무 많기 때문이다. 다른 이유들은 샘플 프로세싱 시스템의 특정 영역에서의 과용량을 포함할 수 있다. 예를 들어, 샘플 프로세싱 시스템 내의 영역 상에서, 이용되지 않는 다수의 분석기들은 너무 많은 분석기들이 존재할 수 있다는 것을 나타낸다. 또한, 일부 경우들에 있어서, 높은 우선순위의 샘플/STAT 샘플의 프로세싱이 일반 및 STAT 샘플들을 포함하는 시뮬레이션된 시스템 부하 하에서 너무 느릴 수 있다는 것이 드러날 수 있다. 또 다른 경우들에 있어서, 특정 디바이스(예컨대, 로봇 또는 냉장고)가 예상된 것보다 더 빈번하게 사용될 수 있다는 것이 드러날 수 있다. 이는 임의의 서비스 간격들의 시간 또는 빈도를

감소시킬 것 또는 더 높은 처리율로 샘플들을 프로세싱할 수 있는 디바이스를 찾을 것에 대한 요구를 필요로 할 수 있다.

- [0091] 본 발명의 실시예들에서, 본 명세서에 기술되고 도시된 사이트 그래프 및/또는 시스템 블록들은 그래픽 사용자 인터페이스를 통해 사용자에게 보여질 수 있다. 시스템 블록들은 사용자에게 의해 요구되는 방식으로 조합될 수 있고, 조합된 시스템 블록들의 동작은 사용자가 제안된 시스템의 동작을 시각화할 수 있도록 사용자에게 보여질 수 있다.
- [0092] 일단 설계된 수용가능한 시스템이 결정되면, 부품들(예컨대, 서브시스템들, 컨베이어들 등), 가격들, 배선 등의 리스트가 시스템 빌더 컴퓨터에 의해 자동으로 생성될 수 있다. 이어서, 이러한 부품 리스트는 임의의 수의 방식들로 이용될 수 있다. 예를 들어, 부품 리스트는 공급자 컴퓨터에 수동으로 또는 자동으로 제공될 수 있는데, 이러한 공급자 컴퓨터는 이어서 사용자가 새로운 시스템을 사용하기 원하는 위치로의 부품들의 수송(shipment)을 조정할 수 있다.
- [0093] 도 11은 본 발명의 실시예들에 따른 스티칭 프로세스에 관한 더 많은 상세사항들을 제공하는 흐름도를 도시한다.
- [0094] 프로세스는 제1 시스템 블록 컨테이너를 생성함으로써 시작된다(단계 1102).
- [0095] 단계 1104에서, 제1 시스템 블록에 대한 사이트 그래프 기기 정보가 제1 시스템 블록 컨테이너에 제공된다.
- [0096] 단계 1106에서, 전면 및 배면 트랙 의사 노드들이 삭제된다.
- [0097] 단계 1108에서, 프로세서가 임의의 더 많은 시스템 블록들이 있는지 여부를 판정한다. 임의의 더 많은 시스템 블록들이 있지 않은 경우, 의사 노드들이 여전히 존재하는 경우에 의사 노드들이 삭제된다(단계 1122). 더 많은 시스템 블록들이 있는 경우, 시스템 블록 X에 대한 추가적인 시스템 블록 컨테이너 X가 생성된다(단계 1110).
- [0098] 이어서, 프로세서는 시스템 블록 X가 역배향으로 있는지 여부를 판정한다(단계 1112). 그것이 역배향으로 있는 경우, 반전된 시스템 블록 X에 대한 사이트 그래프 기기 정보가 시스템 블록 X 컨테이너 내로 판독된다(단계 1114). 단계 1120에 도시된 바와 같이, 시스템 블록 X 내의 배면 트랙 시작 의사 노드와 이전 시스템 블록 X-1 내의 전면 트랙 종단 의사 노드의 각각의 쌍(i)에 대해, 그리고 시스템 블록 X 내의 전면 트랙 종단 의사 노드와 이전 시스템 블록 X-1 내의 배면 트랙 시작 의사 노드의 각각의 쌍(ii)에 대해, 의사 노드들의 쌍이 삭제되고 시스템 블록들이 결합된다. 시스템 블록들을 결합시키는 것은 이송 시간 기간(span)들을 조합하는 것(예컨대, 2개의 의사 노드들을 함께 스티칭함으로써 결합된 2개의 에지들을 따라서 샘플을 이송하는 것과 연관된 시간들을 조합하는 것), 및 시스템 블록들 사이에 에지를 생성하는 것을 포함할 수 있다.
- [0099] 그것이 역배향으로 있지 않은 경우, 시스템 블록 X에 대한 사이트 그래프 기기 정보가 시스템 블록 X 컨테이너 내로 판독된다(단계 1116). 단계 1118에 도시된 바와 같이, 시스템 블록 X 내의 전면 트랙 시작 의사 노드와 시스템 블록 X-1 내의 전면 트랙 종단 의사 노드의 각각의 쌍(i)에 대해, 그리고 시스템 블록 X 내의 배면 트랙 종단 의사 노드와 시스템 블록 X-1 내의 배면 트랙 시작 의사 노드의 각각의 쌍(ii)에 대해, 의사 노드들의 쌍이 삭제되고 시스템 블록들이 결합된다. 시스템 블록들을 결합시키는 것은 이송 시간 기간들을 조합하는 것, 및 시스템 블록들 사이에 에지를 생성하는 것을 포함할 수 있다.
- [0100] 단계 1108에 도시된 바와 같이, 이러한 프로세스는 더 많은 시스템 블록들에 의해 요망될 때마다 반복될 수 있다.
- [0101] 도 12는 본 발명의 일 실시예에 따른 컴퓨터 시스템의 블록 다이어그램을 도시한다. 도 12는 마스터 시스템 블록 카탈로그 데이터베이스(1204)와 통신하는 카탈로그 관리자 컴퓨터(1202)를 도시한다. 카탈로그 관리자 컴퓨터(1202)는 시스템 블록들(및 그들의 대응하는 서브그래프들)을 생성(CREATE)하거나, 업데이트(UPDATE)하거나, 또는 삭제(DELETE)하기 위해, 그리고 그들을 카탈로그 데이터베이스(1204)에 정확하게 배치하기 위해 사용될 수 있다. 카탈로그 데이터베이스(1204)는 모든 지원되는 시스템 블록 및 기기에 대한 모든 확인 정보를 포함할 수 있다. 카탈로그 데이터베이스는 부품 번호로 시스템 블록들을 인덱싱할 수 있다.
- [0102] 데이터베이스(1204)는, 종래의 고장 용인적(fault tolerant)이고 상관적(relational)이고 스케일러블(scalable)한 보안 데이터베이스, 예컨대 Oracle™ 또는 Sybase™일 수 있다. 데이터베이스(1204)는 다양한 표준 데이터 구조들, 예컨대 어레이, 해시(hash), (링크된) 리스트, 구조화된 텍스트 파일(예컨대, XML), 테이블, 및/또는 기타등등을 이용하여 구현될 수 있다. 그러한 데이터 구조들은 메모리 및/또는 (구조화된) 파일들에

저장될 수 있다.

- [0103] 시스템 빌더 컴퓨터(1206)는, 또한, 마스터 시스템 블록 카탈로그 데이터베이스(1204)와 통신할 수 있고, 그로부터 시스템 블록들을 검색하여 본 출원에 기술된 바와 같은 다양한 사이트 그래프들을 생성하도록 할 수 있다. 시스템 빌더 컴퓨터(1206)는 프로세서 및 프로세서에 커플링된 컴퓨터 판독가능 매체를 포함할 수 있다. 컴퓨터 판독가능 매체는, 프로세서에 의해, 실험실 자동화 시스템에 대한 실험실 자동화 시스템 설계 데이터를 수신하는 단계; 및 프로세서에 의해, 그리고 실험실 자동화 시스템 설계 데이터를 이용하여, 실험실 자동화 시스템에 대한 사이트 네트워크를 생성하도록 시스템 블록들과 연관된 서브그래프들 - 각각의 서브그래프는 복수의 사이트 노드들, 에지들, 및 의사 노드들을 포함함 - 을 함께 스티칭하는 단계를 포함하는 방법을 구현하도록 프로세서에 의해 실행가능한 코드를 포함할 수 있다.
- [0104] 카탈로그 관리자 컴퓨터(1202), 데이터베이스(1204), 및 시스템 빌더 컴퓨터(1206)는 모두가 국부적일 수 있거나, 또는 서로에 대해 원격일 수 있다. 이들 컴포넌트들 사이에서의 통신은 임의의 적합한 유선 또는 무선 네트워크를 통해, 그리고/또는 인터넷을 포함하는 임의의 적합한 개인 또는 공공 데이터 네트워크를 통해 일어날 수 있다.
- [0105] 본 발명의 실시예들에서, 매니페스트 파일(1210)은 소프트웨어 설치 프로세스에서의 추후 사용을 위해 생성될 수 있다. 매니페스트는 시스템 특정 특징부들을 생성하도록 소프트웨어 설치 동안에 사용될 수 있다. 그러한 특징부들은 시스템 사이트 그래프, 모든 소프트웨어 계층들에 대한 기기들을 위한 파라미터화, 더 낮은 레벨의 소프트웨어 기능들에 대한 프로그램 코드, 및 시스템 및 기기 특정 그래픽 사용자 인터페이스 구성 및 활용 코드를 포함할 수 있다.
- [0106] 매니페스트 파일(1210)은, 시스템 블록 정보(1212)와 함께, 시스템 블록 데이터베이스에서 사용되어 시스템 빌더 컴퓨터(1206)가 다수의 기능들을 수행하게 할 수 있다.
- [0107] 첫째, 1214A에서, 그것은 에뮬레이션될 수 있는 하드웨어를 사용할 필요 없이도 시스템을 시뮬레이션할 것을 시스템 빌더 컴퓨터(1206)에 지시할 수 있다. 이러한 시뮬레이션은 시스템에서 준최적의 거동(예컨대, 병목현상들)을 식별하게 한다. 그러한 식별된 준최적의 거동은 시스템 빌더에서 시스템을 최적화시키는 단계로 피드백되어, 전체적인 시스템의 반복적 개선이 가능해지게 할 수 있다.
- [0108] 둘째, 전송된 바와 같이, 그것은 시스템의 사이트 그래프(1214B)를 생성/스티칭할 것을 시스템 빌더 컴퓨터(1206)에 지시할 수 있다.
- [0109] 셋째, 그것은 DCL, MCL 및 PCL(1214C)을 실행시키도록 소프트웨어를 구축할 것을 시스템 빌더 컴퓨터(1206)에 지시할 수 있다. 이러한 소프트웨어는 특정 시스템의 요건들에 따라 생성된다. 그런 이유로, 이러한 소프트웨어는 각각의 개별 시스템에 대해 전용되고, 각자의 시스템에 대해 최적으로 수행한다. 이는 (모두가 필요하지 않는 경우에도) 모든 기능들을 갖는 포괄적 소프트웨어만이 제공되는 본 기술 분야에서의 종래의 시스템들과는 같지 않다. 본 발명에 따라 생성된 소프트웨어는 메모리 및 CPU 소비 요건들뿐 아니라 시스템 포트 및 버스 대역폭 요건들을 최소화시키도록, 생성된 시스템을 최적화시킨다.
- [0110] 넷째, 그것은 사용자 개입 없이 PLC(programmed logic controller)(1214D)에 대한 구성을 제공할 것을 시스템 빌더 컴퓨터에 지시할 수 있는데, 이는 소프트웨어와 하드웨어(1214E) 사이의 통신을 더 신뢰성있게 작동하게 만든다. 시스템이 생성되거나 변경될 때 PLC에 대한 구성을 제공하는 것은, 시스템을 수동으로 (재)배선해야 하는 것을 회피시키고, 이로써 시스템의 신뢰성(인적 과오 확률이 감소됨에 따름) 및 셋업(수동 프로세스가 매우 시간 소모적임에 따른 배선)의 속도뿐 아니라 시스템의 가요성을 증가시키는데, 그 이유는 추가적인 전선들, 중계기들 등을 도입할 필요 없이 소프트웨어에 의해 변화가 이루어질 수 있기 때문이다.
- [0111] 전송된 바와 같이, 본 발명의 실시예들은 또한 기존 구성을 변경하는 데 이용될 수 있다. 이러한 경우에 있어서, 변경된 시스템에 대응하는 매니페스트 파일은, 예컨대 차이점들을 식별하는 차분 알고리즘에 의해, 변경 전의 시스템의 매니페스트 파일과 비교된다. 차이점들은 시스템 조작자가 변경을 구현하는 데 필요한 측정치들을 신속하게 식별하게 한다. 예를 들어, 2개의 매니페스트 파일들을 비교한 결과는 시스템 블록 2(예컨대, 원심분리기임)가 상이한 시스템 블록(예컨대, 더 큰 처리율을 갖는 원심분리기)으로 대체되어야 한다는 것, 또는 시스템 블록 1의 펌웨어가 새로운 기능을 인에이블시키도록 업데이트되어야 한다는 것일 수 있다.
- [0112] 시스템 소프트웨어가 업데이트되어야 하는 경우, 매니페스트 파일의 사용은 종래의 프로세스들보다 더 양호한 소프트웨어 버전 관리를 제공한다. 그것은, 또한, 더 용이한 소프트웨어 분배를 제공하는데, 그 이유는 시스템을 동작시키는 데 필요한 소프트웨어뿐 아니라 모든 다른 구성 데이터가 매니페스트 파일을 사용하여 각각의 시

시스템에 대해 생성되기 때문이다.

- [0113] 소프트웨어 업데이트를 위해, 사용자의 사이트에서, 가장 최근 버전의 라이브러리들, 시스템 블록 데이터베이스, 및 링크가능 바이너리들을 포함하는 비밀시적 컴퓨터 판독가능 매체만이 필요하다. 이러한 비밀시적 컴퓨터 판독가능 매체, 예컨대 CD/DVD, 및 시스템의 매니페스트 파일을 사용하여, 시스템에 대한 소프트웨어, 예컨대 PCL, MCL 및 DCL 계층들이 구축 및 활용된다.
- [0114] 추가로, 본 발명의 실시예들은 또한 온라인으로 또는 독립형 컴퓨터 시스템에서 작동할 수 있다. 본 발명의 실시예들은 외부 데이터베이스와 통신하여, 사용자 구성들을 업로드 및 다운로드하고 시스템 생성 프로세스 동안에 문서 및 데이터 공유를 제공하고 임의의 시스템 블록들에 대한 업데이트들을 다운로드할 수 있다.
- [0115] 실시예들은 다수의 다른 특징부들 및 이익들을 갖는다.
- [0116] 본 발명의 실시예들은 레이아웃 및 플로우 계획 능력들을 가질 수 있다. 소프트웨어는 실척(true to scale) 2D 및 3D 시각화 능력들을 포함할 수 있다. 벽부들 및 서버어셈블리들의 이미지들은 사용자가 실험실 자동화 설계 시스템 내의 기기들의 공간적 배열을 평가할 수 있도록 그래픽 사용자 인터페이스를 통해 사용자에게 디스플레이될 수 있다. 일부 실시예들에서, 고객 또는 로그 파일들로부터의 통계 데이터는 시뮬레이션을 위한 베이스로서 이용되어, 이에 의해 본 발명의 실시예들이 임의의 제안된 실험실 자동화 시스템의 정확한 표현을 생성하게 할 수 있다. 제안된 실험실 자동화 설계 시스템이 2D 및/또는 3D에서 정확할 뿐 아니라 동작가능하게 시뮬레이션될 수 있기 때문에, 연구실 직원의 도보 거리들이 또한 본 발명의 실시예들을 이용하여 시뮬레이션될 수 있다. 제안된 실험실 자동화 설계 시스템을 실행시키는 데 얼마나 많은 스테프가 필요한지에 대한 평가들이 또한 제공될 수 있다.
- [0117] 본 발명의 실시예들은, 또한, 개선된 모듈 리턴던시 계획을 제공할 수 있다. 본 발명의 실시예들은 임계적인 로딩된 모듈들을 하이라이트할 수 있고/있거나 추가적인 기기들 및/또는 분석기들에 대한 제안들을 생성할 수 있다.
- [0118] 설계 단계에서, 본 발명의 실시예들은, 또한, 부품 리스트를 생성하기 위해서뿐 아니라 선택된, 제안된 실험실 자동화 설계 시스템의 잠재적인 사용자들에 대한 견적서(price quote)들을 생성하기 위해 이용될 수 있다.
- [0119] 본 발명의 실시예들은 또한 추가적인 기술적 이점들을 갖는다. 예를 들어, 본 발명의 실시예들은 특정 사용자의 요구에 특별하게 맞춰지는 시스템들을 생성하는 데 이용될 수 있다. 그러한 시스템들은 속도 및 효율성뿐 아니라 하드웨어 및 소프트웨어 리소스들을 최적화하도록 효율적으로 설계된다. 종래의 시스템들에 비해, 최적화된 프로세싱 능력들을 달성하면서, 본 발명의 실시예들에서의 하드웨어 및 소프트웨어 리소스들이 최소화된다.
- [0120] 도 13은 본 발명의 일부 실시예들에 따른 방법 또는 동작을 실행시키도록 구성된 컴퓨팅 디바이스 또는 시스템에 존재할 수 있는 요소들의 블록 다이어그램이다. 도 13에 도시된 서브시스템들은 도 12에 도시된 컴퓨터들에 사용될 수 있고, 시스템 버스(575)를 통해 상호접속된다. 프린터(574), 키보드(578), 고정식 디스크(579), 디스플레이 어댑터(582)에 커플링되는 모니터(576) 등과 같은 부가의 서브시스템들이 도시된다. 입력/출력(I/O) 제어기(571)에 커플링된 주변기기들 및 I/O 디바이스들은 시리얼 포트(577)와 같은 본 기술 분야에 공지되어 있는 임의의 수의 수단에 의해 컴퓨팅 시스템에 접속될 수 있다. 예를 들어, 시리얼 포트(577) 또는 외부 인터페이스(581)는 인터넷과 같은 광역 통신망, 마우스 입력 디바이스, 또는 스캐너에 컴퓨팅 장치를 접속시키는 데 사용될 수 있다. 시스템 버스(575)를 통한 상호접속은 프로그래밍된 중앙 프로세서(573)(예컨대, 마이크로프로세서, CPU 등)가 각각의 서브시스템과 통신하게 하고, 서브시스템들 사이에서의 정보의 교환뿐 아니라, 시스템 메모리(572) 또는 고정식 디스크(579) 내에 저장될 수 있는 명령어들의 실행을 제어하게 한다. 시스템 메모리(572) 및/또는 고정식 디스크(579)는 컴퓨터 판독가능 매체를 구현할 수 있다.
- [0121] 본 출원에 기술된 소프트웨어 컴포넌트들 또는 기능들 중 어느 것도 예컨대, 종래의 또는 객체-지향 기법들을 이용하는, 예를 들어 자바, C++ 또는 펄(Perl)과 같은 임의의 적합한 컴퓨터 언어를 사용하는 프로세서에 의해 실행될 소프트웨어 코드로서 구현될 수 있다. 소프트웨어 코드는 랜덤 액세스 메모리(RAM), 판독 전용 메모리(ROM), 하드 드라이브 또는 플로피 디스크와 같은 자기 매체, 또는 CD-ROM과 같은 광학 매체와 같은 컴퓨터 판독가능 매체 상에 일련의 명령어들, 또는 커맨드들로서 저장될 수 있다. 임의의 그러한 컴퓨터 판독가능 매체는 단일의 컴퓨터형 장치 상에 또는 그 내부에 있을 수 있고, 시스템 또는 네트워크 내의 상이한 컴퓨터형 장치들 상에 또는 그 내부에 존재할 수 있다.
- [0122] 상기의 설명은 예시적인 것이며, 제한적인 것이 아니다. 본 발명의 많은 변형들이 본 개시 내용의 검토 시에

당업자에게는 명백해질 것이다. 그러므로, 본 발명의 범주는 상기의 설명을 참조하여 결정되어서는 안 되며, 대신에, 그의 전체 범주 또는 등가물과 함께 첨부된 청구범위를 참조하여 결정되어야 한다.

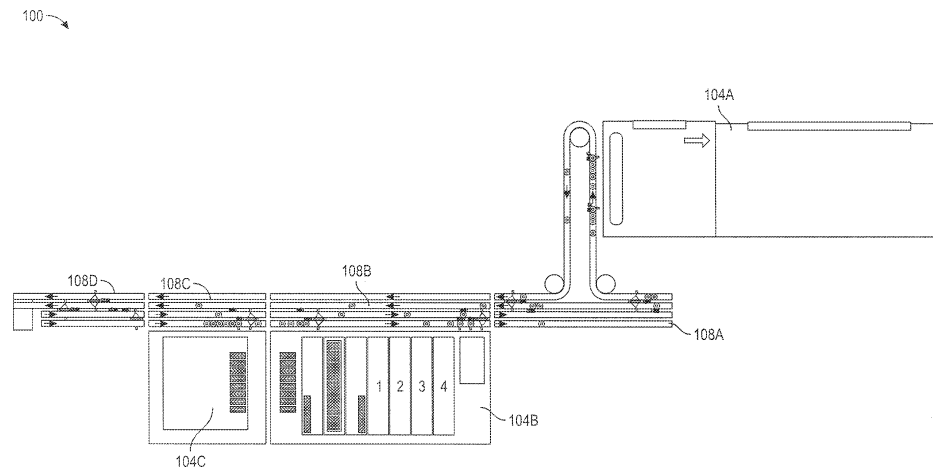
[0123] 임의의 실시예로부터의 하나 이상의 특징부들이 본 발명의 범주로부터 벗어남이 없이 임의의 다른 실시예의 하나 이상의 특징부들과 조합될 수 있다.

[0124] 단수형("a", "an" 또는 "the")의 열거는 특별히 반대로 지시되지 않으면 "하나 이상"을 의미하도록 의도된다.

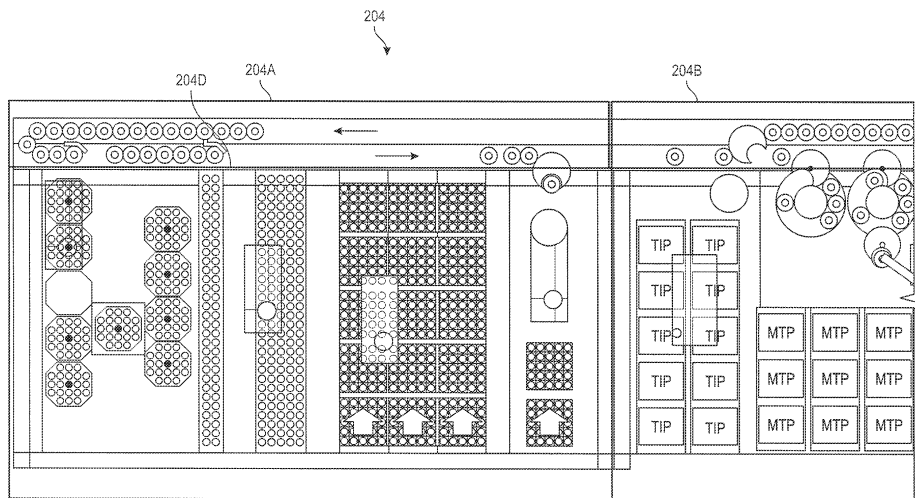
[0125] 전술한 모든 특허들, 특허 출원들, 공보들, 및 설명들은 모든 목적들을 위해 전체로서 본 명세서에 참조로 포함된다. 어느 것도 종래 기술인 것으로 인정되지 않는다.

도면

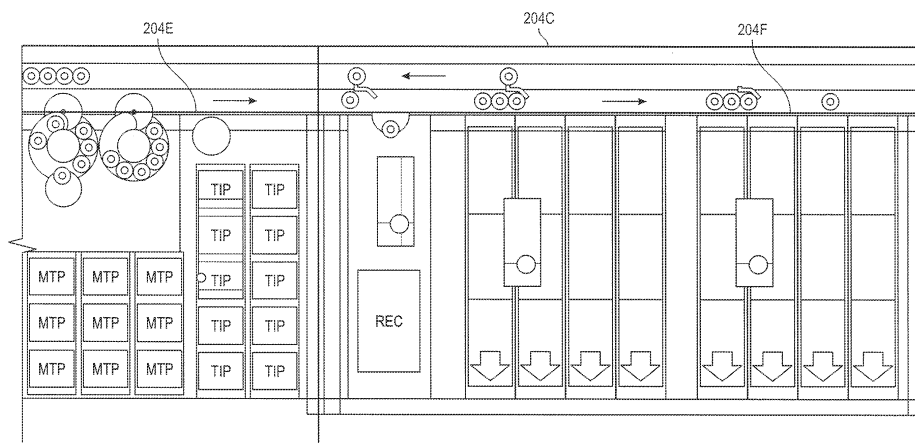
도면1



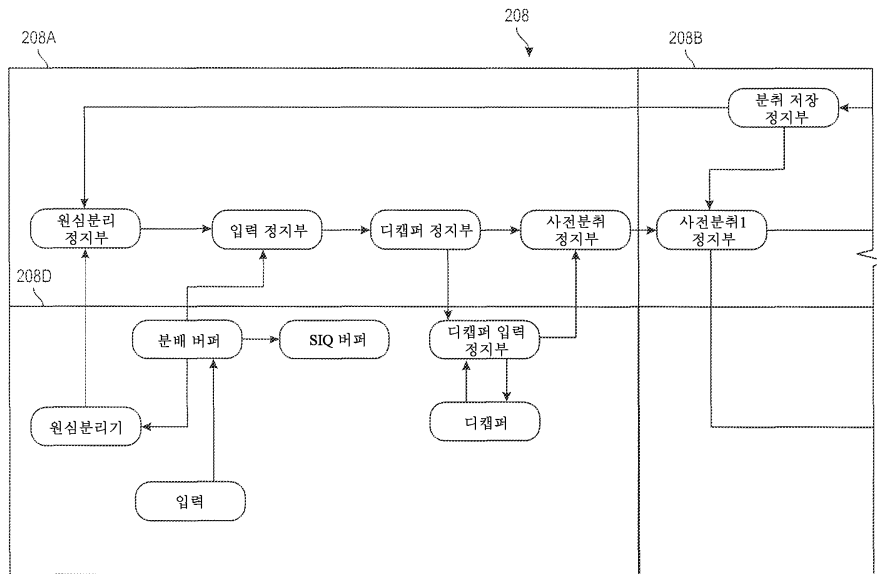
도면2a



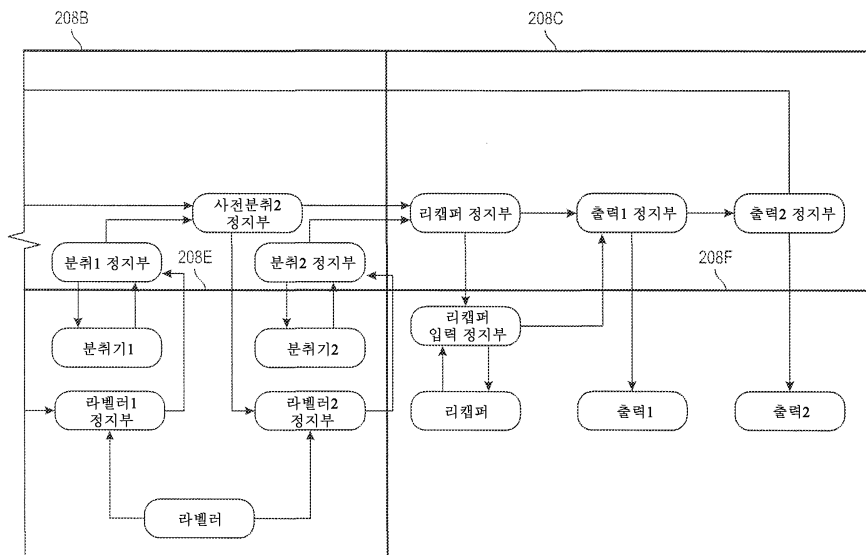
도 2a (계속)



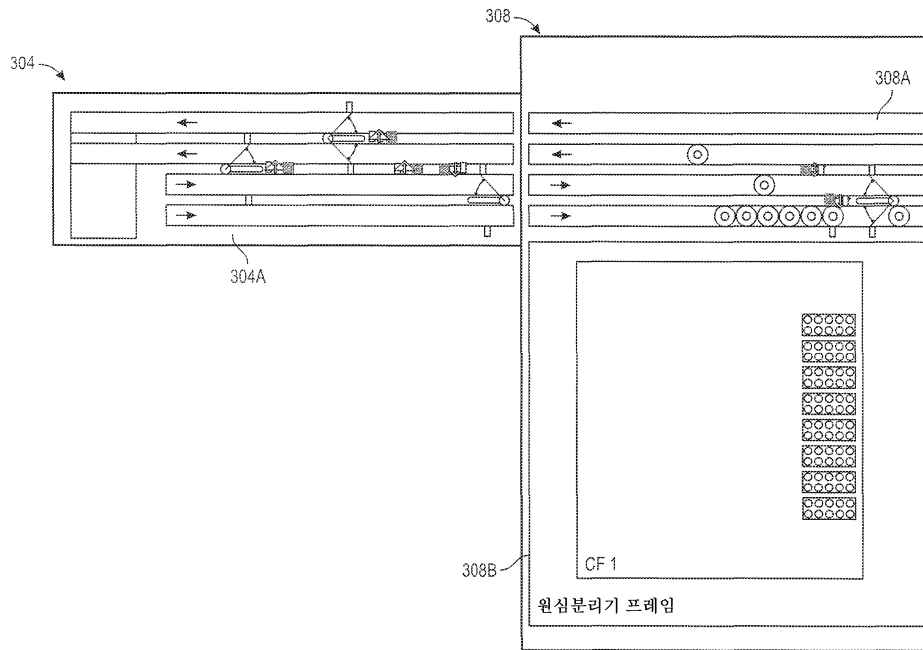
도면2b



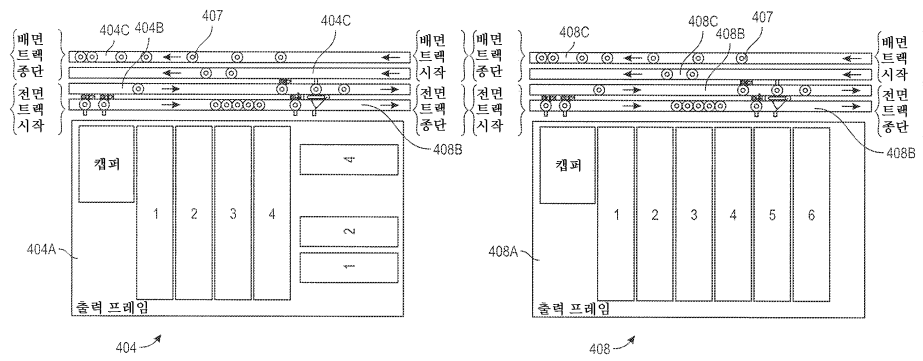
도 2b (계속)



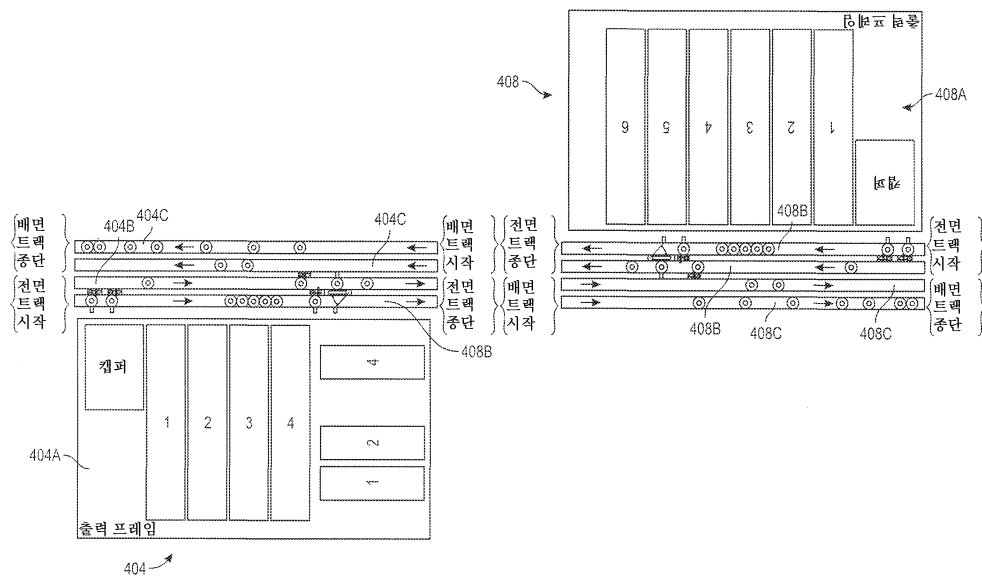
도면3



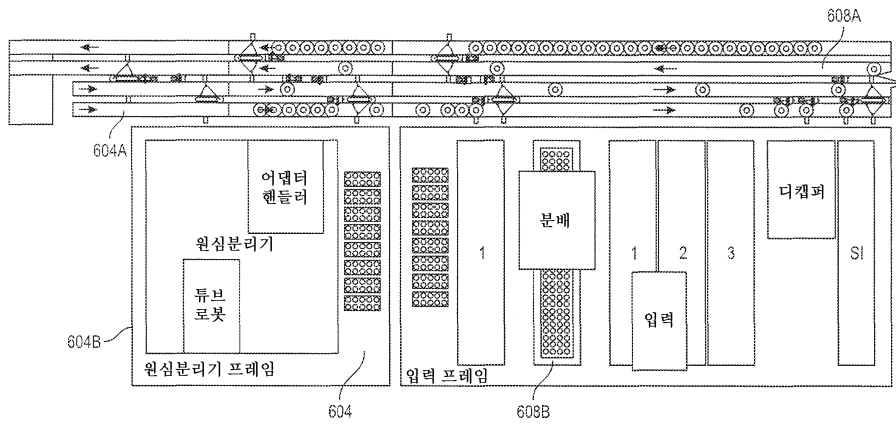
도면4



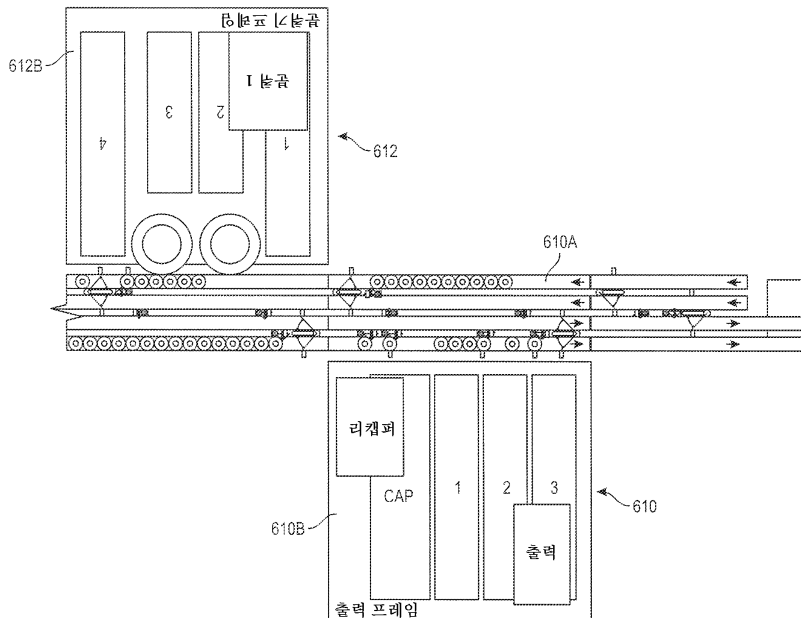
도면5



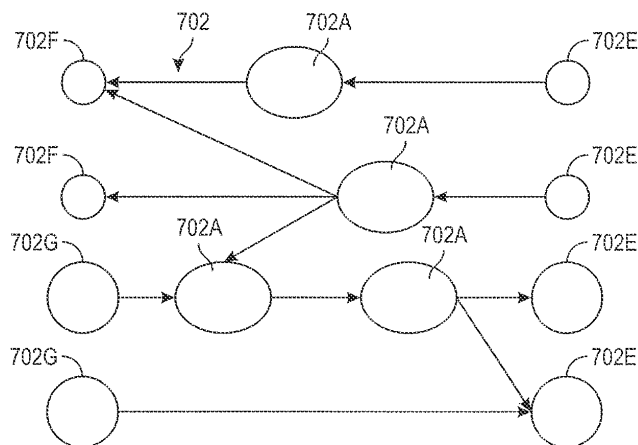
도면6



도 6 (계속)

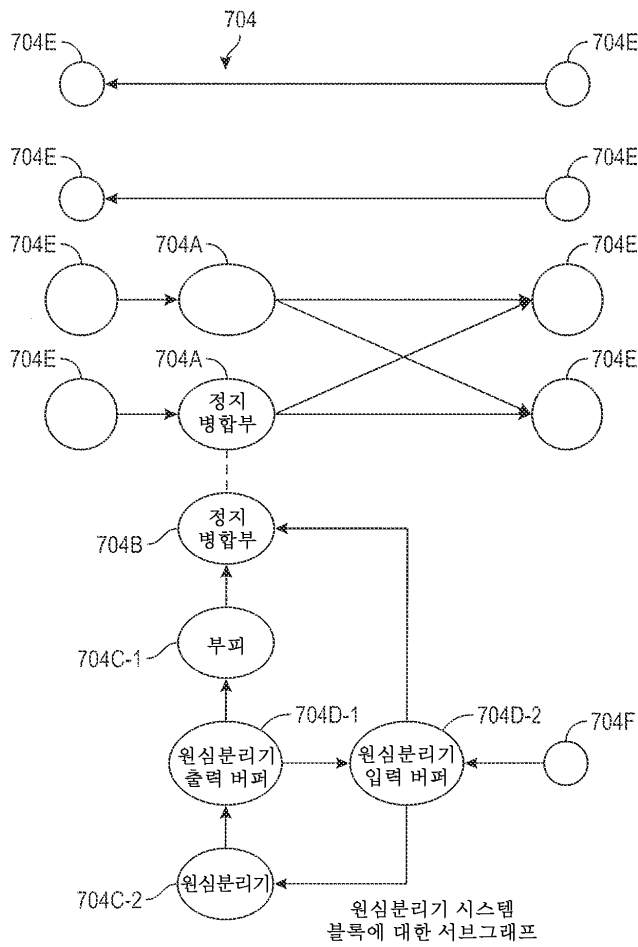


도면7a

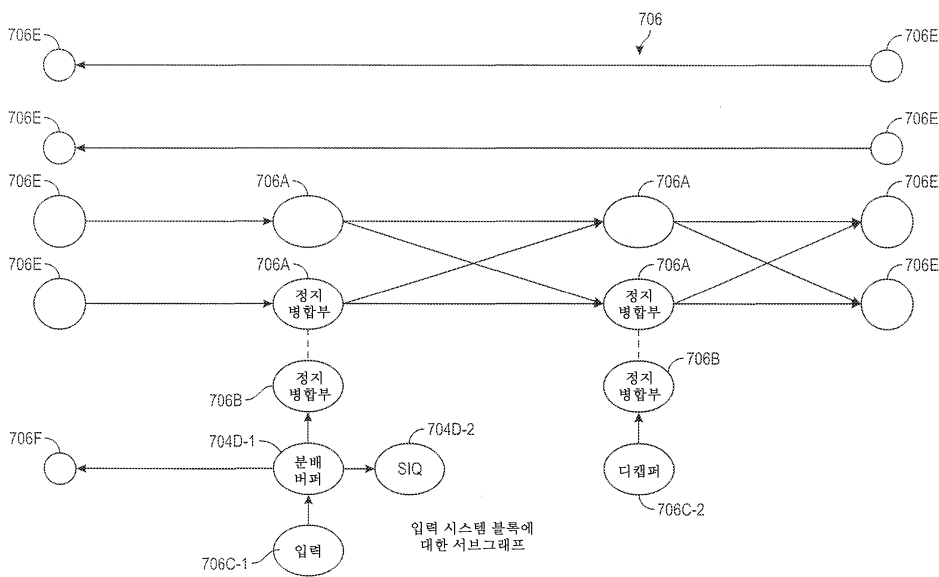


트랙 중단 시스템 블록에 대한 서브그래프

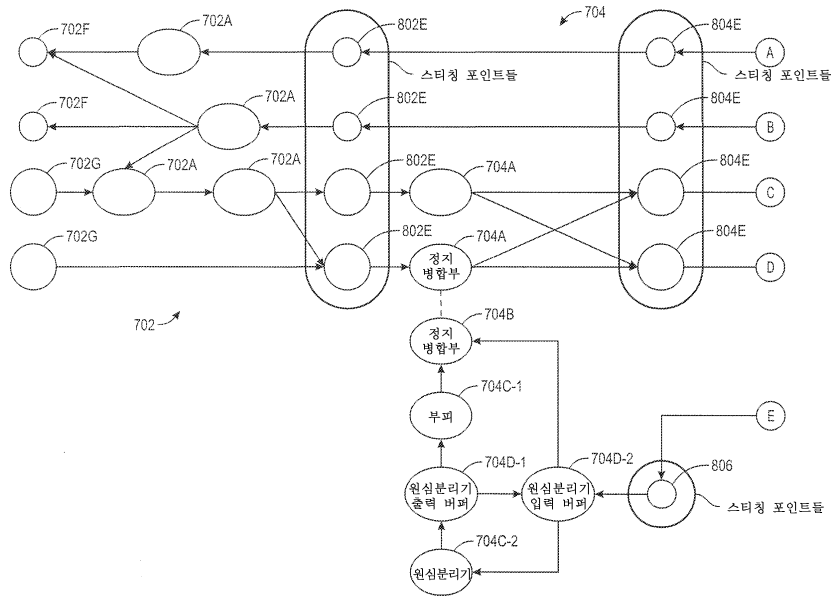
도면7b



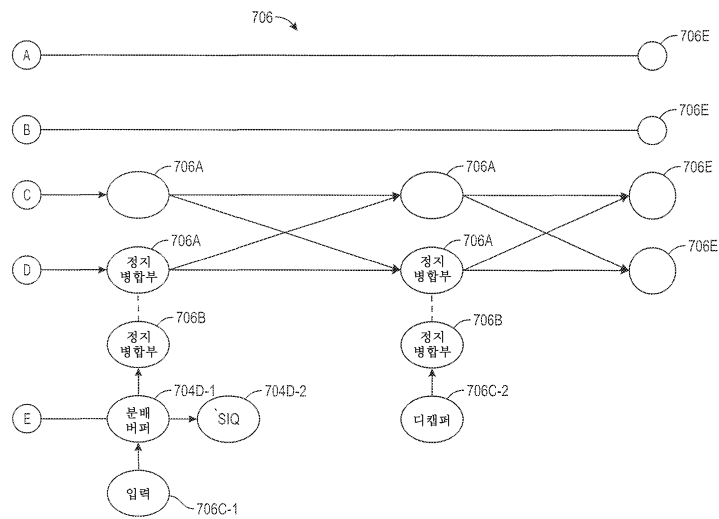
도면7c



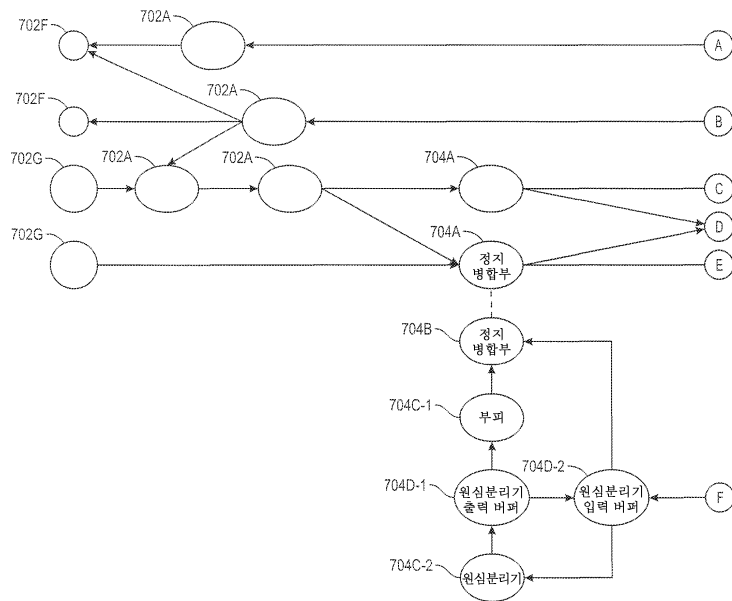
도면8



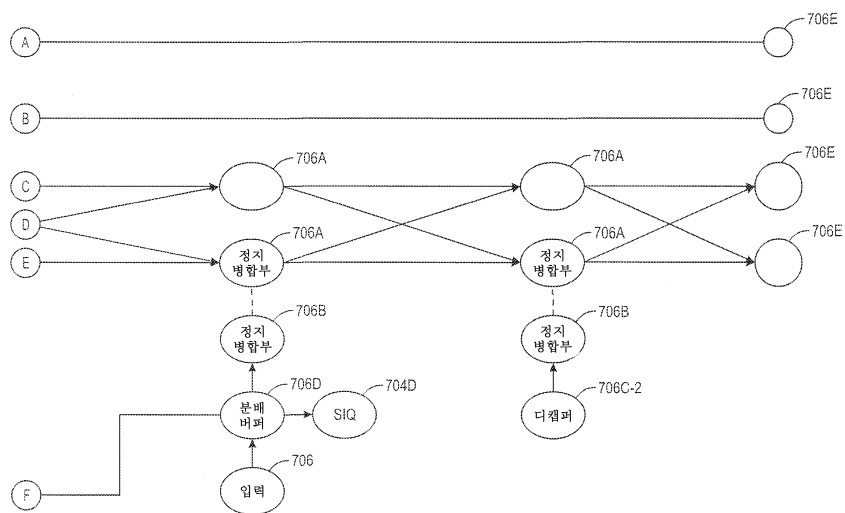
도 8 (계속)



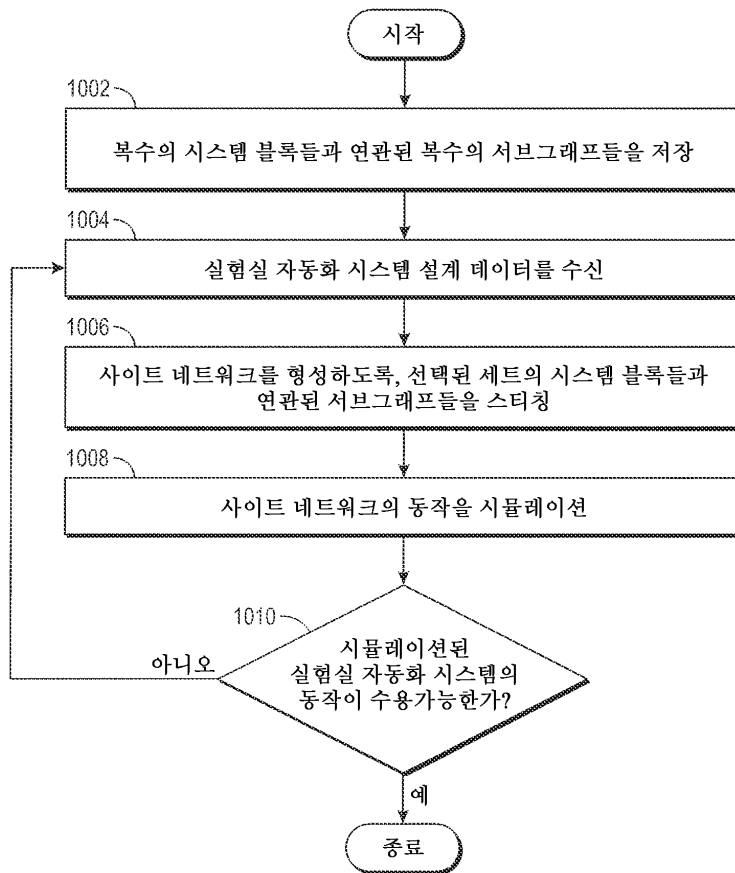
도면9



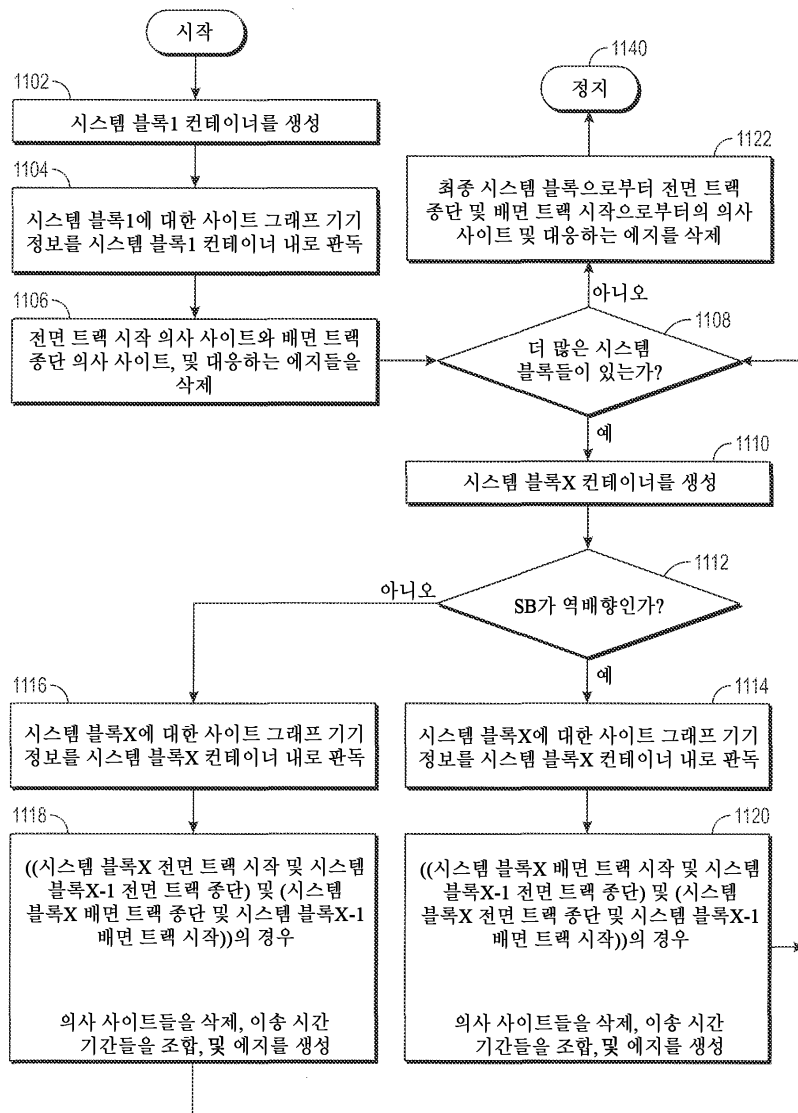
도 9 (계속)



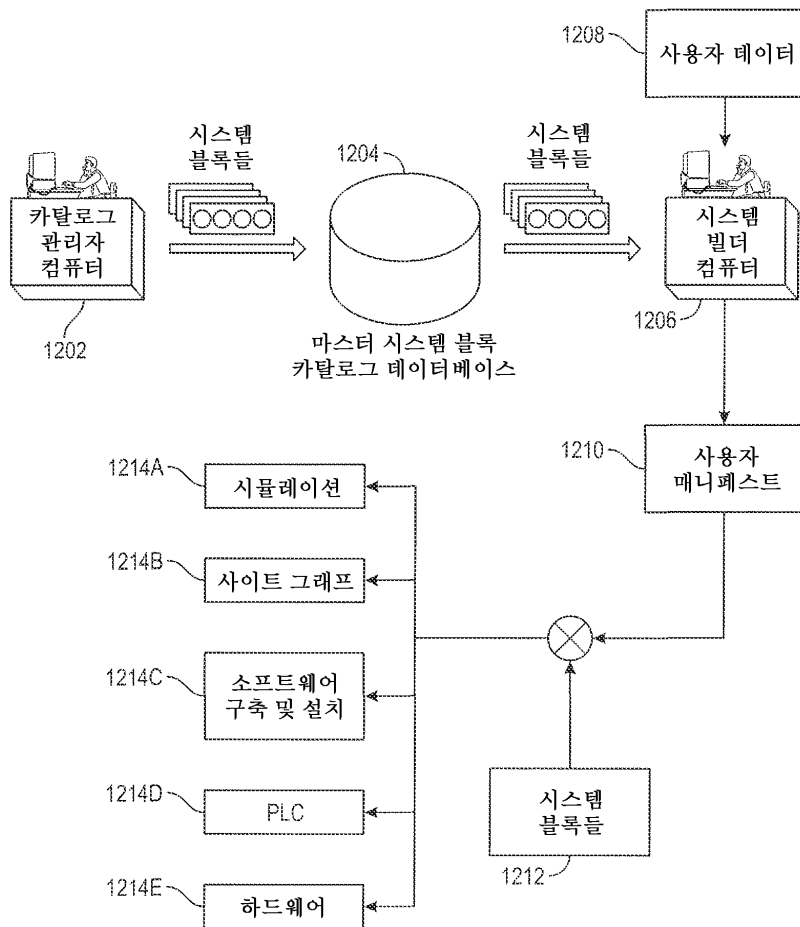
도면10



도면11



도면12



도면13

