(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 23 日(23.10.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/171005 A1

(51) 国際特許分類:
H01L 31/105 (2006.01)

(21) 国際出願番号: PCT/JP2013/061625

(22) 国際出願日: 2013 年 4 月 19 日(19.04.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者: 奥村滋一 (OKUMURA Shigekazu); 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 土井健二, 外 (DOI Kenji et al.); 〒2220033 神奈川県横浜市港北区新横浜３－９－５ 第三東昇ビル 林・土井国際特許事務所 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

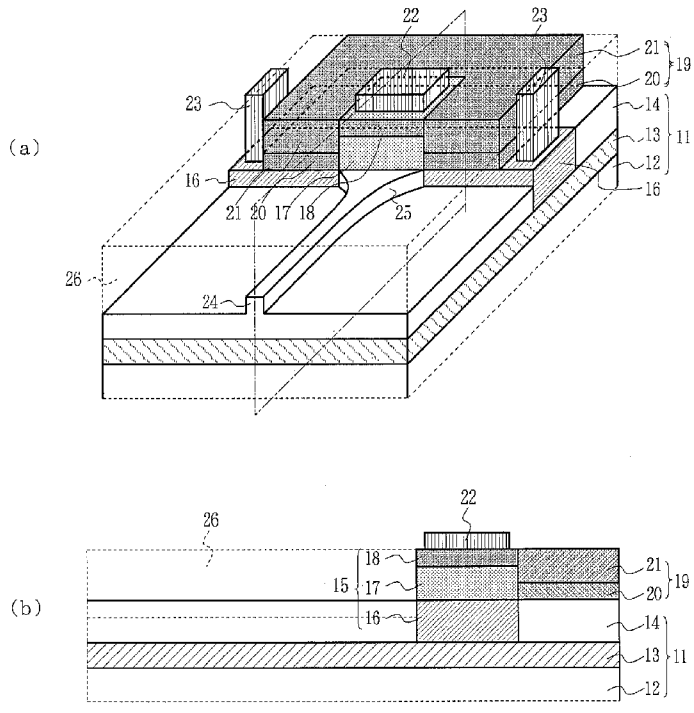
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

WO 2014/171005 A1

(54) **Title**: SEMICONDUCTOR LIGHT-RECEIVING ELEMENT AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : 半導体受光素子及びその製造方法



(57) **Abstract**: The present invention pertains to a semiconductor light-receiving element and a method for manufacturing the same, enabling operation in a wide wavelength bandwidth and achieving fast response and high response efficiency. A PIN-type photodiode is formed, which is composed of a first conductive-type Si layer, a non-doped Ge layer, and a second conductive-type Ge layer stacked in the stated order on a substrate the surface of which is a single-crystalline Si layer, and a Ge current-blocking mechanism is provided in at least part of the periphery of the PIN-type photodiode.

(57) 要約: 半導体受光素子及びその製造方法に関し、広い波長帯域での動作と高い高速応答及び高い応答効率とを両立する。表面が単結晶Ｓｉ層である基板上に第１導電型Ｓｉ層と、ノンドープＧｅ層と、第２導電型Ｇｅ層を順次積層したＰＩＮ型フォトダイオードを形成し、その周囲の少なくとも一部にＧｅ電流ブロック機構を設ける。

明　細　書

発明の名称 ： 半導体受光素子及びその製造方法

技術分野

[0001] 本発明は、半導体受光素子及びその製造方法に関するものであり、例えば、光通信及びデータ通信に用いられるＳｉ基板上に設けたGeを光吸収層とする半導体受光素子及びその製造方法に関する発明である。

背景技術

[0002] 近年のサーバＣＰＵ間のデータ伝送量の増大に伴い、従来のＣｕ配線を用いた電気信号による伝送での対応が限界に近づきつつある。このボトルネックを解消するためには、光インターコネクト、即ち、光信号によるデータ伝送が必要とされる。さらには、低消費電力、小面積化の観点から、光送受信に必要となる光送信器、光変調器、受信器等の光コンポーネントをＳｉ基板上に集積化した素子が必要となる。

[0003] また、一方で、Ｓｉ基板上に集積化された光コンポーネント間は光ファイバによって接続されるため、光ファイバでの損失が小さい波長１．５５μｍを伝送波長帯として使用することが好ましい。そこで、波長１．５５μｍ帯での光伝送で適用されるフォトディテクターとしては、１．５５μｍ近傍に吸収端をもつＧｅを吸収層として適用することが好ましい。

[0004] また、一方で、データ伝送量の増大に伴って波長多重伝送（ＷＤＭ）の必要性がある。

そこで、波長多重伝送を実現するためには、１．５５μｍより長波長の広い領域で高い応答感度を有するＧｅフォトディテクターが必要とされる。

[0005] 一般に、Ｓｉ基板上のＧｅ成長において、Ｇｅの成長温度から室温まで冷却した際に、ＳｉとＧｅの熱膨張係数差に起因してＧｅエピタキシャル層が面内方向に引っ張り歪を受ける。その結果、バルク状態のＧｅ層に比較してＳｉ基板のＧｅは吸収端が長波化することが報告されている（例えば、非特許文献１参照）。これは、フォトディテクターの波長帯域拡大の観点からは

有利な方向に働く。

[0006] 一方で、フォトディテクターは高速応答特性の向上の観点から素子容量を低減することが要求され、そのためには素子面積（素子幅）を狭くする必要がある。また、応答感度特性の向上の観点からも、空乏層で発生したフォトキャリアのドリフト中の再結合や欠陥へのトラップを抑制することが要求され、そのためには、同様に素子面積（素子幅）を狭くする必要がある。

[0007] そこで、Ｓｉ基板上のＧｅを吸収層とするフォトディテクターとして、幅が数μｍ程度のメサ型に加工することが報告されている（例えば、非特許文献２参照）。図２０は、従来のＧｅを吸収層とするフォトディテクターの概略的断面図であり、ＳＯＩ基板を用いてフォトディテクターが形成される。Ｓｉ基板８１上にＢＯＸ層８２を介して設けられたＳｉ層８３を加工しｐ型Ｓｉメサ部８４とその両脇のｐ型Ｓｉスラブ部８５を形成する。この時、図示は省略するものの、ｐ型Ｓｉメサ部８４に対してテーパ部を介して接続するストライプ状導波路を形成する。

[0008] このｐ型Ｓｉメサ部８４上に選択成長によりノンドープのＧｅ層を形成し、その表面にｎ型不純物を注入してｎ$^{++}$型Ｇｅコンタクト層８７とするとともに、不純物の導入されなかった部分をｉ型Ｇｅ光吸収層８６とする。一方、ｐ型Ｓｉスラブ部８５の一部にｐ型不純物を注入してｐ$^{++}$型Ｓｉコンタクト部８８を形成する。

[0009] 次いで、ストライプ状導波路に対する上部クラッド層となる酸化膜８９を形成し、プラグ９０，９１を形成し、ｎ側電極９２及びｐ側電極９３を形成する。ストライプ状導波路を伝播してきた光はｐ型Ｓｉメサ部を介してエバネッセント結合によりｉ型Ｇｅ光吸収層８６に伝播して吸収される。

先行技術文献

非特許文献

[0010] 非特許文献1：Ｙａｓｕｈｉｋｏ Ｉｓｈｉｋａｗａ，Ｋａｚｕｍｉ Ｗａｄａ，Ｊｉｆｅｎｇ Ｌｉｕ，Ｄｏｕｇｌａｓ Ｄ．Ｃａｎｎｏｎ，Ｈｓｉｎ－Ｃｈｉａｏ Ｌｕａｎ，Ｊｕｒｇｅｎ Ｍｉｃｈｅｌ，ａｎｄ Ｌｏｉｎ

ｅｌ Ｃ．Ｋｉｍｅｒｌｉｎｇ，Ｊｏｕｒｎａｌ Ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ ９８，０１３５０１（２００５）

非特許文献2：Ｔａｏ Ｙｉｎ，Ｒａｍｉ Ｃｏｈｅｎ，Ｍｉｋｅ Ｍ．Ｍｏｒｓｅ，Ｇａｄｉ Ｓａｒｉｄ，Ｙｏｅｌ Ｃｈｅｔｒｉｔ，Ｄｏｒｏｎ Ｒｕｂｉｎ，ａｎｄ Ｍａｒｉｏ Ｊ．Ｐａｎｉｃｃｉａ，Ｏｐｔｉｃｓ Ｅｘｐｒｅｓｓ，１５，１３９６６（２００７）

非特許文献3：Ｌ．Ｄｉｎｇ，Ｔ．Ｙ．Ｌｉｏｗ，Ａ．Ｅ．Ｊ．Ｌｉｍ，Ｎ．Ｄｕａｎ，Ｍ．Ｂ．Ｙｕ，ａｎｄ Ｇ．Ｑ．Ｌｏ，ＯＦＣ／ＮＦＯＥＣ Ｔｅｃｈｎｉｃａｌ Ｄｉｇｅｓｔ，ＯＷ３Ｇ．４（２０１２）

発明の概要

発明が解決しようとする課題

[0011] しかしながら、素子幅を狭くしていくと面内での格子緩和が進み、Ｇｅ層に導入されていた引っ張り歪が減少することが報告されている（例えば、非特許文献３参照）。その結果、素子容量低減或いはフォトキャリア消失低減のために素子幅を狭くすると、Ｇｅの吸収端が短波化し、長波長側での応答感度が低下することになる。

[0012] 一方で、長波長での応答効率を高めることを目的に面内引っ張り歪の低減を抑制するために素子幅を広げると、素子容量が増大して高速応答特性が劣化し、さらにはフォトキャリアの消失の増大により応答効率が劣化する。つまり、図２０に示した構造のフォトディテクターでは引っ張り歪導入による波長帯域幅の拡大と、微細化による高速応答特性及び応答効率の向上を同時に実現することはできないという問題がある。

[0013] したがって、半導体受光素子において広い波長帯域での動作と高い高速応答及び高い応答効率とを両立することを目的とする。

課題を解決するための手段

[0014] 開示する一観点からは、表面が単結晶Ｓｉ層である基板と、前記基板上に第１導電型Ｓｉ層と、ノンドープＧｅ層と、前記第１導電型とは反対導電型の第２導電型Ｇｅ層を順次積層したＰＩＮ型フォトダイオードと、前記ノン

ドープＧｅ層／前記第２導電型Ｇｅ層からなる積層構造の周囲の少なくとも一部に設けられたＧｅ電流ブロック機構と、前記第２導電型Ｇｅ層上に設けられた第２導電型用コンタクト電極と、前記第１導電型Ｓｉ層に設けられた第１導電型用コンタクト電極とを有することを特徴とする半導体受光素子が提供される。

[0015] また、開示する別の観点からは、表面が単結晶Ｓｉ層である基板の表面の少なくとも一部に第１導電型不純物をイオン注入して活性化するアニール工程と、少なくとも前記第１導電型不純物をイオン注入した第１導電型Ｓｉ領域上にノンドープＧｅ層を成長する工程と、前記ノンドープＧｅ層の表面にフォトダイオード形成領域を覆う第１の誘電体マスクを形成する工程と、前記第１の誘電体マスクをマスクとして前記ノンドープＧｅ層の露出部に前記第１導電型とは反対の導電型である第２導電型不純物をイオン注入する工程と、前記第１の誘電体マスクをマスクとして第２導電型不純物を注入した前記ノンドープＧｅ層の露出部に第１導電型不純物を前記第２導電型不純物より浅く注入して表面を第１導電型不純物で補償する工程と、前記フォトダイオード形成領域のみを露出する第２の誘電体マスクを形成する工程と、前記第２の誘電体マスクをマスクとして露出する前記ノンドープＧｅ層の表面に第２導電型不純物を注入する工程と、前記注入した各不純物を活性化するアニール工程とを含むことを特徴とする半導体受光素子の製造方法が提供される。

発明の効果

[0016] 開示の半導体受光素子及びその製造方法によれば、広い波長帯域での動作と高い高速応答及び高い応答効率との両立が可能になる。

図面の簡単な説明

[0017] [図1]本発明の実施の形態の半導体受光素子の斜視図及び側断面図である。

[図2]本発明の実施の形態の半導体受光素子の上面図及び断面図である。

[図3]本発明の実施例１の半導体受光素子の製造工程の途中までの説明図である。

[図4]本発明の実施例１の半導体受光素子の製造工程の図３以降の途中までの説明図である。

[図5]本発明の実施例１の半導体受光素子の製造工程の図４以降の途中までの説明図である。

[図6]本発明の実施例１の半導体受光素子の製造工程の図５以降の途中までの説明図である。

[図7]本発明の実施例１の半導体受光素子の製造工程の図６以降の途中までの説明図である。

[図8]本発明の実施例１の半導体受光素子の製造工程の図７以降の途中までの説明図である。

[図9]本発明の実施例１の半導体受光素子の製造工程の図８以降の説明図である。

[図10]本発明の実施例１の半導体受光素子の構成説明図である。

[図11]本発明の実施例２の半導体受光素子の製造工程の途中までの説明図である。

[図12]本発明の実施例２の半導体受光素子の製造工程の図１１以降の途中までの説明図である。

[図13]本発明の実施例２の半導体受光素子の製造工程の図１２以降の途中までの説明図である。

[図14]本発明の実施例２の半導体受光素子の製造工程の図１３以降の途中までの説明図である。

[図15]本発明の実施例２の半導体受光素子の製造工程の図１４以降の途中までの説明図である。

[図16]本発明の実施例２の半導体受光素子の製造工程の図１５以降の途中までの説明図である。

[図17]本発明の実施例２の半導体受光素子の製造工程の図１６以降の説明図である。

[図18]本発明の実施例２の半導体受光素子の構成説明図である。

[図19]本発明の実施例３の半導体受光素子の構成説明図である。

[図20]従来のＧｅを光吸収層とするフォトダイオードの概略的断面図である。

発明を実施するための形態

[0018] ここで、図１及び図２を参照して、本発明の実施の形態の半導体受光素子を説明する。図１は本発明の半導体受光素子の斜視図及び側断面図であり、図２は本発明の半導体受光素子の上面図及び断面図である。表面が単結晶Ｓｉ層１４である基板１１上に第１導電型Ｓｉ層１６と、ノンドープＧｅ層１７と、第２導電型Ｇｅ層１８を順次積層したＰＩＮ型フォトダイオード１５を形成する。

[0019] ノンドープＧｅ層１７／第２導電型Ｇｅ層１８からなる積層構造の周囲の少なくとも一部にＧｅ電流ブロック機構１９を設け、第２導電型Ｇｅ層１８上に第２導電型用コンタクト電極２２を設ける。一方、第１導電型Ｓｉ層１６に接続する第１導電型用コンタクト電極２３を設ける。

[0020] このＧｅ電流ブロック機構は、典型的には、基板１１側から順に第２導電型Ｇｅ層２０と第１導電型Ｇｅ層２１とを順次積層した構造である。その結果、第２導電型用コンタクト電極２２と第１導電型用コンタクト電極２３との間に第２導電型Ｇｅ層１８／第１導電型Ｇｅ層２１／第２導電型Ｇｅ層２０／第１導電型Ｓｉ層１６からなるサイリスタ構造が形成される。

[0021] サイリスタ構造が形成されると、サイリスタ構造には逆方向降伏電圧以下の逆バイアス時には逆方向電流は流れない。従って、サイリスタ構造はノンドープＧｅ層１７で発生したフォトキャリアの周辺部への拡散を防止するキャリアブロック層として機能する。その結果、キャリアパスが狭窄化され、素子容量は低減される。同時に、フォトキャリアのドリフトによる空乏層内で再結合および欠陥によるトラップも低減することが可能になる。

[0022] ＰＩＮ型フォトダイオード１５の形状は、典型的には直方体状であり、一つの側面を除いた他の３つの側面がＧｅ電流ブロック機構１９に当接するようにしても良い。この場合、Ｇｅ電流ブロック機構１９に当接していない１

つの側面において、第１導電型Ｓｉ層１６にストライプ状単結晶Ｓｉコア層２４がテーパ導波路２５を介して接続するようにしても良い。

[0023] このように、ＰＩＮ型フォトダイオード１５の周囲をＧｅからなるＧｅ電流ブロック機構１９で囲むことにより、ノンドープＧｅ層１７の周辺部で発生する歪緩和はノンドープＧｅ層１７には伝搬しない。そのため、引っ張り歪の低減によるノンドープＧｅ層１７の吸収端の短波化は発生しない。

[0024] 或いは、ＰＩＮ型フォトダイオード１５の全ての側面をＧｅ電流ブロック機構１９で囲んでも良く、その場合には、ＰＩＮ型フォトダイオード１５の頂面を光入射面とすれば良い。また、基板１１は、単結晶Ｓｉ基板でも良いが、典型的には。結晶のＳｉ基板１２上にSiO_2膜１３を介して単結晶Ｓｉ層１４が設けられたＳＯＩ基板を用いる。

[0025] この半導体受光素子を形成する場合には、表面が単結晶Ｓｉ層１４である基板１１の表面の少なくとも一部に第１導電型不純物をイオン注入して活性化するアニールを施し第１導電型不純物をイオン注入した第１導電型Ｓｉ層１６領域上にノンドープＧｅ層１７を成長させる。次いで、ノンドープＧｅ層１７の表面にフォトダイオード形成領域を覆う第１の誘電体マスクを形成し、第１の誘電体マスクをマスクとしてノンドープＧｅ層１７の露出部に２導電型不純物をイオン注入して、第２導電型Ｇｅ層２０を形成する。

[0026] 次いで、第１の誘電体マスクをマスクとして第２導電型不純物を注入したノンドープＧｅ層１７の露出部に第１導電型不純物を第２導電型不純物より浅く注入して表面を第１導電型不純物で補償して第１導電型Ｇｅ層２１を形成する。次いで、フォトダイオード形成領域のみを露出する第２の誘電体マスクを形成して、この第２の誘電体マスクをマスクとして露出するノンドープＧｅ層１７の表面に第２導電型不純物を注入して第２導電型Ｇｅ層１８を形成すれば良い。

[0027] なお、単結晶Ｓｉ層１４をエッチングしてフォトダイオード領域に接続するテーパ導波路２５と、テーパ導波路２５に接続するストライプ状単結晶Ｓｉコア層２４を形成しても良い。

[0028] また、ノンドープＧｅ層１７の成長工程としては、二次元的成長により平坦な層を形成するために相対的に低温で成長する第１の成長工程と、高品質の結晶の成長が可能な相対的に高温で成長する第２の成長工程からなる二段成長工程を用いることが望ましい。なお、ノンドープＧｅ層１７の成長方法としては、減圧化学気相成長法或いは分子ビームエピタキシャル成長法が典型的なものである。

[0029] 本発明の実施の形態によれば、光吸収層となるノンドープＧｅ層１７の周囲にはＧｅ層が設けられているので、緩和歪は抑制され、ノンドープＧｅ層１７の吸収端の短波化を抑制される。それと同時に、素子容量の低減ならびに欠陥によるフォトキャリアのトラップを低減することが可能となる。その結果、広い波長帯域での動作と、高い高速応答・応答効率を同時に実現することが可能となる。

実施例 1

[0030] 次に、図３乃至図１０を参照して、本発明の実施例１の半導体受光素子の製造工程を説明する。なお、図３乃至図９における図（ａ）は概念的斜視図であり、図（ｂ）は図（ａ）における一点鎖線の平行四辺形に沿った断面図である。まず、図３に示すように、主面が（００１）のＳｉ基板３１上に厚さが３．０μｍのＢＯＸ層３２を介して厚さが０．３μｍの単結晶のｉ型Ｓｉ層３３を設けたＳＯＩ基板を用意する。

[0031] 次いで、ｉ型Ｓｉ層３３上にレジストを塗布し、電子ビームリソグラフィーによりＳｉパッシブ導波路形状を露光し、ウエットエッチングによる現像を行う。次いで、ＩＣＰ（誘導結合型プラズマ）ドライエッチングにより、コア層３５とスラブ部３６からなるＳｉリブ型導波路３４を形成する。なお、ｉ型Ｓｉ層３３と接する側にはテーパ部３７を設ける。

[0032] 次いで、図４に示すように、全面にＣＶＤ法によりSiO_2膜を堆積し、パターニングを行い、受光部及びサイリスタ部を形成する領域のみを開口するイオン注入マスク３８を形成する。次いで、イオン注入マスク３８をマスクとしてＢをイオン注入する。この場合の注入エネルギーは４０ｋｅＶでド－

ズ量は５．０×１０^{14}ｃｍ$^{-2}$である。次いで、イオン注入したＢを活性化する１０５０℃で１秒間のアニール処理を行ってｐ型Ｓｉ層３９を形成する。ｐ型Ｓｉ層３９の不純物濃度は、１．０×１０^{18}ｃｍ$^{-3}$～３．０×１０^{19}ｃｍ$^{-3}$とする。

[0033] 次いで、図５に示すように、SiO_2膜からなる選択成長マスク４０を設け、減圧ＣＶＤ法を用いて厚さが０．８μｍのｉ型Ｇｅ層４１を選択成長させる。この場合、原料ガスとしてGeH_4を用い、キャリアガスとしてH_2を用い、まず、４００℃の低温において、０．１μｍ成長させ、次いで、７００℃の高温において０．７μｍ成長させる。

[0034] 次いで、図６に示すように、サイリスタ構造を形成する部分のみを開口させたSiO_2膜からなるイオン注入マスク４２を形成する。次いで、このイオン注入マスク４２をマスクとしてＰをイオン注入することによってｉ型Ｇｅ層４１全体をドーピングする。この場合の注入エネルギーは、６００ｋｅＶとし、ドーズ量は１．０×１０^{14}ｃｍ$^{-2}$とする。その結果、ｎ型Ｇｅ層４３の不純物濃度は１．０×１０^{18}ｃｍ$^{-3}$～２．０×１０^{18}ｃｍ$^{-3}$となる。

[0035] 次いで、図７に示すように、同じイオン注入マスク４２をマスクとして、Ｂを浅くイオン注入して、上側の０．５μｍのみ補償してｐ型Ｇｅ層４４とし、下側の０．３μｍは補償されずにｎ型Ｇｅ層４３として残る。なお、この場合の注入エネルギーは１００ｋｅＶとし、ドーズ量は３．０×１０^{14}ｃｍ$^{-2}$とする。その結果、ｐ型Ｇｅ層４４における不純物濃度は１．０×１０^{18}ｃｍ$^{-3}$～１．０×１０^{19}ｃｍ$^{-3}$となる。

[0036] 次いで、図８に示すように、イオン注入マスク４２をフッ酸で除去したのち、フォトダイオード形成領域のみを開口させたSiO_2膜からなるイオン注入マスク４５を新たに形成する。このイオン注入マスク４５をマスクとして、Ｐをイオン注入して上側の０．３μｍの部分をｎ型Ｇｅ層４６にする。この場合の注入エネルギーは、４０ｋｅＶとし、ドーズ量は１．０×１０^{14}ｃｍ$^{-2}$とする。その結果、ｎ型Ｇｅ層４６の不純物濃度は４．０×１０^{18}ｃｍ$^{-3}$～１．０×１０^{19}ｃｍ$^{-3}$となり、表面から０．３μｍの位置における不純物

濃度は１．０×１０^{16}ｃｍ$^{-3}$となる。

[0037] 次いで、図９に示すように、イオン注入マスク４５をフッ酸で除去したのち、１０５０℃で１秒間の活性化アニールを行って注入した不純物を活性化する。次いで、減圧ＣＶＤ法を用いて上部クラッド層４７となるとともに素子部においてはパッシベーション膜となるSiO_2膜を堆積させた後、ＣＭＰ（化学機械研磨）法によりSiO_2膜とＧｅ層の表面を平坦化する。

[0038] 次いで、図においては省略するものの、平坦化した表面にレジストを塗布して電子ビームリソグラフィーによりコンタクトホール形状を露光し、ウエットエッチングによる現像を行う。次いで、ＩＣＰドライエッチング法とＨＦによるウエットエッチング法により、コンタクトホールを形成する。

[0039] 次いで、スパッタリング法によりバリアメタルとなるＴｉＮ膜を成膜した後、コンタクトホールをＡｌで埋め込む。次いで、コンタクトホールの形成に用いたレジストを除去すると同時に、レジスト上に堆積したＡｌをリフトオフしてｎ側電極４８及びｐ側電極４９を形成することによって、本発明の実施例１の半導体受光素子の基本構成が完成する。

[0040] 図１０は、本発明の実施例１の半導体受光素子の構成説明図であり、図１０（ａ）は上面図であり、図１０（ｂ）は図１０（ａ）におけるＡ－Ａ′を結ぶ一点鎖線に沿った断面図である。図に示すように、ｎ型Ｇｅ層４６／ｉ型Ｇｅ層４１／ｐ型Ｓｉ層３９からなるＰＩＮ型フォトダイオードの３つの側面はｐ型Ｇｅ層４４／ｎ型Ｇｅ層４３で囲まれているので、３つの端面における歪緩和の影響がＰＩＮ型フォトダイオード部に及ぶことが抑制される。また、ＰＩＮ型フォトダイオードの両側面には、ｎ型Ｇｅ層４６／ｐ型Ｇｅ層４４／ｎ型Ｇｅ層４３／ｐ型Ｓｉ層３９からなるサイリスタ構造が形成され電流ブロック層として機能するのでリーク電流を低減することが可能になる。なお、光入射面と反対側では、ｎ型Ｇｅ層４６／ｐ型Ｇｅ層４４／ｎ型Ｇｅ層４３／ｉ型Ｓｉ層３３／ｐ型Ｓｉ層３９からなる疑似サイリスタ的な電流ブロック機構が形成される。

[0041] コア層３５に入射した信号光は、テーパ部３７を介してｐ型Ｓｉ層３９に

伝播され、エバネッセント結合により、ｉ型Ｇｅ層４１に伝播して吸収され、電気信号としてｎ側電極４８から取り出される。なお、ｐ側電極４９は通常は接地電位に設定される。

実施例 2

[0042] 次に、図１１乃至図１８を参照して、本発明の実施例２の半導体受光素子を製造工程を説明するが、導電型を反転させただけで基本的な工程は上記の実施例１と同様である。なお、図１１乃至図１７における図（ａ）は概念的斜視図であり、図（ｂ）は図（ａ）における一点鎖線の平行四辺形に沿った断面図である。まず、図１１に示すように、主面が（００１）のＳｉ基板５１上に厚さが３．０μｍのＢＯＸ層５２を介して厚さが０．３μｍの単結晶のｉ型Ｓｉ層５３を設けたＳＯＩ基板を用意する。

[0043] 次いで、ｉ型Ｓｉ層５３上にレジストを塗布し、電子ビームリソグラフィーによりＳｉパッシブ導波路形状を露光し、ウエットエッチングによる現像を行う。次いで、ＩＣＰドライエッチングにより、コア層５５とスラブ部５６からなるＳｉリブ型導波路５４を形成する。なお、ｉ型Ｓｉ層５３と接する側にはテーパ部５７を設ける。

[0044] 次いで、図１２に示すように、全面にＣＶＤ法によりSiO_2膜を堆積し、パターニングを行い、受光部及びサイリスタ部を形成する領域のみを開口するイオン注入マスク５８を形成する。次いで、イオン注入マスク５８をマスクとしてＰをイオン注入する。この場合の注入エネルギーは１５０ｋｅＶでドーズ量は５．０×10^{14}ｃｍ$^{-2}$である。次いで、イオン注入したＢを活性化する１０５０℃で１秒間のアニール処理を行ってｎ型Ｓｉ層５９を形成する。ｎ型Ｓｉ層５９の不純物濃度は、１．０×10^{18}ｃｍ$^{-3}$～３．０×10^{19}ｃｍ$^{-3}$とする。

[0045] 次いで、図１３に示すように、SiO_2膜からなる選択成長マスク６０を設け、減圧ＣＶＤ法を用いて厚さが０．８μｍのｉ型Ｇｅ層６１を選択成長させる。この場合、原料ガスとしてGeH_4を用い、キャリアガスとしてH_2を用い、まず、６００℃の低温において、０．１μｍ成長させ、次いで、７０

０℃の高温において０．７μｍ成長させる。

[0046] 次いで、図１４に示すように、サイリスタ構造を形成する部分のみを開口させたＳｉＯ$_2$膜からなるイオン注入マスク６２を形成する。次いで、このイオン注入マスク６２をマスクとしてＢをイオン注入することによってｉ型Ｇｅ層６１全体をドーピングする。この場合の注入エネルギーは、２００ｋｅＶとし、ドーズ量は３．０×１０^{14}ｃｍ$^{-2}$とする。その結果、ｐ型Ｇｅ層６３の不純物濃度は２．０×１０^{18}ｃｍ$^{-3}$～６．０×１０^{18}ｃｍ$^{-3}$となる。

[0047] 次いで、図１５に示すように、同じイオン注入マスク６２をマスクとして、Ｐを浅くイオン注入して、上側の０．５μｍのみ補償してｎ型Ｇｅ層６４とし、下側の０．３μｍは補償されずにｐ型Ｇｅ層６３として残る。なお、この場合の注入エネルギーは３５０ｋｅＶとし、ドーズ量は８．０×１０^{14}ｃｍ$^{-2}$とする。その結果、ｎ型Ｇｅ層６４における不純物濃度は１．０×１０^{18}ｃｍ$^{-3}$～３．０×１０^{19}ｃｍ$^{-3}$となる。

[0048] 次いで、図１６に示すように、イオン注入マスク６２をフッ酸で除去したのち、フォトダイオード形成領域のみを開口させたＳｉＯ$_2$膜からなるイオン注入マスク６５を新たに形成する。このイオン注入マスク６５をマスクとして、Ｂをイオン注入して上側の０．３μｍの部分をｐ型Ｇｅ層６６にする。この場合の注入エネルギーは、２０ｋｅＶとし、ドーズ量は２．０×１０^{14}ｃｍ$^{-2}$とする。その結果、ｐ型Ｇｅ層６６の不純物濃度は５０×１０^{18}ｃｍ$^{-3}$～２．０×１０^{19}ｃｍ$^{-3}$となり、表面から０．３μｍの位置における不純物濃度は１．０×１０^{16}ｃｍ$^{-3}$となる。

[0049] 次いで、図１７に示すように、イオン注入マスク６５をフッ酸で除去したのち、１０５０℃で１秒間の活性化アニールを行って注入した不純物を活性化する。次いで、減圧ＣＶＤ法を用いて上部クラッド層６７となるとともに素子部においてはパッシベーション膜となるＳｉＯ$_2$膜を堆積させた後、ＣＭＰ法によりＳｉＯ$_2$膜とＧｅ層の表面を平坦化する。

[0050] 次いで、図においては省略するものの、平坦化した表面にレジストを塗布して電子ビームリソグラフィーによりコンタクトホール形状を露光し、ウエ

ットエッチングによる現像を行う。次いで、ＩＣＰドライエッチング法とＨＦによるウエットエッチング法により、コンタクトホールを形成する。

[0051] 次いで、スパッタリング法によりバリアメタルとなるＴｉＮ膜を成膜した後、コンタクトホールをＡｌで埋め込む。次いで、コンタクトホールの形成に用いたレジストを除去すると同時に、レジスト上に堆積したＡｌをリフトオフしてｐ側電極６８及びｎ側電極６９を形成することによって、本発明の実施例２の半導体受光素子の基本構成が完成する。

[0052] 図１８は、本発明の実施例２の半導体受光素子の構成説明図であり、図１８（ａ）は上面図であり、図１８（ｂ）は図１８（ａ）におけるＡ－Ａ′を結ぶ一点鎖線に沿った断面図である。図に示すように、ｐ型Ｇｅ層６６／ｉ型Ｇｅ層６１／ｎ型Ｓｉ層５９からなるＰＩＮ型フォトダイオードの３つの側面はｎ型Ｇｅ層６４／ｐ型Ｇｅ層６３で囲まれているので、３つの端面における歪緩和の影響がＰＩＮ型フォトダイオード部に及ぶことが抑制される。また、ＰＩＮ型フォトダイオードの両側面には、ｐ型Ｇｅ層６６／ｎ型Ｇｅ層６４／ｐ型Ｇｅ層６３／ｎ型Ｓｉ層５９からなるサイリスタ構造が形成され電流ブロック層として機能するのでリーク電流を低減することが可能になる。なお、光入射面と反対側では、ｐ型Ｇｅ層６６／ｎ型Ｇｅ層６４／ｐ型Ｇｅ層６３／ｉ型Ｓｉ層５３／ｎ型Ｓｉ層５９からなる疑似サイリスタ的な電流ブロック機構が形成される。

[0053] コア層５５に入射した信号光は、テーパ部５７を介してｎ型Ｓｉ層５９に伝播され、エバネッセント結合により、ｉ型Ｇｅ層６１に伝播して吸収され、電気信号としてｐ側電極６８から取り出される。なお、ｎ側電極６９は通常は接地電位に設定される。

実施例 3

[0054] 次に、図１９を参照して、本発明の実施例３の半導体受光素子を説明するが、Ｓｉリブ型導波路を設けずに単純な受光素子としたものである以外、基本的な製造工程は上記の実施例１と同様であるので、最終的な構造のみを示す。なお、図１９（ａ）は、上面図であり、図１９（ｂ）は、図１９（ａ）

におけるＡ－Ａ′を結ぶ一点鎖線に沿った断面図である。

[0055] 主面が（００１）のＳｉ基板７１上に厚さが３．０μｍのＢＯＸ層７２を介して厚さが０．３μｍの単結晶のｉ型Ｓｉ層を設けたＳＯＩ基板を用意する。次いで、ｉ型Ｓｉ層上に受光部及びサイリスタ部を形成する領域のみを開口するイオン注入マスクを形成し、このイオン注入マスクをマスクとしてＢをイオン注入する。この場合の注入エネルギーは４０ｋｅＶでドーズ量は５．０×10^{14}ｃｍ$^{-2}$である。次いで、イオン注入したＢを活性化する１０５０℃で１秒間のアニール処理を行ってｐ型Ｓｉ層７３を形成する。ｐ型Ｓｉ層７３の不純物濃度は、１．０×10^{18}ｃｍ$^{-3}$～３．０×10^{19}ｃｍ$^{-3}$とする。

[0056] 次いで、SiO_2膜からなる選択成長マスクを設け、減圧ＣＶＤ法を用いてｐ型Ｓｉ層７３上に厚さが０．８μｍのｉ型Ｇｅ層７４を選択成長させる。この場合、原料ガスとしてGeH_4を用い、キャリアガスとしてH_2を用い、まず、４００℃の低温において、０．１μｍ成長させ、次いで、７００℃の高温において０．７μｍ成長させる。

[0057] 次いで、サイリスタ構造を形成する部分のみを開口させたSiO_2膜からなるイオン注入マスクを形成し、このイオン注入マスクをマスクとしてＰをイオン注入することによってｉ型Ｇｅ層７４全体をドーピングする。この場合の注入エネルギーは、６００ｋｅＶとし、ドーズ量は１．０×10^{14}ｃｍ$^{-2}$とする。その結果、ｎ型Ｇｅ層７５の不純物濃度は１．０×10^{18}ｃｍ$^{-3}$～２．０×10^{18}ｃｍ$^{-3}$となる。

[0058] 次いで、同じイオン注入マスクをマスクとして、Ｂを浅くイオン注入して、上側の０．５μｍのみ補償してｐ型Ｇｅ層７６とし、下側の０．３μｍは補償されずにｎ型Ｇｅ層７５として残る。なお、この場合の注入エネルギーは１００ｋｅＶとし、ドーズ量は３．０×10^{14}ｃｍ$^{-2}$とする。その結果、ｐ型Ｇｅ層７６における不純物濃度は１．０×10^{18}ｃｍ$^{-3}$～１．０×10^{19}ｃｍ$^{-3}$となる。

[0059] 次いで、イオン注入マスクをフッ酸で除去したのち、フォトダイオード形

成領域のみを開口させたＳｉＯ$_2$膜からなるイオン注入マスクを新たに形成する。このイオン注入マスクをマスクとして、Ｐをイオン注入して上側の０．３μｍの部分をｎ型Ｇｅ層７７にする。この場合の注入エネルギーは、４０ｋｅＶとし、ドーズ量は１．０×１０^{14}ｃｍ$^{-2}$とする。その結果、ｎ型Ｇｅ層７７の不純物濃度は４．０×１０^{18}ｃｍ$^{-3}$～１．０×１０^{19}ｃｍ$^{-3}$となり、表面から０．３μｍの位置における不純物濃度は１．０×１０^{16}ｃｍ$^{-3}$となる。

[0060] 次いで、イオン注入マスクをフッ酸で除去したのち、１０５０℃で１秒間の活性化アニールを行って注入した不純物を活性化する。次いで、パッシベーション膜７８となるＳｉＯ$_2$膜を堆積させた後、ＣＭＰ法によりＳｉＯ$_2$膜とＧｅ層の表面を平坦化する。

[0061] 次いで、平坦化した表面にレジストを塗布して電子ビームリソグラフィーによりコンタクトホール形状を露光し、ウエットエッチングによる現像を行う。次いで、ＩＣＰドライエッチング法とＨＦによるウエットエッチング法により、コンタクトホールを形成する。

[0062] 次いで、スパッタリング法によりバリアメタルとなるＴｉＮ膜を成膜した後、コンタクトホールをＡｌで埋め込む。次いで、コンタクトホールの形成に用いたレジストを除去すると同時に、レジスト上に堆積したＡｌをリフトオフして環状のｎ側電極７９及びｐ側電極８０を形成することによって、本発明の実施例３の半導体受光素子の基本構成が完成する。

[0063] このように、本発明の実施例３においては、ＰＩＮ型フォトダイオードの全ての側面がｐ型Ｇｅ層７６／ｎ型Ｇｅ層７５で囲まれているので、端部における歪緩和の影響がＰＩＮ型フォトダイオード部に及ぶことが完全に抑制される。また、ＰＩＮ型フォトダイオードの全周囲には、ｎ型Ｇｅ層７７／ｐ型Ｇｅ層７６／ｎ型Ｇｅ層７５／ｐ型Ｓｉ層７３からなるサイリスタ構造が形成され電流ブロック層として機能するのでリーク電流を低減することが可能になる。

[0064] この実施例３の半導体受光素子においては、図において、上方から光が入

射してｎ型Ｇｅ層７７を透過してｉ型Ｇｅ層７４で吸収され、電気信号としてｎ側電極７９から取り出される。この場合、ｐ側電極８０は接地電位に設定しておく。

符号の説明

[0065] １１　基板

１２　Ｓｉ基板

１３　SiO_2膜

１４　単結晶Ｓｉ層

１５　ＰＩＮ型フォトダイオード

１６　第１導電型Ｓｉ層

１７　ノンドープＧｅ層

１８　第２導電型Ｇｅ層

１９　Ｇｅ電流ブロック機構

２０　第２導電型Ｇｅ層

２１　第１導電型Ｇｅ層

２２　第２導電型用コンタクト電極

２３　第１導電型用コンタクト電極

２４　ストライプ状単結晶Ｓｉコア層

２５　テーパ導波路

２６　上部クラッド層

３１，５１，７１　Ｓｉ基板

３２，５２，７２　ＢＯＸ層

３３，５３　ｉ型Ｓｉ層

３４，５４　Ｓｉリブ型導波路

３５，５５　コア層

３６，５６　スラブ部

３７，５７　テーパ部

３８，５８　イオン注入マスク

３９，７３　ｐ型Ｓｉ層

４０，６０　選択成長マスク

４１，６１，７４　ｉ型Ｇｅ層

４２，６２　イオン注入マスク

４３，７５　ｎ型Ｇｅ層

４４，７６　ｐ型Ｇｅ層

４５，６５　イオン注入マスク

４６，７７　ｎ型Ｇｅ層

４７，６７　上部クラッド層

４８，７９　ｎ側電極

４９，８０　ｐ側電極

５９　ｎ型Ｓｉ層

６３　ｐ型Ｇｅ層

６４　ｎ型Ｇｅ層

６６　ｐ型Ｇｅ層

６８　ｐ側電極

６９　ｎ側電極

７８　パッシベーション膜

８１　Ｓｉ基板

８２　ＢＯＸ層

８３　Ｓｉ層

８４　ｐ型Ｓｉメサ部

８５　ｐ型Ｓｉスラブ部

８６　ｉ型Ｇｅ光吸収層

８７　n^{++}型Ｇｅコンタクト層

８８　p^{++}型Ｓｉコンタクト部

８９　酸化膜

９０，９１　プラグ

９２　ｎ側電極

９３　ｐ側電極

請求の範囲

[請求項1] 表面が単結晶Ｓｉ層である基板と、

前記基板上に第１導電型Ｓｉ層と、ノンドープＧｅ層と、前記第１導電型とは反対導電型の第２導電型Ｇｅ層を順次積層したＰＩＮ型フォトダイオードと、

前記ノンドープＧｅ層／前記第２導電型Ｇｅ層からなる積層構造の周囲の少なくとも一部に設けられたＧｅ電流ブロック機構と、

前記第２導電型Ｇｅ層上に設けられた第２導電型用コンタクト電極と、

前記第１導電型Ｓｉ層に設けられた第１導電型用コンタクト電極とを有することを特徴とする半導体受光素子。

[請求項2] 前記Ｇｅ電流ブロック機構が、基板側から順に第２導電型Ｇｅ層と第１導電型Ｇｅ層とが順次積層した構造であり、

前記第２導電型用コンタクト電極と前記第１導電型用コンタクト電極との間に第２導電型Ｇｅ層－第１導電型Ｇｅ層－第２導電型Ｇｅ層－第１導電型Ｓｉ層からなるサイリスタ構造が形成されていることを特徴とする請求項１に記載の半導体受光素子。

[請求項3] 前記ＰＩＮ型フォトダイオードの形状が直方体状であり、一つの側面を除いた他の３つの側面が前記Ｇｅ電流ブロック機構に当接していることを特徴とする請求項２に記載の半導体受光素子。

[請求項4] 前記Ｇｅ電流ブロック機構に当接していない１つの側面において、前記第１導電型Ｓｉ層にストライプ状単結晶Ｓｉコア層がテーパ導波路を介して接続していることを特徴とする請求項３に記載の半導体受光素子。

[請求項5] 前記ＰＩＮ型フォトダイオードの全ての側面が前記Ｇｅ電流ブロック機構に囲まれており、前記ＰＩＮ型フォトダイオードの頂面が光入射面であることを特徴とする請求項１または請求項２に記載の半導体受光素子。

［請求項6］ 前記基板が、単結晶Ｓｉ基板上にSiO_2膜を介して単結晶Ｓｉ層が設けられたＳＯＩ基板であることを特徴とする請求項１乃至請求項５のいずれか１項に記載の半導体受光素子。

［請求項7］ 表面が単結晶Ｓｉ層である基板の表面の少なくとも一部に第１導電型不純物をイオン注入して活性化するアニール工程と、

少なくとも前記第１導電型不純物をイオン注入した第１導電型Ｓｉ領域上にノンドープＧｅ層を成長する工程と、

前記ノンドープＧｅ層の表面にフォトダイオード形成領域を覆う第１の誘電体マスクを形成する工程と、

前記第１の誘電体マスクをマスクとして前記ノンドープＧｅ層の露出部に前記第１導電型とは反対の導電型である第２導電型不純物をイオン注入する工程と、

前記第１の誘電体マスクをマスクとして前記ノンドープＧｅ層の露出部に第１導電型不純物を前記第２導電型不純物より浅く注入して表面を第１導電型不純物で補償する工程と、

前記フォトダイオード形成領域のみを露出する第２の誘電体マスクを形成する工程と、前記第２の誘電体マスクをマスクとして露出する前記ノンドープＧｅ層の表面に第２導電型不純物を注入する工程と、

前記注入した各不純物を活性化するアニール工程と

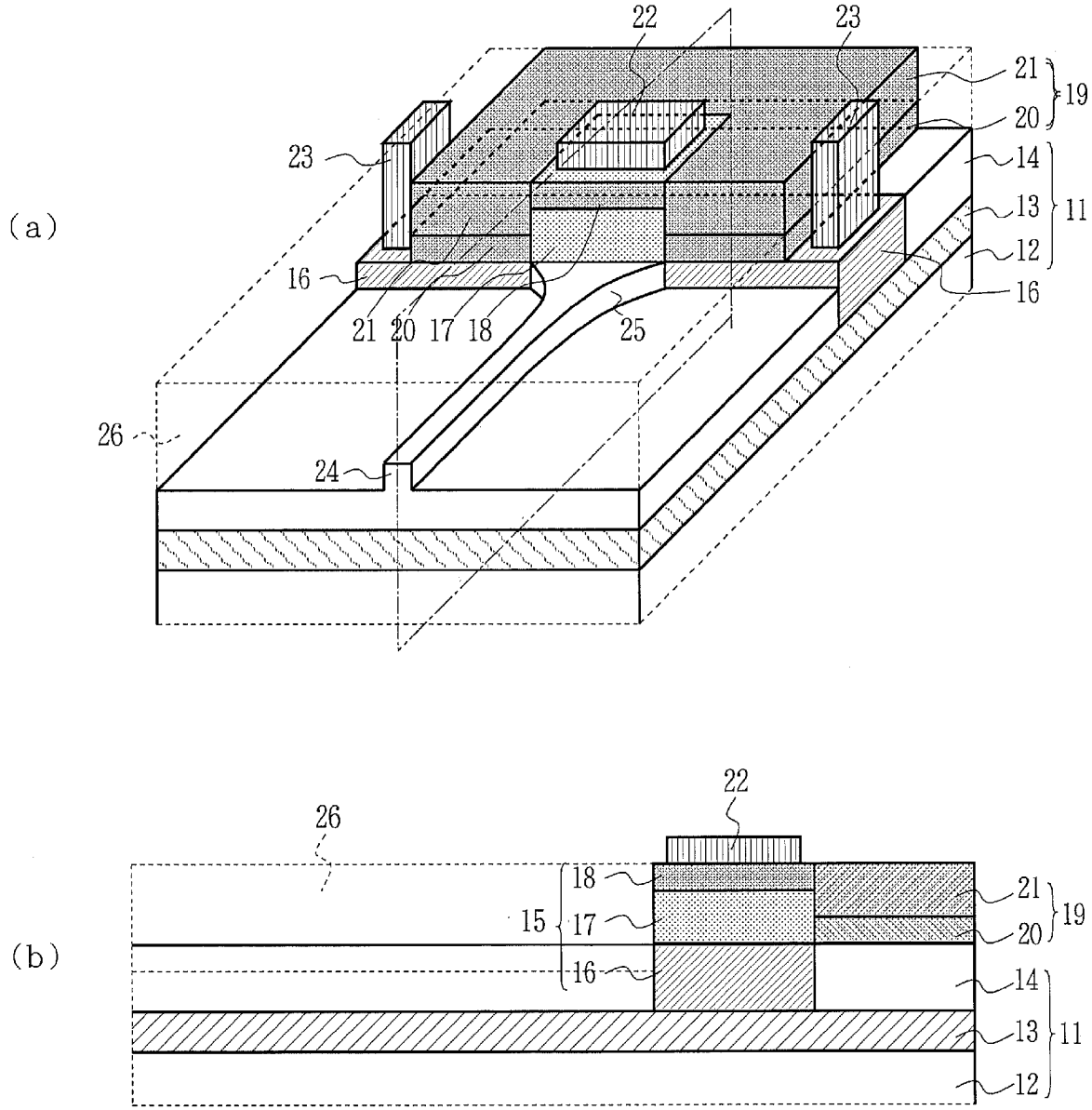
を含むことを特徴とする半導体受光素子の製造方法。

［請求項8］ 前記単結晶Ｓｉ層をエッチングして前記フォトダイオード領域に接続するテーパ導波路部と、前記テーパ導波路部に接続するストライプ状コア層を形成する工程を有することを特徴とする請求項７に記載の半導体受光素子の製造方法。

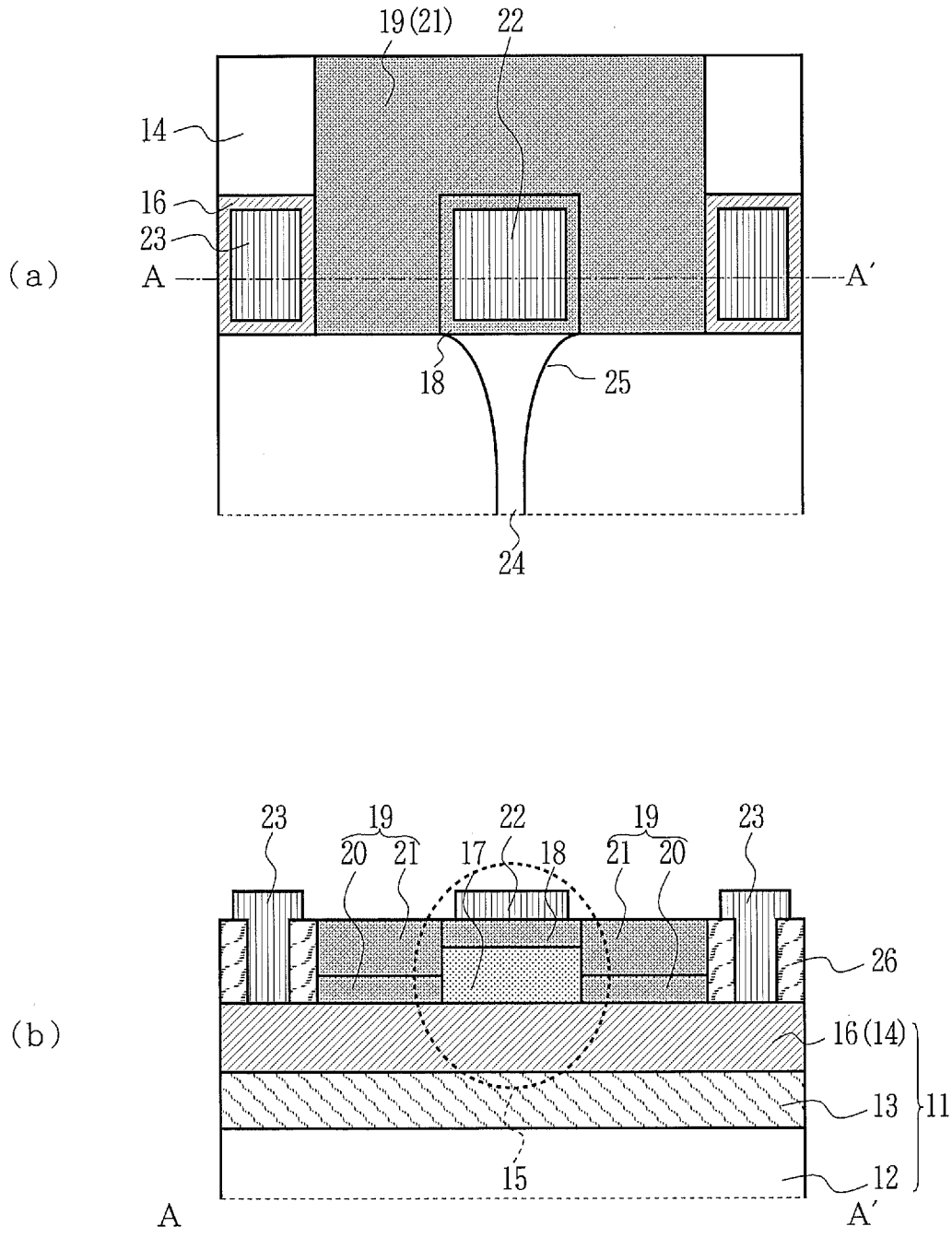
［請求項9］ 前記ノンドープＧｅ層の成長工程が、相対的に低温で成長する第１の成長工程と、前記前記第１の成長工程より相対的に高温で成長する第２の成長工程からなる二段成長工程であることを特徴とする請求項７または請求項８に記載の半導体受光素子の製造方法。

［請求項10］ 前記ノンドープＧｅ層の成長方法が、減圧化学気相成長法或いは分子ビームエピタキシャル成長法のいずれかであることを特徴とする請求項７乃至請求項９のいずれか１項に記載の半導体受光素子の製造方法。

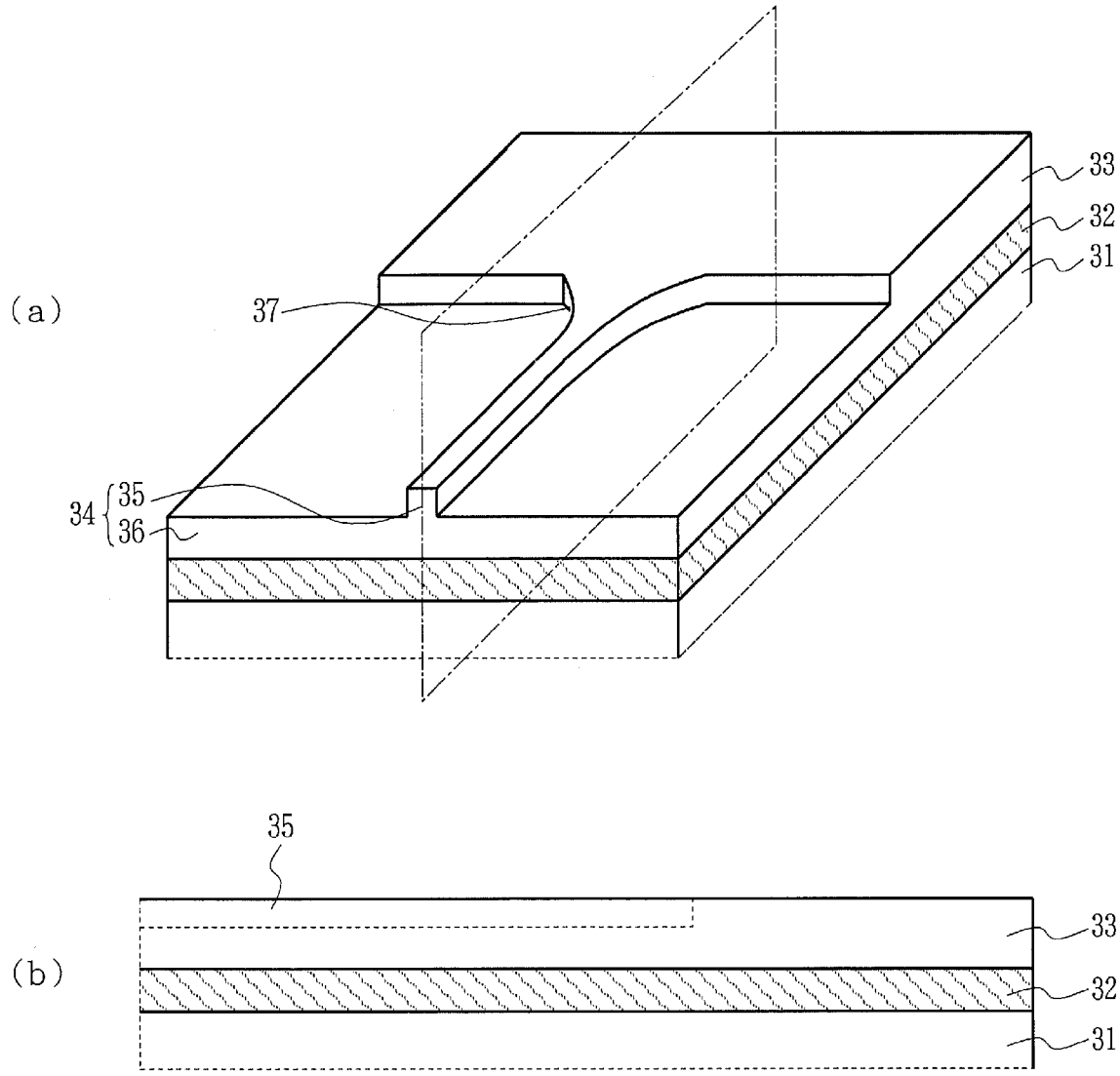
[図1]


(a)
22
23
23
21
19
20
14
13
11
12
16
16
21 20 17 18
25
26
24
(b)
26
22
18
15
17
16
21
19
20
14
13
11
12

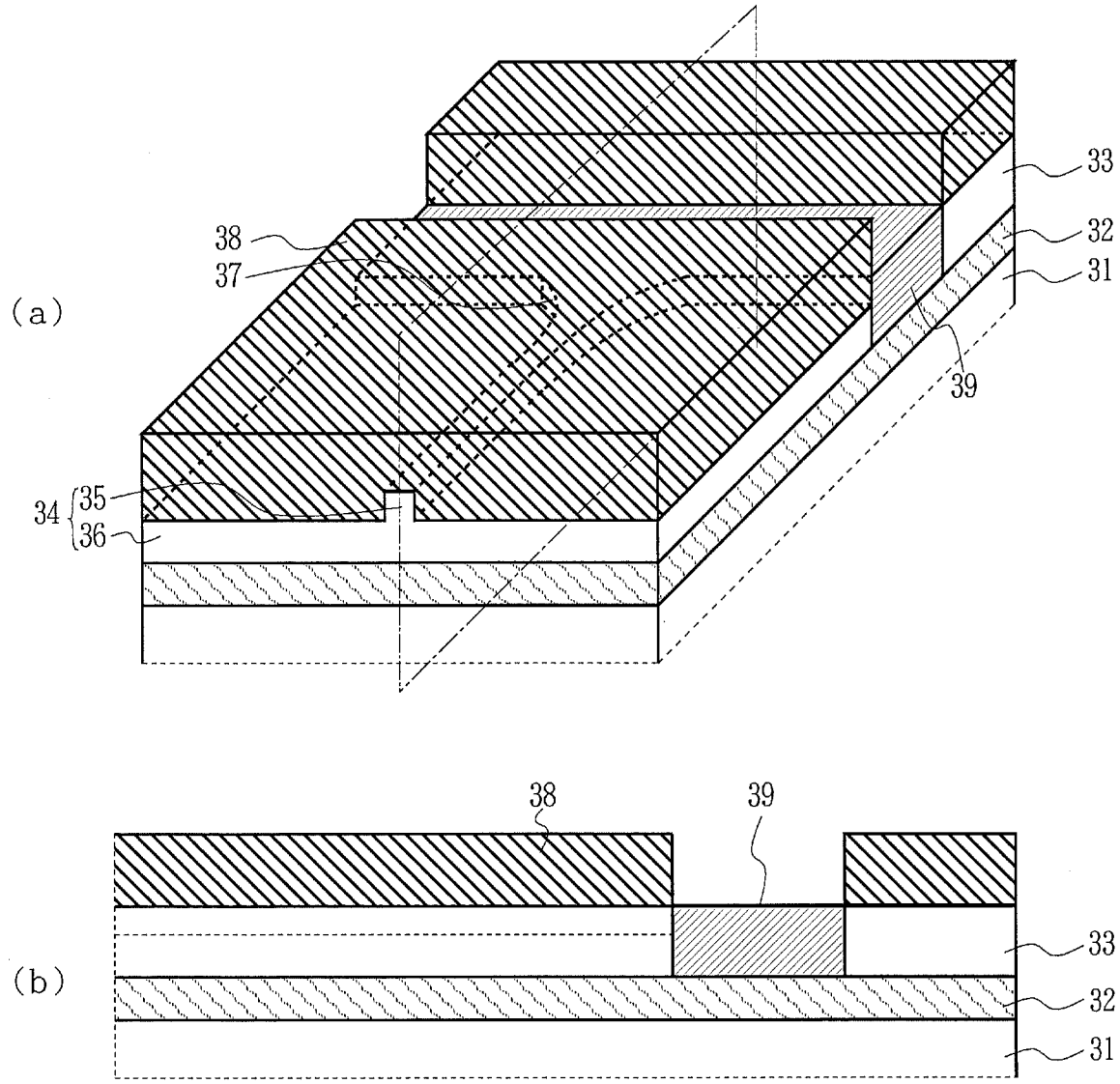
[図2]


(a)
19(21)
22
14
16
23
A
A'
18
25
24
(b)
23
19
20
21
22
17
18
19
21
20
23
26
16(14)
13
11
15
12
A
A'

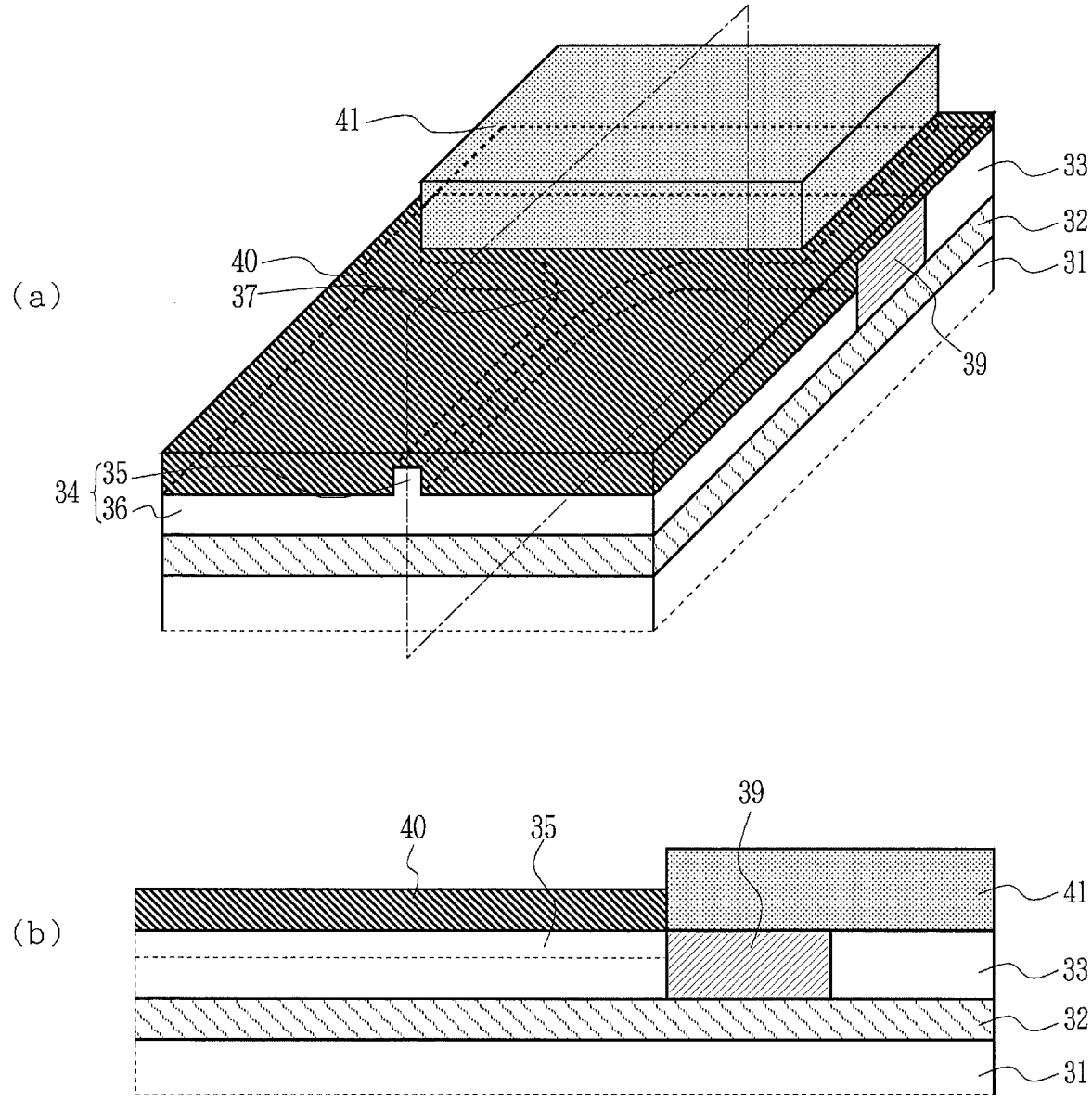
[図3]



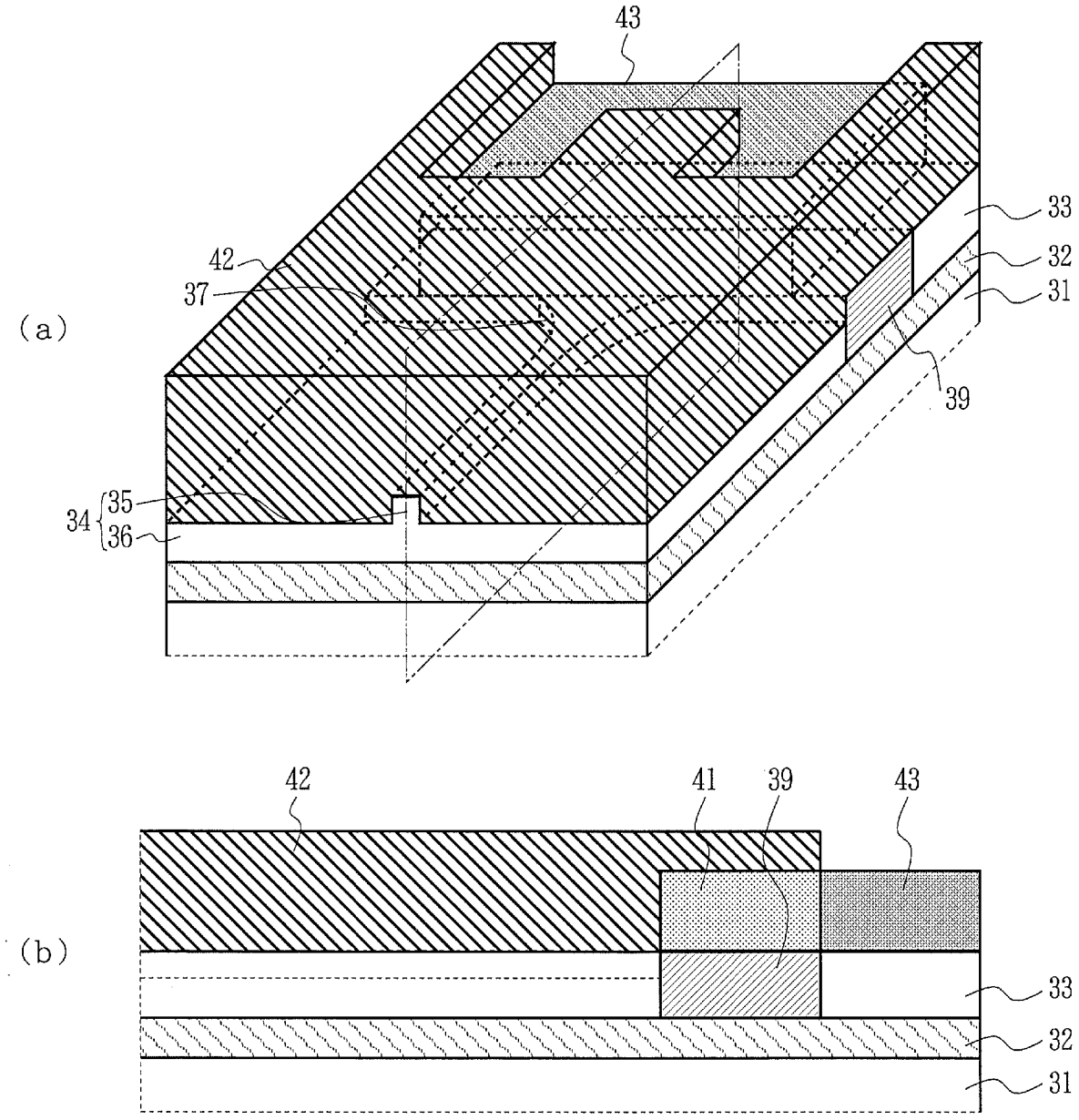
[図4]



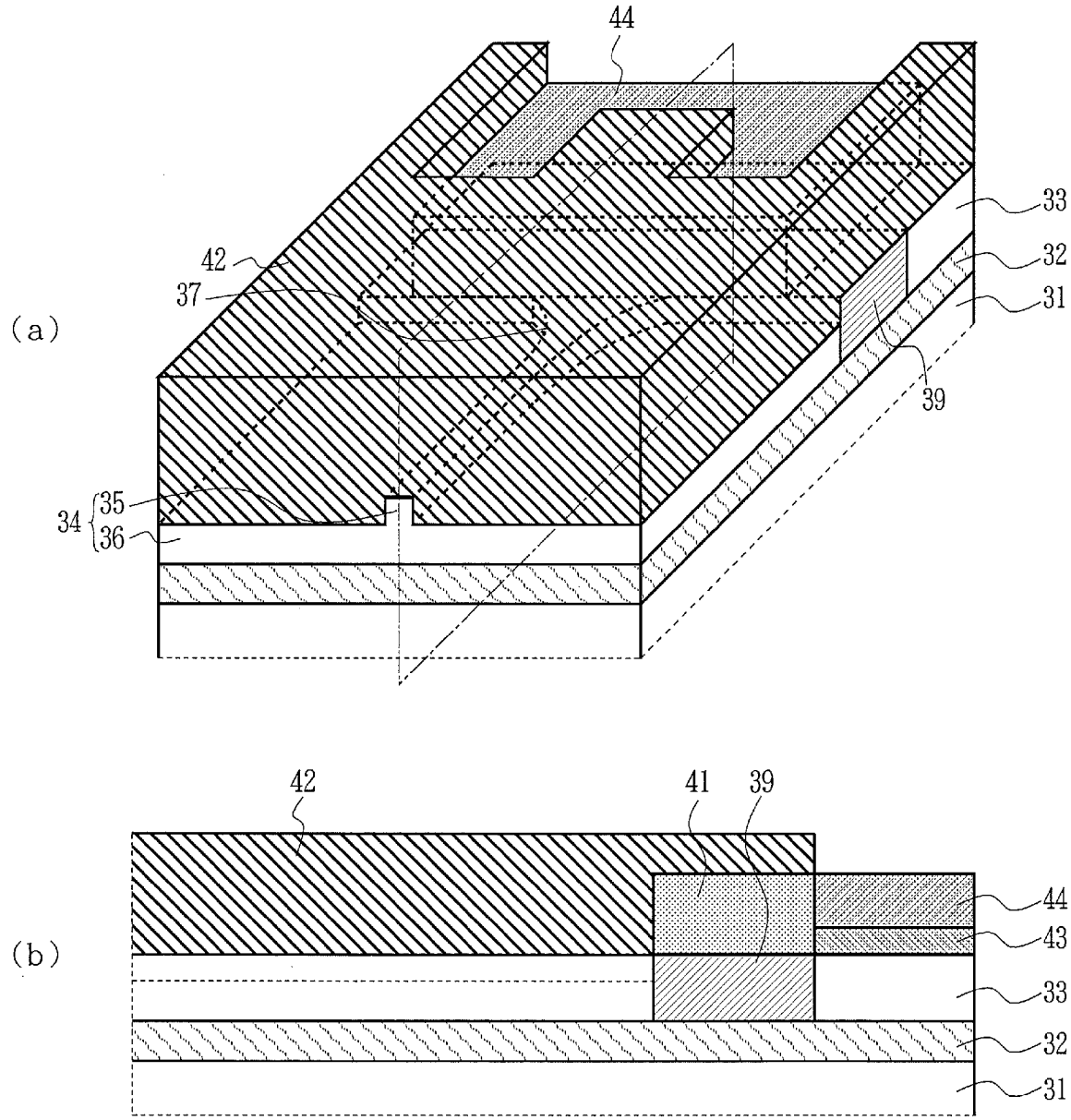
[図5]



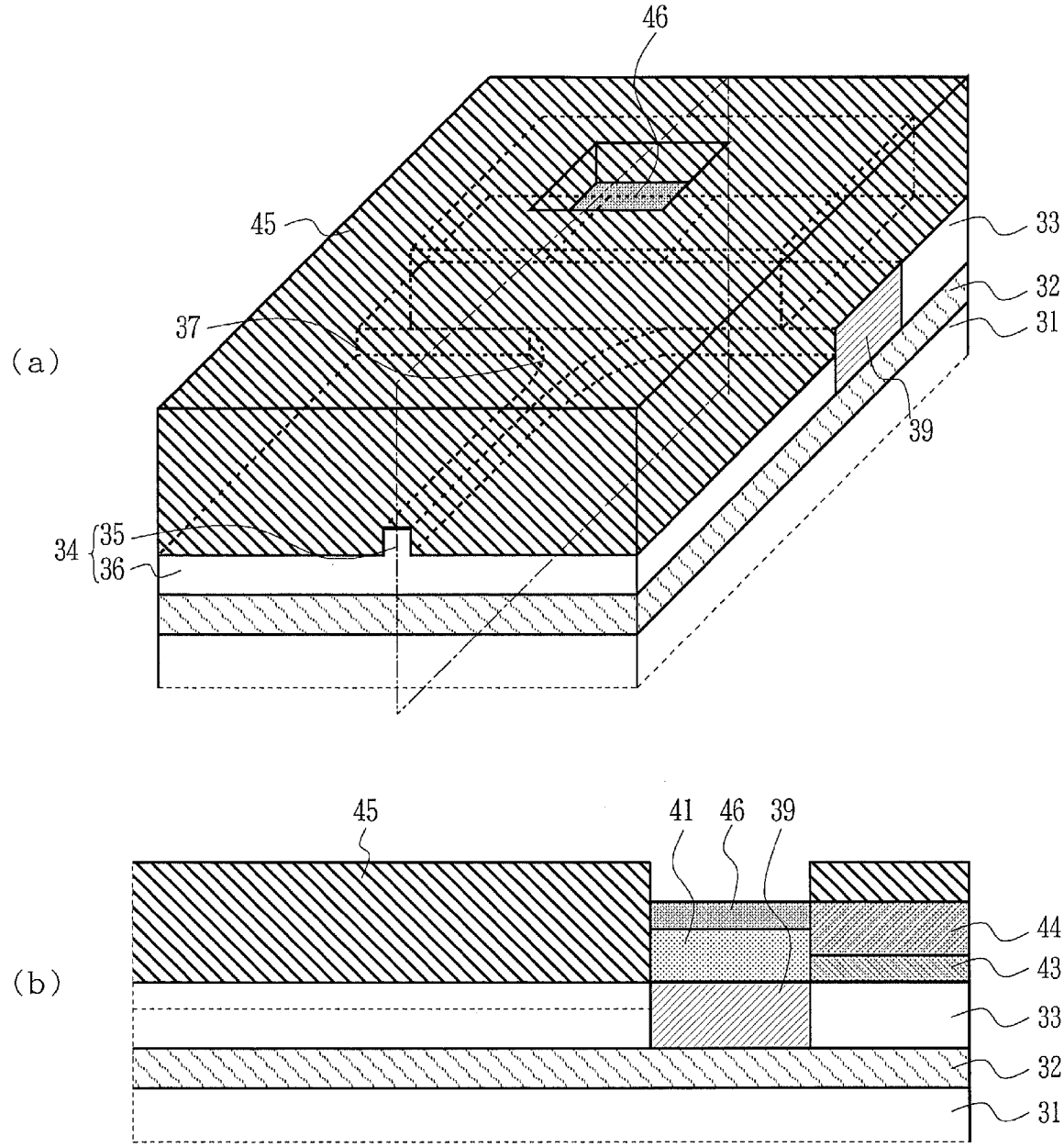
[図6]



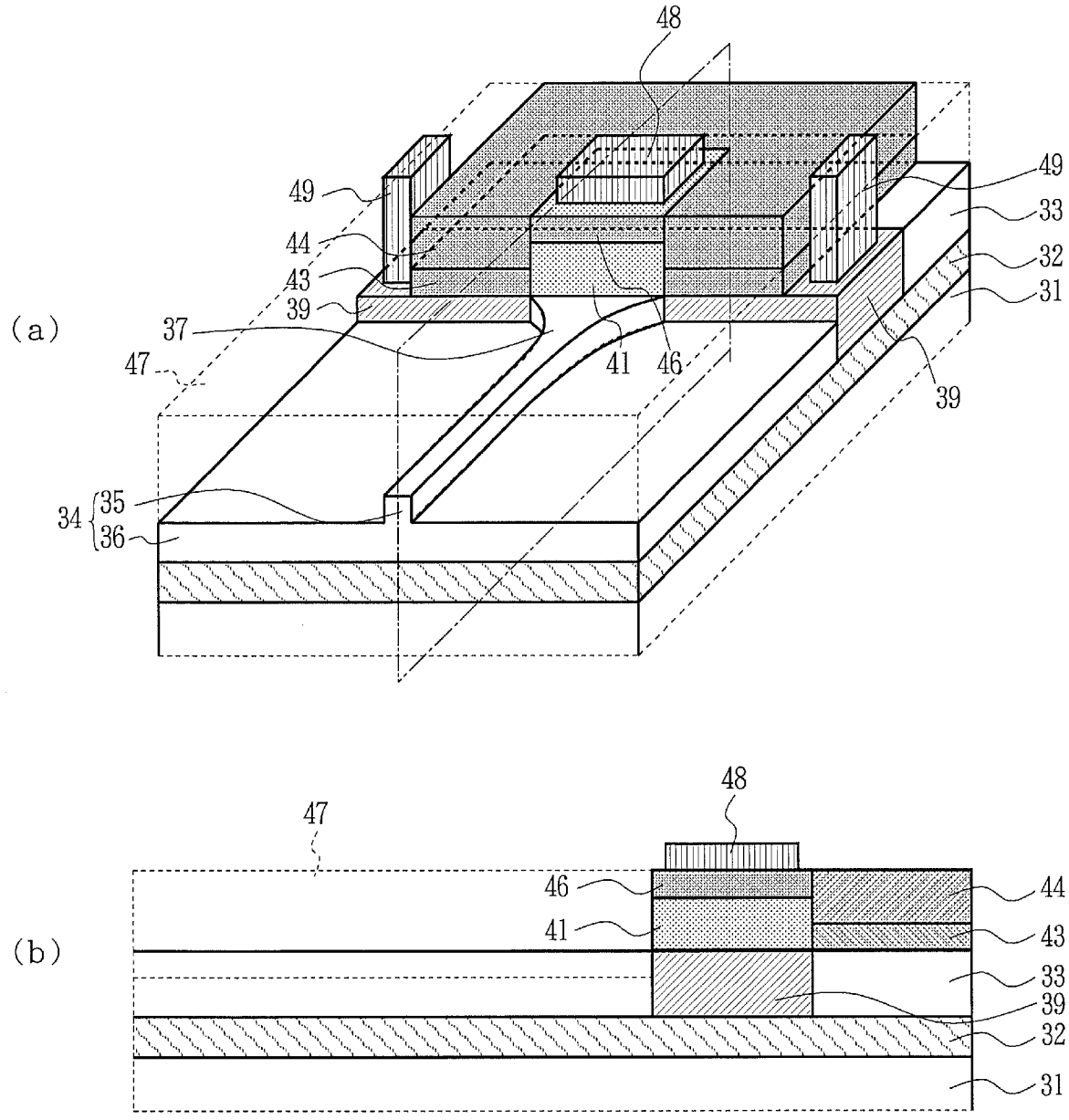
[図7]



[図8]

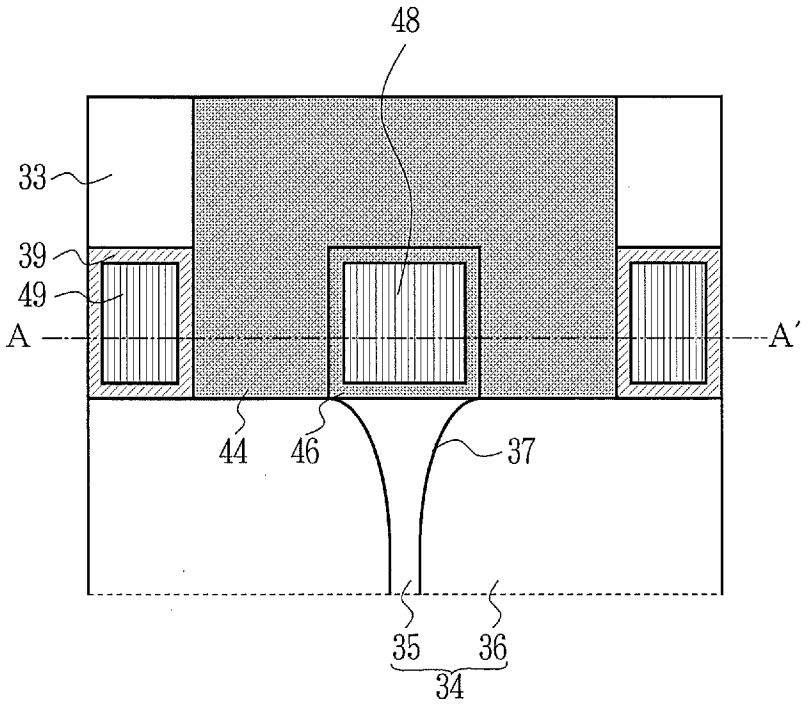


[図9]

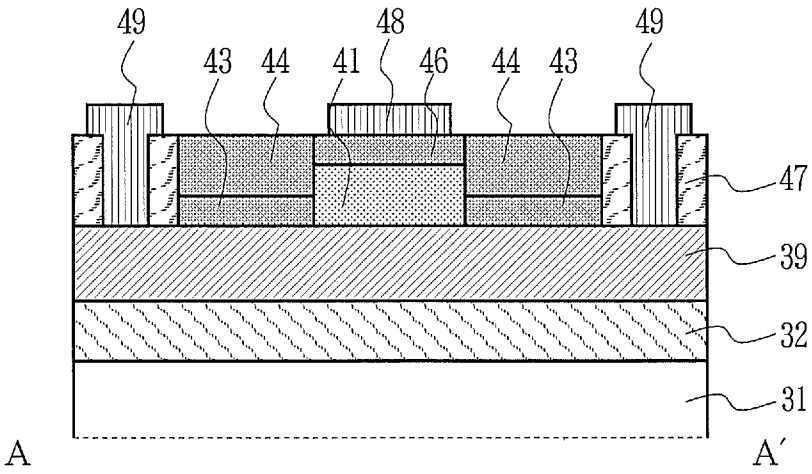

(a)
48
49
49
44
43
39
33
32
31
37
47
41
46
39
34
35
36
(b)
47
48
46
44
41
43
33
39
32
31

[図10]

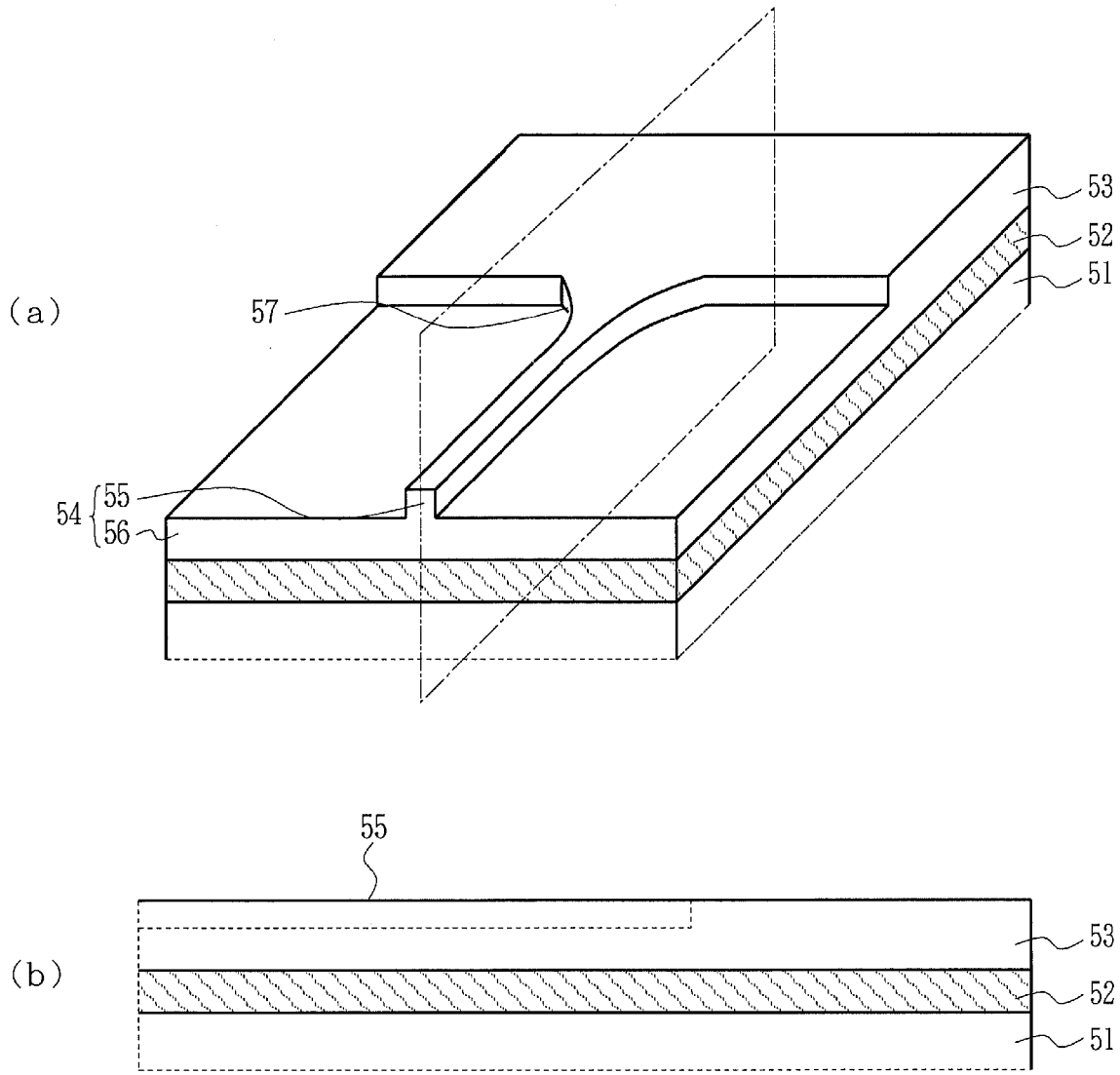
(a)


48
33
39
49
A
A′
44
46
37
35
36
34

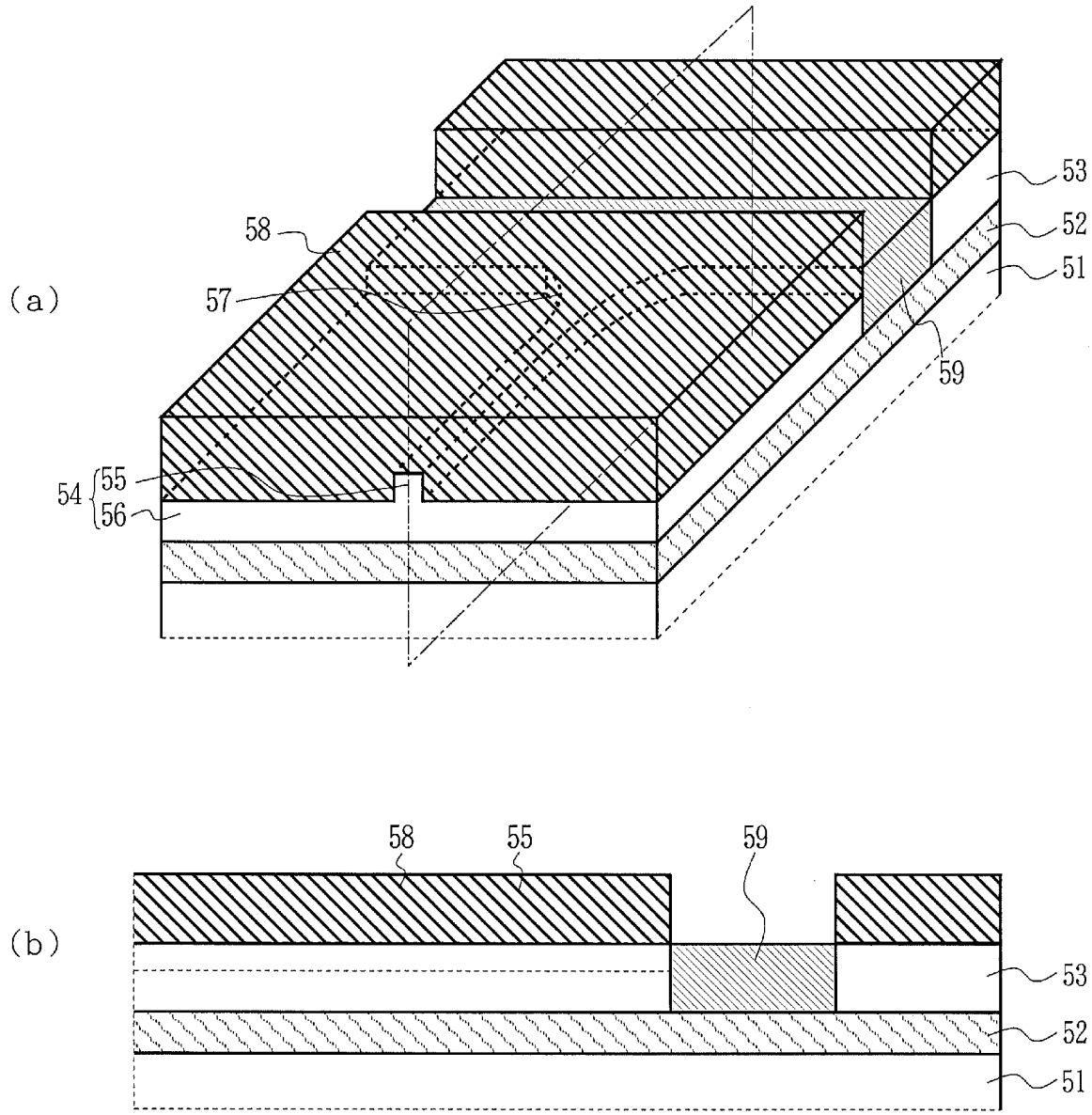
(b)


49
48
49
43
44
41
46
44
43
47
39
32
31
A
A′

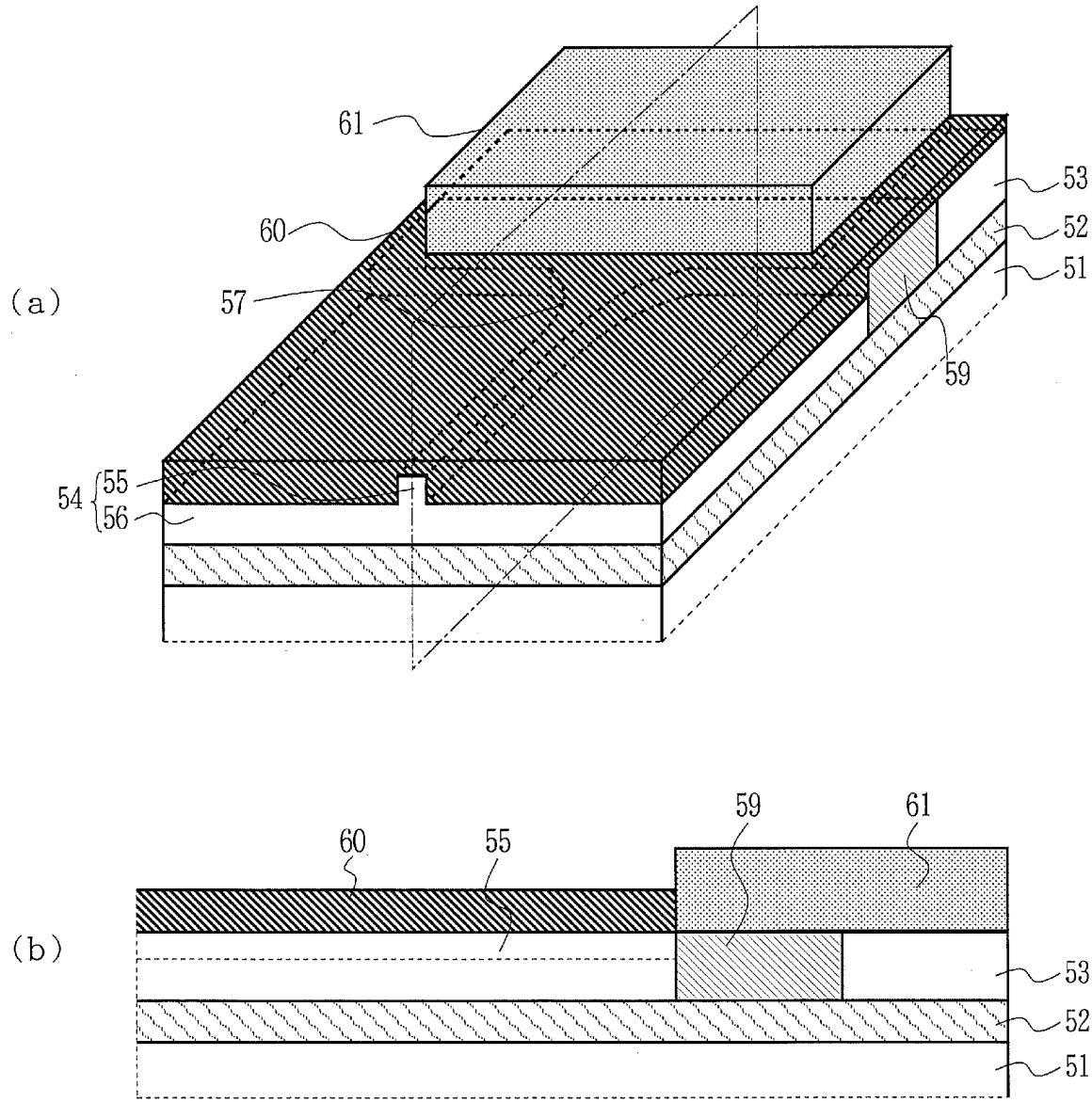
[図11]



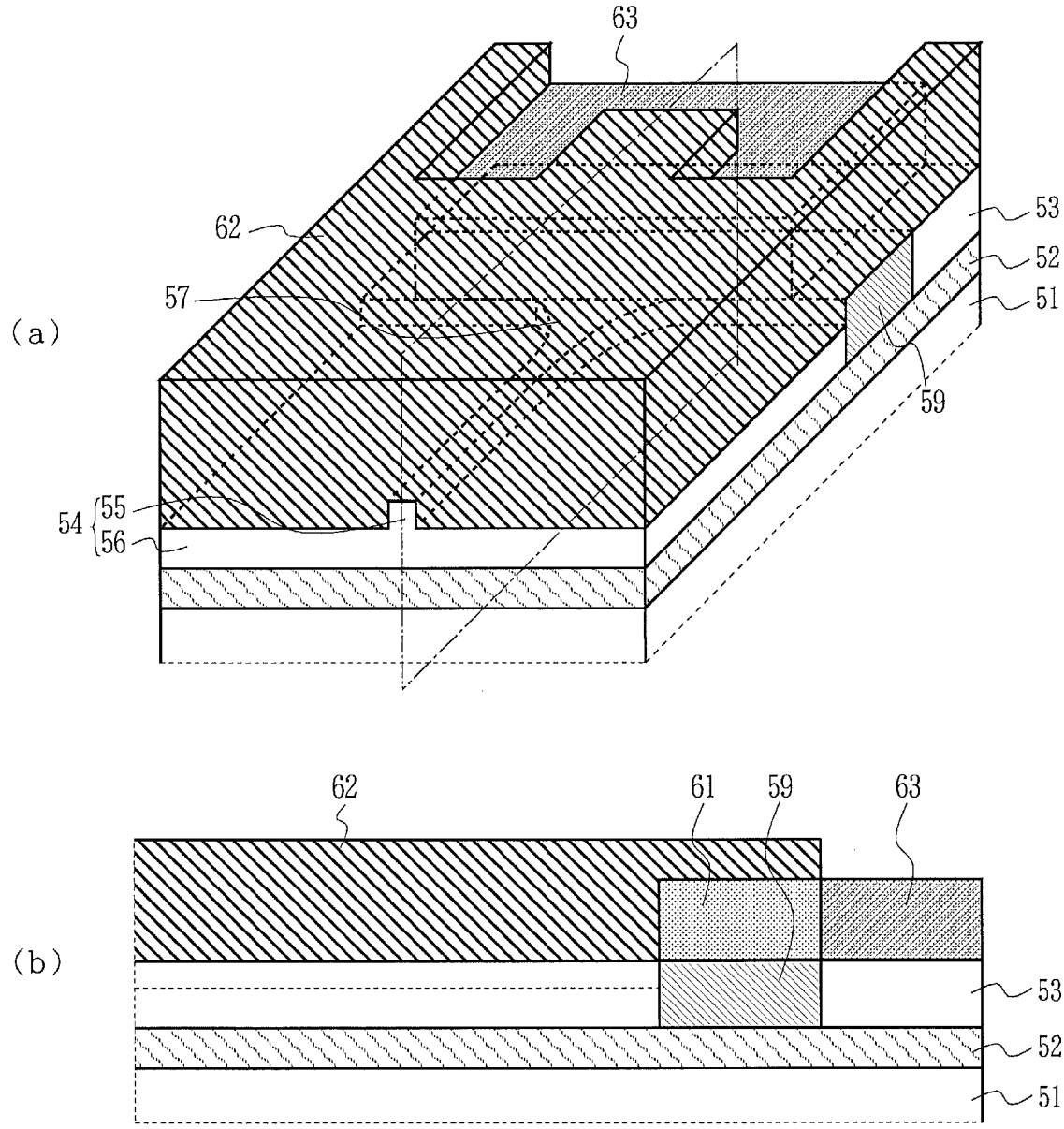
[図12]



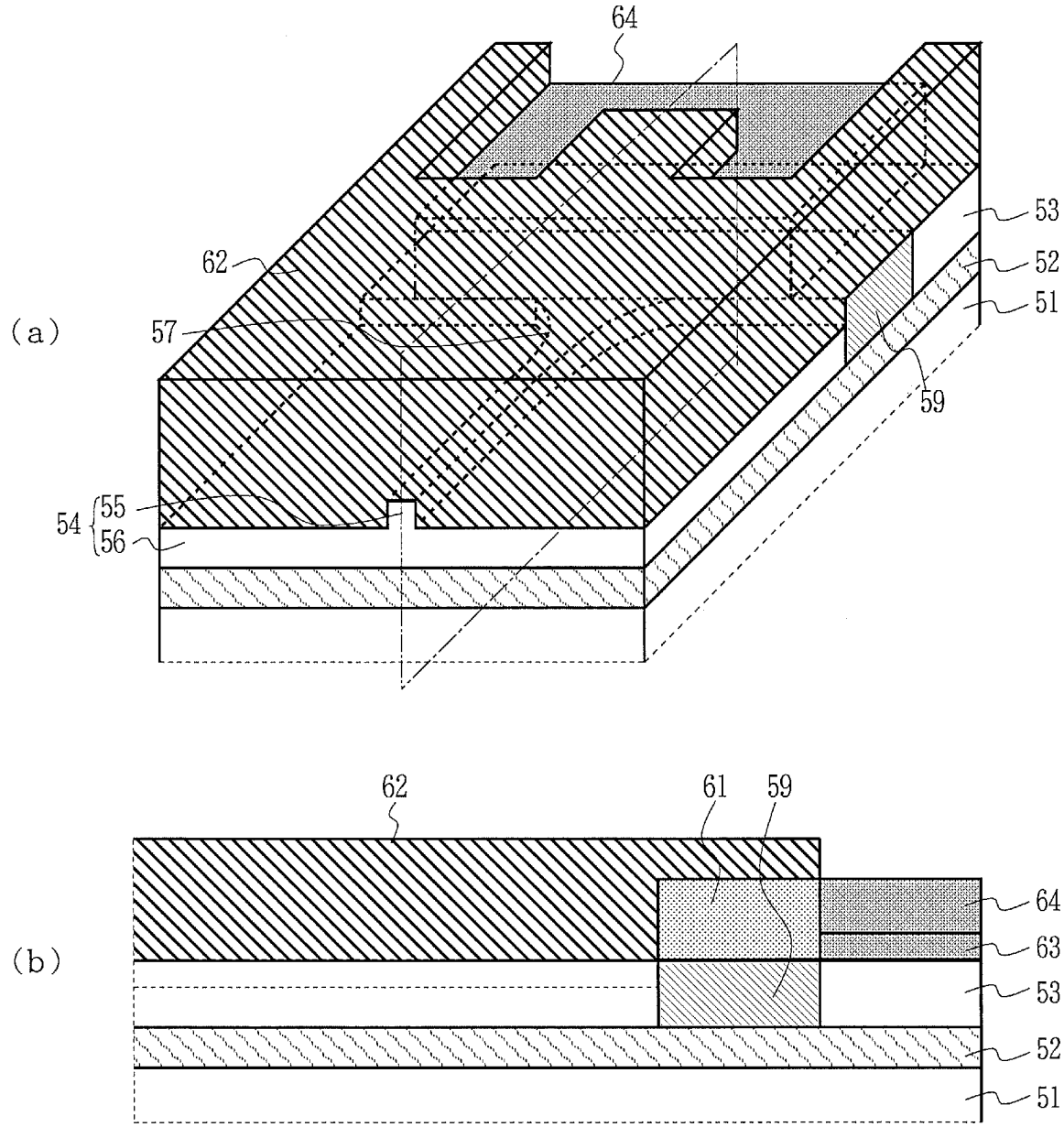
[図13]



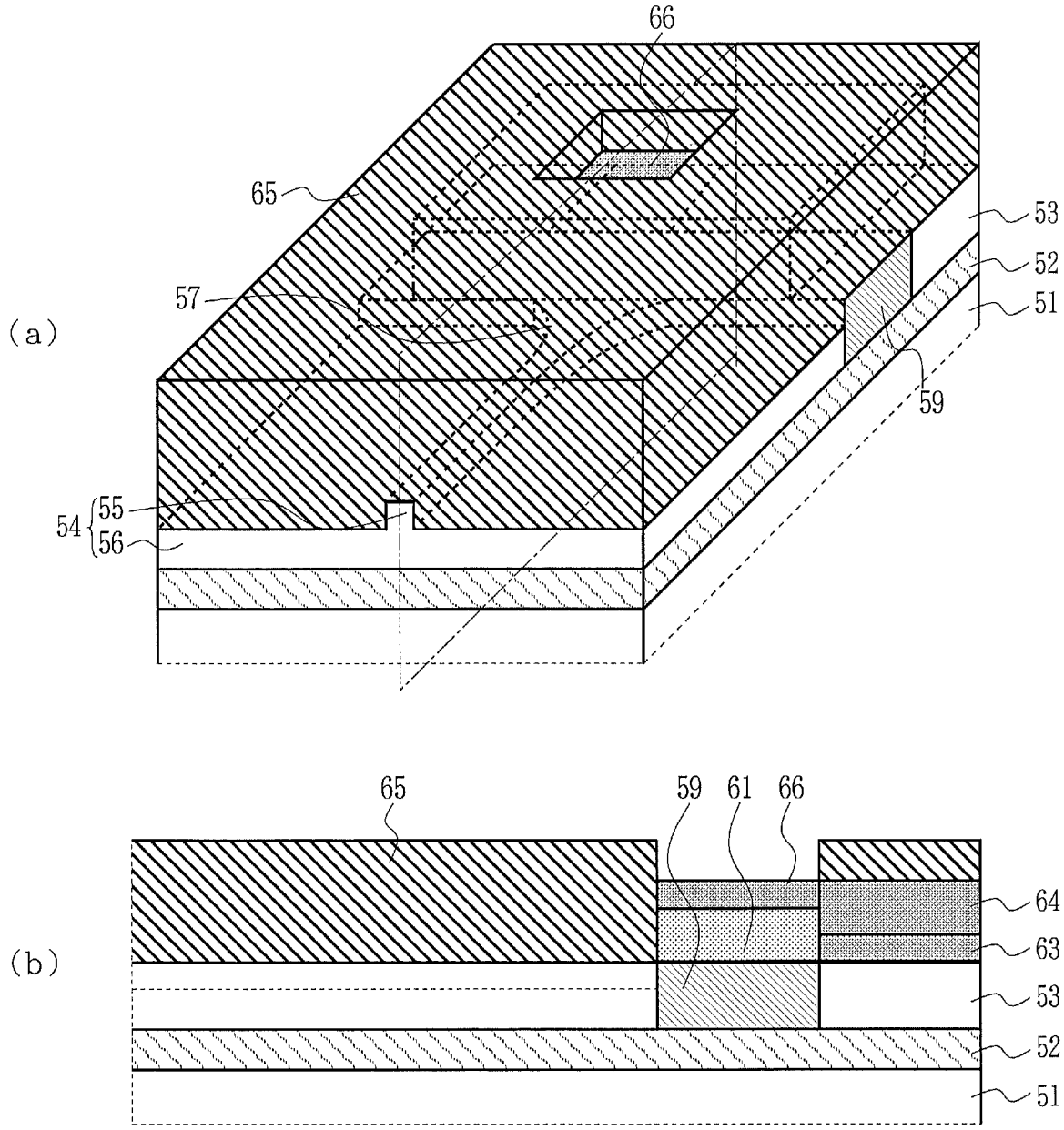
[図14]



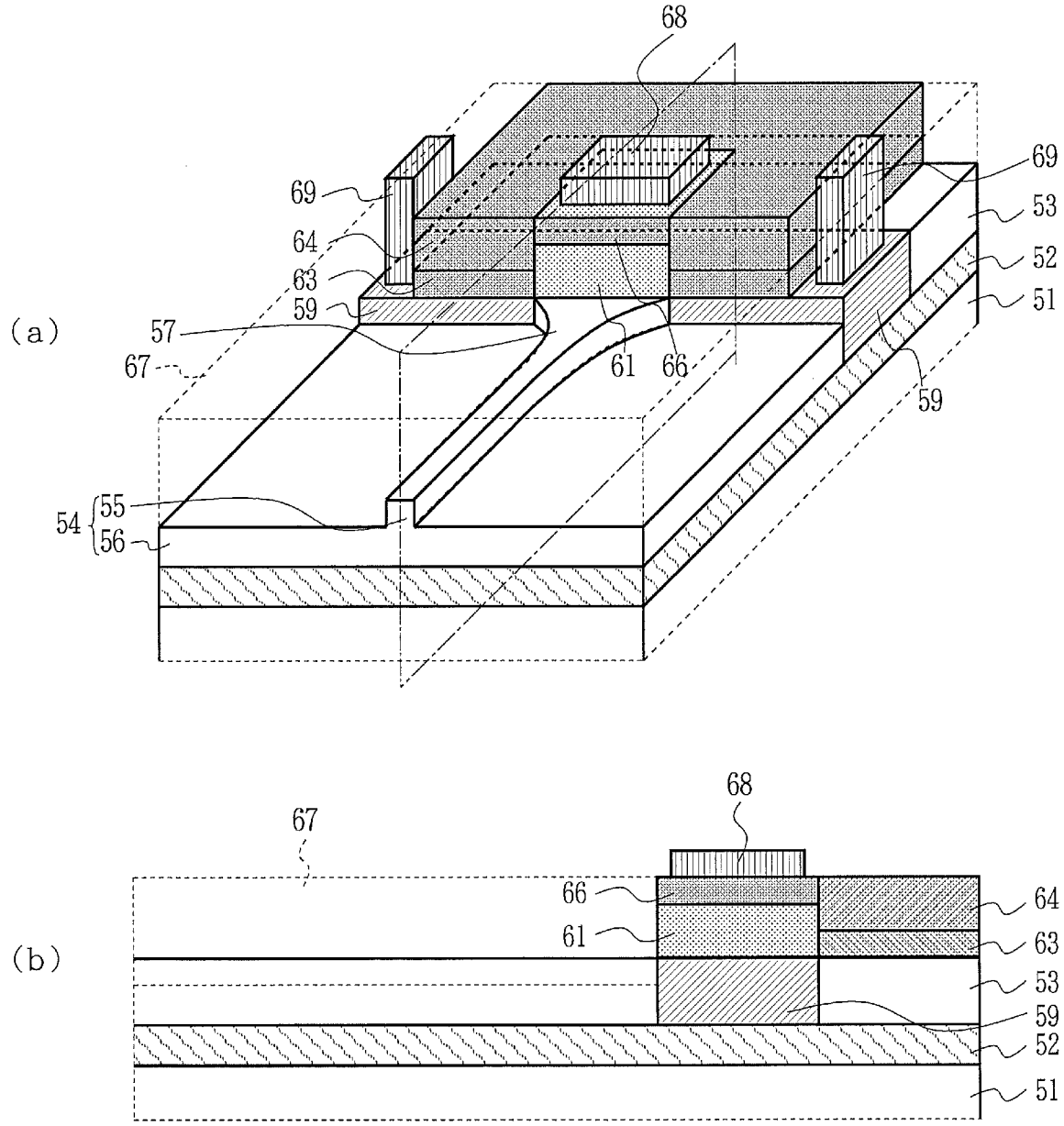
[図15]



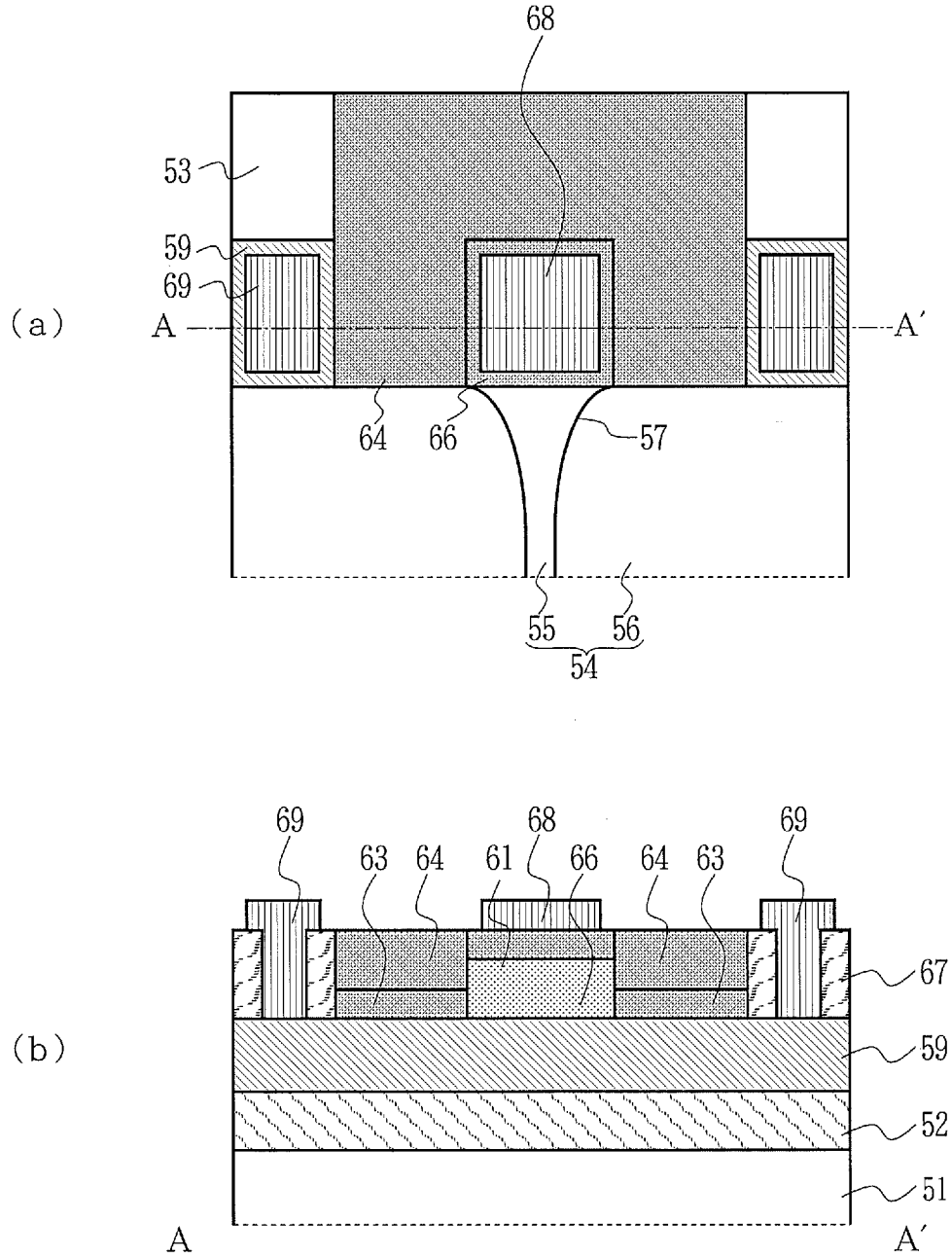
[図16]



[図17]

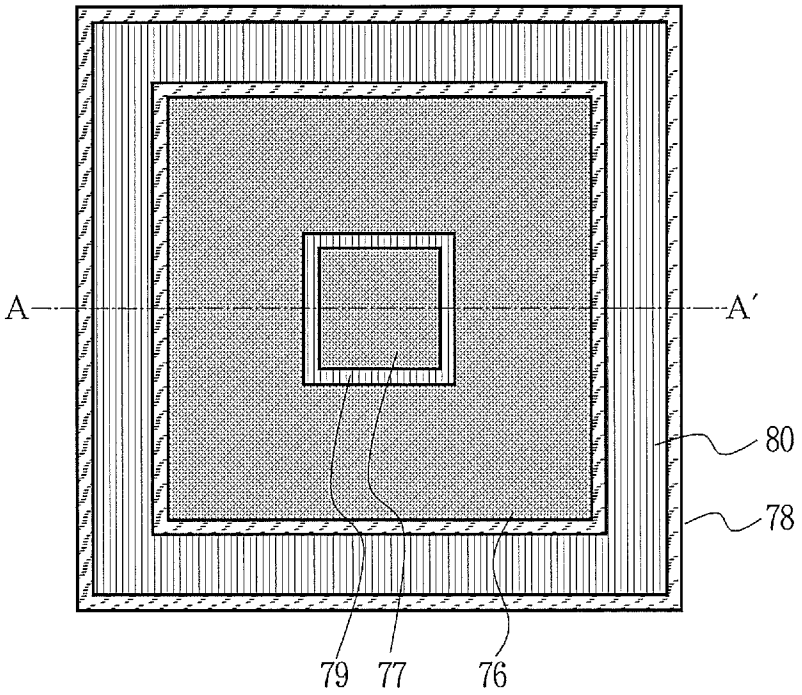

(a)
68
69
69
64
63
59
53
52
51
57
67
61
66
59
54
55
56
(b)
67
68
66
64
61
63
53
59
52
51

[図18]

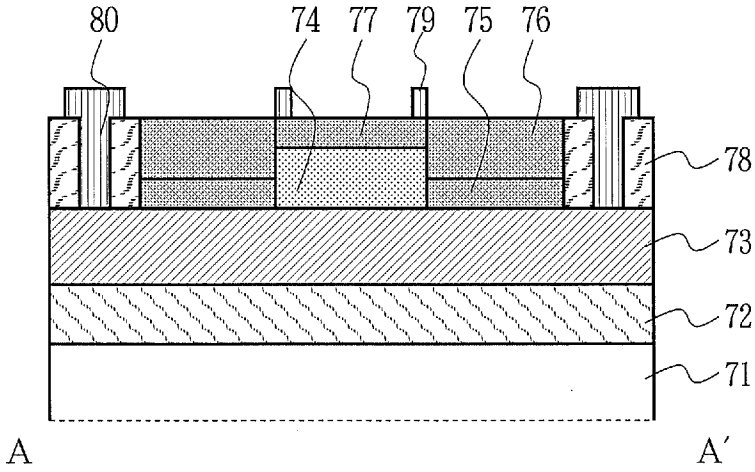

(a)
68
53
59
69
A
A'
64
66
57
55
56
54
(b)
69
63
64
61
68
66
64
63
69
67
59
52
51
A
A'

[図19]

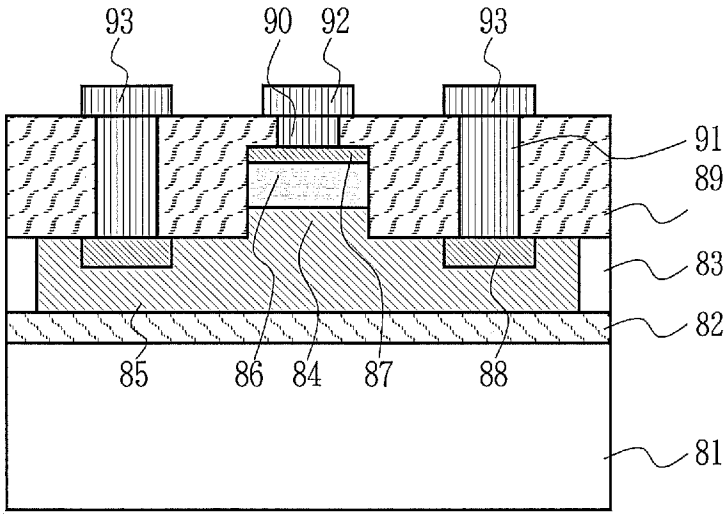
(a)



(b)



[図20]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/061625

A. CLASSIFICATION OF SUBJECT MATTER
H01L31/105(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L31/101-31/113

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JSTPlus/JMEDPlus/JST7580(JDreamIII), IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	L.Ding, et al., Ge Waveguide Photodetectors with Responsivity Roll-off beyond 1620 nm Using Localized Stressor, Optical Fiber Communication Conference and Exposition (OFC/NFOEC), 2012 and the National Fiber Optic Engineers Conference, 2012, OW3G.4	1-10
A	Tao Yin, et al., 31 GHz Ge n-i-p waveguide photodetectors on Silicon-on-Insulator substrate, Optics Express, 2007, Vol.15, Issue 21, p.13965-13971	1-10
A	Strain-induced enhancement of near-infrared absorption in Ge epitaxial layers grown on Si substrate, Journal of Applied Physics, 2005, 98, 013501	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 May, 2013 (16.05.13)	28 May, 2013 (28.05.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０６１６２５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/105(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/101-31/113

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JSTPlus/JMEDPlus/JST7580(JDreamIII), IEEE Xplore

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	L.Ding, et al., Ge Waveguide Photodetectors with Responsivity Roll-off beyond 1620 nm Using Localized Stressor, Optical Fiber Communication Conference and Exposition (OFC/NFOEC), 2012 and the National Fiber Optic Engineers Conference, 2012, OW3G.4	1-10
A	Tao Yin, et al., 31 GHz Ge n-i-p waveguide photodetectors on Silicon-on-Insulator substrate, Optics Express, 2007, Vol.15, Issue 21, p.13965-13971	1-10

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １６．０５．２０１３	国際調査報告の発送日 ２８．０５．２０１３
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｋ　３３１３ 和田　将彦 電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	Strain-induced enhancement of near-infrared absorption in Ge epitaxial layers grown on Si substrate, Journal of Applied Physics, 2005, 98, 013501	1-10