

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



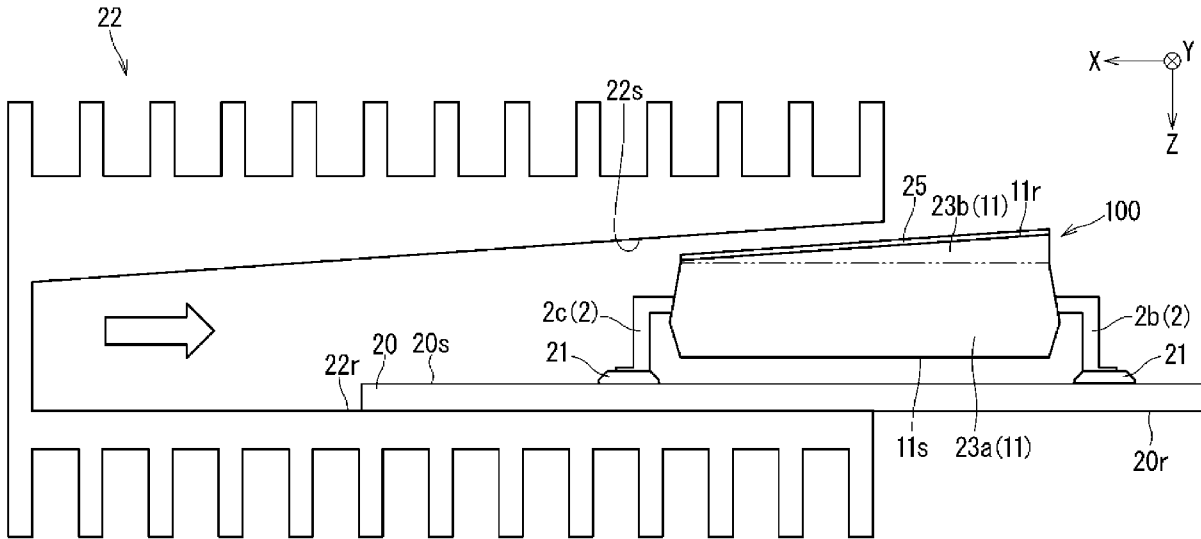
(10) 国際公開番号

WO 2024/204310 A1

- (51) 国際特許分類:
H01L 23/36 (2006.01) H01L 23/29 (2006.01)
H01L 23/28 (2006.01) H05K 7/20 (2006.01)
- (21) 国際出願番号: PCT/JP2024/012183
- (22) 国際出願日: 2024年3月27日(27.03.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-057288 2023年3月31日(31.03.2023) JP
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:坂元 創一 (SAKAMOTO Soichi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 藤野純司(FUJINO Junji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 原田 圭司(HARADA Keiji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 柴田 祥吾(SHIBATA Shogo); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 横山 脩平(YOKOYAMA Shuhei); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪府中央区域見

(54) Title: SEMICONDUCTOR DEVICE, POWER CONVERSION DEVICE, INVERTER SUBSTRATE, AND HEAT DISSIPATION FIN

(54) 発明の名称: 半導体装置、電力変換装置、インバータ基板、および放熱フィン



(57) Abstract: The purpose of the present invention is to provide a technology which makes it possible to reduce the thermal resistance from a semiconductor device to a heat dissipation fin. A sealing material (11) is provided with a first inclined part (23b) to which a heat dissipation fin (22) is attached by sandwiching a surface (11r) of the sealing material (11) of a semiconductor device (100), the surface (11r) being on the side where a heat sink (10) is disposed, and a surface (20r) of a circuit board (20), the surface (20r) being on the reverse side of a surface (20s) on which the semiconductor device (100) is mounted. The first inclined part (23b) is provided from a region of the sealing material (11), the region extending along a surface (10r) on the reverse side of the heat sink (10) from a surface (10s), to the surface (11r) of the sealing material (11), the surface (11r) being on the side where the heat sink (10) is disposed.

WO 2024/204310 A1

1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置から放熱フィンまでの熱抵抗を低減することが可能な技術を提供することを目的とする。封止材(11)には、半導体装置(100)の封止材(11)におけるヒートシンク(10)が配置された側の面(11r)と、回路基板(20)の半導体装置(100)が搭載された面(20s)とは反対側の面(20r)とが挟持されることで放熱フィン(22)が取り付けられる第1傾斜部(23b)が設けられている。第1傾斜部(23b)は、封止材(11)におけるヒートシンク(10)の面(10s)とは反対側の面(10r)に沿って延在する領域から、封止材(11)におけるヒートシンク(10)が配置された側の面(11r)に渡って設けられている。

明 細 書

発明の名称：

半導体装置、電力変換装置、インバータ基板、および放熱フィン

技術分野

[0001] 本開示は、半導体装置、電力変換装置、インバータ基板、および放熱フィンに関するものである。

背景技術

[0002] 従来から、金型を用いて半導体素子および配線回路を一体的に樹脂封止したモールド型半導体装置が知られている。モールド型半導体装置は、ケース内に低弾性の樹脂を充填して半導体素子を保護するケース型半導体装置に比べ、生産性に優れ、小型化が可能となっている。

[0003] 半導体素子は、スイッチング時および導通時の損失により熱を発生する。この発熱は、半導体素子の温度を著しく上昇させるものであるため、適切に放熱しないと半導体素子の寿命が低下し、さらには半導体素子が破壊に至ることもある。そのため、半導体装置には、ネジ止め固定またははんだ付けなどによって放熱フィンが取り付けられており、半導体素子から発生した熱は、モールド樹脂と、グリスまたは絶縁シートなどの絶縁材とを介して放熱フィンに伝わり、大気中へと放熱される（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2002-325467号公報

発明の概要

発明が解決しようとする課題

[0005] 放熱フィンを半導体装置に取り付ける際、半導体装置の厚み方向の寸法バラつきを何かで吸収する必要がある。ここで、半導体装置の厚み方向の寸法バラつきとは、半導体装置のパッケージ（封止材に相当する）の厚み方向の寸法バラつき、リードフレームの曲げ加工に起因する高さ方向の寸法バラつ

き、接合材の厚み方向のバラつき、および放熱フィンの厚み方向の寸法バラつきである。

[0006] しかしながら、特許文献1に記載の技術では、寸法バラつきを、絶縁性を有する流動性樹脂（絶縁材に相当する）のみによって吸収しているため、これら全ての寸法バラつきを考慮した過剰な厚みの流動性樹脂が半導体装置と放熱フィンとの間に存在することになる。その結果、半導体装置から放熱フィンまでの熱抵抗が増加し、放熱性悪化の原因となっていた。

[0007] そこで、本開示は、半導体装置から放熱フィンまでの熱抵抗を低減することが可能な技術を提供することを目的とする。

課題を解決するための手段

[0008] 本開示に係る半導体装置は、回路基板の一方面に搭載される半導体装置であって、ダイパッド、前記ダイパッドと一端部が接続された第1リード、および前記ダイパッドに対して前記第1リードとは反対側に配置された第2リードを含むリードフレームと、前記ダイパッドにおける一方面に搭載された半導体素子と、前記第2リードの一端側における一方面に搭載され、前記半導体素子を制御する制御用半導体素子と、前記ダイパッドにおける前記一方面とは反対側の他方面に絶縁層を介して配置され、前記絶縁層と一方面が接触するヒートシンクと、前記第1リードの他端側および前記第2リードの他端側を露出させた状態で、前記半導体素子、前記制御用半導体素子、前記ヒートシンク、および前記リードフレームを封止する封止材と、を備え、前記封止材には、前記半導体装置の前記封止材における前記ヒートシンクが配置された側の一方面と、前記回路基板の前記半導体装置が搭載された前記一方面とは反対側の他方面とが挟持されることで放熱フィンが取り付けられる第1傾斜部が設けられ、前記第1傾斜部は、前記封止材における前記ヒートシンクの前記一方面とは反対側の他方面に沿って延在する領域から、前記封止材における前記ヒートシンクが配置された側の前記一方面に渡って設けられた。

発明の効果

- [0009] 本開示によれば、半導体装置が搭載された回路基板の側面から放熱フィン
を差し込むことで、半導体装置と放熱フィンとを十分に密着させた状態
で取り付けることが可能となる。その結果、半導体装置と放熱フィンとの
間に配置される絶縁材の厚みを従来よりも薄くすることが可能となる。
これにより、半導体装置から放熱フィンまでの熱抵抗を低減することが
できる。
- [0010] この開示の目的、特徴、局面、および利点は、以下の詳細な説明と添付
図面とによって、より明白となる。

図面の簡単な説明

- [0011] [図1]実施の形態1に係る半導体装置の上面図である。
- [図2]図1のA-A線断面図である。
- [図3]実施の形態1において、回路基板に搭載された半導体装置と放熱フィン
との取り付けを説明するための側面図である。
- [図4]実施の形態1において、回路基板に搭載された半導体装置と放熱フィン
とを取り付けた状態を示す側面図である。
- [図5]実施の形態2に係る半導体装置の上面図である。
- [図6]実施の形態2において、回路基板に搭載された半導体装置と放熱フィン
との取り付けを説明するための側面図である。
- [図7]実施の形態2の変形例1に係る半導体装置の上面図である。
- [図8]実施の形態2の変形例2に係る半導体装置の上面図である。
- [図9]実施の形態2の変形例3に係る半導体装置の上面図である。
- [図10]実施の形態2の変形例4に係る半導体装置の正面図である。
- [図11]実施の形態3において、回路基板に搭載された半導体装置と放熱フィン
との取り付けを説明するための側面図である。
- [図12]実施の形態3において、放熱フィンに形成された絶縁材の形状を説明
するための図である。
- [図13]実施の形態4に係る電力変換装置を適用した電力変換システムの構成
を示すブロック図である。
- [図14]関連技術において、回路基板に搭載された半導体装置と放熱フィンと

の取り付けを説明するための図である。

発明を実施するための形態

[0012] <実施の形態 1 >

<半導体装置および放熱フィンの構成>

実施の形態 1 について、図面を用いて以下に説明する。図 1 は、実施の形態 1 に係る半導体装置 100 の上面図である。図 2 は、図 1 の A-A 線断面図である。

[0013] 図 1 において、X 方向、Y 方向および Z 方向は、互いに直交する。以下の図に示される X 方向、Y 方向および Z 方向も、互いに直交する。以下においては、X 方向と、当該 X 方向の反対の方向である -X 方向とを含む方向を「X 軸方向」ともいう。また、以下においては、Y 方向と、当該 Y 方向の反対の方向である -Y 方向とを含む方向を「Y 軸方向」ともいう。また、以下においては、Z 方向と、当該 Z 方向の反対の方向である -Z 方向とを含む方向を「Z 軸方向」ともいう。

[0014] まず、実施の形態 1 に係る半導体装置 100 の全体構造について説明する。図 1 と図 2 に示すように、半導体装置 100 は、リードフレーム 2 と、半導体素子 3 p と、制御用半導体素子 3 i と、絶縁層 9 と、ヒートシンク 10 と、封止材 11 とを備えている。

[0015] 図 2 に示すように、リードフレーム 2 は、ダイパッド 2 a と、パワーリード 2 c (第 1 リード) と、制御リード 2 b (第 2 リード) と、吊りリード 2 n とを含んでいる。

[0016] ダイパッド 2 a は板状に形成されている。ダイパッド 2 a は、Z 方向から視て矩形状に形成されている。ダイパッド 2 a は、一方面である面 2 s と、他方面である面 2 r とを有している。面 2 r は、ダイパッド 2 a における面 2 s と反対側の面である。面 2 s と面 2 r は平面である。ダイパッド 2 a は、吊りリード 2 n を介してパワーリード 2 c と接続されている。

[0017] 制御リード 2 b は、ダイパッド 2 a に対してパワーリード 2 c とは反対側に配置されている。具体的には、パワーリード 2 c は、ダイパッド 2 a に対

してX方向に配置され、制御リード2 bは、ダイパッド2 aに対して-X方向に配置されている。

[0018] 半導体素子3 pは、例えば、高電圧で動作するパワー半導体素子である。なお、半導体素子3 pは、パワー半導体素子に限定されず、例えば、低電圧で動作する半導体素子であってもよい。

[0019] ダイパッド2 aの面2 sには、半導体素子3 pが搭載されている。具体的には、ダイパッド2 aの面2 sには、接合材4によって、半導体素子3 pが接合されている。接合材4は、例えばはんだである。また、制御リード2 bにおけるZ方向の面には、接合材8によって、制御用半導体素子3 iが接合されている。接合材8は、例えばはんだである。

[0020] 制御用半導体素子3 iには、2本のワイヤ7 sが接続されている。ワイヤ7 sは、信号伝達用ワイヤである。

[0021] 半導体素子3 pと制御用半導体素子3 iとが、ワイヤ7 sによって電氣的に接続されている。また、制御用半導体素子3 iと制御リード2 bとが、ワイヤ7 sによって電氣的に接続されている。また、半導体素子3 pは、ワイヤ7 pによってパワーリード2 cと電氣的に接続されている。

[0022] ダイパッド2 aの面2 rには、絶縁層9を介してヒートシンク10が配置されている。ヒートシンク10は、一方面である面10 sと、他方面である面10 rとを有している。面10 rは、ヒートシンク10における面10 sとは反対側の面である。

[0023] 絶縁層9は、ダイパッド2 aとヒートシンク10との間に配置されている。絶縁層9は、ダイパッド2 aの面2 rとヒートシンク10の面10 sとに接触している。

[0024] 封止材11は、例えばモールド樹脂である。封止材11は、制御リード2 bの先端部（他端側）およびパワーリード2 cの先端部（他端側）を露出させた状態で、半導体素子3 p、制御用半導体素子3 i、ワイヤ7 p, 7 s、ダイパッド2 a、吊りリード2 n、パワーリード2 c、絶縁層9、およびヒートシンク10を封止している。

- [0025] 封止材11は、面11sおよび面11rを有している。面11sは、封止材11におけるZ方向の面である。面11rは、封止材11における面11sとは反対側の面であり、-Z方向の面である。
- [0026] 制御リード2bは、封止材11における-X方向の側部から、-X方向へ突出している。また、封止材11の外部に存在する制御リード2bの先端部が、Z方向と平行になるように、制御リード2bは屈曲して、さらに、X方向と平行になるように、制御リード2bは再度、屈曲している。
- [0027] パワーリード2cは、封止材11におけるX方向の側部から、X方向へ突出している。また、封止材11の外部に存在する制御リード2bの先端部が、Z方向と平行になるように、制御リード2bは屈曲して、さらに、X方向と平行になるように、制御リード2bは再度、屈曲している。
- [0028] 次に、各部の構成について具体的に説明する。リードフレーム2の材料として、例えば、銅(Cu)またはアルミニウム(Al)が採用される。また、リードフレーム2の材料として、銅(Cu)およびアルミニウム(Al)で構成される合金が採用されていてもよい。
- [0029] リードフレーム2の表面には、酸化防止のために、ニッケル(Ni)、銀(Ag)、または金(Au)を使用しためっき処理が施されていてもよい。すなわち、リードフレーム2の表面には、めっき膜としての、ニッケルめっき膜、銀めっき膜、または金めっき膜が形成されていてもよい。めっき膜は、リードフレーム2において部分的に形成されていてもよい。
- [0030] 以下においては、めっき膜の形成の対象となる領域を、「めっき対象領域」ともいう。めっき対象領域は、表面酸化の影響を受けやすい領域である。めっき対象領域は、例えば、ダイパッド2aの面2sのうち、接合材4により、半導体素子3pが接合される領域の周辺である。また、めっき対象領域は、例えば、制御リード2bにおけるZ方向の面のうち、接合材8により、制御用半導体素子3iが接合される領域の周辺である。
- [0031] また、めっき対象領域は、例えば、制御リード2bにおけるZ方向の面のうち、ワイヤ7sが接続される領域の周辺である。また、めっき対象領域は

、例えば、パワーリード2cにおけるZ方向の面のうち、ワイヤ7pが接続される領域の周辺である。

[0032] 半導体素子3pは、例えばスイッチング素子または整流素子として機能する素子である。スイッチング素子は、例えばIGBT (Insulated Gate Bipolar Transistor)、またはMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 等である。整流素子は、ダイオード素子である。

[0033] 半導体素子3pを構成する材料は、例えばシリコン(Si)である。なお、半導体素子3pを構成する材料は、シリコンに限定されず、例えば、炭化珪素(SiC)、窒化ガリウム(GaN)、またはダイヤモンド(C)等のワイドバンドギャップ半導体材料であってもよい。ワイドバンドギャップ半導体材料は、シリコンのバンドギャップよりも広いバンドギャップを有する材料である。ワイドバンドギャップ半導体材料で構成される半導体素子3pは、大電流を使用した動作、および高温環境下における動作等を行うことが可能になる。そのため、半導体素子3pを構成する材料は、ワイドバンドギャップ半導体材料であることが好ましい。

[0034] また、制御リード2bにおけるZ方向の面には、制御用半導体素子3iの代わりに、例えば、抵抗素子、またはコンデンサ素子等の電子部品が搭載されていてもよい。このような電子部品を備えた半導体装置100は、いわゆるIPM (Intelligent Power Module) と称される。

[0035] ワイヤ7p, 7sを構成する材料は、アルミニウム(Al)、銅(Cu)、金(Au)、または銀(Ag)等であってもよい。また、ワイヤ7p, 7sを構成する材料は、合金であってもよい。合金は、金属としてのアルミニウム(Al)、銅(Cu)、金(Au)、および銀(Ag)のうち、2つ以上の金属で構成されている。また、ワイヤ7p, 7sを構成する材料は、ニッケル(Ni)、または鉄(Fe)等の金属元素が添加された合金であってもよい。

[0036] ワイヤ7p, 7sの形状は、例えば、細線状または円柱状等である。ワイヤ7p, 7sの断面の形状は、例えば円状である。円の直径は、例えば10

μm 以上 $500\mu\text{m}$ 以下である。

- [0037] ワイヤ7 p, 7 sは、ワイヤボンディング工程において、ボールボンドまたはウェッジボンド等の既存の方法によって接合されている。ワイヤ7 pを構成する材料が、ワイヤ7 sを構成する材料と同じである場合、ワイヤ7 p, 7 sを、同じワイヤボンディング工程において接合することができる。
- [0038] ワイヤ7 p, 7 sのうちワイヤ7 pは、主配線である。そのため、ワイヤ7 pの太さは、ワイヤ7 sよりも太い。なお、ワイヤ7 pの太さは、ワイヤ7 iの太さと同じ太さであってもよい。また、ワイヤ7 pの太さは、ワイヤ7 sよりも細くてもよい。
- [0039] 例えば、半導体装置100が、ディスクリート半導体装置である場合、ワイヤ7 pの太さは、ワイヤ7 sの太さと同じ太さである。また、半導体装置100内に、IC (Integrated Circuit) またはLSI (Large Scale Insulator) 等の複雑な構成を有する半導体素子が搭載される場合、ワイヤ7 pの太さは、ワイヤ7 sの太さと同じ太さであってもよい。
- [0040] また、封止材11は、複合材であってもよい。複合材は、例えば主成分として、フィラー等の充填材と樹脂とを含む材料である。充填材は、封止材11の熱膨張率または機械的性質を調整するために使用される。複合材に含まれる樹脂は、例えば電気抵抗率の高い熱硬化性の樹脂であり、例えばエポキシ樹脂である。封止材11は、高い絶縁性、良好な成型性、および信頼性を有していることが好ましい。
- [0041] 封止材11は、例えばトランスファーモールド法によって形成されている。封止材11は、パワーリード2 cの先端部（他端側）および制御リード2 bの先端部（他端側）が封止材11から露出するように、リードフレーム2の一部を封止している。また、封止材11は、半導体素子3 p、制御用半導体素子3 i、ワイヤ7 p, 7 s、ダイパッド2 a、吊りリード2 n、パワーリード2 c、絶縁層9、およびヒートシンク10を封止している。半導体装置100では、封止材11から露出している、パワーリード2 cの先端部および制御リード2 bの先端部は、回路基板20（図3参照）および他の機器

等と電氣的に接続される。

[0042] また、半導体装置100の特徴として、封止材11には第1傾斜部23bが設けられているが、第1傾斜部23bの詳細については後述する。

[0043] 絶縁層9を構成する材料は、放熱性および絶縁性の高い材料である。絶縁層9は、例えば熱伝導性絶縁樹脂シートである。また、絶縁層9は、ダイパッド2aの面2rに配置されている。絶縁層9は、例えば、印刷されたシート、転写されたシート、または成形されたシートである。Z方向から見た絶縁層9の形状は矩形状である。絶縁層9は、Z方向から見て、ダイパッド2aのサイズ以下のサイズである。また、絶縁層9は、Z方向から見て、ダイパッド2aよりも大きなサイズであってもよい。

[0044] 絶縁層9の厚みは、絶縁層9の放熱性を考慮して設定される。絶縁層9の厚みは、ダイパッド2aの厚みよりも薄い。例えば、ダイパッド2aの厚みが、200 μ m以上500 μ m以下の範囲である場合、絶縁層9の厚みは、約200 μ m以下であることが好ましい。

[0045] 絶縁層9に対して高い放熱性および高い絶縁性が求められる場合、絶縁層9は、導体層とセラミック板とからなる絶縁基板であってもよい。導体層を構成する材料は、銅(Cu)、アルミニウム(Al)、またはニッケル(Ni)等の金属である。導体層の表面には、金(Au)、銀(Ag)、またはニッケル(Ni)等のめっきが施されていてもよい。セラミック板を構成する材料は、例えば、セラミック材またはガラスセラミック材である。セラミック材は、例えば、アルミナ、窒化珪素、または窒化アルミニウム等である。

[0046] また、絶縁層9に対して更なる低コスト化が求められる場合、絶縁層9だけでなくヒートシンク10も無くしてもよい。

[0047] 実施の形態1では、絶縁層9の放熱性を高めるために、絶縁層9にヒートシンク10が接触した状態で配置されている。

[0048] ヒートシンク10を構成する材料は、例えば合金である。合金は、例えばアルミニウム(Al)に、金属としてのマグネシウム(Mg)およびマンガ

ン (Mn) の少なくともいずれかの金属が添加されたものである。

[0049] なお、ヒートシンク10を構成する材料は、例えば合金に限定されず、合金と異なる金属であってもよい。ヒートシンク10を構成する材料は、例えば銅 (Cu) であってもよい。また、ヒートシンク10は、アルミニウム (Al) で構成された板状部材であってもよい。

[0050] また、ヒートシンク10を構成する材料は、金属以外の材料であってもよい。ヒートシンク10を構成する材料は、例えば、熱伝導率が高い無機物または有機物であってもよい。

[0051] 次に、図14を用いて、関連技術に係る半導体装置101と放熱フィン102との一般的な取り付け方法について説明する。図14は、関連技術において、回路基板20に搭載された半導体装置101と放熱フィン102との取り付けを説明するための図である。

[0052] まず、回路基板20のパターン上にはんだなどの接合材21を印刷、または塗布した後、半導体装置101と回路基板20とを対向させた状態で、リードフレーム2を回路基板20のパターン上に配置し、リフロー炉などによってはんだ接合を行う。これにより、図14に示すように、回路基板20に半導体装置101を搭載することができる。

[0053] 次に、半導体装置101への放熱フィン22の取り付けについて説明する。関連技術では、封止材11の面11sと面11rが平坦であり、かつ、面11sと面11rが平行になるように形成されている。そのため、ネジ24を用いて放熱フィン22を取り付ける際に、半導体装置101の厚み方向 (Z軸方向) の寸法バラつきが存在しており、その寸法バラつきを吸収するために、半導体装置101と放熱フィン22との間に、大量のグリスまたは厚い絶縁シートなどの絶縁材25を介在させることで対応していた。

[0054] しかしながら、絶縁材25は、半導体装置101から放熱フィン22までの放熱経路において、2番目に高い熱抵抗を有しており、半導体装置101の熱抵抗を小さくしても、絶縁材25と放熱フィン22との間の熱抵抗が悪化することで、半導体装置101から放熱フィン22までの放熱経路におい

て、トータルの熱抵抗が大きくなっていた。その結果、半導体装置101に搭載される半導体素子の寿命が低下し、さらには半導体装置101が破壊に至ることもあった。実施の形態1では、このような問題を解決するためになされたものであり、以下に実施の形態1に係る半導体装置100が有する特徴について詳細に説明する。

[0055] ここで、半導体装置101の厚み方向の寸法バラつきとは、封止材11の厚み方向の寸法バラつき、リードフレーム2の曲げ加工に起因するZ軸方向の寸法バラつき、接合材21の厚み方向のバラつき、および放熱フィン22のZ軸方向の寸法バラつきである。

[0056] 次に、図2と図3を用いて、実施の形態1に係る半導体装置100が有する特徴について説明する。図3は、実施の形態1において、回路基板20に搭載された半導体装置100と放熱フィン22との取り付けを説明するための側面図である。

[0057] 図2と図3に示すように、封止材11におけるヒートシンク10の一方面である面10sとは反対側の他方面である面10rに沿って延在する領域から、封止材11におけるヒートシンク10が配置された側の一方面である面11rに渡って、第1傾斜部23bが設けられている。具体的には、封止材11は、本体部23aと、第1傾斜部23bとを備えている。本体部23aは、図2において、封止材11の面11sから、ヒートシンク10の面10rに沿って延在する仮想線までの領域で表される部分である。第1傾斜部23bは、図2において、ヒートシンク10の面10rに沿って延在する仮想線から、封止材11の面11rまでの領域で表される部分である。

[0058] ここで、ヒートシンク10の面10rに沿って延在する仮想線で表される面は平坦面である。第1傾斜部23bは、パワーリード2c側(X方向)から制御リード2b側(-X方向)へ行く程、第1傾斜部23bの厚みが厚くなるように傾斜している。

[0059] 半導体装置100に取り付けられる放熱フィン22は、側面視においてコの字状の形状である。放熱フィン22は、回路基板20の一方面である面2

0 sに搭載された半導体装置100に対して、半導体装置100の封止材11におけるヒートシンク10が配置された側の一方面である面11rと、回路基板20の半導体装置100が搭載された面20sとは反対側の他方面である面20rとを絶縁材25を介して挟持することで半導体装置100に取り付けられる。

[0060] また、放熱フィン22における第1傾斜部23bと対向する部分には、第1傾斜部23bと同じ方向に傾斜し、かつ、第1傾斜部23bの傾斜に応じた傾斜を有する第2傾斜部22sが設けられている。

[0061] 具体的には、第2傾斜部22sは、第1傾斜部23bと同じ方向に傾斜し、かつ、第1傾斜部23bよりも緩やかな傾斜を有している。このように、封止材11の第1傾斜部23bと放熱フィン22の第2傾斜部22sとの間で角度差が設けられている。これにより、半導体装置100が搭載された回路基板20の側面から放熱フィン22をX軸方向に差し込むだけで、ネジ止めすることなく、放熱フィン22を半導体装置100に固定することが可能となる。

[0062] 半導体装置100の厚み方向（Z軸方向）の寸法バラつきにより、半導体装置100の封止材11と放熱フィン22との隙間が発生する。ここで、半導体装置100の厚み方向の寸法バラつきとは、封止材11の厚み方向の寸法バラつき、リードフレーム2の曲げ加工に起因するZ軸方向の寸法バラつき、接合材21の厚み方向のバラつき、および放熱フィン22のZ軸方向の寸法バラつきである。

[0063] 第1傾斜部23bの厚みは、半導体装置100の厚み方向の寸法バラつきの合計よりも小さくなるように設定されている。その結果、第1傾斜部23bの傾斜角が小さくなり、放熱フィン22の差し込み距離が長くなる。このように、放熱フィン22の差し込み距離が長くなることで、放熱フィン22の差し込み距離を調整することができるため、半導体装置100の厚み方向の寸法バラつきを吸収するとともに、半導体装置100の封止材11と放熱フィン22との隙間を調整することができる。ここで、第1傾斜部23bの

厚みとは、第1傾斜部23bにおける傾斜の終点側（第1傾斜部23bにおける厚みが厚くなる側）の端部、すなわち、第1傾斜部23bの-X方向の端部の厚みである。

[0064] 上記のように、関連技術では、半導体装置101の厚み方向の寸法バラつきを全て考慮した絶縁材25の過剰な厚みが必要であった。これに対して、実施の形態1では、最低限の厚みを有する絶縁材25を半導体装置100と放熱フィン22との間に配置することで、半導体装置100と放熱フィン22とを十分に密着させることができる。

[0065] 絶縁材25における最低限の厚みは、半導体装置100の封止材11および放熱フィン22の表面粗さを吸収できる程度でよく、おおよそ数十 μm で十分である。すなわち、半導体装置100から放熱フィン22までのトータルの熱抵抗を低減することができるため、半導体装置100において高い信頼性が得られる。また、上記の寸法バラつきを小さくするためにかかっていた材料費、加工費、および検査費用などを抑えることが可能となる。

[0066] 次に、第1傾斜部23bにおける傾斜の方向について説明する。図2と図3では、第1傾斜部23bは、パワーリード2c側（X方向）から制御リード2b側（-X方向）へ行く程、第1傾斜部23bの厚みが厚くなるように傾斜しているが、これに限定されない。第1傾斜部23bは、制御リード2b側（-X方向）からパワーリード2c側（X方向）へ行く程、第1傾斜部23bの厚みが厚くなるように傾斜していてもよい。または、第1傾斜部23bは、X軸方向に傾斜するのではなく、パワーリード2cと制御リード2bとを結ぶ方向に対して直交する方向（Y軸方向）に傾斜していてもよい。つまり、第1傾斜部23bは、Y方向から-Y方向へ行く程、または-Y方向からY方向へ行く程、第1傾斜部23bの厚みが厚くなるように傾斜していてもよい。

[0067] 但し、さらに効果的に半導体装置100の発熱を放熱フィン22に放熱させるためには、図2に示すように、主な発熱原である半導体素子3pが搭載されているダイパッド2aから離れた位置に、第1傾斜部23bにおける傾

斜の終点（-X方向）を形成すればよい。

[0068] また、第1傾斜部23bの傾斜角については、回路基板20のサイズ、半導体装置100の回路基板20への搭載位置、および放熱フィン22のサイズに応じて設定すればよく、傾斜角が小さければ、放熱フィン22のサイズはX軸方向に大きくなる傾向にあり、放熱フィン22の差し込み距離が長くなるため、半導体装置100の厚み方向の寸法バラつきをさらに吸収することができる。一方で、放熱フィン22がX軸方向に大きくなるため、第1傾斜部23bの傾斜角は、製造コストと、半導体装置100および放熱フィン22を含めた全体のサイズとのトレードオフとなる。

[0069] また、回路基板20の面20rと放熱フィン22とが接触するため、回路基板20自体も冷却され、回路基板20のパターン電流密度を増やすことが可能になり、回路設計の自由度も向上する。近年、半導体素子3p、封止材11、および半導体素子3pと接触する接合材4の進化により、半導体装置100の熱抵抗が下がる傾向にあるが、その分の熱が、制御リード2bとパワーリード2cに多く伝わることもある。そのため、回路基板20と制御リード2bおよびパワーリード2cとを接合する接合材21の耐熱性が、半導体装置100の性能向上のボトルネックになる可能性がある。そこで、上記のように、放熱フィン22を用いて、回路基板20も同時に冷却することで、半導体装置100と回路基板20とを接続する制御リード2bおよびパワーリード2cの温度を低下させることができるため、半導体装置100の性能向上のボトルネックを解消するための手段の1つになり得る。

[0070] また、図示しないが、回路基板20には、半導体装置100の他に、ノイズフィルタ、コンバータ、マイコン、電解コンデンサ、またはサーミスタなどの電子部品が搭載されている場合もある。図4は、実施の形態1において、回路基板20に搭載された半導体装置100と放熱フィン22とを取り付けた状態を示す側面図である。また、図4に示すように、回路基板20に搭載された半導体装置100が放熱フィン22に差し込まれて組み上がった状態を、インバータ基板と呼ぶ。

[0071] <効果>

以上のように、実施の形態1に係る半導体装置100は、ダイパッド2a、ダイパッド2aと一端部が接続されたパワーリード2c、およびダイパッド2aに対してパワーリード2cとは反対側に配置された制御リード2bを含むリードフレーム2と、ダイパッド2aにおける面2sに搭載された半導体素子3pと、制御リード2bの一端側におけるZ方向の面に搭載され、半導体素子3pを制御する制御用半導体素子3iと、ダイパッド2aにおける面2sとは反対側の面2rに絶縁層9を介して配置され、絶縁層9と面10sが接触するヒートシンク10と、パワーリード2cの他端側および制御リード2bの他端側を露出させた状態で、半導体素子3p、制御用半導体素子3i、ヒートシンク10、およびリードフレーム2を封止する封止材11とを備えている。封止材11には、半導体装置100の封止材11におけるヒートシンク10が配置された側の面11rと、回路基板20の半導体装置100が搭載された面20sとは反対側の面20rとが挟持されることで放熱フィン22が取り付けられる第1傾斜部23bが設けられ、第1傾斜部23bは、封止材11におけるヒートシンク10の面10sとは反対側の面10rに沿って延在する領域から、封止材11におけるヒートシンク10が配置された側の面11rに渡って設けられている。

[0072] したがって、半導体装置100が搭載された回路基板20の側面から放熱フィン22を差し込むことで、半導体装置100と放熱フィン22とを十分に密着させた状態で取り付けることが可能となる。その結果、半導体装置100と放熱フィン22との間に配置される絶縁材25の厚みを従来よりも薄くすることが可能となる。これにより、半導体装置100から放熱フィン22までの熱抵抗を低減することができる。

[0073] また、半導体装置100が搭載された回路基板20の側面から放熱フィン22を差し込んで、半導体装置100の第1傾斜部23bと放熱フィン22の第2傾斜部22sによって、半導体装置100と放熱フィン22とを固定するため、ネジ止めの工程が不要になり、加えて、関連技術に係る半導体装

置 1 0 1 に設けられていた 2 つのネジ穴 1 2 (図 1 4 参照) も不要になる。
その結果、半導体装置 1 0 0 の小型化にも寄与する。

[0074] 以上より、半導体装置 1 0 0 の小型化、耐久性の向上、および歩留りの向上を実現することが可能となる。

[0075] また、第 2 傾斜部 2 2 s は、第 1 傾斜部 2 3 b よりも緩やかな傾斜を有している。このように、第 1 傾斜部 2 3 b と第 2 傾斜部 2 2 s との間で傾斜角の角度差があることで、半導体装置 1 0 0 が搭載された回路基板 2 0 の側面から放熱フィン 2 2 を差し込んだ際に半導体装置 1 0 0 と放熱フィン 2 2 とが固定される。これにより、ネジ止めすることなく、放熱フィン 2 2 を半導体装置 1 0 0 に取り付けることができる。

[0076] また、第 1 傾斜部 2 3 b は、パワーリード 2 c 側から制御リード 2 b 側へ行く程、第 1 傾斜部 2 3 b の厚みが厚くなるように傾斜している。したがって、制御リード 2 b 側の封止材 1 1 の厚みが厚くなることで、制御用半導体素子 3 i およびその周辺に配置された部材の信頼性が向上する。

[0077] また、第 1 傾斜部 2 3 b は、制御リード 2 b 側からパワーリード 2 c 側へ行く程、第 1 傾斜部 2 3 b の厚みが厚くなるように傾斜している。したがって、パワーリード 2 c 側の封止材 1 1 の厚みが厚くなることで、半導体素子 3 p およびその周辺に配置された部材の信頼性が向上する。

[0078] また、第 1 傾斜部 2 3 b は、パワーリード 2 c と制御リード 2 b とを結ぶ方向に対して直交する方向 (Y 軸方向) に傾斜している。したがって、Y 軸方向の終端部周辺に配置された部材の信頼性が向上する。

[0079] また、第 1 傾斜部 2 3 b の厚みは、半導体装置 1 0 0 の厚み方向 (Z 軸方向) の寸法バラツキの合計よりも小さい。したがって、第 1 傾斜部 2 3 b の傾斜角が小さくなるため、放熱フィン 2 2 の差し込み距離が長くなる。このように、放熱フィン 2 2 の差し込み距離が長くなることで、放熱フィン 2 2 の差し込み距離を調整することができるため、半導体装置 1 0 0 の厚み方向の寸法バラツキを吸収するとともに、半導体装置 1 0 0 の封止材 1 1 と放熱フィン 2 2 との隙間を調整することができる。

[0080] <実施の形態 2>

<半導体装置および放熱フィンの構成>

次に、実施の形態 2 に係る半導体装置 100 について説明する。図 5 は、実施の形態 2 に係る半導体装置 100 の上面図である。図 6 は、実施の形態 2 において、回路基板 20 に搭載された半導体装置 100 と放熱フィン 22 との取り付けを説明するための側面図である。なお、実施の形態 2 において、実施の形態 1 で説明したものと同一の構成要素については同一符号を付して説明は省略する。

[0081] 図 5 と図 6 に示すように、実施の形態 2 では、実施の形態 1 に対して、半導体装置 100 の第 1 傾斜部 23 b に窪み V1 が設けられるとともに、放熱フィン 22 の第 2 傾斜部 22 s に突起 X1 が設けられている。

[0082] 窪み V1 は、断面視において半円状に形成され、Z 方向に凹んでいる。窪み V1 は、パワーリード 2c と制御リード 2b とを結ぶ方向に対して直交する方向に複数個設けられている。具体的には、窪み V1 は、第 1 傾斜部 23 b における傾斜の終点側（第 1 傾斜部 23 b における厚みが厚くなる側）の端部、すなわち、第 1 傾斜部 23 b の -X 方向の端部に、Y 軸方向に間隔をあけて 2 つ設けられている。また、窪み V1 の深さは、第 1 傾斜部 23 b の厚みよりも浅くなるように形成されている。

[0083] 突起 X1 は、断面視において半円状に形成され、Z 方向に突出している。突起 X1 は、窪み V1 と嵌合するように、放熱フィン 22 の第 2 傾斜部 22 s における傾斜の終点側（-X 方向）の端部に、Y 軸方向に間隔をあけて 2 つ設けられている。半導体装置 100 が搭載された回路基板 20 の側面から放熱フィン 22 を差し込んだ際に、突起 X1 が窪み V1 に嵌合することで、半導体装置 100 と放熱フィン 22 とを強固に固定することができる。

[0084] 基本的には、窪み V1 の位置に合わせて突起 X1 を形成すればよいが、1 mm 以下の単位で、突起 X1 の位置を、第 2 傾斜部 22 s における傾斜の始点側（X 方向）に少しずらしてもよい。突起 X1 の位置を、第 2 傾斜部 22 s における傾斜の始点側に少しずらすことで、突起 X1 が窪み V1 に嵌合し

た際に、突起X1が窪みV1にかしめられた状態になり、半導体装置100と放熱フィン22とをさらに強固に固定することができる。また、窪みV1と突起X1のサイズは固定強度に影響するため、必要な固定強度に合わせてサイズを決定すればよい。

[0085] なお、窪みV1と突起X1の位置は、それぞれ第1傾斜部23bにおける傾斜の終点側の端部と第2傾斜部22sにおける傾斜の終点側の端部にあればよく、それぞれ第1傾斜部23bと第2傾斜部22sの傾斜方向に合わせて変更される。

[0086] <効果>

以上のように、実施の形態2に係る半導体装置100では、第1傾斜部23bにおける厚みが厚くなる側の端部には、放熱フィン22の第2傾斜部22sに設けられた突起X1が嵌合可能な窪みV1が設けられている。したがって、半導体装置100が搭載された回路基板20の側面から放熱フィン22を差し込んだ際に、突起X1が窪みV1に嵌合することで、半導体装置100と放熱フィン22とを強固に固定することができる。

[0087] また、窪みV1は、パワーリード2cと制御リード2bとを結ぶ方向に対して直交する方向に複数個設けられている。したがって、窪みV1が1つの場合よりも、半導体装置100と放熱フィン22とをさらに強固に固定することができる。

[0088] <実施の形態2の変形例>

次に、実施の形態2の変形例について説明する。図7は、実施の形態2の変形例1に係る半導体装置100の上面図である。図8は、実施の形態2の変形例2に係る半導体装置100の上面図である。図9は、実施の形態2の変形例3に係る半導体装置100の上面図である。図10は、実施の形態2の変形例4に係る半導体装置100の正面図である。

[0089] 窪みV1および突起X1の位置とこれらの個数は、図5と図6に示したものに限定されない。

[0090] 例えば、図7に示すように、窪みV1は、第1傾斜部23bにおける傾斜

の終点側に、Y軸方向に間隔をあけて3つ以上設けられていてもよい。この場合、図示しないが、窪みV1の位置に合わせて放熱フィン22の第2傾斜部22sにも3つ以上の突起X1が設けられている。これにより、窪みV1が2つの場合よりも、半導体装置100と放熱フィン22とをさらに強固に固定することができる。但し、窪みV1の個数を増やすほど、加工コストが上昇するため、必要な固定強度を考慮して、窪みV1の個数を決定すればよい。

[0091] また、図8に示すように、窪みV1は、パワーリード2cと制御リード2bとを結ぶ方向に対して直交する方向、すなわち、Y軸方向に線状に形成されていてもよい。窪みV1を線状に形成することで、図7の場合よりも半導体装置100と放熱フィン22とをさらに強固に固定することができ、かつ、加工コストも抑えることが可能となる。この場合、図示しないが、窪みV1の位置に合わせて放熱フィン22の第2傾斜部22sにも線状の突起X1が設けられている。

[0092] また、図9に示すように、窪みV1は、パワーリード2cから制御リード2bへ向かう方向、すなわち、X軸方向に複数個設けられていてもよい。放熱フィン22の差し込み方向と平行な方向に複数個の窪みV1を形成することで、窪みV1と突起X1との嵌合位置が調整しやすくなる。この場合、図示しないが、窪みV1の位置に合わせて放熱フィン22の第2傾斜部22sにも複数個の突起X1が設けられている。

[0093] また、図示しないが、窪みV1および突起X1の形状は、断面視において半円状に限定されることなく、例えば、断面視において四角形状、三角形状、またはひし形状などの形状であってもよい。

[0094] さらに、図10に示すように、窪みV1は、パワーリード2cから制御リード2bへ向かう方向、すなわち、X軸方向に鋸歯形状に形成されていてもよい。窪みV1を鋸歯形状に形成することで、窪みV1と突起X1との嵌合位置が調整しやすくなり、かつ、半導体装置100と放熱フィン22とをさらに強固に固定することができる。この場合、図示しないが、窪みV1の位置

に合わせて放熱フィン22の第2傾斜部22sにも鋸歯形状の突起X1が設けられている。

[0095] <実施の形態3>

次に、実施の形態3について説明する。図11は、実施の形態3において、回路基板20に搭載された半導体装置100と放熱フィン22との取り付けを説明するための側面図である。図12(a)~(c)は、実施の形態3において、放熱フィン22に形成された絶縁材25の形状を説明するための図であり、図中に示された矢印は、半導体装置100の差し込み方向である。なお、実施の形態3において、実施の形態1,2で説明したものと同一の構成要素については同一符号を付して説明は省略する。

[0096] 実施の形態1,2では、半導体装置100における封止材11の面11rに絶縁材25を形成して半導体装置100を放熱フィン22に取り付けているが、図11に示すように、放熱フィン22における封止材11の面11rと対向する部分である放熱フィン22の第2傾斜部22sに、絶縁材25を形成することも可能である。

[0097] 放熱フィン22の第2傾斜部22sに絶縁材25を形成することで、半導体装置100をスライドさせて放熱フィン22に取り付ける際に、封止材11に形成された絶縁材25が、放熱フィン22に擦り付けられ、封止材11の面11rから絶縁材25の一部、または全ての絶縁材25が無くなることを回避することができる。また、実施の形態2において、突起X1にも絶縁材25を形成してもよい。

[0098] その結果、半導体装置100と放熱フィン22とを絶縁材25を介して隙間なく確実に接触させることができる。これにより、半導体装置100から放熱フィン22までのトータルの熱抵抗を低減することができるため、半導体装置100において高い信頼性が得られる。

[0099] また、図12(a)に示すように、絶縁材25は封止材11の面11rとは反対側の面11s側から視て(Z方向から視て)半導体装置100よりも大きい面積を有していてもよい。または、図12(b)に示すように、第2

傾斜部 22s と半導体装置 100 が接触し始める位置に絶縁材 25 を形成しておき、半導体装置 100 をスライドさせる際に絶縁材 25 を封止材 11 の面 11r の全面に広げてよい。第 2 傾斜部 22s と半導体装置 100 が接触し始める位置において、絶縁材 25 は、封止材 11 の面 11r とは反対側の面 11s 側から視て（Z 方向から視て）半導体装置 100 よりも小さい面積を有し、かつ、パワーリード 2c と制御リード 2b とを結ぶ方向に対して直交する方向、すなわち、Y 軸方向に線状に形成されている。

[0100] 絶縁材 25 の形状は、四角形状に限定されることなく、例えば、円状、三角形状、またはひし形状などの形状であってもよい。さらに、図 12 (c) に示すように、絶縁材 25 が封止材 11 の面 11r の全面に広がり易いように、絶縁材 25 はパワーリード 2c と制御リード 2b とを結ぶ方向に対して直交する方向、すなわち、Y 軸方向に複数個形成されていてもよい。その結果、絶縁材 25 の使用量を、図 12 (b) の場合よりもさらに低減することが可能になる。

[0101] <実施の形態 4 >

本実施の形態は、上述した実施の形態 1～3 に係る半導体装置 100 を電力変換装置 200 に適用したものである。実施の形態 1～3 に係る半導体装置 100 の適用は特定の電力変換装置に限定されるものではないが、以下、実施の形態 4 として、三相のインバータに実施の形態 1～3 に係る半導体装置 100 を適用した場合について説明する。

[0102] 図 13 は、実施の形態 4 に係る電力変換装置 200 を適用した電力変換システムの構成を示すブロック図である。

[0103] 図 13 に示す電力変換システムは、電源 400、電力変換装置 200、負荷 300 から構成される。電源 400 は、直流電源であり、電力変換装置 200 に直流電力を供給する。電源 400 は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路や AC/DC コンバータで構成することとしてもよい。また、電源 400 を、直流系統から出力される直流電力を所定の

電力に変換するDC/DCコンバータによって構成することとしてもよい。

- [0104] 電力変換装置200は、電源400と負荷300の間に接続された三相のインバータであり、電源400から供給された直流電力を交流電力に変換し、負荷300に交流電力を供給する。電力変換装置200は、図13に示すように、直流電力を交流電力に変換して出力する主変換回路201と、主変換回路201を制御する制御信号を主変換回路201に出力する制御回路203とを備えている。
- [0105] 負荷300は、電力変換装置200から供給された交流電力によって駆動される三相の電動機である。なお、負荷300は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。
- [0106] 以下、電力変換装置200の詳細を説明する。主変換回路201は、スイッチング素子（図示せず）と還流ダイオード（図示せず）を備えており、スイッチング素子がスイッチングすることによって、電源400から供給される直流電力を交流電力に変換し、負荷300に供給する。主変換回路201の具体的な回路構成は種々のものがあるが、本実施の形態に係る主変換回路201は2レベルの三相フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードから構成することができる。
- [0107] 主変換回路201の各スイッチング素子と各還流ダイオードの少なくともいずれかについて、上述した実施の形態1～3のいずれかに相当する半導体装置100によって構成する。実施の形態4においては、一例として、主変換回路201は、実施の形態1に係る半導体装置100を備えている。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U相、V相、W相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路201の3つの出力端子は、負荷300に接続される。

[0108] また、主変換回路201は、各スイッチング素子を駆動する駆動回路（図示せず）を備えているが、駆動回路は半導体装置100に内蔵されていてもよいし、半導体装置100とは別に駆動回路を備える構成であってもよい。駆動回路は、主変換回路201のスイッチング素子を駆動する駆動信号を生成し、主変換回路201のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路203からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

[0109] 制御回路203は、負荷300に所望の電力が供給されるよう主変換回路201のスイッチング素子を制御する。具体的には、負荷300に供給すべき電力に基づいて主変換回路201の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調するPWM制御によって主変換回路201を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、主変換回路201が備える駆動回路に制御指令（制御信号）を出力する。駆動回路は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

[0110] 本実施の形態に係る電力変換装置200では、主変換回路201のスイッチング素子と還流ダイオードとして半導体装置100を適用するため、小型化、耐久性の向上、および歩留りの向上を実現することができる。

[0111] 本実施の形態では、2レベルの三相インバータに実施の形態1～3に係る半導体装置100を適用する例を説明したが、実施の形態1～3に係る半導体装置100の適用は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2レベルの電力変換装置とし

たが3レベルやマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに実施の形態1～3に係る半導体装置100を適用しても構わない。また、直流負荷等に電力を供給する場合にはDC/DCコンバータやAC/DCコンバータに実施の形態1～3に係る半導体装置100を適用することも可能である。

[0112] また、実施の形態1～3に係る半導体装置100を適用した電力変換装置200は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、又は誘導加熱調理器や非接触給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

[0113] この開示は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、限定的なものではない。例示されていない無数の変形例が、想定され得るものと解される。

[0114] なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

[0115] 以下、本開示の諸態様を付記としてまとめて記載する。

[0116] (付記1)

回路基板の一方面に搭載される半導体装置であって、

ダイパッド、前記ダイパッドと一端部が接続された第1リード、および前記ダイパッドに対して前記第1リードとは反対側に配置された第2リードを含むリードフレームと、

前記ダイパッドにおける一方面に搭載された半導体素子と、

前記第2リードの一端側における一方面に搭載され、前記半導体素子を制御する制御用半導体素子と、

前記ダイパッドにおける前記一方面とは反対側の他方面に絶縁層を介して配置され、前記絶縁層と一方面が接触するヒートシンクと、

前記第1リードの他端側および前記第2リードの他端側を露出させた状態で、前記半導体素子、前記制御用半導体素子、前記ヒートシンク、および前

記リードフレームを封止する封止材と、を備え、

前記封止材には、前記半導体装置の前記封止材における前記ヒートシンクが配置された側の一方面と、前記回路基板の前記半導体装置が搭載された前記一方面とは反対側の他方面とが挟持されることで放熱フィンが取り付けられる第1傾斜部が設けられ、

前記第1傾斜部は、前記封止材における前記ヒートシンクの前記一方面とは反対側の他方面に沿って延在する領域から、前記封止材における前記ヒートシンクが配置された側の前記一方面に渡って設けられた、半導体装置。

[0117] (付記2)

前記第1傾斜部は、前記第1リード側から前記第2リード側へ行く程、前記第1傾斜部の厚みが厚くなるように傾斜している、付記1に記載の半導体装置。

[0118] (付記3)

前記第1傾斜部は、前記第2リード側から前記第1リード側へ行く程、前記第1傾斜部の厚みが厚くなるように傾斜している、付記1に記載の半導体装置。

[0119] (付記4)

前記第1傾斜部は、前記第1リードと前記第2リードとを結ぶ方向に対して直交する方向に傾斜している、付記1に記載の半導体装置。

[0120] (付記5)

前記第1傾斜部の厚みは、前記半導体装置の厚み方向の寸法バラツキの合計よりも小さい、付記1から付記4のいずれかに記載の半導体装置。

[0121] (付記6)

前記放熱フィンにおける前記第1傾斜部と対向する部分には、前記第1傾斜部と同じ方向に傾斜し、かつ、前記第1傾斜部の傾斜に応じた傾斜を有する第2傾斜部が設けられ、

前記第1傾斜部における厚みが厚くなる側の端部には、前記放熱フィンの前記第2傾斜部に設けられた突起が嵌合可能な窪みが設けられた、付記1か

ら付記5のいずれかに記載の半導体装置。

[0122] (付記7)

前記窪みは、前記第1リードと前記第2リードとを結ぶ方向に対して直交する方向に複数個設けられた、付記6に記載の半導体装置。

[0123] (付記8)

前記窪みは、前記第1リードと前記第2リードとを結ぶ方向に対して直交する方向に線状に形成された、付記6に記載の半導体装置。

[0124] (付記9)

前記窪みは、前記第1リードから前記第2リードへ向かう方向に複数個設けられた、付記6に記載の半導体装置。

[0125] (付記10)

前記窪みは、前記第1リードから前記第2リードへ向かう方向に鋸歯形状に形成された、付記6に記載の半導体装置。

[0126] (付記11)

付記1から付記10のいずれかに記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路と、

を備えた、電力変換装置。

[0127] (付記12)

回路基板の一方面に搭載される半導体装置を備えるインバータ基板であって、

前記半導体装置は、

ダイパッド、前記ダイパッドと一端部が接続された第1リード、および前記ダイパッドに対して前記第1リードとは反対側に配置された第2リードを含むリードフレームと、

前記ダイパッドにおける一方面に搭載された半導体素子と、

前記第2リードの一端側における一方面に搭載され、前記半導体素子を制

御する制御用半導体素子と、

前記ダイパッドにおける前記一方面とは反対側の他方面に絶縁層を介して配置され、前記絶縁層と一方面が接触するヒートシンクと、

前記第1リードの他端側および前記第2リードの他端側を露出させた状態で、前記半導体素子、前記制御用半導体素子、前記ヒートシンク、および前記リードフレームを封止する封止材と、を備え、

前記半導体装置の前記封止材における前記ヒートシンクが配置された側の一方面と、前記回路基板の前記半導体装置が搭載された前記一方面とは反対側の他方面とが挟持されることで前記半導体装置に取り付けられる放熱フィンが設けられ、

前記封止材における前記ヒートシンクの前記一方面とは反対側の他方面に沿って延在する領域から、前記封止材における前記ヒートシンクが配置された側の前記一方面に渡って第1傾斜部が設けられ、

前記放熱フィンにおける前記第1傾斜部と対向する部分には、前記第1傾斜部と同じ方向に傾斜し、かつ、前記第1傾斜部の傾斜に応じた傾斜を有する第2傾斜部が設けられた、インバータ基板。

[0128] (付記13)

前記第2傾斜部は、前記第1傾斜部よりも緩やかな傾斜を有する、付記12に記載のインバータ基板。

[0129] (付記14)

前記第1傾斜部における厚みが厚くなる側の端部には窪みを有し、前記放熱フィンの前記第2傾斜部に前記窪みと嵌合可能な突起が設けられた、付記12または付記13に記載のインバータ基板。

[0130] (付記15)

前記突起は、前記第1リードと前記第2リードとを結ぶ方向に対して直交する方向に複数個設けられた、付記14に記載のインバータ基板。

[0131] (付記16)

前記突起は、前記第1リードと前記第2リードとを結ぶ方向に対して直交

する方向に線状に形成された、付記 14 に記載のインバータ基板。

[0132] (付記 17)

前記突起は、前記第 1 リードから前記第 2 リードへ向かう方向に複数個設けられた、付記 14 に記載のインバータ基板。

[0133] (付記 18)

前記突起は、前記第 1 リードから前記第 2 リードへ向かう方向に鋸歯形状に形成された、付記 14 に記載のインバータ基板。

[0134] (付記 19)

ダイパッド、前記ダイパッドと一端部が接続された第 1 リード、および前記ダイパッドに対して前記第 1 リードとは反対側に配置された第 2 リードを含むリードフレームと、

前記ダイパッドにおける一方面に搭載された半導体素子と、

前記第 2 リードの一端側における一方面に搭載され、前記半導体素子を制御する制御用半導体素子と、

前記ダイパッドにおける前記一方面とは反対側の他方面に絶縁層を介して配置され、前記絶縁層と一方面が接触するヒートシンクと、

前記第 1 リードの他端側および前記第 2 リードの他端側を露出させた状態で、前記半導体素子、前記制御用半導体素子、前記ヒートシンク、および前記リードフレームを封止する封止材と、を備えた半導体装置に取り付けられる放熱フィンであって、

回路基板の一方面に搭載された前記半導体装置に対して、前記半導体装置の前記封止材における前記ヒートシンクが配置された側の一方面と、前記回路基板の前記半導体装置が搭載された前記一方面とは反対側の他方面とを挟持することで前記半導体装置に取り付けられる、放熱フィン。

[0135] (付記 20)

前記放熱フィンにおける前記封止材の前記一方面と対向する部分に、絶縁材が形成された、付記 19 に記載の放熱フィン。

[0136] (付記 21)

前記放熱フィンに形成された前記絶縁材は、前記封止材の前記一方面とは反対側の他方面側から視て前記半導体装置よりも大きい面積を有する、付記 20 に記載の放熱フィン。

[0137] (付記 22)

前記放熱フィンに形成された前記絶縁材は、前記封止材の前記一方面とは反対側の他方面側から視て前記半導体装置よりも小さい面積を有し、かつ、前記第 1 リードと前記第 2 リードとを結ぶ方向に対して直交する方向に線状に形成された、付記 20 に記載の放熱フィン。

[0138] (付記 23)

前記放熱フィンに形成された前記絶縁材は、前記第 1 リードと前記第 2 リードとを結ぶ方向に対して直交する方向に複数個形成された、付記 22 に記載の放熱フィン。

符号の説明

[0139] 2 リードフレーム、2 a ダイパッド、2 b 制御リード、2 c パワーリード、3 i 制御用半導体素子、3 p 半導体素子、9 絶縁層、10 ヒートシンク、11 封止材、20 回路基板、22 放熱フィン、22 s 第 2 傾斜部、23 b 第 1 傾斜部、100 半導体装置、200 電力変換装置、201 主変換回路、203 制御回路、V1 窪み、X1 突起。

請求の範囲

- [請求項1] 回路基板の一方面に搭載される半導体装置であって、
ダイパッド、前記ダイパッドと一端部が接続された第1リード、および前記ダイパッドに対して前記第1リードとは反対側に配置された第2リードを含むリードフレームと、
前記ダイパッドにおける一方面に搭載された半導体素子と、
前記第2リードの一端側における一方面に搭載され、前記半導体素子を制御する制御用半導体素子と、
前記ダイパッドにおける前記一方面とは反対側の他方面に絶縁層を介して配置され、前記絶縁層と一方面が接触するヒートシンクと、
前記第1リードの他端側および前記第2リードの他端側を露出させた状態で、前記半導体素子、前記制御用半導体素子、前記ヒートシンク、および前記リードフレームを封止する封止材と、を備え、
前記封止材には、前記半導体装置の前記封止材における前記ヒートシンクが配置された側の一方面と、前記回路基板の前記半導体装置が搭載された前記一方面とは反対側の他方面とが挟持されることで放熱フィンが取り付けられる第1傾斜部が設けられ、
前記第1傾斜部は、前記封止材における前記ヒートシンクの前記一方面とは反対側の他方面に沿って延在する領域から、前記封止材における前記ヒートシンクが配置された側の前記一方面に渡って設けられた、半導体装置。
- [請求項2] 前記第1傾斜部は、前記第1リード側から前記第2リード側へ行く程、前記第1傾斜部の厚みが厚くなるように傾斜している、請求項1に記載の半導体装置。
- [請求項3] 前記第1傾斜部は、前記第2リード側から前記第1リード側へ行く程、前記第1傾斜部の厚みが厚くなるように傾斜している、請求項1に記載の半導体装置。
- [請求項4] 前記第1傾斜部は、前記第1リードと前記第2リードとを結ぶ方向

に対して直交する方向に傾斜している、請求項 1 に記載の半導体装置。

[請求項5] 前記第 1 傾斜部の厚みは、前記半導体装置の厚み方向の寸法バラツキの合計よりも小さい、請求項 1 に記載の半導体装置。

[請求項6] 前記放熱フィンにおける前記第 1 傾斜部と対向する部分には、前記第 1 傾斜部と同じ方向に傾斜し、かつ、前記第 1 傾斜部の傾斜に応じた傾斜を有する第 2 傾斜部が設けられ、

前記第 1 傾斜部における厚みが厚くなる側の端部には、前記放熱フィンの前記第 2 傾斜部に設けられた突起が嵌合可能な窪みが設けられた、請求項 1 に記載の半導体装置。

[請求項7] 前記窪みは、前記第 1 リードと前記第 2 リードとを結ぶ方向に対して直交する方向に複数個設けられた、請求項 6 に記載の半導体装置。

[請求項8] 前記窪みは、前記第 1 リードと前記第 2 リードとを結ぶ方向に対して直交する方向に線状に形成された、請求項 6 に記載の半導体装置。

[請求項9] 前記窪みは、前記第 1 リードから前記第 2 リードへ向かう方向に複数個設けられた、請求項 6 に記載の半導体装置。

[請求項10] 前記窪みは、前記第 1 リードから前記第 2 リードへ向かう方向に鋸歯形状に形成された、請求項 6 に記載の半導体装置。

[請求項11] 請求項 1 に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記主変換回路を制御する制御信号を前記主変換回路に出力する制御回路と、

を備えた、電力変換装置。

[請求項12] 回路基板の一方面に搭載される半導体装置を備えるインバータ基板であって、

前記半導体装置は、

ダイパッド、前記ダイパッドと一端部が接続された第 1 リード、および前記ダイパッドに対して前記第 1 リードとは反対側に配置された

第2リードを含むリードフレームと、
前記ダイパッドにおける一方面に搭載された半導体素子と、
前記第2リードの一端側における一方面に搭載され、前記半導体素子を制御する制御用半導体素子と、
前記ダイパッドにおける前記一方面とは反対側の他方面に絶縁層を介して配置され、前記絶縁層と一方面が接触するヒートシンクと、
前記第1リードの他端側および前記第2リードの他端側を露出させた状態で、前記半導体素子、前記制御用半導体素子、前記ヒートシンク、および前記リードフレームを封止する封止材と、を備え、
前記半導体装置の前記封止材における前記ヒートシンクが配置された側の一方面と、前記回路基板の前記半導体装置が搭載された前記一方面とは反対側の他方面とが挟持されることで前記半導体装置に取り付けられる放熱フィンが設けられ、
前記封止材における前記ヒートシンクの前記一方面とは反対側の他方面に沿って延在する領域から、前記封止材における前記ヒートシンクが配置された側の前記一方面に渡って第1傾斜部が設けられ、
前記放熱フィンにおける前記第1傾斜部と対向する部分には、前記第1傾斜部と同じ方向に傾斜し、かつ、前記第1傾斜部の傾斜に応じた傾斜を有する第2傾斜部が設けられた、インバータ基板。

[請求項13] 前記第2傾斜部は、前記第1傾斜部よりも緩やかな傾斜を有する、請求項12に記載のインバータ基板。

[請求項14] 前記第1傾斜部における厚みが厚くなる側の端部には窪みを有し、前記放熱フィンの前記第2傾斜部に前記窪みと嵌合可能な突起が設けられた、請求項12に記載のインバータ基板。

[請求項15] 前記突起は、前記第1リードと前記第2リードとを結ぶ方向に対して直交する方向に複数個設けられた、請求項14に記載のインバータ基板。

[請求項16] 前記突起は、前記第1リードと前記第2リードとを結ぶ方向に対し

て直交する方向に線状に形成された、請求項 1 4 に記載のインバータ基板。

[請求項17] 前記突起は、前記第 1 リードから前記第 2 リードへ向かう方向に複数個設けられた、請求項 1 4 に記載のインバータ基板。

[請求項18] 前記突起は、前記第 1 リードから前記第 2 リードへ向かう方向に鋸歯形状に形成された、請求項 1 4 に記載のインバータ基板。

[請求項19] ダイパッド、前記ダイパッドと一端部が接続された第 1 リード、および前記ダイパッドに対して前記第 1 リードとは反対側に配置された第 2 リードを含むリードフレームと、

前記ダイパッドにおける一方面に搭載された半導体素子と、

前記第 2 リードの一端側における一方面に搭載され、前記半導体素子を制御する制御用半導体素子と、

前記ダイパッドにおける前記一方面とは反対側の他方面に絶縁層を介して配置され、前記絶縁層と一方面が接触するヒートシンクと、

前記第 1 リードの他端側および前記第 2 リードの他端側を露出させた状態で、前記半導体素子、前記制御用半導体素子、前記ヒートシンク、および前記リードフレームを封止する封止材と、を備えた半導体装置に取り付けられる放熱フィンであって、

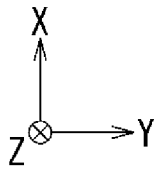
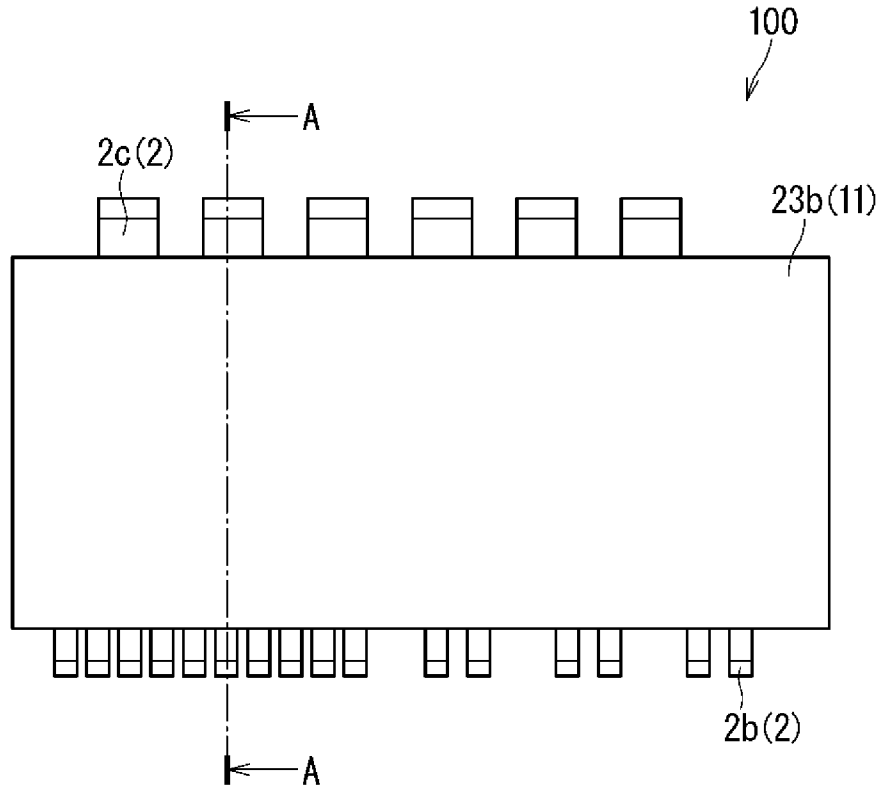
回路基板の一方面に搭載された前記半導体装置に対して、前記半導体装置の前記封止材における前記ヒートシンクが配置された側の一方面と、前記回路基板の前記半導体装置が搭載された前記一方面とは反対側の他方面とを挟持することで前記半導体装置に取り付けられる、放熱フィン。

[請求項20] 前記放熱フィンにおける前記封止材の前記一方面と対向する部分に、絶縁材が形成された、請求項 1 9 に記載の放熱フィン。

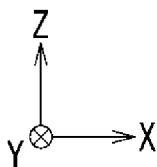
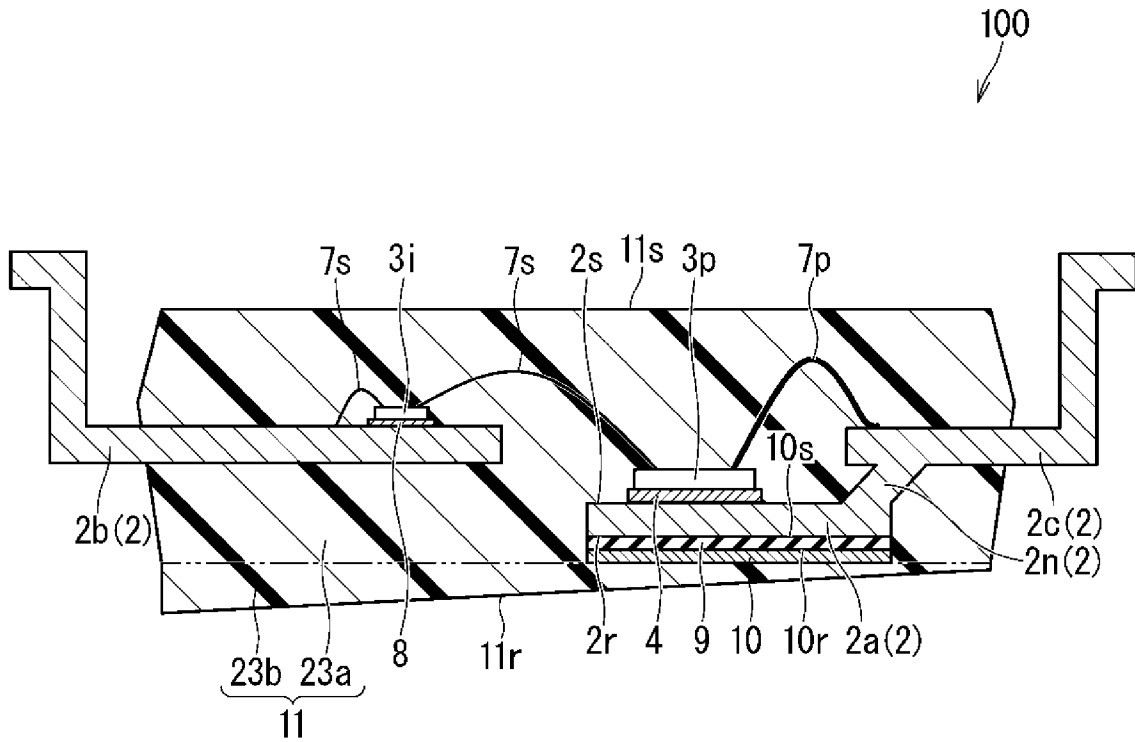
[請求項21] 前記放熱フィンに形成された前記絶縁材は、前記封止材の前記一方面とは反対側の他方面側から視て前記半導体装置よりも大きい面積を有する、請求項 2 0 に記載の放熱フィン。

- [請求項22] 前記放熱フィンに形成された前記絶縁材は、前記封止材の前記一面とは反対側の他方面側から視て前記半導体装置よりも小さい面積を有し、かつ、前記第1リードと前記第2リードとを結ぶ方向に対して直交する方向に線状に形成された、請求項20に記載の放熱フィン。
- [請求項23] 前記放熱フィンに形成された前記絶縁材は、前記第1リードと前記第2リードとを結ぶ方向に対して直交する方向に複数個形成された、請求項22に記載の放熱フィン。

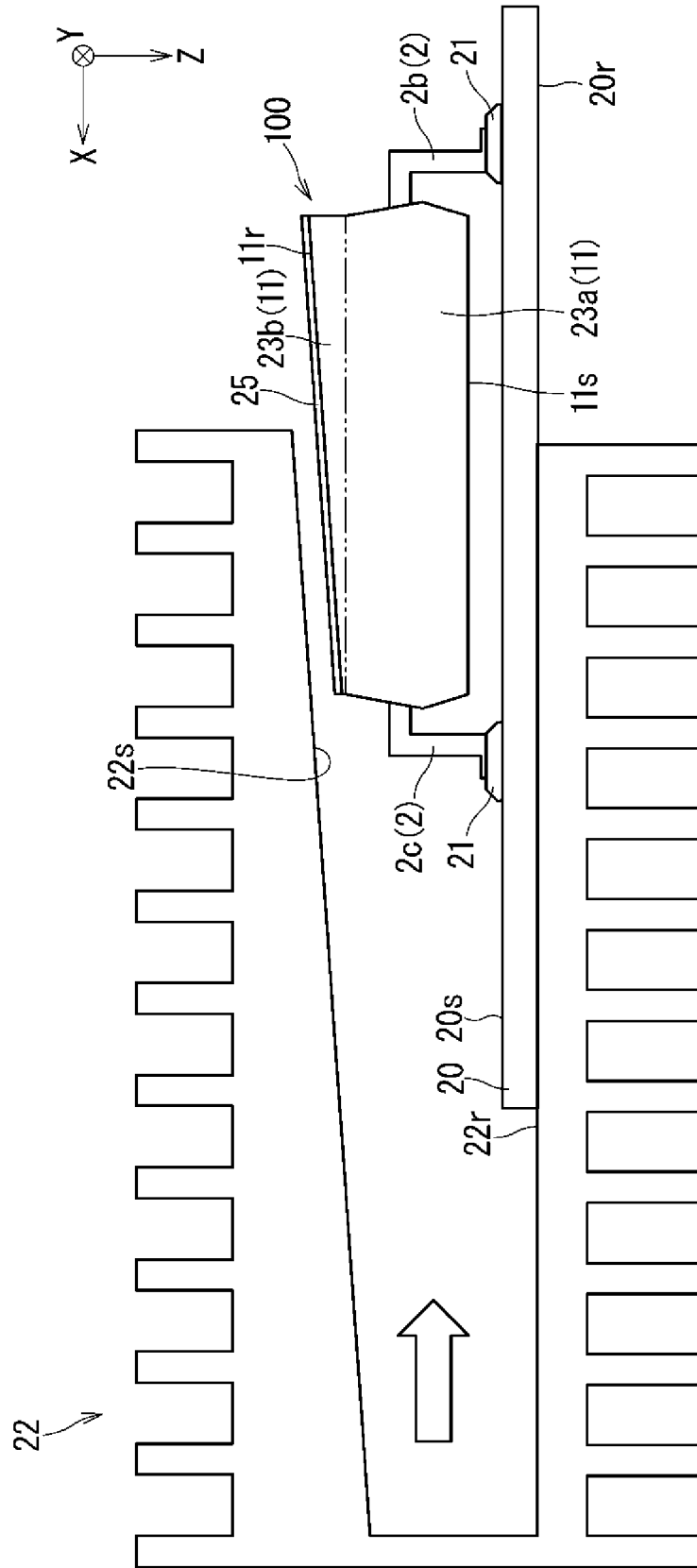
[図1]



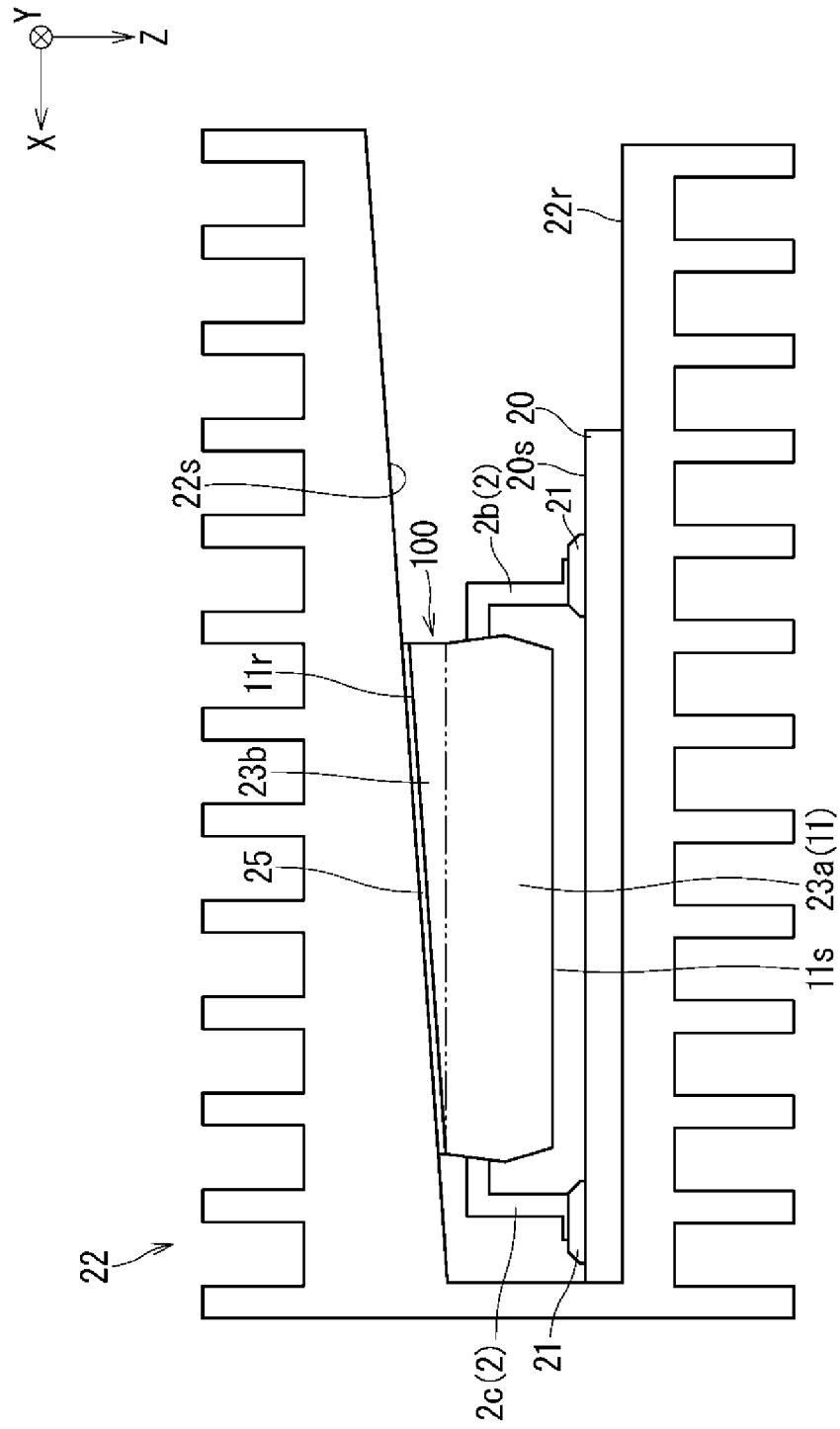
[図2]



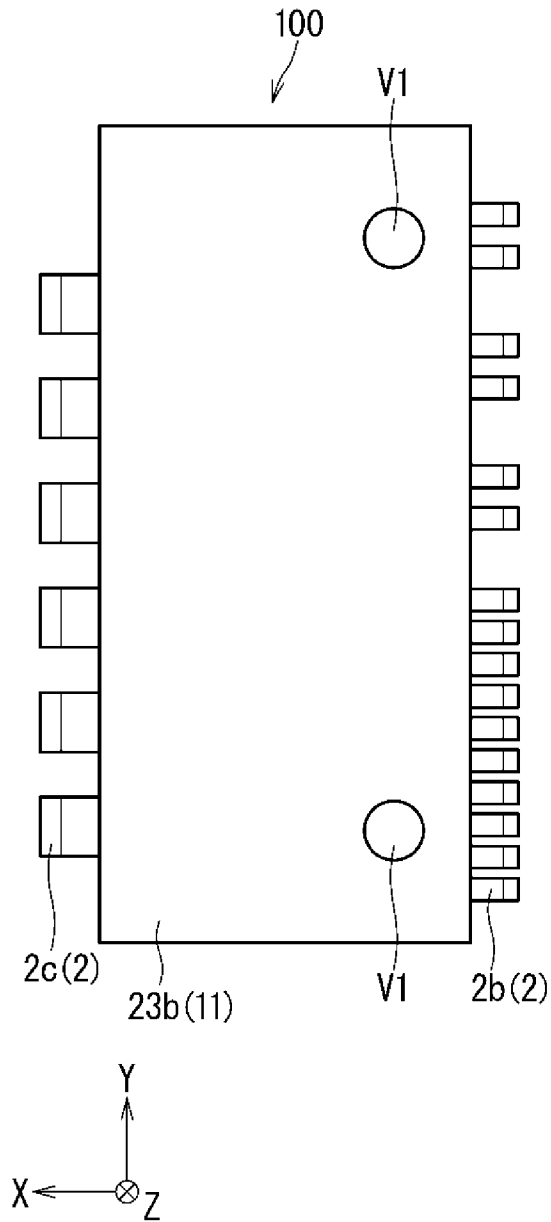
[図3]



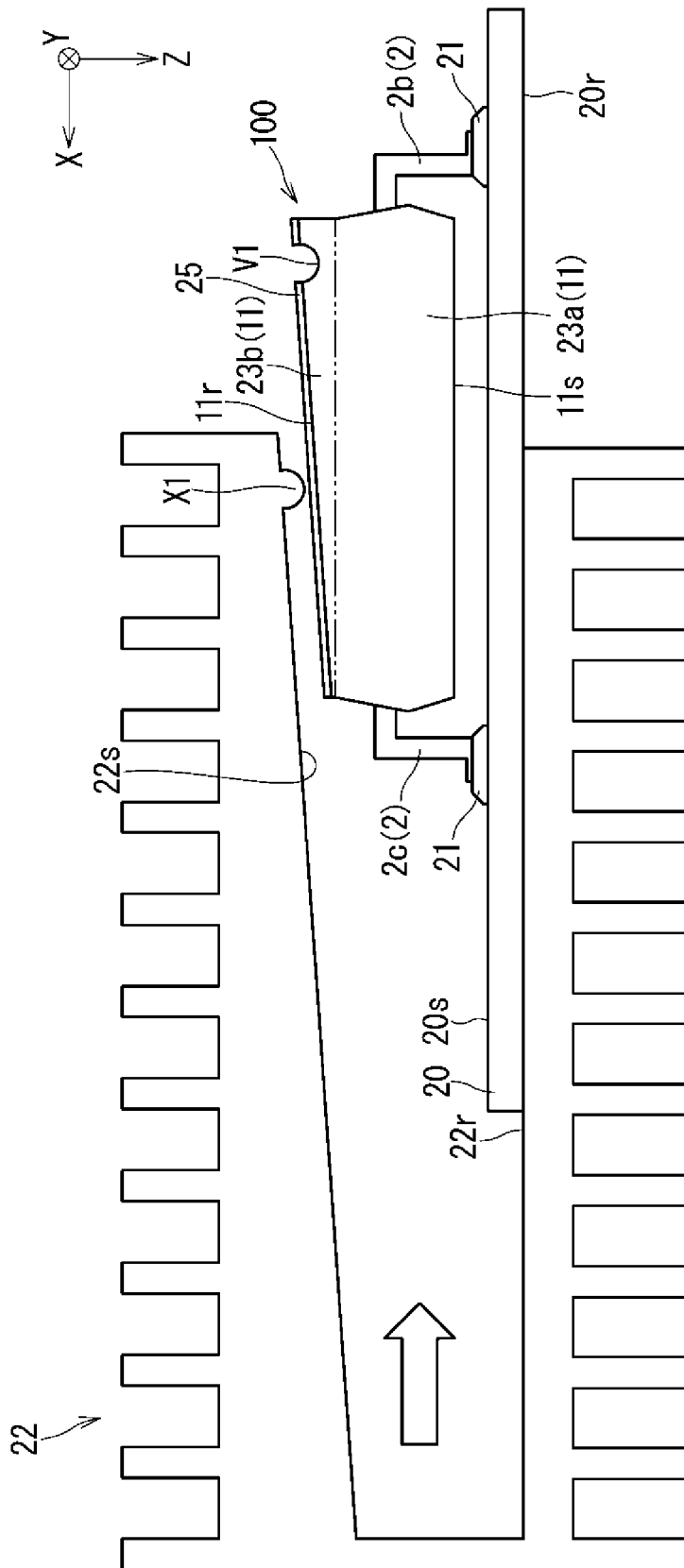
[図4]



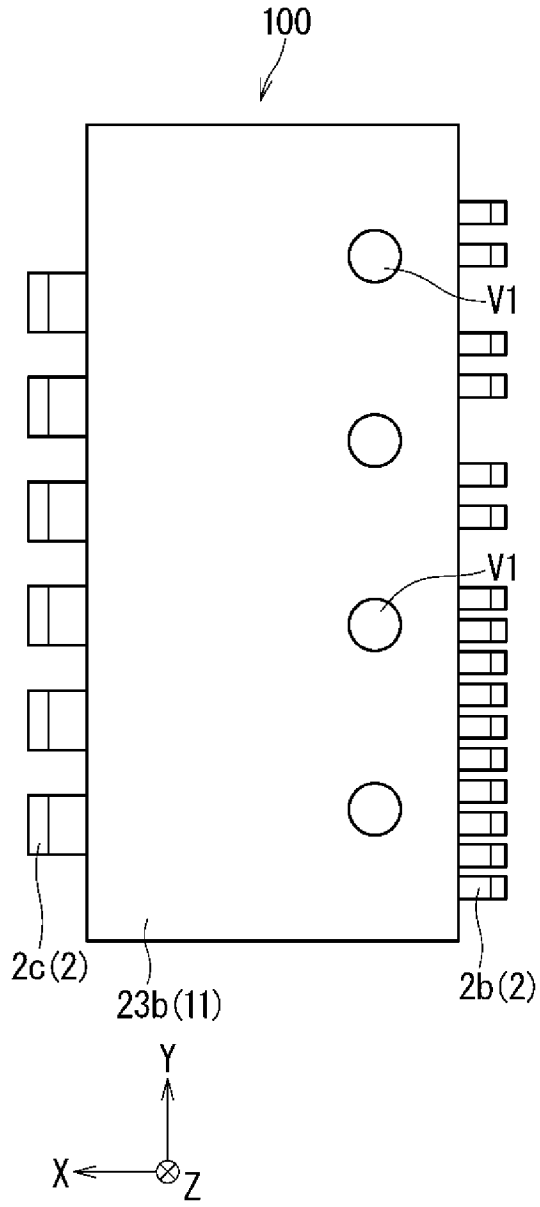
[図5]



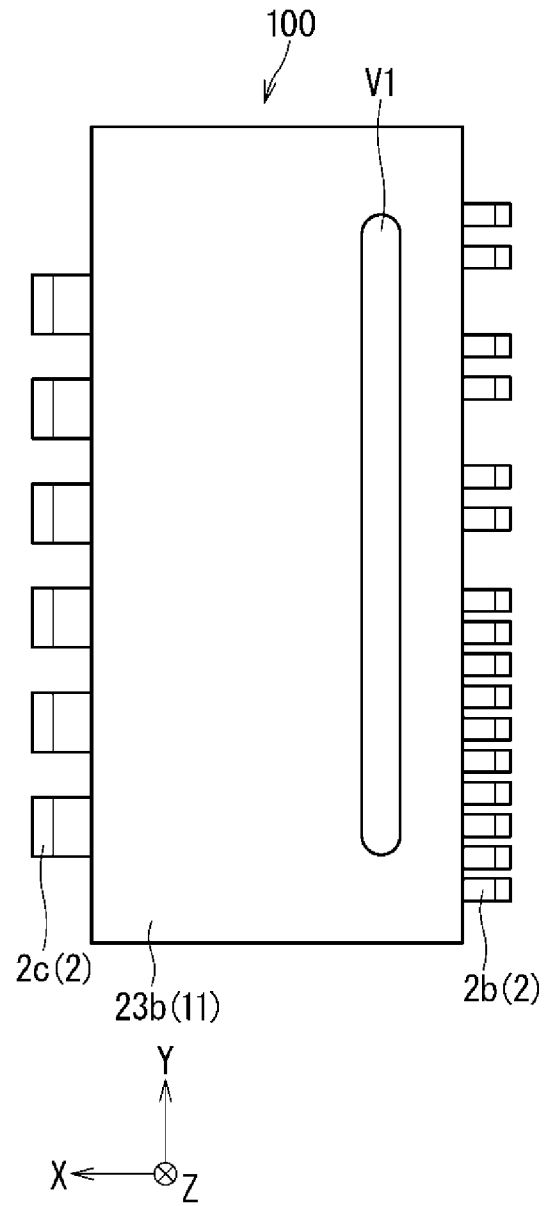
[図6]



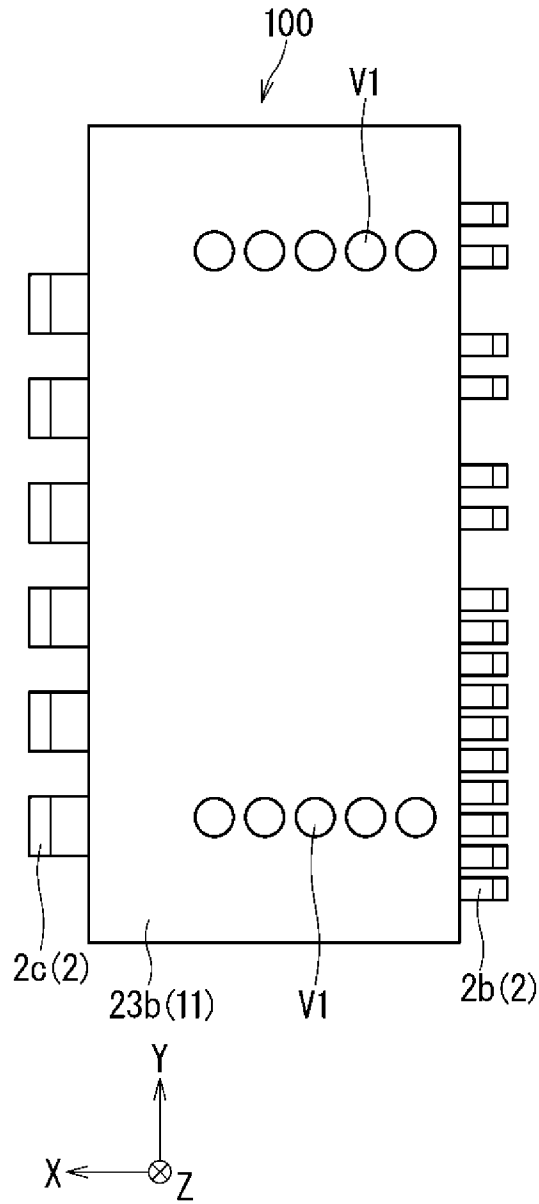
[図7]



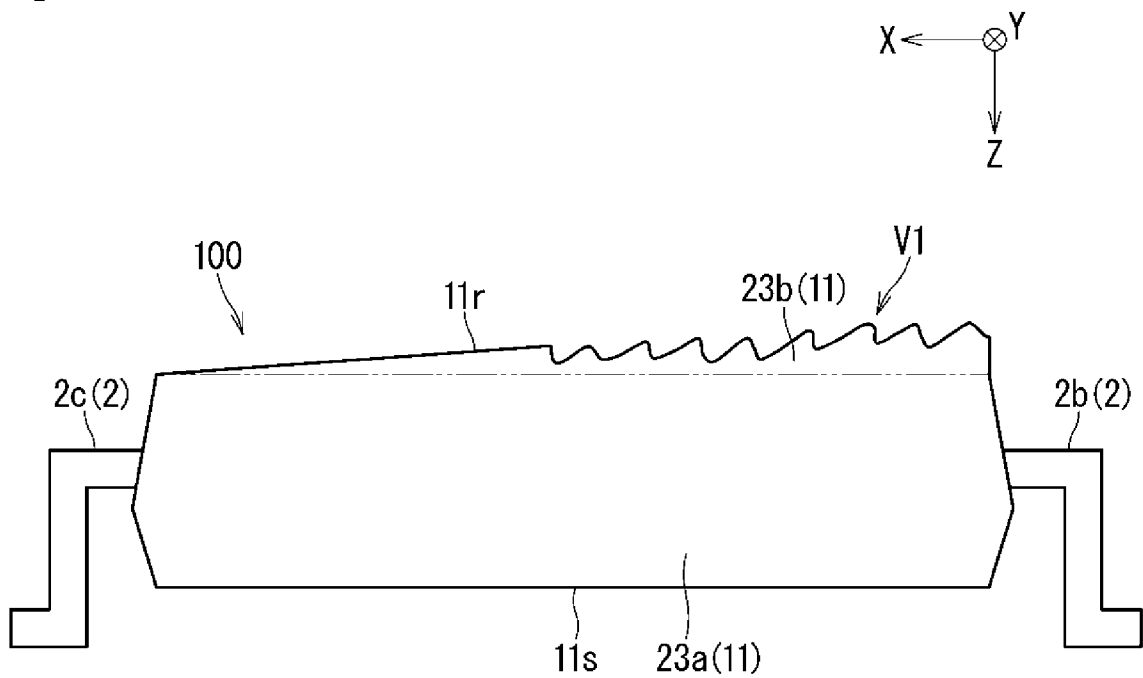
[図8]



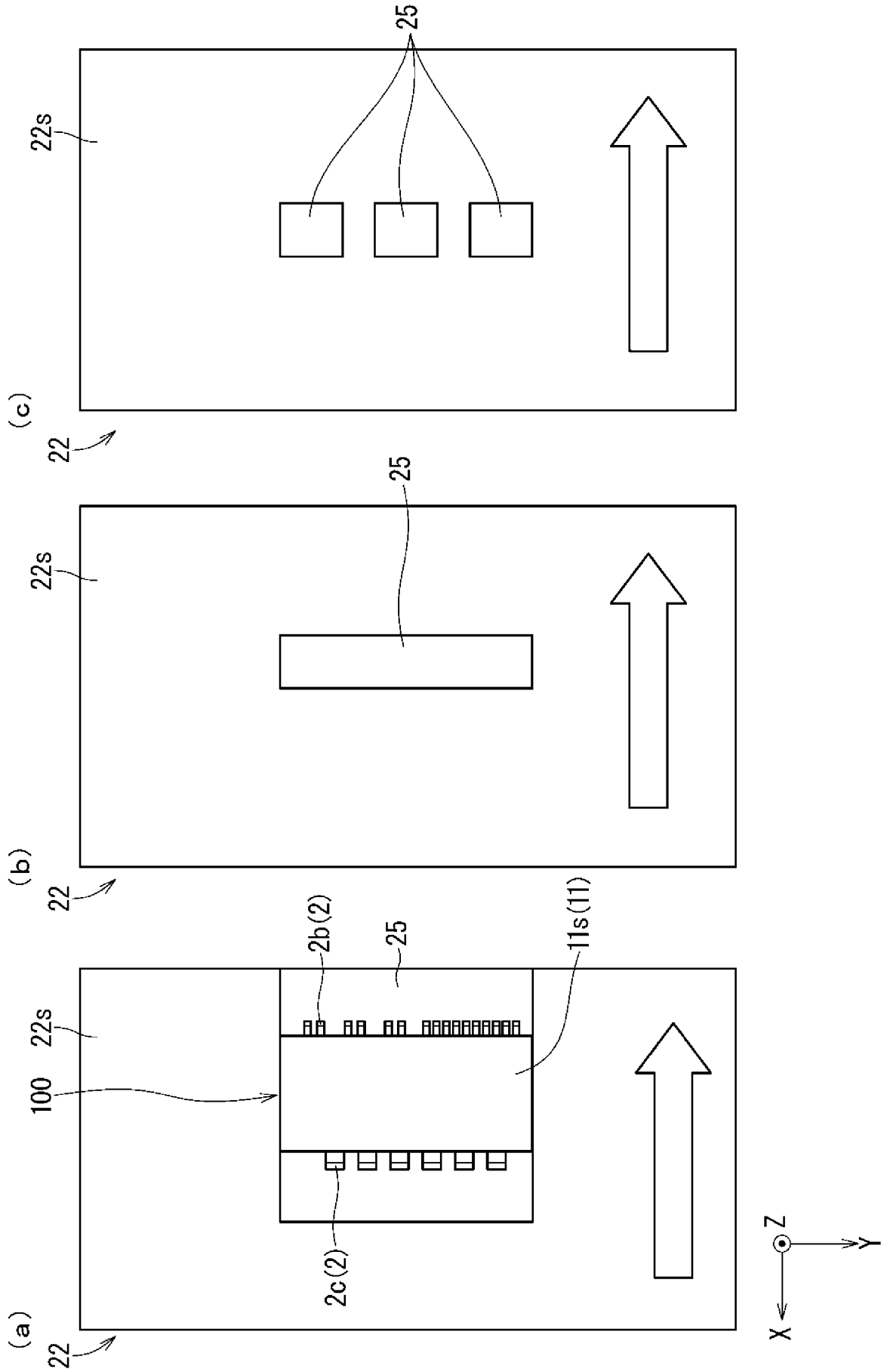
[図9]



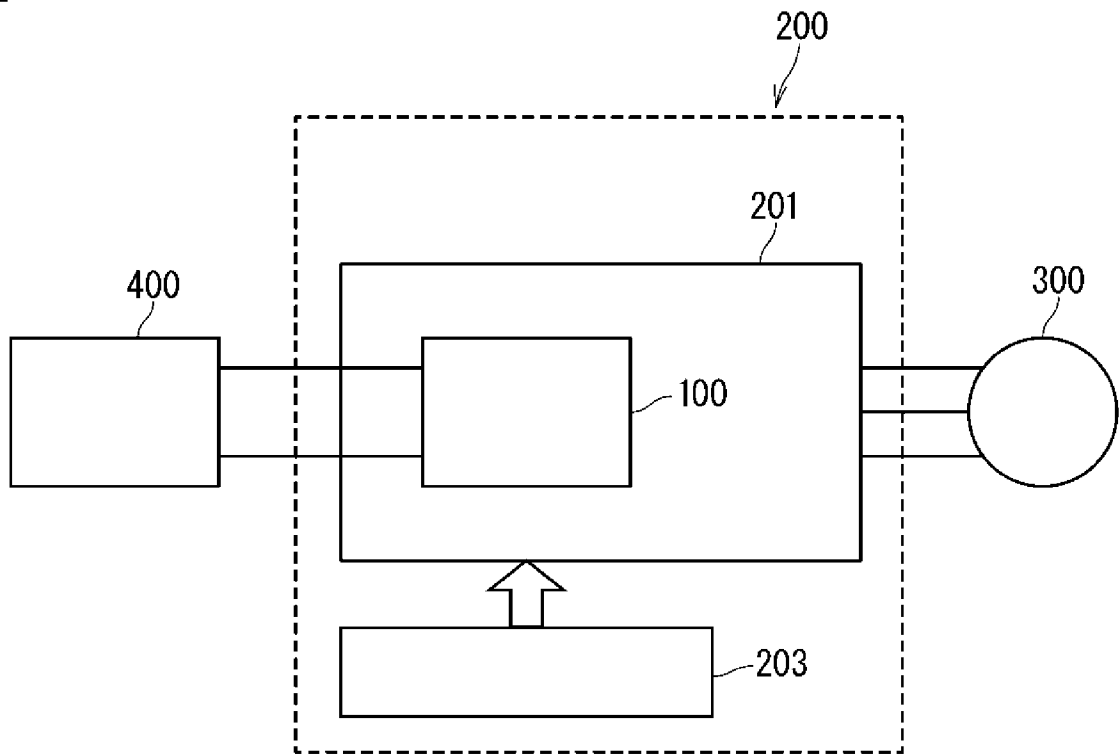
[図10]



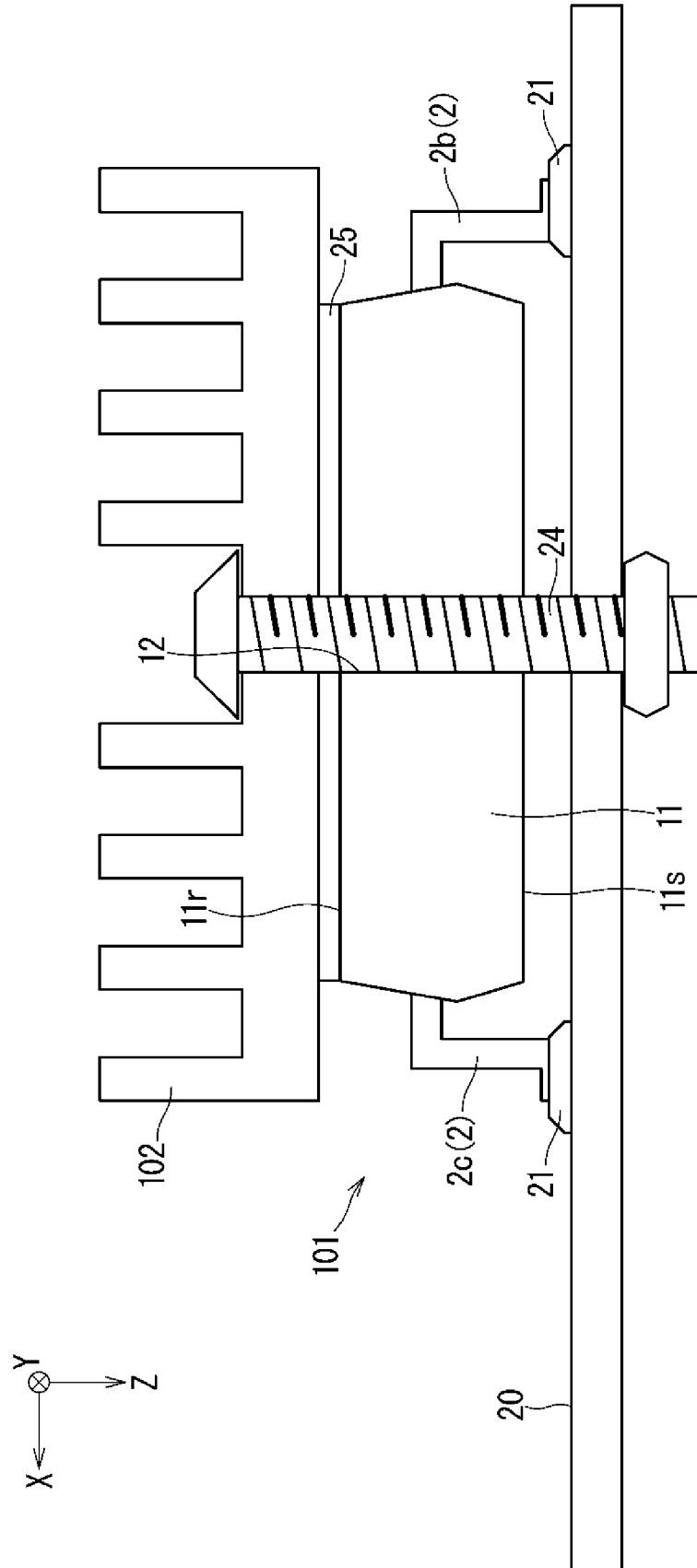
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/012183

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 23/36</i> (2006.01)i; <i>H01L 23/28</i> (2006.01)i; <i>H01L 23/29</i> (2006.01)i; <i>H05K 7/20</i> (2006.01)i FI: H01L23/36 Z; H01L23/28 J; H01L23/36 A; H05K7/20 E		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L23/36; H01L23/28; H01L23/29; H05K7/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/115026 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 06 August 2015 (2015-08-06) paragraphs [0038]-[0039], [0063]-[0064], fig. 3A, 3B, 12A, 12C, 13	1-23
A	JP 04-063464 A (MITSUBISHI ELECTRIC CORPORATION) 28 February 1992 (1992-02-28) page 2, lower right column, lines 1-11, fig. 1	1-23
A	JP 2008-198835 A (NIPPO LTD.) 28 August 2008 (2008-08-28) paragraphs [0012]-[0013], fig. 1	1-23
A	US 2018/0108601 A1 (ALPHA AND OMEGA SEMICONDUCTOR (CAYMAN) LTD.) 19 April 2018 (2018-04-19) paragraphs [0014]-[0015], [0028], [0047], fig. 1A, 1B, 2, 8	1-23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 April 2024		Date of mailing of the international search report 14 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/012183

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2015/115026	A1	06 August 2015	(Family: none)	
JP	04-063464	A	28 February 1992	(Family: none)	
JP	2008-198835	A	28 August 2008	(Family: none)	
US	2018/0108601	A1	19 April 2018	CN 109473414 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/36(2006.01)i; H01L 23/28(2006.01)i; H01L 23/29(2006.01)i; H05K 7/20(2006.01)i FI: H01L23/36 Z; H01L23/28 J; H01L23/36 A; H05K7/20 E		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/36; H01L23/28; H01L23/29; H05K7/20 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/115026 A1 (パナソニックIPマネジメント株式会社) 06.08.2015 (2015 - 08 - 06) [0038]-[0039], [0063]-[000064], 図3A, 3B, 図12A, 12C, 図13	1-23
A	JP 04-063464 A (三菱電機株式会社) 28.02.1992 (1992 - 02 - 28) 第2頁右下欄第1-11行、第1図	1-23
A	JP 2008-198835 A (日邦産業株式会社) 28.08.2008 (2008 - 08 - 28) [0012]-[0013], 図1	1-23
A	US 2018/0108601 A1 (ALPHA AND OMEGA SEMICONDUCTOR (CAYMAN) LTD.) 19.04.2018 (2018 - 04 - 19) [0014]-[0015], [0028], [0047], FIG.1A, FIG.1B, FIG.2, FIG.8	1-23
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 24.04.2024	国際調査報告の発送日 14.05.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 清水 稔 5D 8525 電話番号 03-3581-1101 内線 3549	

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/012183

引用文献	公表日	パテントファミリー文献	公表日
WO 2015/115026 A1	06.08.2015	(ファミリーなし)	
JP 04-063464 A	28.02.1992	(ファミリーなし)	
JP 2008-198835 A	28.08.2008	(ファミリーなし)	
US 2018/0108601 A1	19.04.2018	CN 109473414 A	