

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月8日(08.10.2020)



(10) 国際公開番号

WO 2020/202292 A1

(51) 国際特許分類:

G09F 9/30 (2006.01) H01L 27/32 (2006.01)
G09G 3/20 (2006.01) H01L 51/50 (2006.01)
G09G 3/3233 (2016.01) H05B 33/02 (2006.01)
G09G 3/3291 (2016.01)

(72) 発明者: 上野 哲也(UENO, Tetsuya).

(74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).

(21) 国際出願番号: PCT/JP2019/014124

(22) 国際出願日: 2019年3月29日(29.03.2019)

(25) 国際出願の言語: 日本語

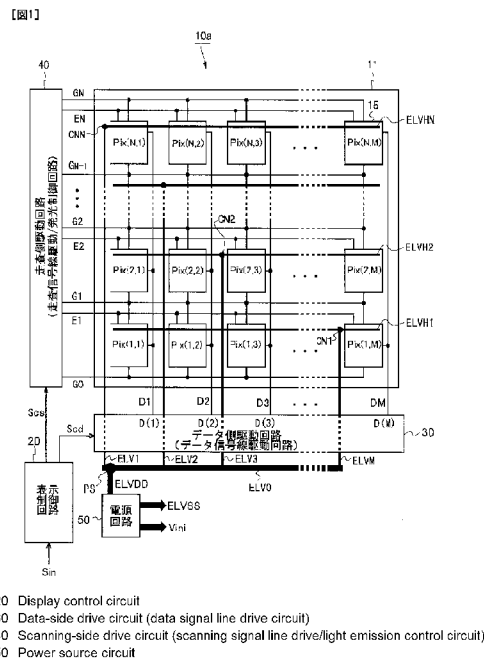
(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町 1 番地 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The present application discloses a current-driven display device that can suppress image quality degradation that is caused, for example, by brightness gradients that arise from voltage drops at a power source line while avoiding as much of an increase in circuitry as possible. An organic EL display device that has a high-level power source line ELVDD that includes a principal wiring ELV0, trunk wirings ELV1 – ELVM that branch from the principal wiring ELV0 and extend in a column direction, and branch wirings ELVH1 – ELVHN0 that extend in a row direction along

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

scanning signal lines G1–GN. The trunk wirings and the branch wirings are formed in different layers with an insulating layer therebetween, each of the branch wirings is electrically connected to at least one trunk wiring via a contact hole, and each trunk wiring is electrically connected to one branch wiring via a contact hole. During data-writing periods for pixel circuits, current does not flow in the pixel circuits, and voltage drops do not occur at the corresponding branch wirings or the trunk wirings that are connected to the corresponding branch wirings.

(57) 要約: 本願は、回路の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑制できる電流駆動型表示装置を開示する。有機EL表示装置において、ハイレベル電源線ELVDDは、主配線ELV0と、主配線ELV0から分岐して列方向に延びる幹配線ELV1～ELVMと、走査信号線G1～GNに沿って行方向に延びる枝配線ELVH1～ELVHNOを含む。幹配線と枝配線とは絶縁層を介して互いに異なる層にそれぞれ形成されており、各枝配線は少なくとも1つの幹配線とコンタクトホールにより電氣的に導通接続され、かつ、各幹配線は1つの枝配線のみとコンタクトホールにより電氣的に導通接続されている。各画素回路はそのデータ書込期間に電流が流れないように構成されており、当該書込期間では対応枝配線および対応枝配線に接続された幹配線において電圧降下が生じない。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は表示装置に関し、より詳しくは、有機EL（Electro Luminescence）表示装置等の電流で駆動される表示素子を備えた電流駆動型の表示装置に関する。

背景技術

[0002] 近年、有機EL素子（有機発光ダイオード（Organic Light Emitting Diode：OLED）とも呼ばれる）を含む画素回路を備えた有機EL表示装置が実用化されている。有機EL表示装置の画素回路は、有機EL素子に加えて、駆動トランジスタや、書込制御トランジスタ、保持キャパシタ等を含んでいる。駆動トランジスタや書込制御トランジスタには、薄膜トランジスタ（Thin Film Transistor）が使用され、駆動トランジスタの制御端子としてのゲート端子に保持キャパシタが接続され、この保持キャパシタには、駆動回路からデータ信号線を介して、表示すべき画像を表す映像信号に応じた電圧（より詳しくは当該画素回路で形成すべき画素の階調値を示す電圧であり、以下「データ電圧」という）が与えられる。有機EL素子は、それに流れる電流に応じた輝度で発光する自発光型表示素子である。駆動トランジスタは、有機EL素子と直列に設けられ、保持キャパシタに保持される電圧にしたがって、有機EL素子に流れる電流を制御する。

[0003] 有機EL表示装置の表示部には、複数の画素回路がマトリクス状に配置されており、各画素回路における有機EL素子に電流を供給するために電源線が配設されている。電源線は配線抵抗を有しているので、それに接続された画素回路内の有機EL素子に供給される電流により当該電源線において電圧降下が生じ、各画素回路の保持キャパシタに保持される電圧はその電圧降下の影響を受ける。このため、各画素回路に同じデータ電圧を与えても、保持キャパシタに保持される電圧が若干相違し、表示部における位置によって表

示輝度が多少異なる。これは表示画像における輝度傾斜として視認されることがあり、このような輝度傾斜が現れる現象は「シェーディング現象」とも呼ばれる。

[0004] これに対し特許文献1には、画素回路内の容量素子（保持キャパシタ）へのデータ電圧の書込期間において当該画素回路に電流が流れ込まず、複数の電源線が複数のデータ線に交差し複数の走査線に沿って配置されるように構成された発光装置が開示されている（段落[0028]、[0029]、[0033]）。この構成によれば、電源線に流れる電流による電圧降下で画素回路内の容量素子（保持キャパシタ）への書込電圧が影響されるという現象が抑えられる（段落[0033]～[0034]）。また特許文献2には、マトリクス状に配置された画素毎に電流駆動型の自発光素子を備えたアクティブマトリクス型表示装置において、画素へのデータ書き込みの際の電圧降下を最低限に抑制するために、書込対象の行に沿った水平PVDライン（水平電源ライン）に電源を供給する垂直PVDライン（垂直電源ライン）と、他の行の水平PVDラインに電源を供給する垂直PVDラインとが異なるようにした構成が開示されている（段落[0031]～[0034]等）。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2006-300980号公報

特許文献2：日本国特開2009-258301号公報

発明の概要

発明が解決しようとする課題

[0006] しかし、特許文献1に開示された上記構成では、複数の走査線に沿って配置された複数の電源線に電源回路から電源電圧を供給するために配置された主電源線において電圧降下が生じ、それにより画素回路の保持キャパシタへの書込電圧が影響を受ける。また、特許文献2に開示された上記構成では、

選択されるゲートライン（走査信号線）の切替に応じて、水平PDVVラインが接続される垂直PVDDラインを切り替えるための回路が別途、必要となる（段落〔0033〕～〔0034〕）。また特許文献2には、水平PDVVラインでの電圧降下の書込電圧への影響を抑えるための構成についての具体的な記載が見られない。

[0007] そこで、有機EL表示装置のような電流駆動型表示装置において、回路の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑えることが望まれる。

課題を解決するための手段

[0008] 本発明の幾つかの実施形態に係る表示装置は、
行方向に延びる複数の走査信号線と、列方向に延び前記複数の走査信号線に交差する複数のデータ信号線と、前記複数の走査信号線および前記複数のデータ信号線に沿ってマトリクス状に配置された複数の画素回路とが設けられた表示部を有する表示装置であって、
第1および第2電源電圧線を含む電源線と、
前記複数のデータ信号線を駆動するデータ信号線駆動回路と、
前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備え、
前記第1電源電圧線は、
前記表示部に隣接する額縁領域に設けられ行方向に延びる主配線と、
前記主配線から分岐して列方向に延びる複数の幹配線と、
前記複数の走査信号線にそれぞれ沿って配設される複数の枝配線とを含み、
各画素回路は、
前記複数の走査信号線のいずれか1つに対応し、かつ、前記複数のデータ信号線のいずれか1つに対応し、かつ、前記複数の枝配線のいずれか1つに対応し、
電流によって駆動される表示素子と、前記表示素子の駆動電流を制御す

るためのデータ電圧を保持する保持キャパシタと、前記保持キャパシタに保持されたデータ電圧に応じて前記表示素子の駆動電流を制御する駆動トランジスタとを含み、

各画素回路において、前記駆動トランジスタの第1導通端子は当該画素回路に対応する枝配線に接続され、前記駆動トランジスタの第2導通端子は前記表示素子を介して前記第2電源電圧線に接続され、前記駆動トランジスタの制御端子は前記保持キャパシタを介して前記対応する枝配線に接続されており、

前記表示部は、

前記複数の枝配線が形成された配線層と、

前記複数の幹配線が形成された配線層と、

前記複数の枝配線と前記複数の幹配線とに挟まれた絶縁層と、

前記複数の枝配線のそれぞれが前記複数の幹配線のうち少なくとも1つの幹配線と電気的に導通接続されるとともに前記複数の幹配線のそれぞれが前記複数の枝配線のうち一部の枝配線のみと電気的に導通接続されるように、前記絶縁層に設けられたコンタクトホールとを含む。

発明の効果

[0009] 本発明の上記幾つかの実施形態では、第1電源電圧線は、表示部に隣接する額縁領域に設けられ行方向（走査信号線の延伸方向）に延びる主配線と、当該主配線から分岐して列方向（データ信号線の延伸方向）に延びる複数の幹配線と、当該複数の走査信号線にそれぞれ沿って配設される複数の枝配線とを含み、当該複数の枝配線のそれぞれが当該複数の幹配線のうち少なくとも1つの幹配線と電気的に導通接続されるとともに当該複数の幹配線のそれぞれが当該複数の枝配線のうち一部の枝配線のみと電気的に導通接続されるように構成されている。このため、各画素回路をそのデータ電圧の書込期間において電流が流れない構成とすることにより、データ電圧を書き込むべき画素回路に接続される枝配線に電流が流れないだけでなく、当該枝配線に接続される幹配線においても電流が流れないか、電流が流れても従来に比べ当

該電流の量は大きく削減される。その結果、各画素回路にデータ電圧を書き込むときに当該画素回路に第 1 電源電圧線によって供給される電源電圧の低下を従来よりも大きく抑制することができる。したがって、本発明の上記幾つかの実施形態によれば、回路の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑えることができる。

図面の簡単な説明

[0010] [図1]第 1 の実施形態の第 1 構成例による表示装置の全体構成を示すブロック図である。

[図2]上記第 1 の実施形態における画素回路の構成を示す回路図である。

[図3]上記第 1 の実施形態に係る表示装置の駆動を説明するための信号波形図である。

[図4]上記第 1 の実施形態の第 2 構成例による表示装置の全体構成を示すブロック図である。

[図5]上記第 1 の実施形態の第 3 構成例による表示装置の全体構成を示すブロック図である。

[図6]上記第 1 の実施形態の第 4 構成例による表示装置の全体構成を示すブロック図である。

[図7]上記第 1 の実施形態における電源線の好適な幾つかの構成例を模式的に示す図（A～F）である。

[図8]上記第 1 の実施形態における画素回路のレイアウトパターンの第 1 例を示す図である。

[図9]上記第 1 の実施形態における表示部のレイアウトパターンの第 1 例を説明するための図である。

[図10]図 9 の X－X 線における断面図である。

[図11]図 9 の Y－Y 線における断面図である。

[図12]上記第 1 の実施形態における画素回路のレイアウトパターンの第 2 例を示す図である。

[図13]上記第1の実施形態における表示部のレイアウトパターンの第2例を説明するための図である。

[図14]第2の実施形態に係る表示装置の全体構成の一例を示すブロック図である。

[図15]上記第2の実施形態に係る表示装置のレイアウト構成を示す図である。

[図16]上記第2の実施形態に係る表示装置の駆動を説明するための信号波形図である。

発明を実施するための形態

[0011] 以下、添付図面を参照しながら各実施形態について説明する。なお、以下で言及する各トランジスタにおいて、ゲート端子は制御端子に相当し、ドレイン端子およびソース端子の一方は第1導通端子に相当し、他方は第2導通端子に相当する。また、各実施形態におけるトランジスタはすべてPチャネル型であるものとして説明するが、本発明はこれに限定されない。さらに、各実施形態におけるトランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。さらにまた、本明細書における「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、例えばトランジスタ等の他の素子を介した間接的な接続を意味する場合も含むものとする。

[0012] <1. 第1の実施形態>

<1. 1 全体構成>

図1は、第1の実施形態の第1構成例による有機EL表示装置10aの全体構成を示すブロック図である。この表示装置10aは、内部補償を行う有機EL表示装置である（詳細は後述）。

[0013] 図1に示すように、この表示装置10aは、表示部11、表示制御回路20、データ側駆動回路30、走査側駆動回路40、および、電源回路50を備えている。データ側駆動回路はデータ信号線駆動回路（「データドライバ」とも呼ばれる）として機能する。走査側駆動回路40は、走査信号線駆動

回路（「ゲートドライバ」とも呼ばれる）および発光制御回路（「エミッションドライバ」とも呼ばれる）として機能する。図1に示す構成ではこれら2つの駆動回路が1つの走査側駆動回路40として実現されているが、これら2つの駆動回路が適宜分離された構成であってもよく、また、これら2つの駆動回路が表示部11の一方側と他方側に分離されて配置される構成であってもよい。また、走査側駆動回路およびデータ側駆動回路の少なくとも一部が表示部11と一体的に形成されていてもよい。これらの点は、後述の他の構成例や、他の実施形態、それらの変形例においても同様である。電源回路50は、表示部11に供給すべき後述のハイレベル電源電圧 $ELVDD$ 、ローレベル電源電圧 $ELVSS$ 、および初期化電圧 $Vini$ と、表示制御回路20、データ側駆動回路30、および走査側駆動回路40に供給すべき電源電圧（不図示）とを生成する。

[0014] 表示部11には、 M 本（ M は2以上の整数）のデータ信号線 $D1 \sim DM$ と、これらに交差する $N+1$ 本（ N は2以上の整数）の走査信号線 $G0 \sim GN$ とが配設されており、 N 本の走査信号線 $G1 \sim GN$ にそれぞれ沿って N 本の発光制御線（「エミッションライン」とも呼ばれる） $E1 \sim EN$ が配設されている。また図1に示すように、表示部11には $M \times N$ 個の画素回路15が設けられており、これら $M \times N$ 個の画素回路15は、 M 本のデータ信号線 $D1 \sim DM$ および N 本の走査信号線 $G1 \sim GN$ に沿ってマトリクス状に配置されており、各画素回路15は、 M 本のデータ信号線 $D1 \sim DM$ のいずれか1つに対応するとともに N 本の走査信号線 $G1 \sim GN$ のいずれか1つに対応する（以下、各画素回路15を区別する場合には、 i 番目の走査信号線 Gi および j 番目のデータ信号線 Dj に対応する画素回路を「第 i 行第 j 列の画素回路」といい、符号“ $P_{i \times j}(i, j)$ ”で示すものとする）。 N 本の発光制御線 $E1 \sim EN$ は N 本の走査信号線 $G1 \sim GN$ にそれぞれ対応する。したがって各画素回路15は、 N 本の発光制御線 $E1 \sim EN$ のいずれか1つにも対応する。なお以下では、走査信号線 Gi の延伸方向を「行方向」といい、データ信号線の延伸方向を「列方向」というものとする。

[0015] また表示部 11 には、各画素回路 15 に共通の電源線が配設されている。すなわち、有機 EL 素子を駆動するためのハイレベル電源電圧 $ELVDD$ を供給するための電源線（以下「ハイレベル電源線」または「第 1 電源電圧線」といい、ハイレベル電源電圧と同じく符号“ $ELVDD$ ”で示す）、および、有機 EL 素子を駆動するためのローレベル電源電圧 $ELVSS$ を供給するための図示しない電源線（以下「ローレベル電源線」または「第 2 電源電圧線」といい、ローレベル電源電圧と同じく符号“ $ELVSS$ ”で示す）が配設されている。

[0016] 図 1 に示すようにハイレベル電源線 $ELVDD$ は、行方向に延びる 1 本の主配線 $ELV0$ と、主配線 $ELV0$ から分岐して列方向（データ信号線の延伸方向）に延びる M 本の幹配線 $ELV1 \sim ELVM$ と、走査信号線 $G1 \sim GN$ にそれぞれ沿って配設される N 本の枝配線 $ELVH1 \sim ELVHN$ とを含む。このハイレベル電源線 $ELVDD$ は、各枝配線 $ELVHi$ に 1 本以上の幹配線 $ELVj$ が電氣的に導通接続され、かつ、各幹配線 $ELVj$ に 1 本の枝配線 $ELVHi$ のみが電氣的に導通接続されるように構成されている（ $i = 1 \sim N$, $j = 1 \sim M$, $M > N$ ）。なお、図 1 に示す例では、幹配線 $ELV1 \sim ELVN$ と枝配線 $ELVH1 \sim ELVHN$ とが 1 対 1 に対応しているが、幹配線の本数を枝配線の本数よりも多くし、各枝配線 $ELVHi$ に 1 本以上の幹配線 $ELVj$ が電氣的に導通接続されるようにしてもよい。また以下では、幹配線 $ELVj$ と枝配線 $ELVHi$ との接続とは、特に断らない限り、電氣的な導通接続を意味するものとする（他の実施形態においても同様）。ここで、「電氣的な導通接続」とは、電圧降下を無視できる程度の導体による電氣的接続をいい、例えば、コンタクトホールを介して異なる配線層が接触して電氣的に接続する場合や、同じ配線層の配線が分岐する場合、すなわち、幹配線から幹配線と同じ配線層で枝配線に分岐し、幹配線と枝配線が電氣的に接続する場合を含む。後述のように、本実施形態および他の実施形態において、幹配線 $ELVj$ と枝配線 $ELVHi$ とは絶縁層を介して互いに異なる配線層にそれぞれ形成されており、幹配線 $ELVj$ と枝配線 $ELVH$

i との接続（電氣的な導通接続）は、当該絶縁層に設けられるコンタクトホール CH_i により実現される（図 10、図 11 参照）。

[0017] 本構成例では、電源回路 50 から電源線の主配線 ELV_0 における一方の端部にハイレベル電源電圧 $ELVDD$ が供給される。より詳しくは、主配線 ELV_0 において電源回路 50 からハイレベル電源電圧 $ELVDD$ が供給される位置（以下「給電点」という） PS は、図 1 に示すように、主配線 ELV_0 から 1 番目の幹配線 ELV_1 が分岐する位置またはその近傍である。本構成例では、主配線 ELV_0 から各走査信号線までの距離は、1 番目の走査信号線 G_1 から N 番目の走査信号線 G_N に向かって順に長くなっているので、主配線 ELV_0 の給電点 PS に近い幹配線 ELV_j ほど、主配線 ELV_0 から当該幹配線 ELV_j と枝配線 $ELVH_i$ との接続点 CN_i までの距離（すなわち当該幹配線 ELV_j の長さ）が長くなっている。これにより、電源回路 50 から各画素回路 15 までの電源線の経路長の画素回路間での相違が抑制される。なお、枝配線 $ELVH_1 \sim ELVH_N$ および幹配線 $ELV_1 \sim ELV_M$ は表示部 11 に形成され、主配線 ELV_0 は、（表示部 11 を含む）表示パネルにおいて上記 $M \times N$ 個の画素回路 15 が配置される表示領域としての表示部 11 に隣接する額縁領域において行方向に延びる配線として形成されている（他の実施形態においても同様）。

[0018] 各画素回路 15 は、 N 本の枝配線 $ELVH_1 \sim ELVH_N$ のいずれか 1 つに対応する。表示部 11 には、層構造により既述の各種の信号線および電源線ならびに薄膜トランジスタ（TFT）が形成されている（後述の図 10、図 11 参照）。さらに表示部 11 には、各画素回路 15 の初期化（詳細は後述）のためのリセット動作に使用する初期化電圧 V_{ini} を供給するための図示しない初期化電圧供給線（初期化電圧と同じく符号“ V_{ini} ”で示す）も配設されている。ハイレベル電源電圧 $ELVDD$ 、ローレベル電源電圧 $ELVSS$ 、および、初期化電圧 V_{ini} は、電源回路 50 から供給される。

[0019] 表示制御回路 20 は、表示すべき画像を表す画像情報および画像表示のた

めのタイミング制御情報を含む入力信号 S_{in} を表示装置 10a の外部から受け取り、この入力信号 S_{in} に基づきデータ側制御信号 S_{cd} および走査側制御信号 S_{cs} を生成し、データ側制御信号 S_{cd} をデータ側駆動回路（データ信号線駆動回路）30に、走査側制御信号 S_{cs} を走査側駆動回路（走査信号線駆動／発光制御回路）40にそれぞれ出力する。

[0020] データ側駆動回路30は、表示制御回路20からのデータ側制御信号 S_{cd} に基づきデータ信号線 $D_1 \sim D_M$ を駆動する。すなわちデータ側駆動回路30は、データ側制御信号 S_{cd} に基づき、表示すべき画像を表す M 個のデータ信号 $D(1) \sim D(M)$ を並列に出力してデータ信号線 $D_1 \sim D_M$ にそれぞれ印加する。

[0021] 走査側駆動回路40は、表示制御回路20からの走査側制御信号 S_{cs} に基づき、走査信号線 $G_0 \sim G_N$ を駆動する走査信号線駆動回路、および、発光制御線 $E_1 \sim E_N$ を駆動する発光制御回路として機能する。より詳細には、走査側駆動回路40は、走査信号線駆動回路として、走査側制御信号 S_{cs} に基づき、各フレーム期間において走査信号線 $G_0 \sim G_M$ を順次に選択し、選択した走査信号線 G_k に対してアクティブな信号（ローレベル電圧）を印加し、かつ、非選択の走査信号線には非アクティブな信号（ハイレベル電圧）を印加する。これにより、選択された走査信号線 G_n ($1 \leq n \leq N$) に対応した M 個の画素回路 $P_{ix}(n, 1) \sim P_{ix}(n, M)$ が一括して選択される。その結果、当該走査信号線 G_n の選択期間（以下「第 n 走査選択期間」という）において、データ側駆動回路30からデータ信号線 $D_1 \sim D_M$ に印加された M 個のデータ信号 $D(1) \sim D(M)$ の電圧（以下では、これらの電圧を区別せずに単に「データ電圧」と呼ぶことがある）が画素データとして、画素回路 $P_{ix}(n, 1) \sim P_{ix}(n, M)$ にそれぞれ書き込まれる。なお以下の説明では、走査信号線 $G_0 \sim G_N$ は昇順に選択されるものとする。

[0022] また走査側駆動回路40は、発光制御回路として、走査側制御信号 S_{cs} に基づき、 i 番目の発光制御線 E_i に対し、少なくとも第 $i-1$ 水平期間お

よび第 i 水平期間では非発光を示す発光制御信号（ハイレベル電圧）を印加し、それ以外の期間では発光を示す発光制御信号（ローレベル電圧）を印加する。 i 番目の走査信号線 G_i に対応する画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ 内の有機 EL 素子は、発光制御線 E_i の電圧がローレベルである間すなわち発光制御線 E_i が活性状態である間、これらの画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ にそれぞれ書き込まれたデータ電圧に応じた輝度で発光する。

[0023] < 1. 2 画素回路の構成および動作 >

図 2 は、本実施形態における画素回路 15 の構成を示す回路図である。図 2 では、 i 番目の走査信号線 G_i および 1 番目のデータ信号線 D_1 に対応する画素回路 15 すなわち第 i 行第 1 列の画素回路 $P_{ix}(i, 1)$ の構成が示されている ($1 \leq i \leq N$)。他の画素回路 15 も同様の構成を有している。以下では、第 i 行第 1 列の画素回路 $P_{ix}(i, 1)$ を例にとって、本実施形態における画素回路 15 の構成を説明する。なお以下では、 i 番目の走査信号線 G_i に対応する M 個の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ を「第 i 行の画素回路」または「 i 番目の画素回路行」という。 i 番目の画素回路行を構成する画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ はいずれも i 番目の枝配線 $ELVH_i$ に接続されている。

[0024] 図 2 に示すように画素回路 15 は、表示素子としての有機 EL 素子 OL、駆動トランジスタ M_1 、書込制御トランジスタ M_2 、閾値補償トランジスタ M_3 、第 1 初期化トランジスタ M_4 、第 1 発光制御トランジスタ M_5 、第 2 発光制御トランジスタ M_6 、第 2 初期化トランジスタ M_7 、および、保持キャパシタ C_1 を含んでいる。この画素回路 15 において、駆動トランジスタ M_1 以外のトランジスタ $M_2 \sim M_7$ はスイッチング素子として機能する。

[0025] 画素回路 15 には、それに対応する走査信号線（以下、画素回路に注目した説明において「対応走査信号線」ともいう） G_i 、対応走査信号線 G_i の直前の走査信号線（走査信号線 $G_1 \sim G_N$ の走査順における直前の走査信号線であり、以下、画素回路に注目した説明において「先行走査信号線」とも

いう) $G_i - 1$ 、それに対応する発光制御線(以下、画素回路に注目した説明において「対応発光制御線」ともいう) E_i 、それに対応するデータ信号線(以下、画素回路に注目した説明において「対応データ信号線」ともいう) D_j 、初期化電圧供給線 V_{ini} 、ハイレベル電源線 $ELVDD$ 、および、ローレベル電源線 $ELVSS$ が接続されている。ここで、画素回路 15 に接続されているハイレベル電源線 $ELVDD$ は、より詳しくは、ハイレベル電源線 $ELVDD$ に含まれる N 本の枝配線 $ELVH1 \sim ELVHN$ のうち当該画素回路 15 に対応する枝配線(以下、画素回路に注目した説明において「対応枝配線」ともいう) $ELVHi$ 、すなわち i 番目の枝配線(「第 i 行の枝配線」ともいう) $ELVHi$ である。また既述のように、 i 番目の枝配線 $ELVHi$ は、主配線 $ELVO$ から分岐する幹配線 $ELV1 \sim ELVN$ のうちの少なくとも 1 つの幹配線 $ELVj$ に接続されている。したがって、各画素回路 15 には、電源回路 50 から主配線 $ELVO$ 、幹配線 $ELVj$ 、および対応枝配線 $ELVHi$ を順に介してハイレベル電源電圧 $ELVDD$ が供給される

[0026] 図 2 に示すように、画素回路 15 では、駆動トランジスタ $M1$ の第 1 導通端子としてのソース端子は、書込制御トランジスタ $M2$ を介して対応データ信号線 D_j に接続されるとともに、第 1 発光制御トランジスタ $M5$ を介してハイレベル電源線 $ELVDD$ (より詳しくは対応する枝配線 $ELVHi$) に接続されている。駆動トランジスタ $M1$ の第 2 導通端子としてのドレイン端子は、第 2 発光制御トランジスタ $M6$ を介して有機 EL 素子 OL のアノード電極に接続され、有機 EL 素子 OL を介してローレベル電源線 $ELVSS$ に接続されている。駆動トランジスタ $M1$ の制御端子としてのゲート端子は、保持キャパシタ $C1$ を介してハイレベル電源線 $ELVDD$ (対応する枝配線 $ELVHi$) に接続され、かつ、閾値補償トランジスタ $M3$ を介して当該駆動トランジスタ $M1$ の第 2 導通端子としてのドレイン端子に接続され、かつ、第 1 初期化トランジスタ $M4$ を介して初期化電圧供給線 V_{ini} に接続されている。有機 EL 素子 OL のアノード電極は第 2 初期化トランジスタ $M7$

を介して初期化電圧供給線 V_{ini} に接続され、有機 EL 素子 OL のカソード電極はローレベル電源線 $ELVSS$ に接続されている。また、書込制御トランジスタ $M2$ 、閾値補償トランジスタ $M3$ 、および第 2 初期化トランジスタ $M7$ のゲート端子は対応走査信号線 G_i に接続され、第 1 および第 2 発光制御トランジスタ $M5$ 、 $M6$ のゲート端子は対応発光制御線 E_i に接続され、第 1 初期化トランジスタ $M4$ のゲート端子は先行走査信号線 G_{i-1} に接続されている。

[0027] 駆動トランジスタ $M1$ は飽和領域で動作し、発光期間において有機 EL 素子 OL に流れる駆動電流 I_d は次式 (1) で与えられる。式 (1) に含まれる駆動トランジスタ $M1$ のゲイン β は、次式 (2) で与えられる。

$$I_d = (\beta/2) (|V_{gs}| - |V_{th}|)^2 \\ = (\beta/2) (|V_g - ELVDD| - |V_{th}|)^2 \quad \dots (1)$$

$$\beta = \mu \times (W/L) \times C_{ox} \quad \dots (2)$$

ただし、上記の式 (1) および式 (2) において、 V_{th} 、 μ 、 W 、 L 、 C_{ox} は、それぞれ、駆動トランジスタ $M1$ の閾値電圧、移動度、ゲート幅、ゲート長、および、単位面積あたりのゲート絶縁膜容量を表す。

[0028] 図 3 は、本実施形態に係る表示装置の駆動を説明するための信号波形図であり、第 i 行第 j 列の画素回路 $P_{ix}(i, j)$ の初期化動作、データ書込動作、および点灯動作における各信号線（対応発光制御線 E_i 、先行走査信号線 G_{i-1} 、対応走査信号線 G_i 、対応データ信号線 D_j ）の電圧、駆動トランジスタ $M1$ のゲート端子の電圧（以下「ゲート電圧」という） V_g 、および、有機 EL 素子 OL のアノード電極の電圧（以下「アノード電圧」という） V_a の変化を示している。図 3 において、時刻 $t_1 \sim t_6$ の期間は、第 i 行の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ の非発光期間である。時刻 $t_2 \sim t_4$ の期間は第 $i-1$ 水平期間であり、時刻 $t_2 \sim t_3$ の期間は $i-1$ 番目の走査信号線（先行走査信号線） G_{i-1} の選択期間（以下「第 $i-1$ 走査選択期間」という）である。この第 $i-1$ 走査選択期間は、第 i 行の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ のリセット期間に相当

する。時刻 $t_4 \sim t_6$ の期間は第 i 水平期間であり、時刻 $t_4 \sim t_5$ の期間は i 番目の走査信号線（対応走査信号線） G_i の選択期間（以下「第 i 走査選択期間」という）である。この第 i 走査選択期間は、第 i 行の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ のデータ書込期間に相当する。

[0029] 第 i 行第 j 列の画素回路 $P_{ix}(i, j)$ では、図 3 に示すように時刻 t_1 において発光制御線 E_i の電圧がローレベルからハイレベルに変化すると、第 1 および第 2 発光制御トランジスタ M_5 , M_6 はオン状態からオフ状態に変化し、有機 EL 素子 OL は非発光状態となる。この時刻 t_1 から第 $i-1$ 走査選択期間の開始時点 t_2 までの間に、データ側駆動回路 30 により、第 $i-1$ 行第 j 列の画素のデータ電圧としてのデータ信号 $D(j)$ のデータ信号線 D_j への印加が開始されるが、画素回路 $P_{ix}(i, j)$ では、データ信号線 D_j に接続された書込制御トランジスタ M_2 はオフ状態である。

[0030] 時刻 t_2 において、先行走査信号線 G_{i-1} の電圧がハイレベルからローレベルに変化することで先行走査信号線 G_{i-1} が選択状態となる。このため、第 1 初期化トランジスタ M_4 がオン状態に変化する。これにより、駆動トランジスタ M_1 のゲート端子の電圧すなわちゲート電圧 V_g が初期化電圧 V_{ini} に初期化される。初期化電圧 V_{ini} は、画素回路 $P_{ix}(i, j)$ へのデータ電圧の書き込み時に、駆動トランジスタ M_1 をオン状態に維持できる程度の電圧である。より詳細には、初期化電圧 V_{ini} は、次式 (3) を満たす。

$$|V_{ini} - V_{data}| > |V_{th}| \quad \dots (3)$$

ここで、 V_{data} はデータ電圧（対応データ信号線 D_j の電圧）であり、 V_{th} は駆動トランジスタ M_1 の閾値電圧である。また、本実施形態における駆動トランジスタ M_1 は P チャネル型であるので、

$$V_{ini} < V_{data} \quad \dots (4)$$

である。このような初期化電圧 V_{ini} でゲート電圧 V_g を初期化することにより、画素回路 $P_{ix}(i, j)$ へのデータ電圧の書き込みを確実に行うことができる。なお、ゲート電圧 V_g の初期化は保持キャパシタ C_1 の保持

電圧の初期化でもある。

[0031] 時刻 $t_2 \sim t_3$ の期間は、第 i 行の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ におけるリセット期間であり、画素回路 $P_{ix}(i, j)$ では、このリセット期間において上記のように第 1 初期化トランジスタ M_4 がオン状態であることによりゲート電圧 V_g が初期化される。図 3 に、このときの画素回路 $P_{ix}(i, j)$ におけるゲート電圧 $V_g(i, j)$ の変化が示されている。なお、画素回路 $P_{ix}(i, j)$ におけるゲート電圧 V_g を他の画素回路におけるゲート電圧 V_g と区別する場合に符号 “ $V_g(i, j)$ ” を使用するものとする（以下においても同様）。

[0032] 時刻 t_3 において、先行走査信号線 G_{i-1} の電圧がハイレベルに変化することで先行走査信号線 G_{i-1} が非選択状態となる。このため、第 1 初期化トランジスタ M_4 がオフ状態に変化する。この時刻 t_3 から第 i 走査選択期間の開始時点 t_4 までの間に、データ側駆動回路 30 により、第 i 行第 j 列の画素のデータ電圧としてのデータ信号 $D(j)$ のデータ信号線 D_j への印加が開始され、少なくとも第 i 走査選択期間の終了時点 t_5 まで当該データ信号 $D(j)$ の印加が継続する。

[0033] 時刻 t_4 において、対応走査信号線 G_i の電圧がハイレベルからローレベルに変化することで対応走査信号線 G_i が選択状態となる。このため、書込制御トランジスタ M_2 がオン状態に変化する。また、閾値補償トランジスタ M_3 もオン状態に変化するので、駆動トランジスタ M_1 は、そのゲート端子とドレイン端子とが接続された状態すなわちダイオード接続状態となる。これにより、対応データ信号線 D_j の電圧すなわちデータ信号 $D(j)$ の電圧がデータ電圧 V_{data} として、ダイオード接続状態の駆動トランジスタ M_1 を介して保持キャパシタ C_1 に与えられる。その結果、図 3 に示すように、ゲート電圧 $V_g(i, j)$ は、次式 (5) で与えられる値に向かって変化する。

$$V_g(i, j) = V_{data} - |V_{th}| \quad \dots (5)$$

また、時刻 t_4 において、対応走査信号線 G_i の電圧がハイレベルからロー

レベルに変化することにより第2初期化トランジスタM7もオン状態に変化する。その結果、有機EL素子OLの寄生容量における蓄積電荷が放電されて有機EL素子OLのアノード電圧 V_a が初期化電圧 V_{ini} に初期化される（図3参照）。なお、画素回路 $P_{ix}(i, j)$ におけるアノード電圧 V_a を他の画素回路におけるアノード電圧 V_a と区別する場合に符号“ $V_a(i, j)$ ”を使用するものとする（以下においても同様）。

[0034] 時刻 $t_4 \sim t_5$ の期間は、第 i 行の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, M)$ におけるデータ書込期間であり、画素回路 $P_{ix}(i, j)$ では、このデータ書込期間において、上記のように閾値補償の施されたデータ電圧が保持キャパシタ C_1 に書き込まれ、ゲート電圧 $V_g(i, j)$ は上記式（5）で与えられる値となる。

[0035] その後、時刻 t_6 において、発光制御線 E_i の電圧がローレベルに変化する。これに伴い、第1および第2発光制御トランジスタM5, M6がオン状態に変化する。このため時刻 t_6 以降、ハイレベル電源線 $ELVDD$ の対応枝配線 $ELVHi$ から第1発光制御トランジスタM5、駆動トランジスタM1、第2発光制御トランジスタM6、および、有機EL素子OLを経由してローレベル電源線 $ELVSS$ に電流 I_d が流れる。この電流 I_d は上記式（1）で与えられる。駆動トランジスタM1がPチャネル型であって $ELVDD > V_g$ であることを考慮すると、上記式（1）および（5）より、この電流 I_d は次式で与えられる。

$$\begin{aligned} I_d &= (\beta/2) (ELVDD - V_g - |V_{th}|)^2 \\ &= (\beta/2) (ELVDD - V_{data})^2 \quad \dots (6) \end{aligned}$$

上記より、時刻 t_6 以降、有機EL素子OLは、駆動トランジスタM1の閾値電圧 V_{th} に拘わらず、第 i 選択走査期間における対応データ信号線 D_j の電圧であるデータ電圧 V_{data} に応じた輝度で発光する。

[0036] <1. 3 第1構成例の効果>

図2に示すように本実施形態における画素回路15では、駆動トランジスタM1のゲート端子は保持キャパシタ C_1 を介してハイレベル電源線 ELV

DDの対応枝配線ELVHiに接続され、かつ、駆動トランジスタM1のソース端子は第1発光制御トランジスタM5を介してハイレベル電源線ELVDDの対応枝配線ELVHiに接続されており、発光期間において第1発光制御トランジスタM5はオン状態である。このような画素回路15では、非発光期間の第i走査選択期間において対応データ信号線Djから保持キャパシタC1の一端に与えられる電圧と保持キャパシタC1の他端に接続されている対応枝配線ELVHiの電圧との差に応じた電流Idが、発光期間において有機EL素子OLに流れる。上記では、この電流Idが式(6)で与えられることを述べた。この式(6)では、データ書込期間すなわち非発光期間の第i走査選択期間における保持キャパシタC1の他端の電圧すなわち対応枝配線ELVHiの電圧がハイレベル電源電圧ELVDDに等しいことが前提となっている。しかし、i番目の走査信号線Giおよびj番目のデータ信号線Djに接続された画素回路15すなわち第i行第j列の画素回路 $P_{i \times (i, j)}$ のデータ書込期間である第i走査選択期間において、電源回路50から当該画素回路 $P_{i \times (i, j)}$ に至るまでの電源線の経路において電流が流れると、その電流による電圧降下により、対応枝配線ELVHiの電圧は、実際にはハイレベル電源電圧VDDよりも低い値となる。

[0037] 図3に示すように、第i行第j列の画素回路 $P_{i \times (i, j)}$ のデータ書込期間である第i選択走査期間では、i番目の発光制御線Eiが発光制御回路によりハイレベル（非活性化状態）とされているので、対応枝配線ELVHiに接続される画素回路15すなわち第i行の画素回路 $P_{i \times (i, 1)} \sim P_{i \times (i, M)}$ は非発光状態である。第i+1行の画素回路 $P_{i \times (i+1, 1)} \sim P_{i \times (i+1, M)}$ も、第i選択走査期間がそれらのリセット期間に相当するので、非発光状態である。これら以外の行の画素回路 $P_{i \times (p, 1)} \sim P_{i \times (p, M)}$ ($1 \leq p \leq N$ かつ $p \neq i$ かつ $p \neq i+1$)は発光状態である。このため、第i行第j列の画素回路 $P_{i \times (i, j)}$ のデータ書込期間では、これに対応する第i行の枝配線ELVHiには電流が流れないが、発光状態の画素回路 $P_{i \times (p, 1)} \sim P_{i \times (p, M)}$ (1

$\leq p \leq N$ かつ $p \neq i$ かつ $p \neq i + 1$)のそれぞれに流れる電流に応じてそれらの対応枝配線 $ELVH_p$ に電流が流れる。

[0038] しかし、図1に示す本構成例では、各幹配線 ELV_j ($j = 1 \sim M$)には1本の枝配線 $ELVH_i$ のみが接続されている。このため、第 i 行第 j 列の画素回路 $P_{ix}(i, j)$ に接続される第 i 行の枝配線(対応枝配線) $ELVH_i$ に接続される幹配線 ELV_k には、他の枝配線は接続されていない。したがって、第 i 行第 j 列の画素回路 $P_{ix}(i, j)$ のデータ書込期間(第 i 選択走査期間)では、これに対応する第 i 行の枝配線 $ELVH_i$ に電流が流れないだけでなく、当該第 i 行の枝配線 $ELVH_i$ に接続される幹配線 ELV_k においても電流が流れず、これらの枝配線 $ELVH_i$ および幹配線 ELV_k では電圧降下が生じない。その結果、第 i 行第 j 列の画素回路 $P_{ix}(i, j)$ のデータ書込期間における対応枝配線 $ELVH_i$ での電圧低下(ハイレベル電源電圧 $ELVDD$ からの電圧低下)は、電源線のうち主配線 ELV_0 および電源回路50から主配線 ELV_0 へ至る経路での電圧降下によるもののみとなる。この主配線 ELV_0 および当該経路は、表示部11に配設される枝配線 $ELVH_1 \sim ELVH_N$ および幹配線 $ELV_1 \sim ELV_M$ に比べ、配置スペースの観点から十分に配線抵抗の低い配線として形成することができる。したがって、第 i 行第 j 列の画素回路 $P_{ix}(i, j)$ に対しデータ書込期間において対応枝配線 $ELVH_i$ から実質的に電圧低下のないハイレベル電源電圧 $ELVDD$ を供給することができる。このことは、他の画素回路 $P_{ix}(p, q)$ ($1 \leq p \leq N$ かつ $p \neq i$; $1 \leq q \leq M$ かつ $q \neq j$)においても同様であり、他の画素回路 $P_{ix}(p, q)$ に対してもそのデータ書込期間において対応枝配線 $ELVH_p$ から実質的に電圧低下のないハイレベル電源電圧 $ELVDD$ を供給することができる。

[0039] 上記のように本構成例によれば、各画素回路15に対しそのデータ書込期間において対応枝配線から実質的に電圧低下のないハイレベル電源電圧 $ELVDD$ を供給できる。また本構成例では、幹配線等の電源線における電流による電圧降下を補償するための回路や画像データの補正処理等も不要である

。したがって、回路等の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑えることができる。

[0040] <1. 4 他の構成例>

以下、図4～図7を参照して本実施形態の他の構成例（第2構成例～第4構成例）による有機EL表示装置について説明する。

[0041] <1. 4. 1 第2構成例>

図4は、上記第1の実施形態の第2構成例による有機EL表示装置10bの全体構成を示すブロック図である。この表示装置10bは、電源配線の構成につき上記第1構成例による表示装置10aと相違するが（図1）、その他の点については上記第1構成例による表示装置10aと同様である（図2、図3参照）。以下では、本構成例による表示装置10bのうち上記第1構成例による表示装置10aと同一または対応する部分に同一の参照符号を付すものとし、詳しい説明を省略する。

[0042] 図1に示すように上記第1構成例では、電源回路50から主配線ELV0へのハイレベル電源電圧ELVDDの給電点PSは、1番目の幹配線ELV1が主配線ELV0から分岐する位置またはその近傍にあり、主配線ELV0から幹配線と枝配線との接続点CNiまでの距離は、1番目の幹配線ELV1からN番目の幹配線ELVNに向かって順に長くなっている。すなわち、給電点PSに近い幹配線ELVk（ $1 \leq k \leq M$ ）ほど遠くの枝配線ELVHiに接続されるように幹配線ELVkと枝配線ELVHiとの接続点CNiが設けられている。

[0043] これに対し本構成例では、図4に示すように、電源線における主配線ELV0の両端に電源回路50からハイレベル電源電圧ELVDDが供給される。すなわち、電源回路50から主配線ELV0における2つの給電点PS1, PS2にハイレベル電源電圧ELVDDが供給され、このうち第1の給電点PS1は、主配線ELV0から1番目の幹配線ELV1が分岐する位置またはその近傍であり、第2の給電点PS2は、主配線ELV0からN番目の幹配線ELVN（1番目の幹配線の位置する端部とは反対側の端部に位置す

る幹配線) が分岐する位置またはその近傍である。これに応じて、主配線 ELV_0 から幹配線と枝配線との接続点 CN_i までの距離は、両端の幹配線 ELV_1 , ELV_M から行方向の中央に向かって順に短くなっている。このような本構成例における電源線の構成は、給電点 (PS_1 または PS_2) に近い幹配線 ELV_k ほど遠くの枝配線 ELV_{Hi} に接続されるように幹配線 ELV_k と枝配線 ELV_{Hi} との接続点 CN_i が設けられているという点では、上記第 1 構成例と同様と言える。なお本構成例では、図 4 に示すように、幹配線の本数は枝配線の本数 N に等しく、各枝配線 ELV_{Hi} には 1 本の幹配線 ELV_j のみが接続されている。しかし、上記第 1 構成例 (図 1) のように幹配線の本数 M を枝配線の本数 N よりも多くし ($M > N$)、各枝配線 ELV_{Hi} に 1 本以上の幹配線 ELV_j が接続されるようにしてもよい。

[0044] このように本構成例においても、各枝配線 ELV_{Hi} には 1 本またはそれ以上の幹配線 ELV_j が接続されていることを前提として、各幹配線 ELV_k ($k = 1 \sim N$) には 1 本の枝配線 ELV_{Hi} のみが接続されている。このことから、各画素回路 15 に対しそのデータ書込期間において対応枝配線から実質的に電圧低下のないハイレベル電源電圧 ELV_{DD} を供給することができ、上記第 1 構成例と同様の効果が得られる。すなわち本構成例においても、回路等の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑えることができる。

[0045] < 1. 4. 2 第 3 構成例 >

図 5 は、上記第 1 の実施形態の第 3 構成例による有機 EL 表示装置 10c の全体構成を示すブロック図である。この表示装置 10c は、電源配線の構成につき上記第 1 構成例による表示装置 10a と相違するが (図 1)、その他の点については上記第 1 構成例による表示装置 10a と同様である (図 2、図 3 参照)。以下では、本構成例による表示装置 10c のうち上記第 1 構成例による表示装置 10a と同一または対応する部分には同一の参照符号を付すものとし、詳しい説明を省略する。

[0046] 図 5 に示すように本構成例では、電源線における主配線 ELV_0 の中央位

置の給電点 PS_m に電源回路 50 からハイレベル電源電圧 $ELVDD$ が供給される。この給電点 PS_m は、 M 本の幹配線 $ELV_1 \sim ELV_M$ のうち中央の幹配線 ELV_m （中央の幹配線が 2 つの場合もあり得る）が主配線 ELV_0 から分岐する位置またはその近傍である。これに応じて、主配線 ELV_0 から幹配線と枝配線との接続点 CN_i までの距離は、中央の幹配線 ELV_m から両端の幹配線に向かって短くなっている。このような本構成例における電源線の構成は、給電点（ PS_m ）に近い幹配線ほど遠くの枝配線に接続されるように幹配線と枝配線との接続点 CN_i が設けられているという点では、上記第 1 構成例と同様と言える。なお本構成例においても、図 5 に示すように、各枝配線 ELV_{Hi} には 1 本以上の幹配線 ELV_j が接続されている。

[0047] このように本構成例においても、各枝配線 ELV_{Hi} に 1 本の幹配線 ELV_j が接続されていることを前提として、各幹配線 ELV_k （ $k = 1 \sim N$ ）には 1 本の枝配線 ELV_{Hi} のみが接続されている。このことから、各画素回路 15 に対しそのデータ書込期間において対応枝配線から実質的に電圧低下のないハイレベル電源電圧 $ELVDD$ を供給することができ、上記第 1 構成例と同様の効果が得られる。すなわち本構成例においても、回路等の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑えることができる。

[0048] < 1. 4. 3 第 4 構成例 >

図 6 は、上記第 1 の実施形態の第 4 構成例による有機 EL 表示装置 10d の全体構成を示すブロック図である。この表示装置 10d は、電源配線の構成につき上記第 1 構成例による表示装置 10a と相違するが（図 1）、その他の点については上記第 1 構成例による表示装置 10a と同様である（図 2、図 3 参照）。以下では、本構成例による表示装置 10d のうち上記第 1 構成例による表示装置 10a と同一または対応する部分には同一の参照符号を付すものとし、詳しい説明を省略する。

[0049] 図 6 に示すように本構成例では、上記第 1 構成例と同様、電源線における

主配線E L V Oの一方の端部に位置する給電点P S 1に電源回路5 0からハイレベル電源電圧E L V D Dが供給される。すなわち、本構成例における給電点P S 1は、主配線E L V Oから1番目の幹配線E L V 1が分岐する位置またはその近傍である。これに応じて、上記第1構成例と同様、主配線E L V Oから幹配線と枝配線との接続点C N iまでの距離は、1番目の幹配線E L V 1からM番目の幹配線E L V Mに向かって順に長くなっている。

[0050] しかし本構成例では、幹配線E L V 1～E L V Mは、いずれも主配線E L V OからN番目の走査信号線G N（主配線から最も遠い走査信号線）の位置まで列方向に延びていて全ての走査信号線G 1～G Nと交差し、全て同じ長さを有している。この点で本構成例は、各幹配線E L V jが主配線E L V Oから枝配線E L V H iとの接続点C N iまで列方向に延びていて1番目の幹配線E L V 1からM番目の幹配線E L V Mに向かって順に短くなっている（給電点P Sに近い幹配線E L V jほど長くなっている）上記第1構成例と相違する（図1および図6参照）。

[0051] このような本構成例においても、各枝配線E L V H iには1本またはそれ以上の幹配線E L V jが接続されていることを前提として、各幹配線E L V k（k = 1～M）には1本の枝配線E L V H iのみが接続されている。このことから、各画素回路15に対しそのデータ書込期間において対応枝配線から実質的に電圧低下のないハイレベル電源電圧E L V D Dを供給することができ、上記第1構成例と同様の効果が得られる。すなわち本構成例においても、回路等の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑えることができる。

[0052] これに加え本構成例によれば、幹配線E L V 1～E L V Mは全て同じ長さを有しているので、走査信号線G iと幹配線E L V jとの交差によって各走査信号線G iに付加される寄生容量は、いずれの走査信号線G iについても同じ値となる。すなわち本構成例では、上記第1構成例に比べ、走査信号線G 1～G Nにおける配線容量が均一化され、これにより、幹配線E L V 1～E L V Mの配設による走査信号線の配線容量の増加に起因する表示品位の低

下を抑えることができる。

[0053] < 1. 4. 4 電源線の好適な構成例 >

以下、本実施形態に係る表示装置につき上記で説明された電源線の構成を含めて本実施形態における電源線の好適な幾つかの構成を例示的に述べる。

図 7 は、本実施形態における電源線の好適な幾つかの構成例を模式的に示す図である。

[0054] 図 7 (A) は、図 4 に示した上記第 2 構成例による表示装置 10b における電源線の構成、より詳しくは、当該表示装置 10b 内の表示パネル（表示部 11 を含む）100 におけるハイレベル電源線の構成を模式的に示している。表示パネル 100 は、表示部 11 の他に端子部 13 を含み、ハイレベル電源電圧 E_{LVDD} は電源回路 50 から端子部 13 を介して主配線 E_{LV0} に供給される（この点は、図 7 (B) ~ 図 7 (F) に示す他の構成例においても同様）。図 7 (A) の例では、ハイレベル電源電圧 E_{LVDD} が端子部 13 を介して主配線 E_{LV0} の両端（の給電点 $PS1$, $PS2$ ）に供給される。表示部 11 において、各枝配線（行方向に延びる電源線）は、いずれか 1 つの幹配線（列方向に延びる電源線）に接続されるとともに、各幹配線は、いずれか 1 つの枝配線に接続されている。これにより、各行の画素回路のデータ書込期間では、当該行の画素回路に接続される枝配線のみならず当該枝配線に接続される幹配線においても電流が流れず電圧降下が生じない。また、主配線 E_{LV0} から幹配線と枝配線との接続点 CNi までの距離は、両端の幹配線から行方向の中央に向かって順に短くなっている。これにより、電源回路 50 から各画素回路までの電源線の経路長の画素回路間での相違が抑制される。なお、各幹配線は、主配線 E_{LV0} から分岐して枝配線との接続点まで延びていることから、各幹配線は、両端の幹配線から行方向の中央に向かって順に短くなっている。

[0055] 図 7 (B) に示す電源線の構成例は、図 7 (A) に示した電源線の構成例と基本的に同様であるが、各幹配線（列方向に延びる電源線）が、互いに隣接する 2 本の枝配線（列方向に延びる電源線）に接続されており、この点で

本構成例は、図 7 (A) に示した電源線の構成例と相違する。しかし、図 3 に示した駆動方式に代えて、各幹配線に接続された 2 本の枝配線に対応する 2 行の画素回路を単位として発光を制御する駆動方式、すなわち、当該 2 行の画素回路の初期化動作およびデータ書込動作が終了してから当該 2 行の画素回路に対応する発光制御線をローレベル（アクティブ状態）とする駆動方式を採用することにより、図 7 (A) の構成例と同様の効果が得られる。すなわち、当該 2 行のうちいずれの行の画素回路のデータ書込期間においても、当該 2 行の画素回路に対応する 2 本の枝配線に電流が流れないので、当該 2 本の枝配線に接続される幹配線にも電流が流れず電圧降下が生じない。また本構成例においても、図 7 (A) の構成例と同様、主配線 E L V 0 から幹配線と枝配線との接続点 C N i までの距離は、両端の幹配線から行方向の中央に向かって順に短くなっており、これにより、電源回路 5 0 から各画素回路までの電源線の経路長の画素回路間での相違が抑制される。なお、本構成例において図 3 の駆動方式が採用される場合には、各行の画素回路のデータ書込期間において、当該行の画素回路に対応する枝配線に接続される幹配線に、他の枝配線に供給すべき電流が流れることがある。しかし、この場合であっても、当該電流は 1 本の枝配線に供給される電流であって当該電流による電圧降下は小さい。

[0056] 図 7 (C) に示す電源線の構成例は、図 7 (B) に示した電源線の構成例と基本的に同様であるが、各幹配線（列方向に延びる電源線）は 1 本おきに隣接する 2 本の枝配線（行方向に延びる電源線）に接続されており、この点で本構成例は、図 7 (B) に示した電源線の構成例と相違する。しかし、本構成例においても、図 3 に示した駆動方式に代えて、本構成例に適した駆動方式、例えば各幹配線に接続された 1 本おきに隣接する 2 本の枝配線に対応する 2 行の画素回路を単位として発光を制御する駆動方式を採用することにより、図 7 (A) の構成例と同様の効果が得られる。すなわち、当該 2 行のうちいずれの行の画素回路のデータ書込期間においても、当該 2 行の画素回路に対応する 2 本の枝配線に電流が流れないので、当該 2 本の枝配線に接続

される幹配線にも電流が流れず電圧降下が生じない。また本構成例においても、図7（A）および図7（B）の構成例と同様、主配線ELVOから幹配線と枝配線との接続点C*N*_iまでの距離は、両端の幹配線から行方向の中央に向かって順に短くなっており、これにより、電源回路50から各画素回路までの電源線の経路長の画素回路間での相違が抑制される。なお、本構成例において図3の駆動方式が採用される場合には、各行の画素回路のデータ書込期間において、当該行の画素回路に対応する枝配線に接続される幹配線に、他の枝配線に供給すべき電流が流れることがある。しかし、この場合であっても、当該電流は1本の枝配線に供給される電流であって当該電流による電圧降下は小さい。

[0057] 図7（D）に示す電源線の構成例は、幹配線と枝配線との接続点の配置が図7（A）に示した電源線の構成例と同様であるが、全ての幹配線は、いずれの走査信号線とも交差するように（またいずれの枝配線とも交差するように）列方向に延びており、同一の長さを有している。このため、走査信号線と幹配線との交差によって各走査信号線に付加される寄生容量は、いずれの走査信号線についても同じ値となる。すなわち本構成例では、図7（A）の構成例に比べ、走査信号線における配線容量が均一化される。なお、本構成例においても、図7（A）の構成例と同様、各行の画素回路のデータ書込期間では、当該行の画素回路に接続される枝配線のみならず当該枝配線に接続される幹配線においても、電流が流れず電圧降下が生じない。

[0058] 図7（E）は、図5に示した上記第3構成例による表示装置10c内の表示パネル（表示部11を含む）における電源線（ハイレベル電源線）の構成を模式的に示している。図7（E）の例では、ハイレベル電源電圧ELVDDが端子部13を介して主配線ELVOの中央に供給される。表示部11において、各枝配線（行方向に延びる電源線）は、いずれか1つの幹配線（列方向に延びる電源線）に接続されるとともに、各幹配線は、いずれか1つの枝配線に接続されている。これにより、各行の画素回路のデータ書込期間では、当該行の画素回路に接続される枝配線のみならず当該枝配線に接続され

る幹配線においても電流が流れず電圧降下が生じない。また、主配線E L V Oから幹配線と枝配線との接続点C N iまでの距離は、両端の幹配線から行方向の中央に向かって順に長くなっている。これにより、電源回路5 0から各画素回路までの電源線の経路長の画素回路間での相違が抑制される。なお、各幹配線は、主配線E L V Oから分岐して枝配線との接続点まで延びることから、各幹配線は、両端の幹配線から行方向の中央に向かって順に長くなっている。

[0059] 図7 (F) は、幹配線の本数Mが枝配線の本数Nよりも多い場合の構成例を示している。本構成例では、図7 (A) に示した構成例と同様、ハイレベル電源電圧E L V D Dが端子部1 3を介して主配線E L V Oの両端に供給される。しかし本構成例では、図7 (A) の構成例と異なり、幹配線の本数Mが枝配線の本数Nよりも多いことから、上部の枝配線（主配線E L V Oから遠い枝配線）は、中央の幹配線を中心として左右対称的に配置された2本の幹配線と接続され、下部の枝配線（主配線E L V Oに近い枝配線）は、中央付近に配置された1本の幹配線と接続されている。このようにして各枝配線は1本または2本の幹配線に接続されるとともに、各幹配線はいずれか1つの枝配線のみ接続されている。これにより、図7 (A) の構成例と同様、各行の画素回路のデータ書込期間では、当該行の画素回路に接続される枝配線のみならず当該枝配線に接続される幹配線においても電流が流れず電圧降下が生じない。また、主配線E L V Oから幹配線と枝配線との接続点C N iまでの距離は、両端の幹配線から行方向の中央に向かって順に短くなっている。これにより、電源回路5 0から各画素回路までの電源線の経路長の画素回路間での相違が抑制される。なお、主配線E L V Oから中央付近の幹配線が接続すべき枝配線までの距離は短いので、当該枝配線に接続される幹配線が1本のみであっても電圧降下が問題になることはない。

[0060] 以上からわかるように、図7 (A) ~ (F) に示すいずれの構成例によっても、当該構成例に応じた駆動方法を採用することにより、各画素回路のデータ書込期間において、当該画素回路に接続される枝配線（対応枝配線）に

において電流が流れず電圧降下が生じないのみならず、当該枝配線に接続される幹配線においても電流が流れず電圧降下が生じないようにすることができる。また既述のように、電源線のうち主配線E L V Oおよび電源回路5 0から端子部1 3を介して主配線E L V Oへ至る経路は、表示部1 1に配設される枝配線および幹配線に比べ、配置スペースの観点から十分に配線抵抗の低い配線として形成することができる。これにより、各画素回路に対しデータ書込期間において対応枝配線から実質的に電圧低下のないハイレベル電源電圧E L V D Dを供給することができる。したがって、回路等の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑えることができる。また、図7 (A) ~ (F) に示すいずれの構成例においても、電源回路5 0から端子部1 3を介してハイレベル電源電圧E L V D Dが主配線E L V Oに供給される位置である給電点から近い幹配線ほど遠くの枝配線に接続されるように幹配線と枝配線との接続点が設けられている。これにより、電源回路5 0から各画素回路までの電源線の経路長の画素回路間での相違が抑制され、輝度傾斜等による表示品質の低下が更に抑えられる。さらにまた図7 (D) に示す構成例によれば、他の構成例に比べ、走査信号線の配線容量が均一化されるので、幹配線の配設による走査信号線の配線容量の増加に起因する表示品位の低下を抑えることができる。

[0061] <1. 5 レイアウトパターン>

以下、本実施形態における画素回路1 5 (図2) を実現するためのレイアウトパターン (以下「画素回路のレイアウトパターン」という) および表示部1 1 に形成すべき回路すなわちマトリクス状に配置された画素回路および電源線等からなる回路を実現するためのレイアウトパターン (以下「表示部のレイアウトパターン」という) を説明する。

[0062] <1. 5. 1 レイアウトパターンの第1例>

図8は、本実施形態における第*i*行第*j*列の画素回路 $P_{i \times (i, j)}$ のレイアウトパターンの第1例を示す図である (図2参照)。図8において、列方向 (図の上下方向) に延び斜線のハッチングの付されたパターンは、或

る層において金属材料で形成された配線パターンを示し、行方向（図の左右方向）に延び斜線のハッチングの付されたパターンは、他の層において金属材料で形成された配線パターンを示し、行方向に延び格子のハッチングの付されたパターンは、更に他の層において金属材料で形成された配線パターン（走査信号線としてのゲートラインの配線パターン）を示し、ドットのハッチングの付されたパターンは、更に他の層において半導体材料で形成された配線パターンを示している（後述の図10、図11参照）。また、互いに異なるハッチングの付された2つの半円からなる円はコンタクトホールを示しており、当該2つの半円にそれぞれ付されたハッチングは、一方の半円のハッチングで示される配線パターンと他方の半円のハッチングで示される配線パターンとが、当該コンタクトホールにより電氣的に導通接続されていることを示している。

[0063] 図9は、図8に示した画素回路 $P_{i \times (i, j)}$ のレイアウトパターンを用いた表示部のレイアウトパターンの第1例を示す図である。この表示部のレイアウトパターンは、図1に示される電源線の構成に対応しており、M本のデータ信号線 $D_1 \sim D_M$ にそれぞれ沿ってM本の幹配線 $ELV_1 \sim ELV_M$ が配設されており、各幹配線 ELV_j には1本の枝配線 $ELVH_i$ のみが接続される。ただし、幹配線 $ELV_1 \sim ELV_M$ の本数M（これはデータ信号線の本数に等しい）は枝配線 $ELVH_1 \sim ELVH_N$ の本数N（これは走査信号線 $G_1 \sim G_N$ の本数および発光制御線 $E_1 \sim E_N$ の本数に等しい）よりも多いので（ $M > N$ ）、1本の枝配線 $ELVH_i$ に2本以上の幹配線 $ELV_{j1}, ELV_{j2}, \dots$ が接続される箇所（不図示）もある。

[0064] 図10は、図9のX-X線における断面図であり、図11は、図9のY-Y線における断面図である。図10および図11からわかるように、幹配線 ELV_j と枝配線 $ELVH_i$ とは、絶縁層を介して互いに異なる配線層にそれぞれ形成されており、幹配線 ELV_j と枝配線 $ELVH_i$ との接続（電氣的な導通接続）は、当該絶縁層に設けられるコンタクトホール CH_i により実現されている。すなわち、図1、図2等を示す幹配線 ELV_j と枝配線 E

LVH_i との接続点 CN_i は、図 8～図 11 に示すコンタクトホール CH_i により実現される。

[0065] 上記のように、図 1 に示すような構成の電源線（幹配線および枝配線）を含む表示部 11 の回路は、図 8～図 11 に示すような構造のデバイスとして実現することができる。また、図 8～図 11（特に図 10 および図 11 に示す断面図）から明らかなように、図 4～図 7 に示す他の構成の電源線を含む表示部 11 の回路も、同様の構造のデバイスとして実現することができる。

[0066] <1. 5. 2 レイアウトパターンの第 2 例>

図 12 は、本実施形態における第 i 行第 j 列の画素回路 $P_{ix}(i, j)$ のレイアウトパターンの第 2 例を示す図であり（図 2 参照）、図 13 は、図 12 に示した画素回路 $P_{ix}(i, j)$ のレイアウトパターンを用いた表示部のレイアウトパターンの第 2 例を示す図である。この表示部のレイアウトパターンも、図 1 に示される電源線の構成に対応している。

[0067] 図 13 に示す表示部のレイアウトパターンでは、図 1 に示す構成における 1 本の枝配線 $ELVH_i$ が 2 つの配線パターン $ELVHa_i$ と $ELVHb_i$ とにより実現されており、これに対応して、幹配線 ELV_j と枝配線 $ELVH_i$ との接続点 CN_i が 2 つのコンタクトホール CHa_i と CHb_i により実現されている。しかし、このような第 2 例によるレイアウトパターンによっても、図 1 に示す電源線の構成を含む表示部 11 の回路を実現することができる。また、図 12 および図 13 とともに既述の図 10 および図 11 を参照すれば明らかなように、図 4～図 7 に示す他の構成の電源線を含む表示部 11 の回路も、第 2 例によるレイアウトパターンと同様のレイアウトパターンを用いて実現することができる。

[0068] <2. 第 2 の実施形態>

上記第 1 の実施形態では、表示部 11 におけるデータ信号線 $D_1 \sim D_M$ はデータ側駆動回路 30 に直接に接続されているが、これに代えて、データ側駆動回路とデータ信号線 $D_1 \sim D_M$ との間にデマルチプレクス回路を設け、データ側駆動回路で生成された各データ信号 $D(j)$ ($j = 1 \sim M$) を逆多

重化して表示部 11 における 2 以上のデータ信号線（ソースライン）に与える駆動方式（以下「SSD（Source Shared Driving）方式」と呼ぶ）を採用してもよい。以下、このような SSD 方式を採用した有機 EL 表示装置の一例を第 2 の実施形態として説明する。

[0069] <2. 1 構成>

図 14 は、本実施形態に係る表示装置 10e の全体構成を示すブロック図である。この表示装置 10e は、上記第 1 の実施形態と同様、内部補償を行う有機 EL 表示装置であるが、多重度が 3 の SSD 方式が採用されている点で上記第 1 の実施形態と相違する。この表示装置 10e は、赤、緑、および青の 3 原色によるカラー表示を行い、当該 3 原色に対応する 3 本のデータ信号線を 1 組として各組における 3 本のデータ信号線を時分割的に駆動する SSD 方式が採用されている。本実施形態の構成のうちこれらの点に関する構成以外は、上記第 1 の実施形態と同様であるので、同一または対応する部分に同一の参照符号を付して詳しい説明を省略する。

[0070] 図 14 に示すように、本実施形態に係る表示装置 10e は、表示部 11、表示制御回路 20、データ信号線駆動回路 30、走査信号線駆動および発光制御回路として機能する走査側駆動回路 40、および、電源回路 50 を備えている。

[0071] 表示部 11 には、3 原色を構成する赤、緑、青にそれぞれ対応する R データ信号線 D_{rj} 、G データ信号線 D_{gj} 、B データ信号線 D_{bj} からなる 3 本のデータ信号線を 1 組とする M 組（3M 本）のデータ信号線 D_{r1} , D_{g1} , $D_{b1} \sim D_{rM}$, D_{gM} , D_{bM} と、これらに交差する $N+1$ 本の走査信号線 $G_0 \sim G_N$ とが配設されている。また上記第 1 の実施形態と同様、N 本の走査信号線 $G_1 \sim G_N$ に沿って N 本の発光制御線 $E_1 \sim E_N$ がそれぞれ配設されている。

[0072] また図 14 に示すように、表示部 11 には $3M \times N$ 個の画素回路 15 が 3M 本のデータ信号線 $D_{x1} \sim D_{xM}$ ($x = r, g, b$) および N 本の走査信号線 $G_1 \sim G_N$ に沿ってマトリクス状に配置されており、各画素回路 15 は

、3M本のデータ信号線 $D \times 1 \sim D \times M$ ($x = r, g, b$) のいずれか1つに対応するとともに、N本の走査信号線 $G 1 \sim G N$ のいずれか1つに対応する。以下において各画素回路15を区別する場合には、 i 番目の走査信号線 $G i$ および j 組目のRデータ信号線 $D r j$ に対応する画素回路を「 i 行 j 組目のR画素回路」といい、符号“ $P r (i, j)$ ”で示し、 i 番目の走査信号線 $G i$ および j 組目のGデータ信号線 $D g j$ に対応する画素回路を「 i 行 j 組目のG画素回路」といい、符号“ $P g (i, j)$ ”で示し、 i 番目の走査信号線 $G i$ および j 組目のBデータ信号線 $D b j$ に対応する画素回路を「 i 行 j 組目のB画素回路」といい、符号“ $P b (i, j)$ ”で示すものとする。なお、各画素回路 $P x (i, j)$ は、N本の発光制御線 $E 1 \sim E N$ のいずれか1つにも対応する ($x = r, g, b$)。本実施形態における各画素回路15 ($P x (i, j)$) の構成は上記第1の実施形態における画素回路15の構成と同様であるので、同一部分には同一の参照符号を付して説明を省略する (図2参照)。

[0073] 3M本のデータ信号線 $D \times 1 \sim D \times M$ ($x = r, g, b$) は、データ信号線駆動回路30内の後述のデマルチプレクス回路30bに接続され、 $N + 1$ 本の走査信号線 $G 0 \sim G N$ およびN本の発光制御線 $E 1 \sim E N$ は、上記第1の実施形態と同様、走査側駆動回路 (走査信号線駆動／発光制御回路) 40に接続されている。

[0074] また表示部11には、上記第1の実施形態と同様、各画素回路15に共通の電源線として、ハイレベル電源電圧 $ELVDD$ を供給するためのハイレベル電源線 (ハイレベル電源電圧と同じく符号 $ELVDD$ で表す。) およびローレベル電源電圧 $ELVSS$ を供給するための電源線 (ローレベル電源電圧と同じく符号 $ELVSS$ で表す。) が配設されている。本実施形態における電源線は、図4に示す上記第1の実施形態における第2構成例と同様に構成されている。すなわち、図14に示すように、ハイレベル電源線 $ELVDD$ は、行方向に延びる1本の主配線 $ELV0$ と、主配線 $ELV0$ から分岐して列方向に延びるN本の幹配線 $ELV1 \sim ELVN$ 、走査信号線 $G 1 \sim G N$ に

それぞれ沿って配設されるN本の枝配線 $ELVH1 \sim ELVHN$ とを含む。
このハイレベル電源線 $ELVDD$ は、各枝配線 $ELVHi$ に1本の幹配線 $ELVj$ が接続されるとともに各幹配線 $ELVj$ に1本の枝配線 $ELVHi$ のみが接続されるように構成されている ($i = 1 \sim N$, $j = 1 \sim N$)。なお、
図14に示す構成では、幹配線の本数は枝配線の本数に等しいが、枝配線の本数よりも多い本数の幹配線 (例えば $3 \times M$ 本の幹配線) を設けてもよい。
この場合、2本またはそれ以上の幹配線が1本の枝配線に接続される構成を含むことになる (図7 (F) 参照)。

[0075] 図14に示す構成では、電源線の主配線 $ELVO$ の両端に位置する給電点 $PS1$, $PS2$ に電源回路50からハイレベル電源電圧 $ELVDD$ が供給される。これらの給電点 $PS1$, $PS2$ のうち第1の給電点 $PS1$ は、主配線 $ELVO$ から1番目の幹配線 $ELV1$ が分岐する位置またはその近傍であり、第2の給電点 $PS2$ は、主配線 $ELVO$ からN番目の幹配線 $ELVN$ が分岐する位置またはその近傍である。これに応じて、主配線 $ELVO$ から幹配線と枝配線との接続点 CNi までの距離は、両端の幹配線 $ELV1$, $ELVM$ から行方向の中央に向かって順に短くなっている。すなわち、給電点 ($PS1$ または $PS2$) に近い幹配線 $ELVk$ ほど遠くの枝配線 $ELVHi$ に接続されるように幹配線 $ELVj$ と枝配線 $ELVHi$ との接続点 CNi が設けられている。

[0076] 表示制御回路20は、上記第1の実施形態と同様、入力信号 Sin を表示装置10eの外部から受け取り、この入力信号 Sin に基づきデータ側制御信号 Scd および走査側制御信号 Scs を生成し、データ側制御信号 Scd をデータ信号線駆動回路30内のデータ側駆動回路30aに、走査側制御信号 Scs を走査側駆動回路40にそれぞれ出力する。これに加えて表示制御回路20は、データ信号線駆動回路30内のデマルチプレクス回路30bにR選択制御信号 $SSDr$ 、G選択制御信号 $SSDg$, およびB選択制御信号 $SSDb$ を出力する。

[0077] 図14に示すように、データ信号線駆動回路30は、データ側駆動回路3

0 a およびデマルチプレクス回路 3 0 b を含んでいる。このデータ信号線駆動回路 3 0 は、データ信号線 $D_{x1} \sim D_{xm}$ を駆動するためのデータ信号 $D_{x(1)} \sim D_{x(M)}$ を生成する駆動用信号生成回路として機能する ($x = r, g, b$)。

[0078] データ側駆動回路 3 0 a は、上記第 1 の実施形態におけるデータ側駆動回路 3 0 と同様の構成を有しており、M 個の出力端子 $T_{a1} \sim T_{aM}$ を有している。ただし、本実施形態では既述のように多重度が 3 の SSD 方式が採用されていることから、このデータ側駆動回路 3 0 a は、時分割データ信号生成回路として機能する。すなわち、このデータ側駆動回路 3 0 a は、表示制御回路 2 0 からのデータ側制御信号 S_{cd} に基づき、各水平期間において、R データ信号線 D_{rj} に印加すべき R データ信号 $D_r(j)$ 、G データ信号線 D_{gj} に印加すべき G データ信号 $D_g(j)$ 、B データ信号線 D_{bj} に印加すべき B データ信号 $D_b(j)$ を時分割的にデータ信号 $D(j)$ として j 番目の出力端子 T_{aj} から出力する ($j = 1 \sim M$)。より詳しくは、各水平期間は第 1 から第 3 期間からなる 3 つの期間を含み、第 1 期間に R データ信号 $D_r(j)$ が出力され、第 2 期間に G データ信号 $D_g(j)$ が出力され、第 3 期間に B データ信号 $D_b(j)$ が出力される。なお、第 i 水平期間において、R データ信号 $D_r(j)$ は i 行 j 組目の R 画素回路 $P_r(i, j)$ に書き込むべき画素データを含み、G データ信号 $D_g(j)$ は i 行 j 組目の G 画素回路 $P_g(i, j)$ に書き込むべき画素データを含み、B データ信号 $D_b(j)$ は i 行 j 組目の B 画素回路 $P_b(i, j)$ に書き込むべき画素データを含んでいる ($i = 1 \sim N, j = 1 \sim M$)。

[0079] デマルチプレクス回路 3 0 b は、第 1 から第 M デマルチプレクサ 3 1 $\sim$ 3 M からなる $3 \times M$ 個のデマルチプレクサを有している。各デマルチプレクサ 3 j ($j = 1 \sim M$) は同一の構成を有しており、データ側駆動回路 3 0 a から出力されるデータ信号 $D(j)$ を逆多重化する。表示制御回路 2 0 から出力される R 選択制御信号 SSD_r 、G 選択制御信号 SSD_g 、および B 選択制御信号 SSD_b は、全てのデマルチプレクサ 3 1 $\sim$ 3 M に与えられる。第

j デマルチプレクサ 3 j の入力側はデータ側駆動回路 30 a における j 番目の出力端子 T a j に接続され、出力側は j 組目の 3 本のデータ信号線 D r j , D g j , D b j に接続されている。したがって各デマルチプレクサ 3 j は、データ信号 D (j) の入力される端子すなわちデータ側駆動回路 30 a における出力端子 T a j に接続された入力端子（以下「入力端子 T l j」という）と、データ信号線 D x j に接続された端子（以下「出力端子 T O x j」という）とを備えている（x = r , g , b）。第 j デマルチプレクサ 3 j は、択一的にアクティブとなる 3 つの選択制御信号 S S D x （x = r , g , b）を受け取り、選択制御信号 S S D x がローレベル（アクティブ）のときに出力端子 T O x j が入力端子 T l j に電氣的に接続され、選択制御信号 S S D x がハイレベル（非アクティブ）のときに出力端子 T O x j が入力端子 T l j から電氣的に切り離されて高インピーダンス状態となるように構成されている。

[0080] <2. 2 レイアウト構成>

図 15 は、S S D 方式を採用した本実施形態におけるレイアウト構成を説明するための図である。本実施形態においても、表示パネルは、画素回路がマトリクス状に配置された表示部 11 および外部から信号や電源電圧を受け取るための端子部 13 を含み、これに加えて、表示部 11 の辺のうち端子部 13 に最も近い辺に沿った表示部周辺に S S D 領域 R 14 が設けられている。この S S D 領域 R 14 には、表示部 11 における画素回路等と同じ工程で一体的に上記デマルチプレクス回路 30 b が形成される。また、この S S D 領域 R 14 と端子部 13 の間には S S D 領域 R 14 に沿って電源線における主配線 E L V 0 が形成されており、外部の電源回路 50 から端子部 13 を介して主配線にハイレベル電源電圧 E L V D D が供給される。図 15 に示す例では、主配線 E L V 0 の両端にハイレベル電源電圧 E L V D D が供給される。

[0081] 表示部 11 の辺のうち S S D 領域 R 14 に沿った辺とそれに対向する辺以外の対向する 2 辺に沿って、表示部 11 の周辺部に走査信号線駆動回路のた

めの領域R 4 1 が設けられ、その外側において当該領域R 4 1 に接して表示部1 1 の3 辺を囲むようにトレンチR T が形成されている。そして、トレンチR T の外側においてトレンチR T に接しかつ領域R 4 1 に沿って発光制御回路のための領域R 4 2 が設けられている。さらに、当該領域R 4 2 の外側において当該領域R 4 2 に接しかつ表示部1 1 の3 辺を囲むように制御回路のためのバンク領域R 5 0 が設けられており、このバンク領域R 5 0 は、端子部1 3 に繋げるための領域を含んでいる。

[0082] 図1 5 に示す上記レイアウト構成において、ハイレベル電源電圧E L V D D は、外部の電源回路5 0 から端子部1 3 を介して主配線E L V 0 に供給され、さらに図1 4 に示すように、上記の通り、主配線E L V 0 から分岐する各幹配線E L V j および各幹配線E L V j に接続される枝配線E L V H i を介して各画素回路に供給される（図1 5 では不図示）。

[0083] < 2. 3 駆動方法 >

以下、本実施形態に係る表示装置1 0 b の駆動方法につき、i 行j 組目の3 個の画素回路P r (i , j) , P g (i , j) , P b (i , j) に着目し図2 および図1 6 を参照して説明する。

[0084] 図1 6 は、本実施形態に係る表示装置1 0 e の駆動を説明するための信号波形図であり、i 行j 組目の3 個の画素回路P r (i , j) , P g (i , j) , P b (i , j) における初期化および画素データ書込における各信号の変化を示している。図1 6 において、時刻t 1 ~ t 1 3 の期間は、i 行目の画素回路P x (i , 1) ~ P x (i , M) (x = r , g , b) の非発光期間である。時刻t 1 ~ t 7 の期間は第i - 1 水平期間であり、時刻t 5 ~ t 6 の期間はi - 1 番目の走査信号線G i - 1 の選択期間すなわち第i - 1 走査選択期間である。この走査選択期間(t 5 ~ t 6) は、i 行目の画素回路P x (i , 1) ~ P x (i , M) (x = r , g , b) のリセット期間に相当し、i - 1 行目の画素回路P x (i - 1 , 1) ~ P x (i - 1 , M) (x = r , g , b) のデータ書込期間に相当する。時刻t 7 ~ t 1 3 の期間は第i 水平期間であり、時刻t 1 1 ~ t 1 2 の期間はi 番目の走査信号線G i の選択

期間すなわち第 i 走査選択期間である。この走査選択期間 ($t_{11} \sim t_{12}$) は、 i 行目の画素回路 $P_x(i, 1) \sim P_x(i, M)$ ($x = r, g, b$) のデータ書込期間に相当し、 $i + 1$ 行目の画素回路 $P_x(i + 1, 1) \sim P_x(i + 1, M)$ ($x = r, g, b$) のリセット期間にも相当する。

[0085] 本実施形態では、図 16 に示すように各水平期間において、その走査選択期間の開始時点よりも前の期間（以下「選択前期間」という）に、R 選択制御信号 SSD_r 、G 選択制御信号 SSD_g 、および B 選択制御信号 SSD_b が所定期間ずつ順次ローレベル（アクティブ）となることにより、各デマルチプレクサ 3j において、入力端子 TI_j に電氣的に接続される出力端子が 3 つの出力端子 TO_{rj} 、 TO_{gj} 、 TO_{bj} の間で順次に切り替わる ($j = 1 \sim M$)。

[0086] 一方、データ側駆動回路 30a の出力端子 TA_j からは、第 $i - 1$ 水平期間内の選択前期間 ($t_1 \sim t_5$) において、図 16 に示すように、R 選択制御信号 SSD_r 、G 選択制御信号 SSD_g 、および B 選択制御信号 SSD_b に連動して R データ信号 $d_r(i - 1, j)$ 、G データ信号 $d_g(i - 1, j)$ 、および B データ信号 $d_b(i - 1, j)$ が順次に出力される。これら順次に出力される R データ信号 $d_r(i - 1, j)$ 、G データ信号 $d_g(i - 1, j)$ 、および B データ信号 $d_b(i - 1, j)$ の電圧は、上記デマルチプレクサ 3j によってデータ信号線 D_{rj} 、 D_{gj} 、 D_{bj} にそれぞれ供給され、それらのデータ信号線 D_{rj} 、 D_{gj} 、 D_{bj} の配線容量にそれぞれ保持される（以下、各データ信号線 D_xj ($x = r, g, b$) に形成される配線容量を「データライン容量 C_{dxj} 」という）。すなわち選択前期間 ($t_1 \sim t_5$) のうち、R 選択制御信号 SSD_r がローレベルの期間（以下「R ライン充電期間」という）では R データ信号 $d_r(i - 1, j)$ の電圧で R データ信号線 D_{rj} の配線容量であるデータライン容量 C_{drj} が充電され、G 選択制御信号 SSD_g がローレベルの期間（以下「G ライン充電期間」という）では G データ信号 $d_g(i - 1, j)$ の電圧で G データ信号線 D_{gj} の配線容量であるデータライン容量 C_{dgj} が充電され、B 選択制御

信号 SSD_b がローレベルの期間（以下「Bライン充電期間」という）では B データ信号 $db(i-1, i)$ の電圧で B データ信号線 D_{bj} の配線容量であるデータライン容量 C_{dbj} が充電される。図 16 に示すように、R ライン充電期間の終了時の R データ信号線 D_{rj} の電圧、G ライン充電期間の終了時の G データ信号線 D_{gj} の電圧、および、B ライン充電期間の終了時の B データ信号線 D_{bj} の電圧は、少なくとも当該水平期間内の走査選択期間（ $t_5 \sim t_6$ ）の間は保持される。

[0087] その後、走査選択期間（ $t_5 \sim t_6$ ）の開始時点で走査信号線 G_{i-1} の電圧がローレベル（アクティブ）に変化し、この走査選択期間（ $t_5 \sim t_6$ ）の間、当該電圧はローレベルに維持される。しかし、 i 行 j 組目の各画素回路 $P_x(i, j)$ （ $x = r, g, b$ ）では、対応する走査信号線 G_i の電圧がハイレベル（非アクティブ）であるので、データ信号線 D_{xj} （ $x = r, g, b$ ）に接続された書込制御トランジスタ M_2 はオフ状態に維持される。一方、 i 行 j 組目の各画素回路 $P_x(i, j)$ （ $x = r, g, b$ ）における第 1 初期化トランジスタ M_4 は、この走査選択期間（ $t_5 \sim t_6$ ）の間、オン状態である（図 2 参照）。これにより、駆動トランジスタ M_1 のゲート端子の電圧 V_g が初期化電圧 V_{ini} に初期化される。

[0088] 次の水平期間である第 i 水平期間（ $t_7 \sim t_{13}$ ）内の選択前期間（ $t_7 \sim t_{11}$ ）においても、R 選択制御信号 SSD_r 、G 選択制御信号 SSD_g 、および B 選択制御信号 SSD_b が所定期間ずつ順次ローレベル（アクティブ）となることにより、各デマルチプレクサ 3_j において、入力端子 T_{ij} に電氣的に接続される出力端子が 3 つの出力端子 TO_{rj} 、 TO_{gj} 、 TO_{bj} の間で順次に切り替わる（ $j = 1 \sim M$ ）。

[0089] この第 i 水平期間内の選択前期間（ $t_7 \sim t_{11}$ ）において、データ側駆動回路 $30a$ の出力端子 T_{aj} から、図 16 に示すように R 選択制御信号 SSD_r 、G 選択制御信号 SSD_g 、および B 選択制御信号 SSD_b に連動して R データ信号 $dr(i, j)$ 、G データ信号 $dg(i, j)$ 、および B データ信号 $db(i, j)$ が順次に出力される。これら順次に出力される R デ

ータ信号 $d_r(i, j)$ 、Gデータ信号 $d_g(i, j)$ 、およびBデータ信号 $d_b(i, j)$ の電圧は、上記デマルチプレクサ 3 j によってデータ信号線 D_{rj} 、 D_{gj} 、 D_{bj} にそれぞれ供給され、それらのデータ信号線 D_{rj} 、 D_{gj} 、 D_{bj} の配線容量にそれぞれ保持される。すなわち、この選択前期間 ($t_7 \sim t_{11}$) のうち、Rライン充電期間ではRデータ信号 $d_r(i, j)$ の電圧でRデータ信号線 D_{rj} の配線容量であるデータライン容量 C_{drj} が充電され、Gライン充電期間ではGデータ信号 $d_g(i, j)$ の電圧でGデータ信号線 D_{gj} の配線容量であるデータライン容量 $C_{d gj}$ が充電され、Bライン充電期間ではBデータ信号 $d_b(i, j)$ の電圧でBデータ信号線 D_{bj} の配線容量であるデータライン容量 $C_{d bj}$ が充電される。Rライン充電期間の終了時のRデータ信号線 D_{rj} の電圧、Gライン充電期間の終了時のGデータ信号線 D_{gj} の電圧、および、Bライン充電期間の終了時のBデータ信号線 D_{bj} の電圧は、少なくとも当該水平期間内の走査選択期間 ($t_{11} \sim t_{12}$) の間は保持される。

[0090] その後、この走査選択期間 ($t_{11} \sim t_{12}$) の開始時点で走査信号線 G_i の電圧がローレベル（アクティブ）に変化し、この走査選択期間 ($t_{11} \sim t_{12}$) の間、当該電圧はローレベルに維持される。このため、この走査選択期間 ($t_{11} \sim t_{12}$) の間、 i 行 j 組目の各画素回路 $P_x(i, j)$ ($x = r, g, b$) における書込制御トランジスタ M_2 および閾値補償トランジスタ M_3 はオン状態である（図2参照）。

[0091] したがって、この走査選択期間 ($t_{11} \sim t_{12}$) において、Rデータ信号線 D_{rj} の電圧、すなわちデータライン容量 C_{drj} に保持されたRデータ信号 $d_r(i, j)$ の電圧が、 i 行 j 組目のR画素回路 $P_r(i, j)$ に画素データとして書き込まれ、Gデータ信号線 D_{gj} の電圧すなわちデータライン容量 $C_{d gj}$ に保持されたGデータ信号 $d_g(i, j)$ の電圧が、 i 行 j 組目のG画素回路 $P_g(i, j)$ に画素データとして書き込まれ、Bデータ信号線 D_{bj} の電圧すなわちデータライン容量 $C_{d bj}$ に保持されたBデータ信号 $d_b(i, j)$ の電圧が、 i 行 j 組目のB画素回路 $P_b(i, j)$

）に画素データとして書き込まれる。

[0092] 図16に示す上記のような駆動により、 i 行 j 組目の各画素回路 $P_x(i, j)$ ($x = r, g, b$) については、リセット期間に相当する第 $i-1$ 走査選択期間($t_5 \sim t_6$)では、駆動トランジスタ $M1$ のゲート端子の電圧 V_g の初期化が行われ、データ書込期間に相当する第 i 走査選択期間($t_{11} \sim t_{12}$)では、閾値補償の施されたデータ電圧が保持キャパシタ $C1$ に書き込まれる(図2参照)。各画素回路 $P_x(i, j)$ ($x = r, g, b$) のリセット期間およびデータ書込期間における具体的な動作は、上記第1の実施形態における第 i 行第 j 列の画素回路 $P_{ix}(i, j)$ のリセット期間およびデータ書込期間における動作と実質的に同じであるので、説明を省略する。

[0093] <2.4 効果>

上記のようなSSD方式が採用された本実施形態においても、電源線につき上記第1の実施形態と同様の構成を備えることにより(図14)、上記第1の実施形態と同様の効果が得られる。すなわち、電源線において、各幹配線 ELV_j は、1本の枝配線 ELV_{Hi} のみと接続されており、これにより、各行の画素回路のデータ書込期間では、当該行の画素回路に接続される枝配線のみならず当該枝配線に接続される幹配線においても、電流が流れず電圧降下が生じない。また、上記第1の実施形態と同様、電源線のうち主配線 ELV_0 および電源回路50から端子部13を介して主配線 ELV_0 へ至る経路は、表示部11に配設される枝配線および幹配線に比べ、配置スペースの観点から十分に配線抵抗の低い配線として形成することができる。これにより、各画素回路に対しデータ書込期間において対応枝配線から実質的に電圧低下のないハイレベル電源電圧 ELV_{DD} を供給することができる。したがって、回路等の増大をできるだけ回避しつつ、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑えることができる。なお、本実施形態において、図14に示す電源線の構成に代えて上記第1の実施形態において説明した他の構成の電源線(図4～図7参照)を備える場合であっても

、当該他の構成の電源線を備える上記第 1 の実施形態と同様の効果が得られる。

[0094] <3. 変形例>

本発明は上記各実施形態に限定されるものではなく、本発明の範囲を逸脱しない限りにおいてさらに種々の変形を施すことができる。

[0095] 例えば、上記第 1 の実施形態における第 1 および第 4 構成例（図 1、図 6）では、幹配線の本数はデータ信号線の本数 M に等しくて枝配線の本数 N よりも大きく（ $M > N$ ）、上記第 1 の実施形態における第 2 および第 3 構成例（図 4、図 5）では、幹配線の本数は枝配線の本数 N に等しいが、これらに限定されない。すなわち、上記第 1 から第 4 構成例のいずれにおいても、幹配線の本数が枝配線の本数以上であればよい。このようにすれば、各枝配線に少なくとも 1 本の幹配線が接続されるとともに各幹配線に 1 本の枝配線のみが接続されるようにすることができる。なお、図 7（B）～（D）に示すように、各幹配線に 2 本の枝配線が接続される構成では、幹配線の本数が枝配線の本数の $1/2$ 以上であればよい。

[0096] また上記第 1 および第 2 の実施形態では、電源線（ハイレベル電源線）は各幹配線が 1 本または 2 本の枝配線と接続されるように構成されているが、各幹配線が表示部 11 における N 本の枝配線の一部のみと接続される構成であればよい。このような構成であれば、各画素回路へのデータ電圧の書込期間において、当該画素回路に接続される枝配線（対応枝配線）に接続される幹配線における電圧降下が従来よりも低減されるので、電源線での電圧降下に起因する輝度傾斜等による表示品質の低下を抑える点で効果がある。

[0097] また上記第 1 および第 2 の実施形態では、電源線における主配線 $ELVO$ は、表示部 11 周辺の額縁領域に設けられ行方向に延びる 1 本の配線であるが、主配線 $ELVO$ として、当該額縁領域において行方向に延びる 2 本以上の電源配線を形成してもよい。また、主配線 $ELVO$ は、そこから分岐する上記複数の幹配線 $ELV1 \sim ELVM$ （または $ELV1 \sim ELVN$ ）と同一の層において同一の金属材料で形成されるのが好ましい。

[0098] また上記第1および第2の実施形態では、内部補償方式に対応した図2に示すような画素回路が使用されているが、画素回路の構成はこれに限定されない。保持キャパシタC1の一端が駆動トランジスタM1のゲート端子に接続されるとともに保持キャパシタC1の他端および駆動トランジスタM1のソース端子が対応枝配線ELViに接続されデータ書込期間において有機EL素子に電流が流れないように構成された画素回路であれば、他の構成の画素回路を使用してもよい。

[0099] また上記第2の実施形態では、図14に示すように多重度が3のSSD方式が採用されているが、SSD方式の多重度はこれに限定されず、多重度が2または4以上のSSD方式を採用する表示装置においても本発明を適用することができる。

[0100] 以上においては、有機EL表示装置を例に挙げて実施形態およびその変形例が説明されたが、本発明は、有機EL表示装置に限定されるものではなく、電流で駆動される表示素子を用いた表示装置であれば適用可能である。ここで使用可能な表示素子は、電流によって輝度または透過率等が制御される表示素子であり、例えば、有機EL素子すなわち有機発光ダイオード（Organic Light Emitting Diode（OLED））の他、無機発光ダイオードや量子ドット発光ダイオード（Quantum dot Light Emitting Diode（QLED））等が使用可能である。

符号の説明

- [0101] 10a～10e …有機EL表示装置
- 11 …表示部
- 13 …端子部
- 15 …画素回路
- 100 …表示パネル
- $P_{ix}(i, j)$ …画素回路（ $i = 1 \sim N$ 、 $j = 1 \sim M$ ）
- $P_r(i, j)$ …R画素回路（ $i = 1 \sim N$ 、 $j = 1 \sim M$ ）
- $P_g(i, j)$ …G画素回路（ $i = 1 \sim N$ 、 $j = 1 \sim M$ ）

- $P_b(i, j)$... B画素回路 ($i = 1 \sim N$ 、 $j = 1 \sim M$)
- 20 ... 表示制御回路
- 30 ... データ側駆動回路 (データ信号線駆動回路)
- 40 ... 走査側駆動回路 (走査信号線駆動／発光制御回路)
- 50 ... 電源回路
- G_i ... 走査信号線 ($i = 1 \sim N$)
- E_i ... 発光制御線 ($i = 1 \sim N$)
- D_j ... データ信号線 ($j = 1 \sim M$)
- $ELVDD$... ハイレベル電源線 (第1電源電圧線)、ハイレベル電源電圧
- $ELV0$... (ハイレベル電源線の) 主配線
- ELV_j ... (ハイレベル電源線の) 幹配線 ($j = 1 \sim M$ または $j = 1 \sim N$)
- $ELVH_i$... (ハイレベル電源線の) 枝配線 ($i = 1 \sim N$)
- $ELVSS$... ローレベル電源線 (第2電源電圧線)、ローレベル電源電圧
- $PS, PS1, PS2, PS_m$... 給電点
- CNi ... (幹配線と枝配線との) 接続点 ($i = 1 \sim N$)
- CH_i ... (幹配線と枝配線との) コンタクトホール ($i = 1 \sim N$)
- OL ... 有機EL素子
- C1 ... 保持キャパシタ
- M1 ... 駆動トランジスタ
- M2 ... 書込制御トランジスタ (書込制御スイッチング素子)
- M3 ... 閾値補償トランジスタ (閾値補償スイッチング素子)
- M4 ... 第1初期化トランジスタ (第1初期化スイッチング素子)
- M5 ... 第1発光制御トランジスタ (第1発光制御スイッチング素子)
- M6 ... 第2発光制御トランジスタ (第2発光制御スイッチング素子)
- M7 ... 第2初期化トランジスタ (第2初期化スイッチング素子)

請求の範囲

[請求項1]

行方向に延びる複数の走査信号線と、列方向に延び前記複数の走査信号線に交差する複数のデータ信号線と、前記複数の走査信号線および前記複数のデータ信号線に沿ってマトリクス状に配置された複数の画素回路とが設けられた表示部を有する表示装置であって、

第1および第2電源電圧線を含む電源線と、

前記複数のデータ信号線を駆動するデータ信号線駆動回路と、

前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備え、

前記第1電源電圧線は、

前記表示部に隣接する額縁領域に設けられ行方向に延びる主配線と、

前記主配線から分岐して列方向に延びる複数の幹配線と、

前記複数の走査信号線にそれぞれ沿って配設される複数の枝配線とを含み、

各画素回路は、

前記複数の走査信号線のいずれか1つに対応し、かつ、前記複数のデータ信号線のいずれか1つに対応し、かつ、前記複数の枝配線のいずれか1つに対応し、

電流によって駆動される表示素子と、前記表示素子の駆動電流を制御するためのデータ電圧を保持する保持キャパシタと、前記保持キャパシタに保持されたデータ電圧に応じて前記表示素子の駆動電流を制御する駆動トランジスタとを含み、

各画素回路において、前記駆動トランジスタの第1導通端子は当該画素回路に対応する枝配線に接続され、前記駆動トランジスタの第2導通端子は前記表示素子を介して前記第2電源電圧線に接続され、前記駆動トランジスタの制御端子は前記保持キャパシタを介して前記対応する枝配線に接続されており、

前記表示部は、

前記複数の枝配線が形成された配線層と、

前記複数の幹配線が形成された配線層と、

前記複数の枝配線と前記複数の幹配線とに挟まれた絶縁層と、

前記複数の枝配線のそれぞれが前記複数の幹配線のうち少なくとも 1 つの幹配線と電氣的に導通接続されるとともに前記複数の幹配線のそれぞれが前記複数の枝配線のうち一部の枝配線のみと電氣的に導通接続されるように、前記絶縁層に設けられた複数のコンタクトホールとを含む、表示装置。

[請求項2] 前記複数の枝配線のそれぞれは、当該枝配線が前記複数の幹配線のうち前記電氣的に導通接続する幹配線の他の幹配線とは、前記絶縁層を介して重畳するとともに、

前記複数の幹配線のそれぞれは、当該幹配線が前記複数の枝配線のうち前記電氣的に導通接続する枝配線の他の枝配線とは、前記絶縁層を介して重畳する、請求項 1 に記載の表示装置。

[請求項3] 前記複数の画素回路は N 行 M 列 (N , M は 2 以上の整数) の画素回路であり、

前記枝配線の本数は N であり

前記幹配線の本数は M であり

前記複数の枝配線のそれぞれは、当該枝配線に沿って配置された M 個の画素回路に接続されており

前記複数の幹配線のそれぞれが前記複数の枝配線のうち $N - 1$ 本以下の枝配線と電氣的に導通接続されるように、前記複数のコンタクトホールが前記絶縁層に設けられている、請求項 1 に記載の表示装置。

[請求項4] 前記複数の幹配線のそれぞれが前記複数の枝配線のうち 1 つの枝配線のみと電氣的に導通接続されるように、前記複数のコンタクトホールが前記絶縁層に設けられている、請求項 1 に記載の表示装置。

[請求項5] 前記複数の幹配線のそれぞれが前記複数の枝配線のうち 1 つの枝配

線のみと電氣的に導通接続され、かつ、前記1つの枝配線が更に他の1つの幹配線と電氣的に導通接続されるように、前記複数のコンタクトホールが前記絶縁層に設けられている、請求項1に記載の表示装置。

[請求項6] 前記複数の幹配線のそれぞれが前記複数の枝配線のうち少なくとも2つの枝配線と電氣的に導通接続されるように、前記複数のコンタクトホールが前記絶縁層に設けられている、請求項1に記載の表示装置。

[請求項7] 前記少なくとも2つの枝配線は互いに隣接している、請求項6に記載の表示装置。

[請求項8] 前記複数の枝配線は、前記少なくとも2つの枝配線の間に配置された枝配線であって、前記少なくとも2つの枝配線が電氣的に導通接続される幹配線とは異なる幹配線に電氣的に導通接続された枝配線を含む、請求項6に記載の表示装置。

[請求項9] 各画素回路は、前記少なくとも2つの枝配線のうち1つの枝配線に対応する画素回路に対応する走査信号線が選択されているときに、前記少なくとも2つの枝配線のうち他の枝配線に対応する画素回路も非発光状態となるように構成されている、請求項6に記載の表示装置。

[請求項10] 前記複数の幹配線のそれぞれは、前記複数の走査信号線のいずれとも交差するように列方向に延びている、請求項1から6のいずれか1項に記載の表示装置。

[請求項11] 前記複数の幹配線が交差する走査信号線の数互いに同一である、請求項10に記載の表示装置。

[請求項12] 前記複数の幹配線のうち前記第1電源電圧線によって供給すべき第1電源電圧が前記主配線に供給される位置である給電点に近い幹配線ほど前記主配線から遠い枝配線に電氣的に導通接続されるように、前記複数のコンタクトホールが前記絶縁層に設けられている、請求項1から6のいずれか1項に記載の表示装置。

- [請求項13] 前記複数の幹配線は、行方向の中央位置に近い幹配線ほど短くなるように構成されている、請求項1から6のいずれか1項に記載の表示装置。
- [請求項14] 前記複数の幹配線は、行方向の中央位置に近い幹配線ほど長くなるように構成されている、請求項1から6のいずれか1項に記載の表示装置。
- [請求項15] 前記複数の幹配線の一端は、前記主配線に電氣的に導通接続されており、
前記複数の幹配線のそれぞれの他端が、対応する前記一部の枝配線に電氣的に導通接続されるように、前記複数のコンタクトホールが前記絶縁層に設けられている、請求項13または14に記載の表示装置。
- [請求項16] 前記複数の枝配線のうち前記主配線に近い枝配線ほど行方向の中央位置に近い幹配線に電氣的に導通接続されるように、前記複数のコンタクトホールが前記絶縁層に設けられている、請求項10または13に記載の表示装置。
- [請求項17] 前記複数の枝配線に含まれる第1および第2枝配線からなる2つの枝配線につき、前記第1枝配線が前記第2枝配線よりも前記主配線に近く、かつ、前記第1および第2枝配線が共に行方向における中央位置の一方側に配置された幹配線にそれぞれ電氣的に導通接続されており、かつ、前記複数の枝配線が前記第1枝配線と前記第2枝配線との間に1つ以上の枝配線を含む場合に、当該1つ以上の枝配線は、行方向における前記中央位置の他方側に配置された幹配線に電氣的に導通接続された第3枝配線を含む、請求項16に記載の表示装置。
- [請求項18] 前記複数の枝配線のうち前記主配線から遠い枝配線ほど行方向の中央位置に近い幹配線に電氣的に導通接続されるように、前記複数のコンタクトホールが前記絶縁層に設けられている、請求項10または14に記載の表示装置。

[請求項19] 前記複数の枝配線に含まれる第1および第2枝配線からなる2つの枝配線につき、前記第1枝配線が前記第2枝配線よりも前記主配線に近く、かつ、前記第1および第2枝配線が共に行方向における中央位置の一方側に配置された幹配線にそれぞれ電氣的に導通接続されており、かつ、前記複数の枝配線が前記第1枝配線と前記第2枝配線との間に配設された1つ以上の枝配線を含む場合に、当該1つ以上の枝配線は、行方向における前記中央位置の他方側に配置された幹配線に電氣的に導通接続された第3枝配線を含む、請求項18に記載の表示装置。

[請求項20] 前記表示部は、
前記第1電源電圧線によって供給すべき第1電源電圧を受け取る端子部と、
前記端子部に与えられる前記第1電源電圧を前記主配線の両端に供給するための電源配線とを更に備える、請求項13または16に記載の表示装置。

[請求項21] 前記表示部は、
前記第1電源電圧線によって供給すべき第1電源電圧を受け取る端子部と、
前記端子部に与えられる前記第1電源電圧を前記主配線の中央部に供給するための電源配線とを更に備える、請求項14または18に記載の表示装置。

[請求項22] 前記主配線と前記複数の幹配線とは、互いに同一の層において互いに同一の金属材料で形成されている、請求項1から21のいずれか1項に記載の表示装置。

[請求項23] 前記データ信号線駆動回路は、
2つ以上のデータ信号線を1組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子から、前記複数のデー

タ信号線に印加すべくデータ信号のうち当該出力端子に対応する組の2つ以上のデータ信号線にそれぞれ印加すべき2つ以上のデータ信号を時分割的に出力するデータ側駆動回路と、

前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサとを含み、

各デマルチプレクサは、それに接続された出力端子から時分割的に出力される前記2つ以上のデータ信号を対応する組の前記2つ以上のデータ信号線にそれぞれ与え、

前記主配線は、前記表示部に隣接する額縁領域において行方向に延びる配線として形成され、

前記複数のデマルチプレクサは、前記主配線と前記表示部との間に配置されている、請求項1から21のいずれか1項に記載の表示装置。

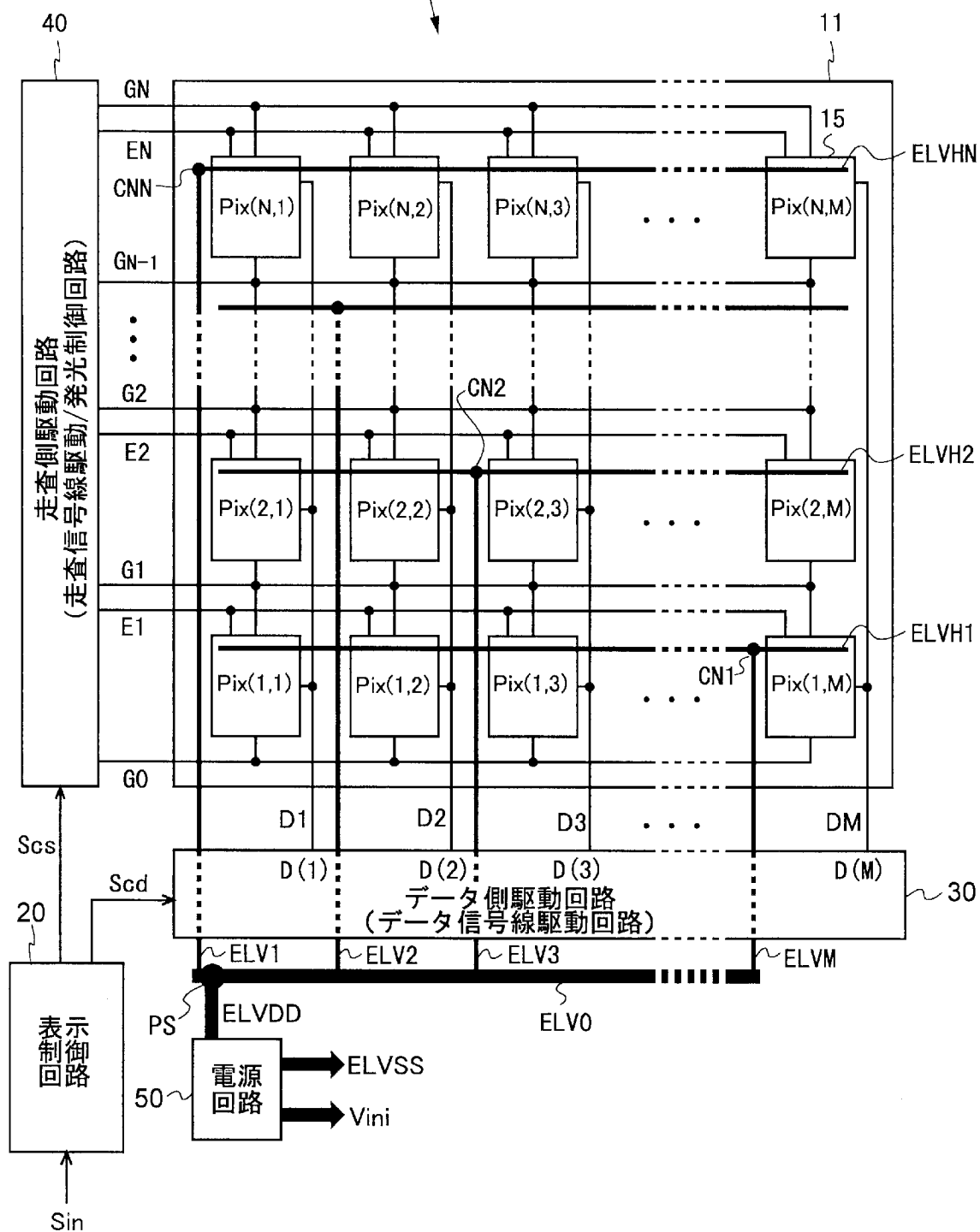
[請求項24] 前記複数の走査信号線にそれぞれ対応する複数の発光制御線と、
前記複数の発光制御線を駆動する発光制御回路と
を更に備え、

各画素回路は、前記第1電源電圧線から前記表示素子を介して前記第2電源電圧線に至る経路中に前記表示素子と直列に設けられた発光制御スイッチング素子を含み、

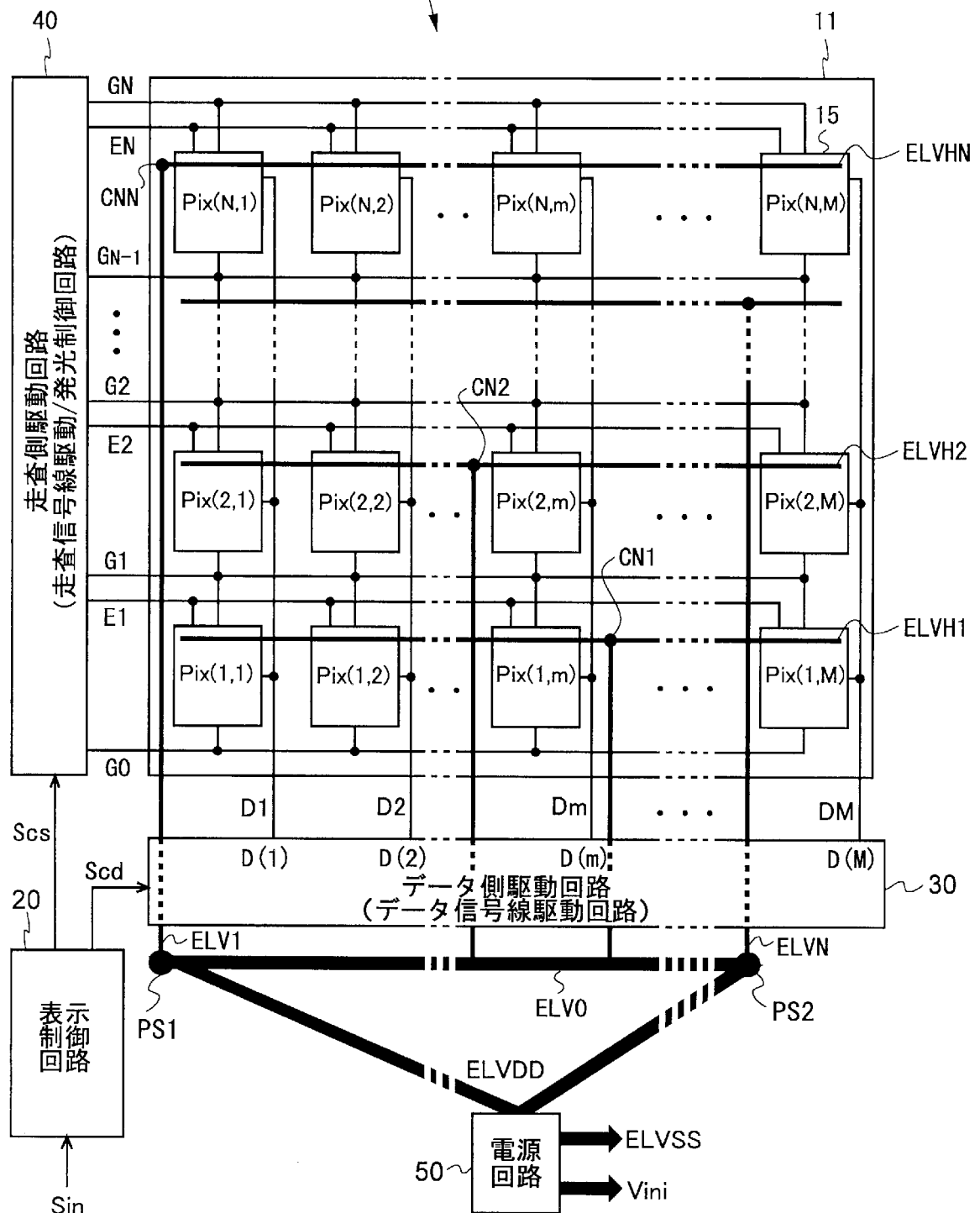
各発光制御線は、対応する走査信号線に対応する画素回路における前記発光制御スイッチング素子の制御端子に接続されている、請求項1から21のいずれか1項に記載の表示装置。

[請求項25] 各画素回路は、当該画素回路に対応する走査信号線が選択されているときに当該画素回路に前記電源線から電流が供給されないように構成されている、請求項1から21のいずれか1項に記載の表示装置。

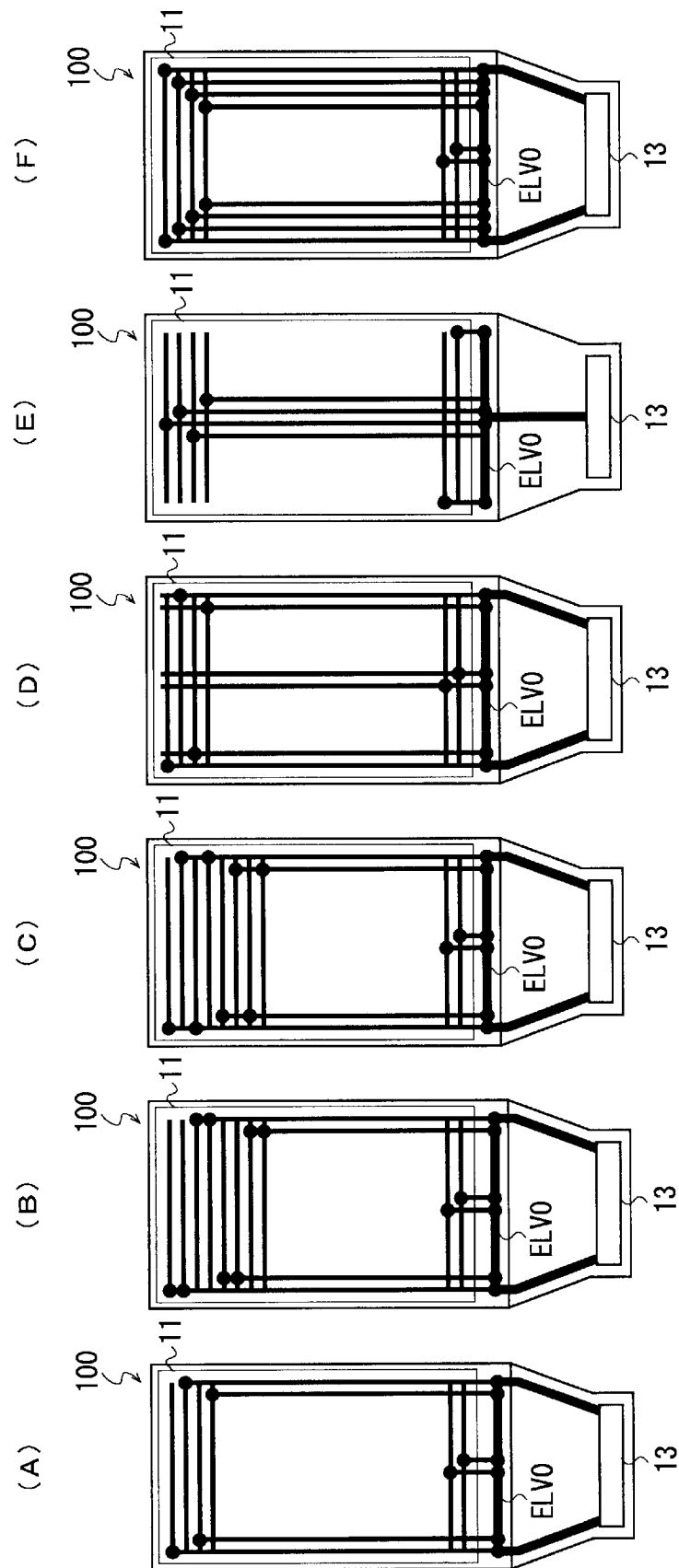
10a



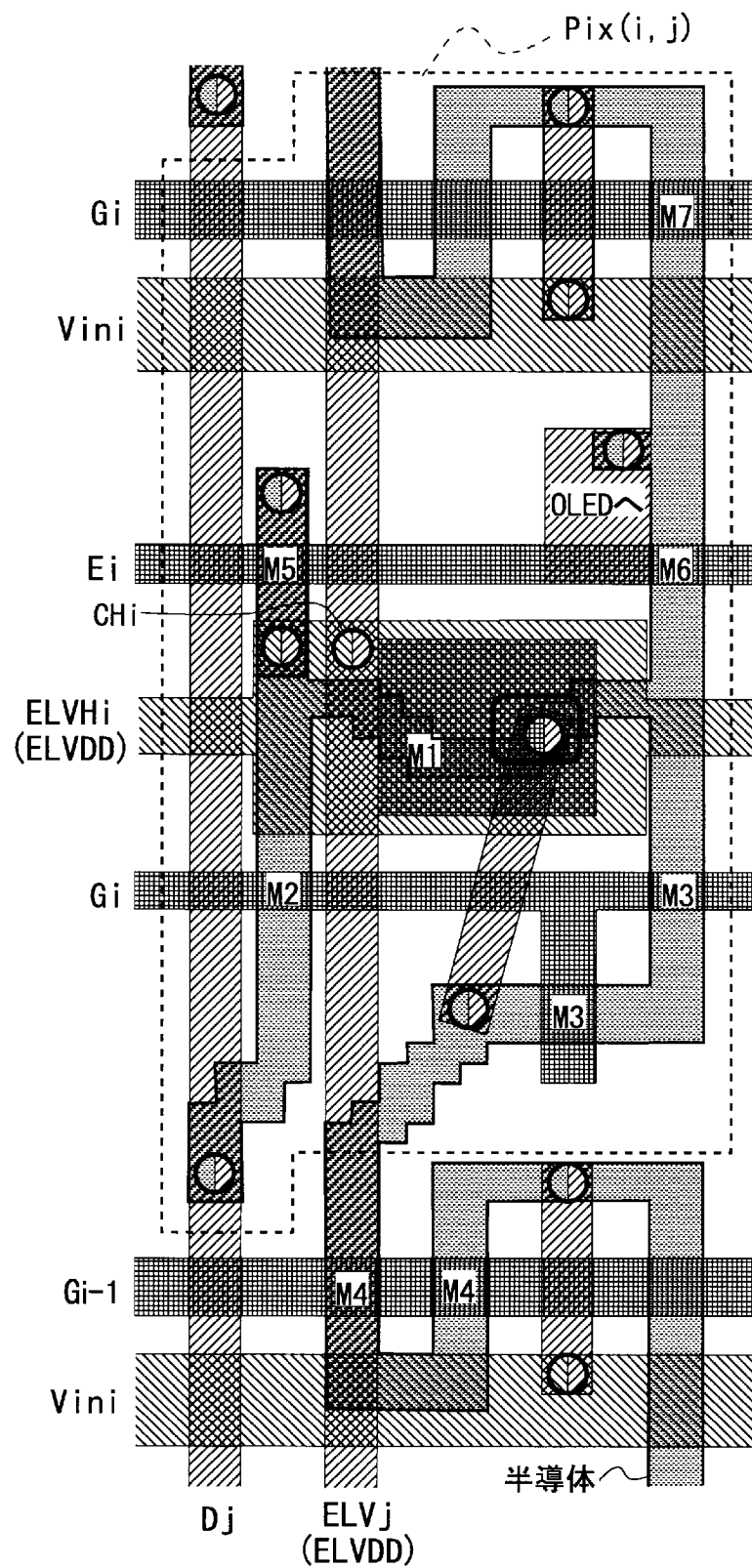
10b



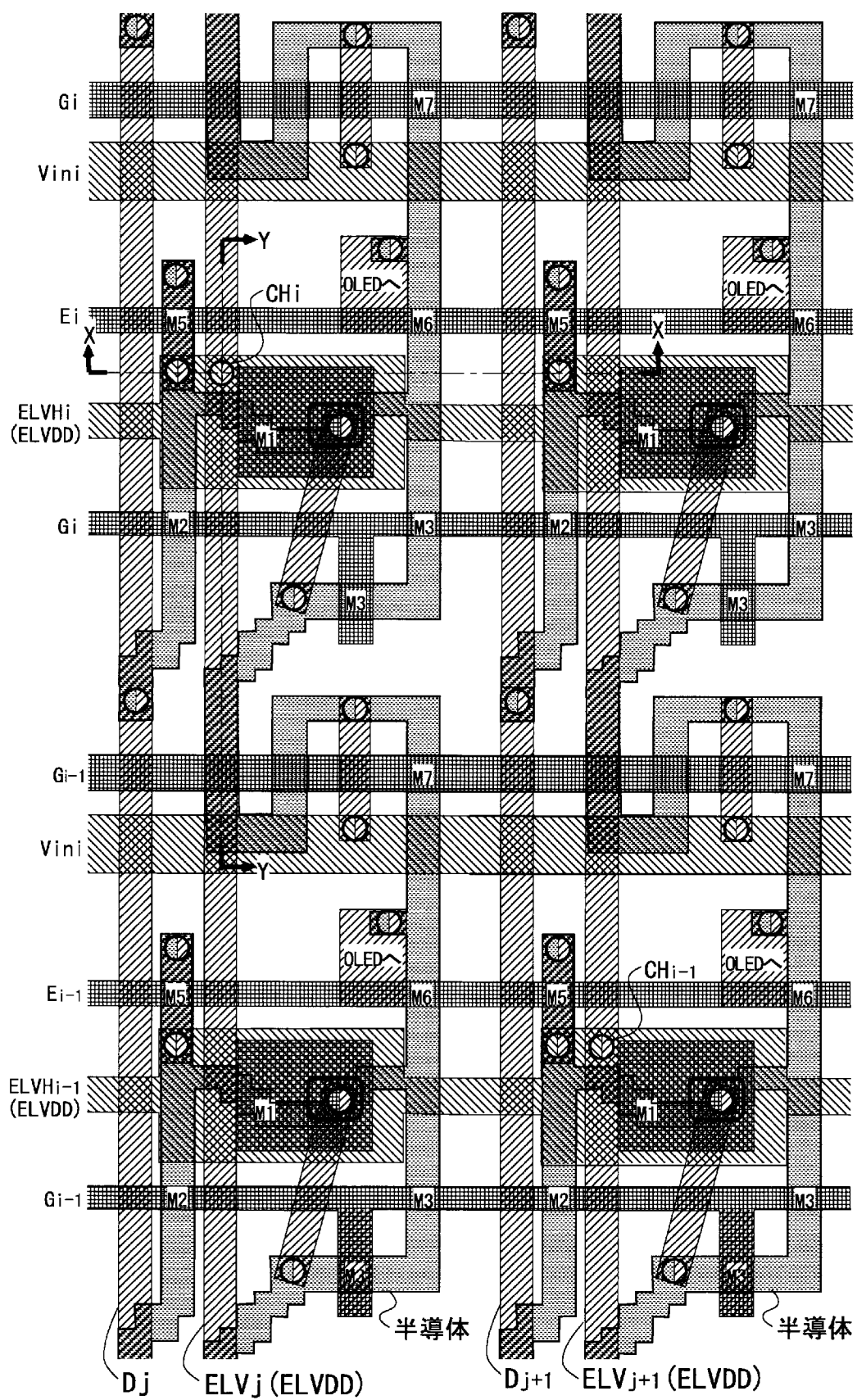
[図7]



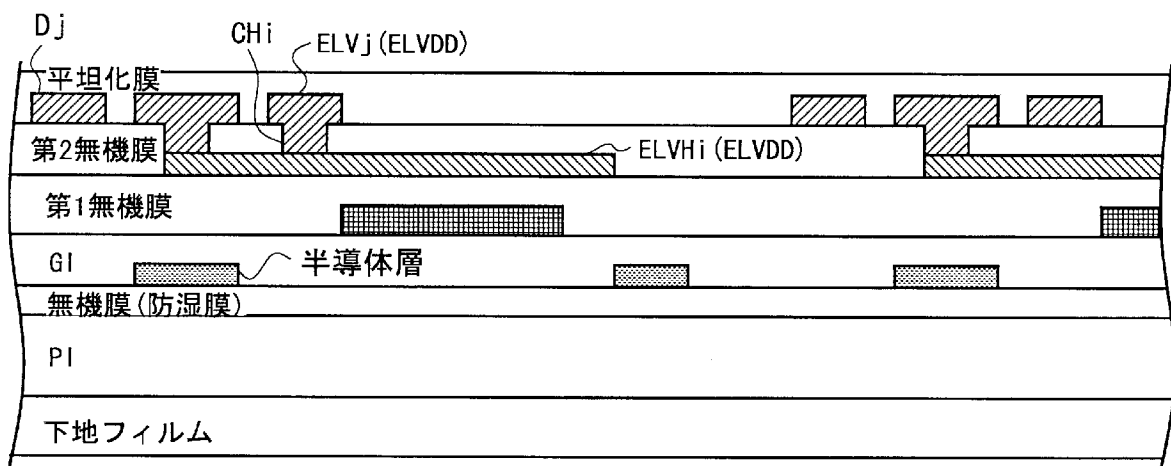
[図8]



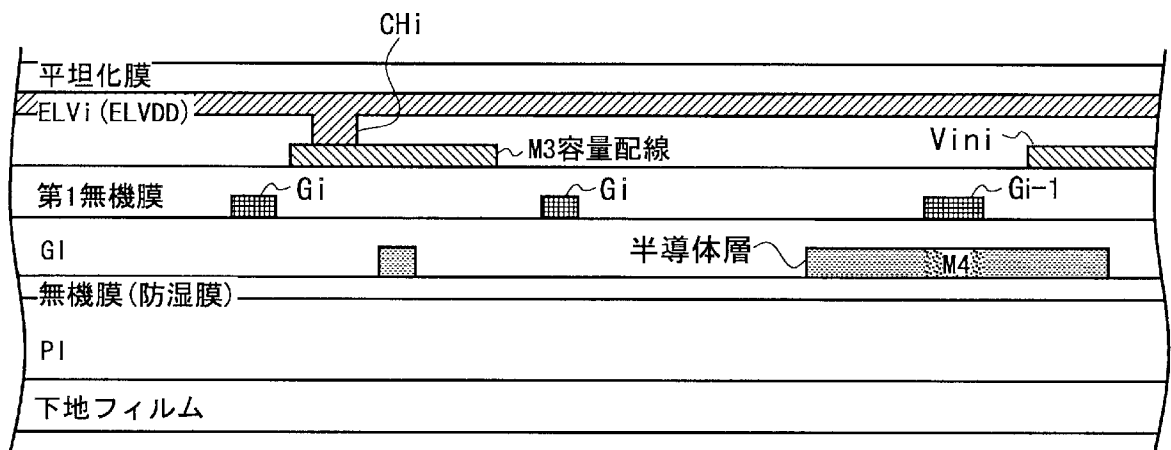
[図9]



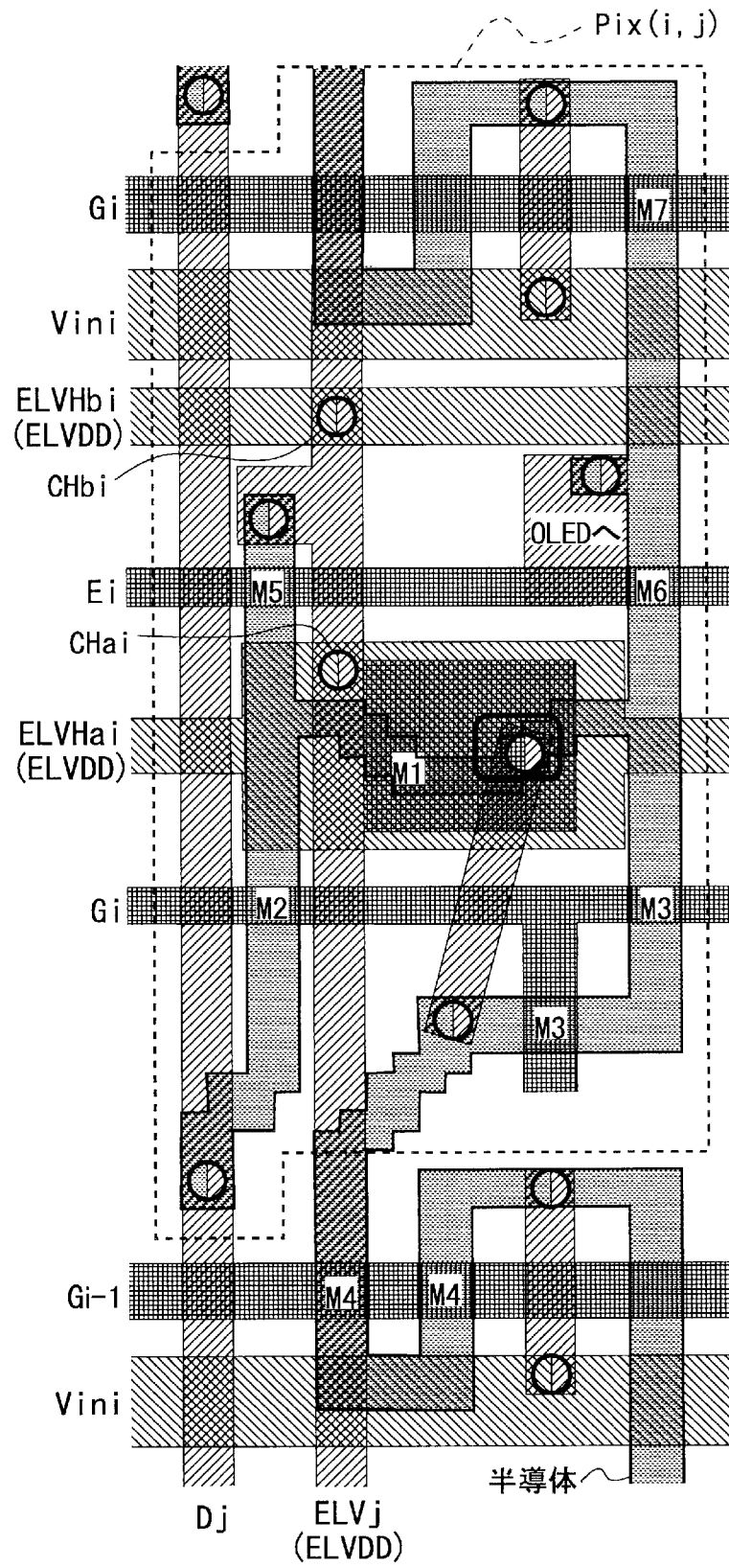
[図10]



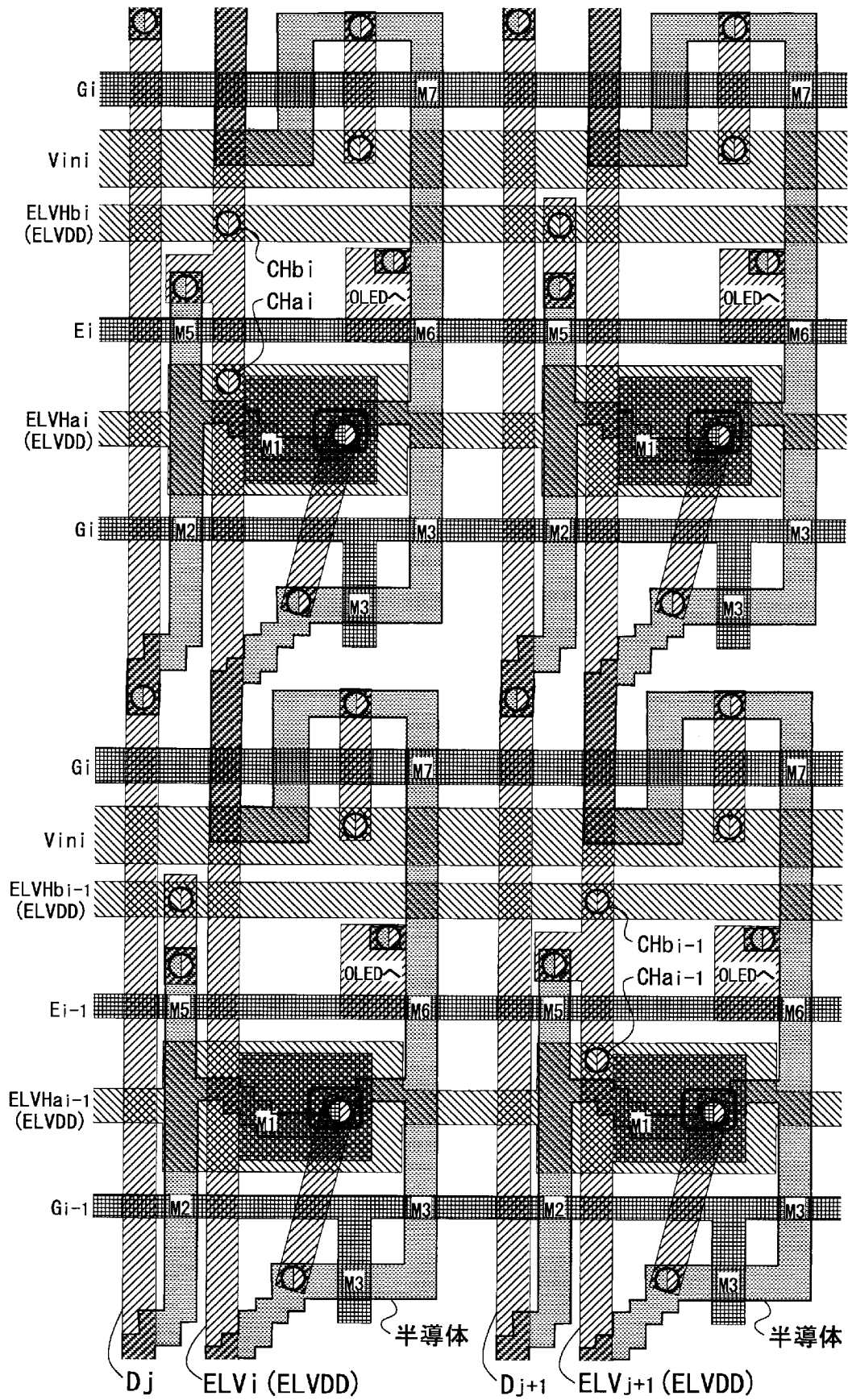
[図11]



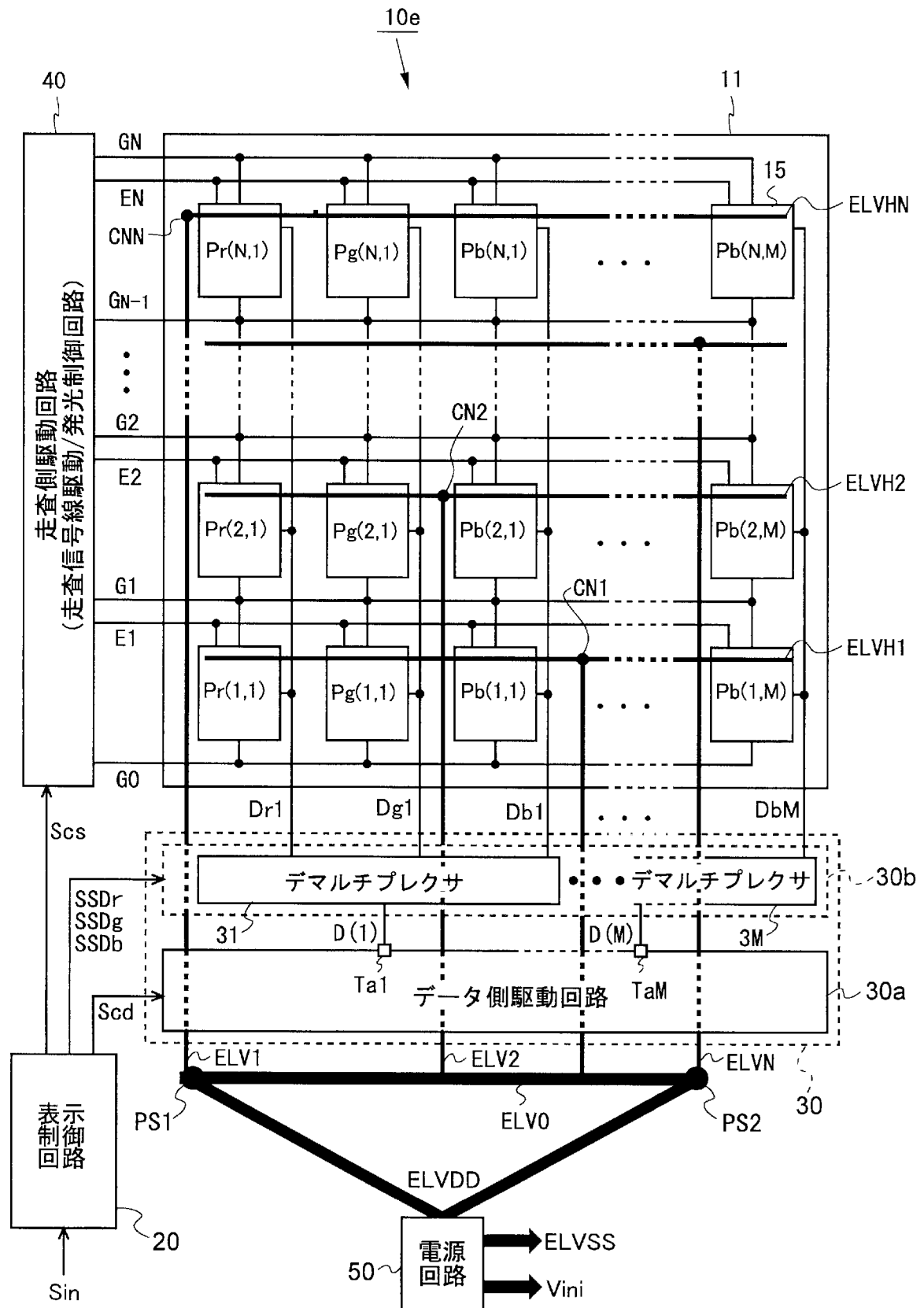
[図12]



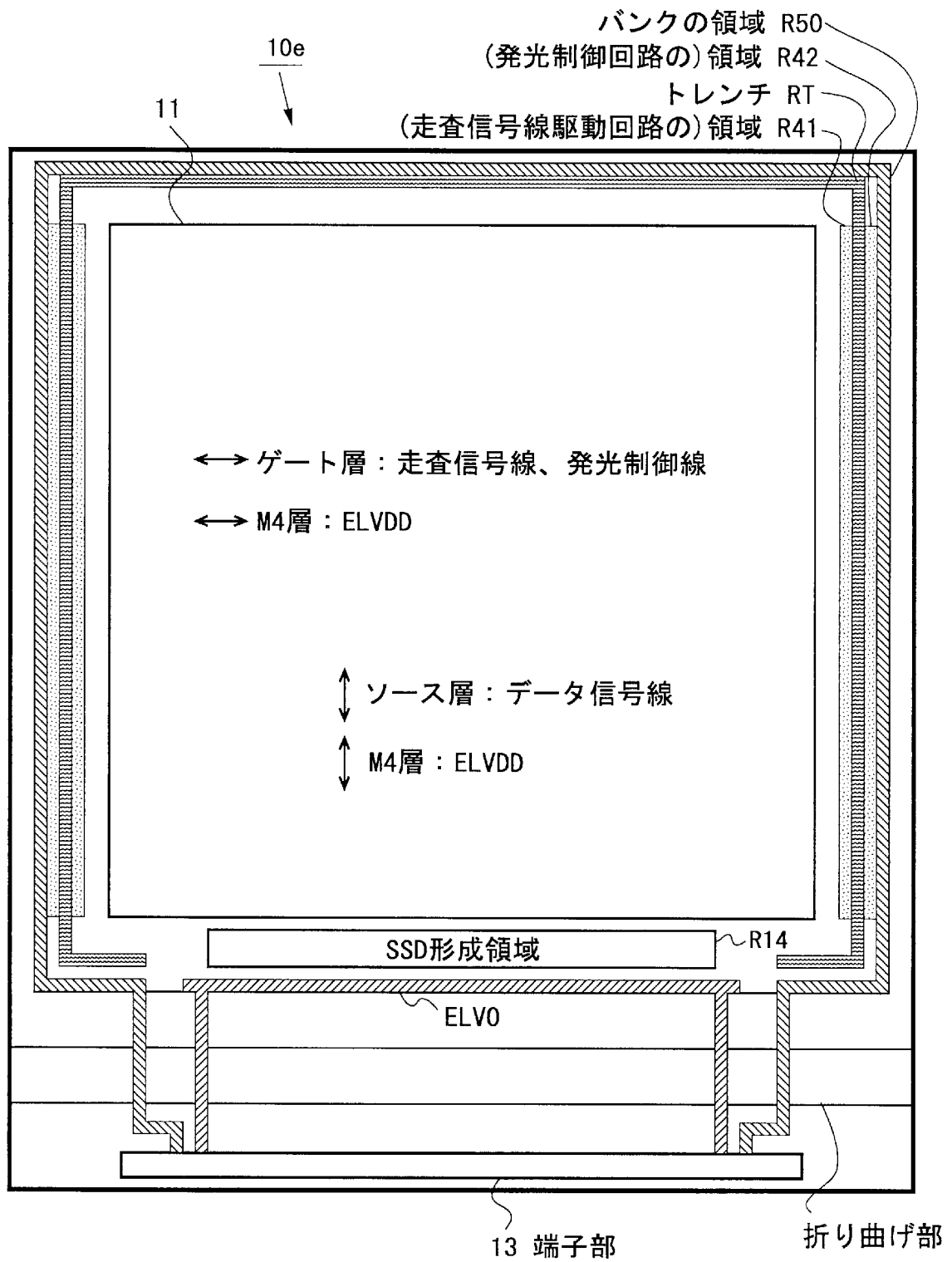
[図13]



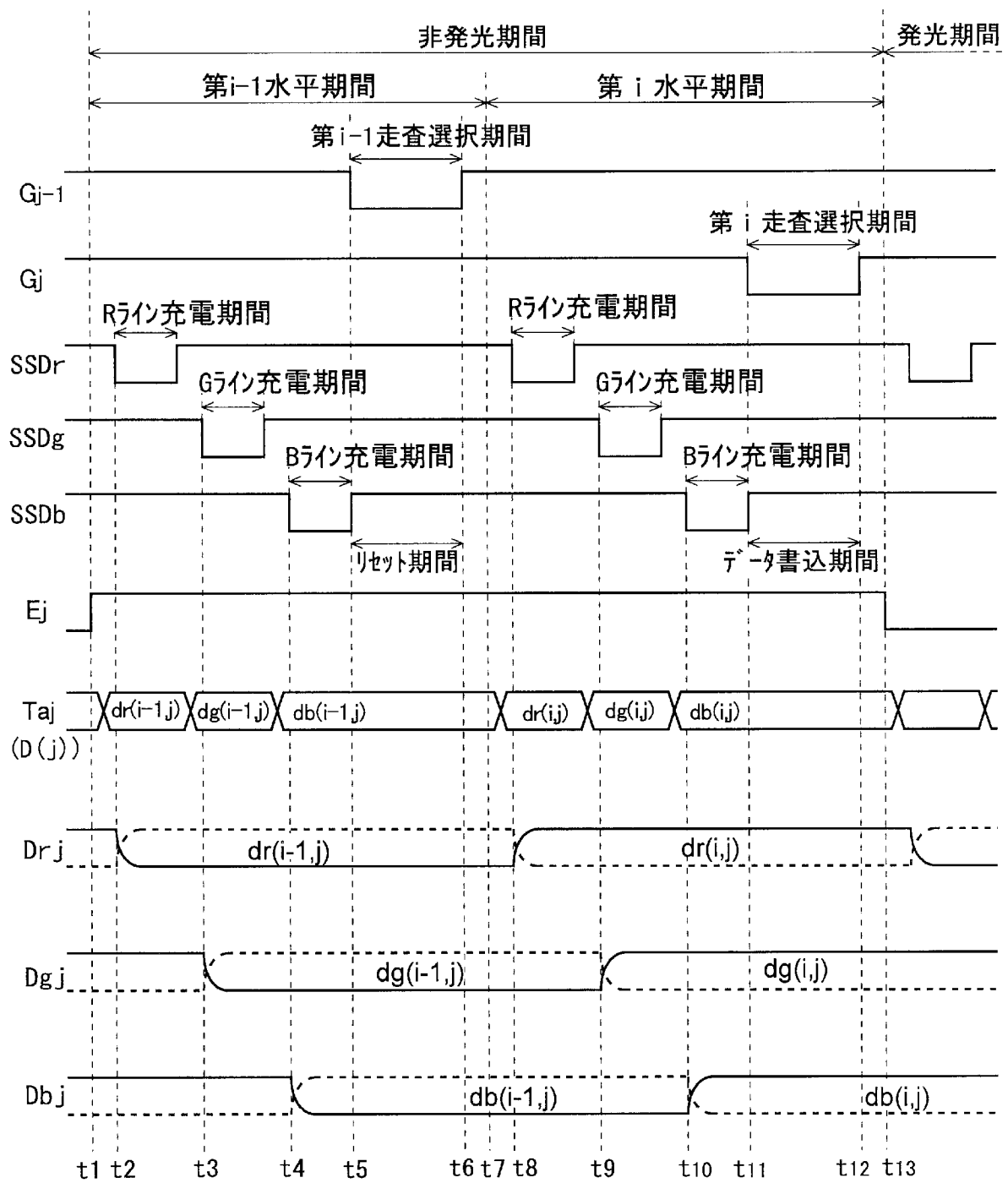
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/014124

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09F9/30 (2006.01) i, G09G3/20 (2006.01) i, G09G3/3233 (2016.01) i, G09G3/3291 (2016.01) i, H01L27/32 (2006.01) i, H01L51/50 (2006.01) i, H05B33/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09F9/30, G09G3/20, G09G3/3233, G09G3/3291, H01L27/32, H01L51/50, H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-208346 A (SEIKO EPSON CORP.) 04 August 2005, entire text, all drawings & US 2005/0162353 A1, entire text, all drawings & EP 1557815 A2 & KR 10-2005-0076734 A & CN 1645445 A & TW 200525474 A	1-25
A	JP 2004-226543 A (SHARP CORP.) 12 August 2004, entire text, all drawings (Family: none)	1-25
A	JP 2007-248588 A (CASIO COMPUTER CO., LTD.) 27 September 2007, entire text, all drawings & US 2007/0216613 A1 & KR 10-2007-0093906 A & CN 101038728 A & TW 200746019 A	1-25

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
11.06.2019

Date of mailing of the international search report
25.06.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/014124

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-123349 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 28 June 2012, entire text, all drawings & US 2012/0139959 A1, entire text, all drawings & KR 10-2012-0062494 A & CN 102486910 A	1-25
A	JP 2007-128019 A (SAMSUNG SDI CO., LTD.) 24 May 2007, entire text, all drawings & US 2007/0103405 A1, entire text, all drawings & EP 1783738 A2 & KR 10-0662998 B1 & CN 1959790 A	1-25
A	WO 2014/021158 A1 (SHARP CORP.) 06 February 2014, entire text, all drawings & US 2015/0199932 A1, entire text, all drawings & CN 104380368 A	1-25
A	JP 2006-300980 A (SEIKO EPSON CORP.) 02 November 2006, entire text, all drawings & US 2007/0128583 A1, entire text, all drawings & KR 10-2006-0109343 A & CN 1848221 A & TW 200701167 A	1-25
A	US 2006/0022969 A1 (LEE, Kyoung Soo et al.) 02 February 2006, entire text, all drawings & KR 10-2006-0010355 A & KR 10-2006-0010356 A	1-25

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30(2006.01)i, G09G3/20(2006.01)i, G09G3/3233(2016.01)i, G09G3/3291(2016.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09F9/30, G09G3/20, G09G3/3233, G09G3/3291, H01L27/32, H01L51/50, H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-208346 A (セイコーエプソン株式会社) 2005.08.04, 全文, 全図 & US 2005/0162353 A1, 全文, 全図 & EP 1557815 A2 & KR 10-2005-0076734 A & CN 1645445 A & TW 200525474 A	1-25
A	JP 2004-226543 A (シャープ株式会社) 2004.08.12, 全文, 全図 (ファミリーなし)	1-25

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

11.06.2019

国際調査報告の発送日

25.06.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川俣 郁子

21

1167

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-248588 A (カシオ計算機株式会社) 2007. 09. 27, 全文, 全図 & US 2007/0216613 A1 & KR 10-2007-0093906 A & CN 101038728 A & TW 200746019 A	1-25
A	JP 2012-123349 A (三星モバイルディスプレイ株式会社) 2012. 06. 28, 全文, 全図 & US 2012/0139959 A1, 全文, 全図 & KR 10-2012-0062494 A & CN 102486910 A	1-25
A	JP 2007-128019 A (三星エスディアイ株式会社) 2007. 05. 24, 全文, 全図 & US 2007/0103405 A1, 全文, 全図 & EP 1783738 A2 & KR 10-0662998 B1 & CN 1959790 A	1-25
A	WO 2014/021158 A1 (シャープ株式会社) 2014. 02. 06, 全文, 全図 & US 2015/0199932 A1, 全文, 全図 & CN 104380368 A	1-25
A	JP 2006-300980 A (セイコーエプソン株式会社) 2006. 11. 02, 全文, 全図 & US 2007/0128583 A1, 全文, 全図 & KR 10-2006-0109343 A & CN 1848221 A & TW 200701167 A	1-25
A	US 2006/0022969 A1 (LEE, Kyoung Soo et al.) 2006. 02. 02, 全文, 全図 & KR 10-2006-0010355 A & KR 10-2006-0010356 A	1-25