

公告本

申請日期	89 年 2 月 22 日
案 號	89103077
類 別	G01R 1/073, G01R 1/067

A4
C4

514733

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	高頻寬被動積體電路測試器探針卡組裝及其方法
	英 文	High bandwidth passive integrated circuit tester probe card assembly
二、發明 創作人	姓 名	(1) 查理斯·米勒 Miller, Charles A.
	國 籍	(1) 美國 (1) 美國加州費蒙特史梅隆路四八八八一號 48881 Semillon Drive, Fremont, CA 94539, U.S.A.
三、申請人	住、居所	
	姓 名 (名稱)	(1) 鋒法特股份有限公司 FormFactor, Inc.
	國 籍	(1) 美國 (1) 美國加州理維摩爾里伯拉街五六六六號 5666 La Ribera Street, Livermore, CA 94550 U.S.A.
	代 表 人 姓 名	(1) 大衛·拉伍德 Larwood, David J.

裝

訂

線

A6

B6

本案已向：

國(地區) 申請專利, 申請日期:

案號：

， ☐有 ☐無主張優先權

美國

1999 年 2 月 25 日 09/258,186

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

發明之背景

發明之範圍

本發明關於探針卡組裝以內聯測試裝備至一待測試之積體電路模具，特別關於一探針卡組裝，其可作實施每一信號路徑作為在測試裝備與模具間之一高寬頻，低失真，阻抗匹配濾波器之結構。

習知技藝說明

一積體電路 (I C) 模具典型包括在其上表面之一組接合墊，作為積體電路模之輸入／輸出端點。當一 I C 模具包裝時，其接合墊提供接合線或其他結構之連接點，以將 I C 與部電路鏈路。在測試一 I C 模在其自一晶圓分離及包裝時，此等接合墊亦可提供存取點至 I C 測試器。

一 I C 測試器典型包括一獨立頻道以供每一測試之 I C 之每一端點之用，測試期間，每一頻道發射一測試信號至 I C 端點，或接收。及處理出現在 I C 端點上之 I C 輸出信號。每一頻道典型實施在安裝在相當大之機匣，稱為“測試頭”中之獨立電路板上。測試器通常包括探針卡組裝，以提供在測試頭上安裝之電路板與 I C 之接合墊間之信號路徑。

P T C 公布之申請 W O 9 6 / 1 5 4 5 8 , 1 9 9 6 , 5 , 2 3 公布 (以參考方式併入此文) 說明一高性能探針卡組裝，其包括垂直堆疊在測試頭下之一組三個獨立

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明（ 2 ）

層。組裝之一層，一安裝在探針頭上之“探針卡”，提供在其表面上之接觸點，供彈簧銷連接器自安裝在測試頭中之電路板延伸。彈簧銷作為輸入及／或輸出端點，以供由此等電路板實施之測試裝備之用。探針卡組裝之一“空間變壓器”層，包括在其下側之一組探針，用以連接接合墊於模具之上表面上。在探針卡及空間變壓器間之一“插入器”板，提供信號路由路徑於探針卡及空間變壓器之間，在其間，經由在其表面上之彈簧接點，以接觸探針卡相對表面上之接觸墊及空間變壓器。

以高頻率測試一模具，將測試裝備配置在被測試之 I C 之接合墊附近，對降低信號在測試裝備及 I C 接合墊間之旅行所需之時間，極有助益。因為在測試頭中之電路板較將測試之 I C 模具大很多，電路板發出及接收信號之彈簧銷，必須較被測試之模具上之接合墊分布在較寬之水平區。因此，探針組裝不僅將信號在接合墊與彈簧銷間作垂直路由，且必須將其在水平方向路由。探針，彈簧銷，組裝之各板間之彈簧接點，及此等板中之通路將測試信號在接合墊與測試器電路間作垂直移動。探針組裝之各電路板之表面上或層上之微帶軌跡，將此等信號水平路由。

測試器設計師欲將接合墊與電路間，之信號路徑長度為最小之原因，為使此等路徑中之延遲及阻抗不連續為最小。當此等路徑載負高頻測試及 I C 輸出信號時，信號路徑中之阻抗不連續可能將信號衰減及失真。信號路由路徑之固有串聯電感及分路電容，為主要阻抗不連續之來源，

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (3)

其可導致信號失真。

降低由內聯系統引起之信號失真及衰減量，之典型方法為使信號路徑長度為最小，及匹配輸送線阻抗。為此，設計師多半試圖降低測試器電路之尺寸，至少在水平平面為最小，俾彼等可裝在測試下 I C 之上或下之較小之水平空間內。此舉可縮短其存取之測試裝備與 I C 接合墊間之信號旅行之距離。設計師亦試圖使探針卡組裝在垂直方向甚薄之方式，降低內聯系統中之信號路徑長度，其方式為，例如，提供儘能短之探針及彈簧銷，使探針卡，插入器及空間變壓器儘可能薄，及使彈簧接點及此等板間其他接點結構儘量短。

降低 I C 接合墊與存娶之測試電路間之信號路徑中信號失真之另一方法，為降低信號路徑中分路電容之量。電容可適當選擇探針及探針卡組裝之各層之物理特性，包括軌跡之尺寸，距地平面之空間，及形成此等探針卡組裝之絕緣材料之介電性質而降低。因為通路，垂直通過探針卡之導體，內插器及空間變壓器亦為分路電容之來源，探針卡組裝之設計師以結構通路方式降低電容，即提供通過任何地或功率平面相當寬之洞，因為信號路徑之電容係與信號路徑與地功率間之距離成相反關係。

降低內聯系統信號路徑長度，降低信號路徑之電感與電容及匹配全信號路徑之輸送線阻抗，可協助增加寬頻，平滑頻率響應，及減少信號失真。當無法降低信號路徑長度至零，或完全消除探針卡組裝之信號路徑電感及電容。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明（ 4 ）

因此當信號頻率相當高時，某一程度之信號失真及衰減幾乎無法避免。因為衰減與失真隨信號頻率而增加。故其提供準確高頻率測試之一阻礙。

所需之方法為經由探針卡組裝以改進頻率響應，以降低失真與衰減在一位準之下，其可經由降低信號路徑之長度及阻抗而達成。

本發明之概述

本發明為一傳統探針卡組裝之一改進，組裝之形式為，其內聯積體電路模具之接合墊，至裝在積體電路測試器之測試頭中之測試裝備。根據本發明，每一信號路徑安排後可適於提供一濾波器功能，可經由調整分路電容之大小，及彼此相關之串聯電感而使路徑之頻率響應之相關特性，及阻抗特性最佳。例如，當測試裝備與模具利用低頻率類比信號通信，最重要為避免失真，傳送該信號之信號路徑之“最佳”頻率響應可能有一窄但非常平坦之通帶。或如另一例，當測試裝備與模具經由高頻數位信號通信時，最佳頻率響應可能有一最大寬通帶。以適當分布及調整本發明探針卡組裝之信號路徑之電感及電容，而非試圖使其最小，或將其以輸送線片段處理，探針卡組裝頻率響應之實質改進可以獲得。

因此本發明之一目的為提供一系統，用以內聯測試裝備至積體電路裝置之各端點，其中之頻率響應及內聯系統之阻抗匹配特性，對通過其間之信號之性質可為最佳。

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (5)

此規格之結論部份特別指出及清楚宣布本發明之申請專利範圍。但對精於此技藝人士而言，在閱讀本發明之其餘部份及配合伴隨之圖式後，將可最佳瞭解本發明之組織及操作方法，及其目的之各優點，圖式中相似參考號碼代表相同元件。

圖式簡略說明

圖 1 為積體電路測試器之方塊圖；

圖 2 為圖 1 之積體電路測試器之測試頭之簡化剖面圖；

圖 3 為圖 2 之測試頭之簡化剖面平面圖，及本發明之探針卡組裝用以鏈接測試頭至測試下之積體電路裝置（D U T）；

圖 4 為一等值電路圖，模擬一圖 3 中之測試頭之一頻道與 D U T 之接合墊間之單一信號路徑；及

圖 5 為當根據以往技術之電感及電容值為最小時，及根據本發明電感及電容值調整後之圖 4 之等值電路之頻率響應特性之比較。

元 件 對 照 表

1 0	I C 測 試 器
1 2	測 試 下 裝 置
1 3	晶 圓
1 4	頻 道

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (6)

- 1 6 主 電 腦
- 1 8 滙 流 排
- 2 0 測 試 頭
- 2 2 探 針 卡 組 裝
- 2 4 電 路 板
- 2 6 軸
- 2 8 最 下 方 角 落
- 3 0 彈 簧 銷 連 接 器
- 3 2 探 針 卡
- 3 4 空 間 變 壓 器
- 3 6 探 針
- 3 8 插 入 器
- 4 0 彈 簧 接 點
- 4 2 彈 簧 接 點
- 4 4 測 試 器 驅 動 器
- 4 6 接 收 機
- 4 8 接 收 機
- 5 0 驅 動 器
- 5 2 接 合 墊
- 5 4 墊

較佳實施例之說明

本發明關於積體電路 (I C) 測試器，特別關於改進之探針卡組裝，用以傳送在測試下積體電路裝置 (D U T

經濟部智慧財產局員工消費合作社印製

五、發明說明 (7)

), 與在測試期間存取 D U T 之 I C 測試器之各頻道間之信號。圖 1 說明典型 I C 測試器 1 0 之方塊圖, 該測試器用以在 D U T 1 2 執行一測試, 其型式為在矽晶圓 1 3 上之一模具, 其尚未自晶圓分開及組裝。一 I C 模具典型包括一組在其上表面上之接合墊, 其與積體電路節點鏈接, 及作為 I C 之輸入/輸出端點。在模具上之各接合墊提供連接點, 供鏈接電路節點至 I C 封裝之各銷或各腳之接合線之用。但模具在封裝前測試時, 此等接合墊可用來作為連接點, 供自測試器之探針之用, 用以傳送信號在測試器與 I C 之內部電路之間。

測試器 1 0 包括一組頻道 1 4, 一頻道供 D U T 1 2 上之每一接合墊。測試期間每一頻道可產生及發射一類比或數位測試信號, 輸入至 D U T 1 2 之一接合墊, 或接收及處理經由一接合墊傳送之數位或類比 D U T 輸出信號。在測試開始前, 主電腦 1 6 經由匯流排 1 8 發射指令至每一頻道 1 4。測試期間, 每一頻道 1 4 中之圖案產生器執行此等指令, 以產生順序之向量(資料值), 以告知頻道在測試之連續週期中所作之事。在測試終了時, 頻道 1 4 發出結果資料回至主電腦 1 4, 報告在測試期間其監視之 D U T 輸出信號之作爲。

頻道 1 4 在一組印刷電路板上實施, 該等頻道在圖 1 之本測試器結構之例中, 安裝在稱為“測試頭”2 0 之裝備機匣內。各頻道亦可裝在遠離測試頭, 但經由輸送線加以鏈路。一探針卡組裝 2 2, 包括與 D U T 1 2 接觸之接合

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (8)

墊，可提供信號路徑在此等接合墊與實施頻道 1 4 之測試頭中電路板之間。以高頻率操作之現代測試器，將測試頭 2 0 置於盡可能與 D U T 1 2 接近之處，以便使測試器頻道 1 4 與 I C 之接合墊間信號渡越時間最小。I C 測試器設計師亦試圖使接合墊與頻道 1 4 間之信號路徑長度為最小，以便使此等信號路徑之阻抗最小，因為信號路徑阻抗可大幅衰減及失真 D U T 輸入及輸出信號。

圖 1 之舉例測試器結構為通常使用者，但其他測試器結構亦被使用。例如，許多測試器將頻道 1 4 之圖案產生功能集中化，經由提供一中央圖案產生器，在測試期間供應資料至各頻道。在某些測試器中，頻道 1 4 安裝在遠離測試頭，及經由輸送線連接。本發明可應用在所有測試器結構。

圖 2 為圖 1 之測試頭之簡化剖面圖，其包括一組實施圖 1 之頻道 1 4 之一組電路板 2 4。圖 3 包括圖 2 之測試頭 2 0 之部份剖面平面圖，及一探針卡組裝 2 2 之平面圖，其鏈接電路板 2 4 至在晶圓 1 3 上形成之 I C 模具 (D U T 1 2) 上之接合墊。為強調探針卡組裝 2 2 之各部份，圖 2 及圖 3 故意不成比例。例如，精於此技藝人士將瞭解，測試頭 2 0 較圖 3 中之 D U T 1 2 為寬及為高。

因為圖 1 測試頭 2 0 內執行頻道 1 4 之電路板 2 4 較待測試之 D U T 大許多，頻道 1 4 必須較 D U T 1 2 之接合墊在水平區有較寬之分布。因此，探針組裝 2 2 不僅要垂直路由信號於 D U T 1 2 之接合墊與電路板 2 4 之間，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

並須在水平方向路由此等信號。如下所討論者，構成探針卡組裝 2 2 之各探針，彈簧銷，彈簧接點，及各層中之通路將信號在水平方向移動，而探針組裝 2 2 各層中之微帶，帶狀線軌跡則將信號作水平移動。

設計師均企圖降電路板 2 4 之實際尺寸降為最小，至少水平面為最小，俾可裝在 D U T 1 2 之上或下之較小水平空間。此舉可降低在測試頻道與其可存取之 I C 接合板間，信號旅行之距離。電路板 2 4 沿通過測試頭下之 D U T 1 2 之中央垂直軸 2 6 成徑向陣列安排，俾所有電路板 2 4 均與 D U T 1 2 成相等距離。每一電路板 2 4 與安裝在電路板最近軸 2 6 之最低角落 2 8 之信號驅動器及接收機，成適當安排。一或多個彈簧銷連接器 3 0 自每一電路板 2 4 之角落 2 8 向下延伸，以在電路板 2 4 與探針卡組裝 2 2 之間傳送信號。沿中央軸 2 6 徑向將電路板 2 4 成陣列，並配置其驅動器及接收機於角落 2 8，可協助測試及 D U T 信號必須旅行之距離為最短。

在 D U T 1 2 及電路板 2 4 之彈簧銷 3 0 間，傳送信號之探針卡組裝 2 2 包括一組三個堆疊之層。探針卡組裝 2 2，“探針卡”3 2 之主層係直接裝在探針頭 2 0 之下。探針卡 3 2 在其上表面提供接觸點，供彈簧銷 3 0 之用，該銷供由電路板 2 4 實施之測試器頻道 1 4 之輸入及／或輸出端點。一“空間變壓器”3 4 包一組探針 3 6 用以接觸 D U T 1 2 上之接合墊。配置在探針卡 3 2 及空間變壓器 3 4 間之一“插入器”3 8，包括在其上及下表面之彈簧接點

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明 (10)

4 0 及 4 2 ， 以 提 供 探 針 卡 3 2 之 相 對 表 面 上 之 接 合 墊 及 空 間 變 壓 器 3 4 間 之 信 號 路 徑 。

一 與 圖 3 之 探 針 卡 組 裝 2 2 相 似 之 探 針 卡 組 裝 詳 細 揭 示 於 P C T 公 布 之 申 請 W O - 9 6 / 1 5 4 5 8 , 1 9 9 6 , 5 , 2 3 公 布 , 以 參 考 方 式 併 入 此 文 。 應 瞭 解 本 發 之 較 佳 實 施 例 之 說 明 , 與 所 述 之 一 特 殊 探 針 卡 組 裝 結 構 有 關 , 本 發 明 所 述 者 亦 可 應 用 於 其 他 種 類 探 針 卡 組 裝 結 構 。

設 計 師 亦 試 圖 將 探 針 卡 組 裝 2 2 在 垂 直 方 向 儘 量 薄 , 以 降 低 信 號 路 徑 長 度 。 當 事 實 上 , 在 使 探 針 卡 組 裝 2 2 之 各 零 件 小 , 薄 及 短 逼 事 上 , 有 其 結 構 上 限 制 , 信 號 仍 然 必 須 在 D U T 1 2 之 表 面 上 之 彈 簧 銷 與 接 合 墊 間 旅 行 一 段 距 離 , 信 號 路 徑 上 之 阻 抗 亦 使 此 等 信 號 失 真 及 衰 減 。

將 信 號 路 徑 縮 短 一 可 能 程 度 後 , 使 I C 接 合 墊 與 測 試 器 頻 道 間 , 信 號 路 徑 中 之 衰 減 及 失 真 之 次 一 步 驟 為 仔 細 設 計 此 等 信 號 路 徑 , 以 其 阻 抗 , 特 別 是 其 分 路 電 容 及 串 聯 電 感 。 信 號 路 徑 之 電 容 與 其 面 積 , 其 空 間 , 及 與 附 近 之 接 地 及 功 率 平 面 有 關 , 及 與 路 徑 與 接 地 與 功 率 表 面 間 之 介 質 常 數 有 關 。 因 此 , 通 過 探 針 卡 組 裝 2 2 信 號 路 徑 之 電 容 , 可 經 由 適 當 選 擇 接 點 4 0 及 4 2 之 探 針 3 6 之 物 理 特 性 , 及 組 成 信 號 路 徑 之 探 針 卡 組 裝 2 2 之 各 層 中 之 通 路 及 不 同 軌 跡 , 而 可 進 一 步 降 低 。

信 號 路 徑 之 串 聯 電 感 為 其 長 度 之 函 數 , 故 如 降 低 路 徑 長 度 , 即 可 降 低 其 電 感 。 但 其 他 信 號 路 徑 之 特 性 , 如 其 寬 度 及 與 其 他 導 體 之 空 間 關 係 , 亦 可 影 響 路 徑 電 感 。 探 針 卡

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

組裝之設計師曾耗費相當努力，經由調整此等路徑之物理特性，以進一步經由探針卡組裝降低信號路徑之電感。

雖然經由降低探針卡組裝 2 2 之信號路徑之電感及電容，可增加頻寬及降低信號失真，但不可能完全消除信號路徑電感及電容。同理，由探針結構維持一不變之輸送線阻抗亦甚困難。因此，某一程度之信號失真及衰減為無可避免。由於失真及衰減通常隨信號頻率增加，此種信號失真及衰減對準確之高頻測試為一障礙。

本發明為改進探針卡組裝 2 2 之頻率響應次一步驟之代表，為瞭解本發明，以一等值電路圖模擬通過探針卡組裝 2 2 之信號路徑，其與其內聯之測試器電路及 D U T，將甚有助益。之後可利用傳統程式之電路模擬器，以模擬等值電路之頻率響應，以學習由探針卡組裝提供之信號路徑中不同阻抗值之頻率響應效應。

圖 4 為在單一測試器頻道 1 4 內之驅動器 4 4 與接收機 4 6，與在 D U T 1 2 內鏈路之接收機 4 8 及驅動器 5 0 間之信號路徑之等值電路圖。假定被測試之 D U T 端點為一雙向輸入／輸出端點，因此，D U T 1 2 係包括驅動器 5 0 以自接合墊 5 0 發射 D U T 輸出信號，及一接收機 4 8 以接收到達接合墊 5 0 之 D U T 輸入信號。測試器頻道 1 4 模擬為一經由其輸出電阻 R 1，具有特性阻抗 Z 0 1 及彈簧銷 3 0 至探針卡 3 2 上表面之墊 5 4，之輸送線鏈路之理想驅動器 4 4。彈簧銷 3 0 及探針卡表面上以接收該彈簧銷之墊，之電容由分路電容器 C 1 代表。圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

3 之探針卡 3 2 包括特性阻抗 Z_{03} 之微條軌跡，位於其一表面上以水平路由自墊 5 4 之信號。探針卡 3 2 亦可含一或數通路以垂直路由信號通過探針卡 3 2。通路中電容包括 C_1 及電容器 C_2 。通路亦有電感及電阻，但其為電容優先，其可適當地模擬為一單一分路電容器。

圖 3 之插入器 3 8 之彈簧連接器 4 0 及 4 2 在圖 4 中以一對串聯電感器 L_1 及 L_2 模擬。插入器 3 8 包括一垂直通路鏈接連接器 4 0 及 4 2，該通路之電容由單一分路電容 C_3 代表。圖 3 之空間變壓器 3 4 包括微帶軌跡以橫跨一表面水平路由信號，及該軌跡在圖 4 中以特性阻抗 Z_4 代表。一對分路電容器 C_4 及 C_5 代表空間變壓器之上表面之接觸墊之電容，及垂直通過空間變壓器 2 2 之通路之電容。圖 3 之探針 3 6 將空間變壓器 2 2 鏈路至 DUT 1 2 之接合墊 5 2，該探針為電感性，在圖 4 中以電感器 L_3 代表。DUT 輸出驅動器 5 0 供應一 DUT 輸出信號經輸出電阻 R_3 至接合墊 5 2，而 DUT 1 2 之接生機 4 8 以輸入阻抗 R_4 接收到達接合墊 5 2 之 DUT 輸入信號。DUT 1 2 典型含一內部靜電保護器 (ESD)，鏈路至接合器 5 2 以保護 DUT 1 2 不受高壓靜電雜音。ESD 裝置之阻抗 (多為電容性) 在圖 4 中以分路電容器 C_6 代表。

由電容器 $C_1 - C_6$ ，電感器 $L_1 - L_3$ ，電阻器 $R_1 - R_4$ ，輸送線阻抗 $Z_{o1} - Z_{o4}$ 形成之電路有一反應性阻抗，其實質上可衰減通過驅動器 4 4 及接收機

五、發明說明 (13)

4 8 間之信號。如上所討論，傳統降低信號失真及衰減量之方法為，使沿路徑上之各串聯電感 $L_1 - L_3$ 及分路電容 $C_1 - C_6$ 為最小。一實際方法為調整所有電阻 $R_1 - R_4$ 及特性阻抗 $Z_{o1} - Z_{o4}$ 至相似值（高頻應用中為 50 歐姆）。此一阻抗匹配可降低信號反射，其可降低由信號路徑之引起之失真量。

下表 1 列出圖 4 各組件在阻抗 $R_1 - R_3$ 設定為 50 歐姆時，及所有電感及電容根據傳統方法設定為最小可達之值時，不同組件之阻抗值。

表 1

組 件	值
R_1-R_4	50 歐 姆
$Z_{o1}-z_{o4}$	50 歐 姆
C_1	0 . 4pf
C_2	0 . 1pf
C_3	0 . 1pf
C_4	0 . 1pf
C_5	0 . 1pf
C_6	0 . 05pf.
L_1	0 . 8nH
L_2	0 . 8nH
L_3	0 . 8nH

圖 5 （曲線 A）說明當組件設定為表 1 中各值時，圖

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (14)

4 之內聯系統之頻率響應。特別是，圖 5 繪出信號衰減為自測試器 4 4 至 D U T 接收機 4 8 之信號之頻率之函數。自驅動器 5 0 至接收機 4 6 之另一方向通過之信號之頻率響應與圖 5 顯示者相似，但由於不對稱，稍有不同。

圖 4 所述之內聯系統之“最佳”頻率響應特性與其傳送之信號性質有關。例如，當 D U T 1 2 經由一高頻數位信號通信時，希望內聯系統能通過高頻信號，但吾人不在乎信號失真，因此可忍受通帶中紋波之存在。此情況下，希望內聯系統之通帶愈寬愈好，內聯頻率響應之其他特性則不重要。換言之，當 D U T 1 2 經由一低頻率類比信號通信時，吾人希望內聯系統傳送有少量失真及雜音之低頻信號，但吾人需要一寬帶寬。此情況下，內聯系統之最佳頻率響應可包括一平坦之帶寬，但應盡量寬以通過最高頻信號。亦需要阻帶之所有區為最大衰減，以阻止高頻雜音。

圖 5 可見（曲線 A），通帶（通常在 0 頻率時，衰減自其位準降 3 d B 時之頻率限定）為約 2 G H z。因此，內聯系統之性能在 0 - 2 G H z 範圍之頻率之可接受衰減為最大 3 d B，可以接受時，曲線 A 表示之內聯系統頻率響應將不適於傳送高於 2 G H z 之信號。吾人亦注意到在 1 G H z 以上之頻率並不平坦。由於通帶紋波使信號失真，當需要應用於低失真時，圖 5 之曲線 A 所述之內聯系統頻率響應，可能必適於傳送高於 1 M H z 之信號。吾人然注意到，頻率 2 G H z 以上時，阻帶中有數大峰值，因此能無法足夠衰減此頻率之雜音。此內聯系統可能無法應用

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (15)

於衰減某一最大信號頻率以上之所有高頻率雜音。

改進之內聯系統

根據傳統方法，一探針卡組裝之頻率響應可最佳適用於所有應用上，其方法為將分路電容及串聯電感降至最低。但，當降低內聯系統電感及電容時通常可協助增加帶寬及降低信號失真，設定系統電感及電容至儘可能低並不能在任何特殊應用下，使系統頻率響應最佳。根據本發明系統頻率響應之改進，係增加形成通過探針卡組裝之最小位準之信號路徑，一或多個元件之電感或電容，以便適當調整其彼此間之值。

表 I I 將圖 4 之各元件根據以往技術 (A 列) 之典型阻抗值，與本發明一應用中適當選擇之阻抗 (B 列) 加以比較，該應用中需要通帶功率最大。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

表 II

組 件	阻 抗 A	阻 抗 B
R1-R4	50歐 姆	50歐 姆
Z01-Z04	50歐 姆	50歐 姆
C1	0 . 4pF	0 . 4pF
C2	0 . 1pF	0 . 7pF
C3	0 . 1pF	1 . 3pF
C4	0 . 1pF	0 . 5pF
C5	0 . 1pF	1 . 1pF
C6	0 . 5pF	0 . 1pF
L1	0 . 8nH	0 . 8nH
L2	0 . 8nH	0 . 8nH
L3	0 . 8nH	0 . 8nH

表 I 中所列之阻抗值在表 I I 中之 A 列重複。圖 5 中之曲線 A，當電路組件之值根據以前技術設定為如表 I I 所列之最小可獲得值使，亦代表圖 4 之探針卡組裝等值電路之頻率響應。圖 5 中之曲線 B 代表，當電路組件之值根據本發明設定如表 I I 之 B 列各值時，圖 4 之探針卡組裝之等值電路頻率響應。

注意 A 列及 B 列提供相同之電阻，特性阻抗及電感值，B 列所列之電容較 A 列所列者稍高。傳統智慧指出，由於電容值之增加，當吾人自曲線 A 向曲線 B 移動時，在頻率響應上將會變壞。例如，吾人預期曲線 B 展現一較窄帶

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (17)

寬及 / 或較曲線 A 在通帶中有更多紋波。但事實正好相反。注意曲線 A 之帶寬約為 2 G H z，曲線 B 則實際上有一較寬之帶寬，約 5 G H z。注意曲線 B 較曲線 A 在所有頻率響應至 8 G H z 上具有相對較少之紋波。

根據本發明，表 I I 之 B 列並非設定為其最低可獲得值，而係仔細作彼此與內聯系統之實際構型相關之調解，以使探針卡組裝之頻率響應為最佳。在此特殊例中，表 I I 中 B 列之各值之選擇可使通帶中傳送之功率最大，即使全通帶範圍之衰減值最大。但其他阻抗值亦可選擇而使在定應用中頻率響應特性，之其他特性或結合為最佳。例如，吾人可調整阻抗值以使帶寬最大，紋波最小，提供阻帶中迅速之下降，或其組合。但吾人選擇此等阻抗值時受到限制；該等值不可小於表 I 中 A 列之最小可獲得值。由於受到此等限制，吾人在選擇阻抗值上有較寬之自由，其將使在任何應用下之內聯系統之頻率響應最佳。

因此，如欲使圖 4 之內聯系統之頻率響應最佳，無人首先應限定需最佳之頻率響應特性。吾人亦需決定內聯系統每一組件之最小可獲得之阻抗值。於是再決定使理想頻率響應特性最佳之，等於或大於最小可獲得值之阻抗值之結合。表 I I B 列之例中，需要阻抗參數最佳之一組應最小，電容應增加至其最小值以上。但在其他應用中，希望使其他頻率響應最佳，電感應增加至其最小值以上。如下所討論者，電感可予增加以便補償阻抗不匹配。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (18)

Butterworth及Chebyshev濾波器

認為圖 4 之內聯系統之等值電路為一多極濾波器應有助益。以適當調整彼此之串聯電感與分路電容，及內聯系統之其他阻抗組件，內聯系統可使其行為如知名之多極“Butterworth”或“Chebyshev”濾波器。吾人瞭解如何調整此等濾波器之組件值，以便獲得理想頻率響應。

如上所述，內聯系統之頻率響應有許多特性，及其“最佳”頻率響應與應用有關。因此，吾人應調整之探針頭組裝 2 2 之信號路徑之各適當阻抗值，在特殊應用上非常重要。在表 I I B 列之例中，電容值加以選擇以使通帶功率最大。但，阻抗值之其他組合亦可使內聯系統之其他特性最佳。因此例如，當內聯系統傳送最小失真之一較低類比信號時，及當帶寬不重要時，內聯系統之頻率響應有一“最大平坦”之通帶則最為理想，具有最小可能之紋波量。在此情況下，吾人需要調整內聯系統組件阻抗值時，以便使系統之行為如不提供最大平坦之頻率響應之 Butterworth 濾波器。

在大多數應用中，最佳頻率響應為帶寬，可接受之通帶紋波及阻帶衰減間之一折衷。準此，電感性及電容性之值可予以選擇，俾內聯系統之行為，如聞名之多極 Chebyshev 濾波器一樣。多級 Butterworth 及 Chebyshev 濾波器之設計包括濾波器組件值之適當選擇，俾達到最佳之濾波器之頻率響應特性之一或多個組合，此一設計對精於此技藝人士甚為知名。參考無線電頻率設計介紹一書之 5 9 - 6 8 頁，

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明 (19)

由 W . H . Hayward 所著 , 由 Prentice-Hall 公司於 1 9 8 2 所發行 , 以參考方式併入此文。精於此技藝人士均瞭解如何調整 , 由圖 3 之探針頭組裝 2 2 提供之信號路徑之不同結構之不同部份之電感及電容。本發明應如傳統濾波器設計原則 , 以決定如何選擇供預期應用之電感及電容之最適當值。

阻抗匹配

驅動器及接收機阻抗 $R_1 - R_4$ 及各輸送線阻抗 $Z_{O1} - Z_{O4}$, 典型設定為相似之值 (5 0 歐姆) , 以防止可使系統頻率響應退化之信號反射 , 及設定自表 I I B 列所選之各組件之值 , 以便符合工業行徑。根據本發明 , 吾人不必如此 , 因為可由調整串聯電感及分路電容值 , 以補償電阻性或特性阻抗之不匹配。例如 , 上述之無線電頻率設計之介紹一書 5 9 - 6 8 頁說明之 , 如何調整其他濾波器組件值以便獲得即使在該電阻性及特性阻抗不匹配之下 , 仍可獲得 Butterworth 及 Chebyshev 濾波器頻率響應行為。

以上之規格已說明本發明之較佳實施例 , 一精於此技藝人士可對較佳實例作許多修改 , 而不致有悖本發明之較廣特性之範圍。例如 , 較佳實例中 , 內聯系統使用接合線 2 2 及 2 7 及封裝腳 2 4 及 2 9 , 以連接 I C s 1 2 及 1 4 至 P C B 軌跡 2 6 , 其他式電感導體如彈簧線亦可用來連接積體電路之節點至 P C B 軌跡。故申請專利範圍欲將其屬於本發明之精神與範圍之各修改併入。

(請先閱讀背面之注意事項再填寫本頁)

訂線

四、中文發明摘要 (發明之名稱： 高頻寬被動積體電路測試器探針卡)
組裝及其方法

揭示一探針卡組裝用以提供信號路徑以在一積體電路 (I C) 之接合墊與 I C 測試器間，傳送信號。探針卡阻裝之頻率響應可經由適當之分布，調整及阻抗匹配沿信號路徑之相關之電容及電感值，而使其最佳，俾內聯系統行為可如一適當調諧之 Butterworth 或 Chebyshev 濾波器。

(請先閱讀背面之注意事項再填寫)

裝

英文發明摘要 (發明之名稱：)

HIGH BANDWIDTH PASSIVE INTEGRATED
CIRCUIT TESTER PROBE CARD ASSEMBLY

ABSTRACT OF THE DISCLOSURE

Described herein is a probe card assembly providing signal paths for conveying high frequency signals between bond pads of an integrated circuit (IC) and an IC tester. The frequency response of the probe card assembly is optimized by appropriately distributing, adjusting and impedance matching resistive, capacitive and inductive impedance values along the signal paths so that the interconnect system behaves as an appropriately tuned Butterworth or Chebyshev filter.

訂

線

經濟部智慧財產局員工消費合作社印製

A8
B8
C8
D8

六、申請專利範圍

91年8月22日修正

- 1 . 一種供連接電子裝置之一節點至 I-C 測試器之一端點的信號路徑裝置，該信號路徑裝置包含；
- 一探針一接觸該節點；及
 - 一導電路徑以鏈接該探針至該端點；
- 其中該節點，該端點，及導電路徑有一彼此間相關之阻抗大小，以便實質上可使該信號路徑裝置之頻率響應最佳。
- 2 . 如申請專利範圍第 1 項之信號路徑裝置，其中該阻抗包括與信號路徑裝置串聯之電感，及分路該信號路徑裝置之電容。
- 3 . 如申請專利範圍第 1 項之信號路徑裝置，其中該導電路徑含；
- 一探針卡包括組成倒體路徑之第一部之第一導體；
 - 一空間變壓器包括組成導體路徑第二部之第二導體；
 - 一插入器包括第三導體以傳送信號於第一及第二導體之間；
- 其中之阻抗包括該節點，第一，第二及第三導體之阻抗。
- 4 . 如申請專利範圍第 1 項之信號路徑裝置，其中之頻率響應特性為最大通帶寬，最大通帶平坦度及最大通帶功率之一。
- 5 . 如申請專利範圍第 1 項之信號路徑裝置，其中之阻抗之大小彼此相關，俾內聯系統構成一多極 Butterworth 濾波器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

修正本有無變更內容是否准予修正。 11年8月22日所提之

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

6 . 如申請專利範圍第 1 項之信號路徑裝置，其中之各阻抗彼此相關，俾該內聯系統形成一多極 Chebyshev 濾波器。

7 . 一種供連接積體電路 (I C) 之一節點至 I C 測試器之一端點的信號路徑裝置，該信號路徑裝置含；

一導體墊實施在 I C 上及連接至該節點；

一探針以接觸該導體墊；

導電裝置以鏈接該探針自該端點；

其中該導電墊，該端點及該導電裝置具有彼此相關大小之阻抗，俾實質上使該信號路徑裝置之頻率響應特性最佳。

8 . 如申請專利範圍第 7 項之信號路徑裝置，其中該阻抗包括與信號路徑裝置串聯之電感，及將該信號路徑裝置分路之電容。

9 . 如申請專利範圍第 7 項之信號路徑裝置，其中該導電裝置包括一印刷電路板通路，其具有為一阻抗之電容。

10 . 如申請專利範圍第 7 項之信號路徑裝置，其中該導電裝置包括一軌跡，具有為一阻抗之特性阻抗。

11 . 如申請專利範圍第 7 項之信號路徑裝置，其中該導電裝置包括一彈簧接點，其具有為一該阻抗之電感。

12 . 如申請專利範圍第 7 項之信號路徑裝置，其中之導電裝置包含；

一印刷電路板通路具有一電容，為該電抗之一；

六、申請專利範圍

一軌跡具有一特性阻抗，其為該阻抗之一；

一彈簧接點，具有一電感，其為該阻抗之一。

1 3 . 如申請專利範圍第 7 項之信號路徑裝置，其中該導電裝置包含；

一探針卡包括形成信號路徑裝置第一部份之第一導體；

一空間變壓器包括形成信號第二部份之第二導體；

一插入器包括第三導體以傳送信號於第一及第二導體之間；

其中該阻抗包括該第一，第二及第三導體。

1 4 . 如申請專利範圍第 7 項之信號路徑裝置，其中該頻率響應特性為

最大通帶寬，最大通帶平坦度，及最大通帶功率之一。

1 5 . 如申請專利範圍第 7 項之信號路徑裝置，其中該阻抗之大小彼此相關，俾內聯系統構成之多極 Butterworth 濾波器。

1 6 . 如申請專利範圍第 7 項之信號路徑裝置，其中之阻抗大小彼此相關，俾該內聯系統構成之多極 Chebyshev 濾波器。

1 7 . 一種用以設定連接至體電路 (I C) 之一節點至 I C 測試器之一端點之信號路徑裝置的阻抗之大小的方法，其中之信號路徑裝置包含連接至節點之接合墊，一探針連接該接合墊，及鏈接探針之導電裝置至該端點，方法含下列步驟；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

調整該接合墊，該探針，及該導電裝置彼此相關之阻抗，俾使該信號路徑裝置之頻率響應之特性為最佳，其中該頻率響應之該特性為最大通帶寬，最大通帶平坦度及最大通帶功率之一，且其中該阻抗可予以調整，以使該信號路徑裝置實質上為一多極 Butterworth 濾波器或多極 Chebyshev 濾波器中之一。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

8910→077

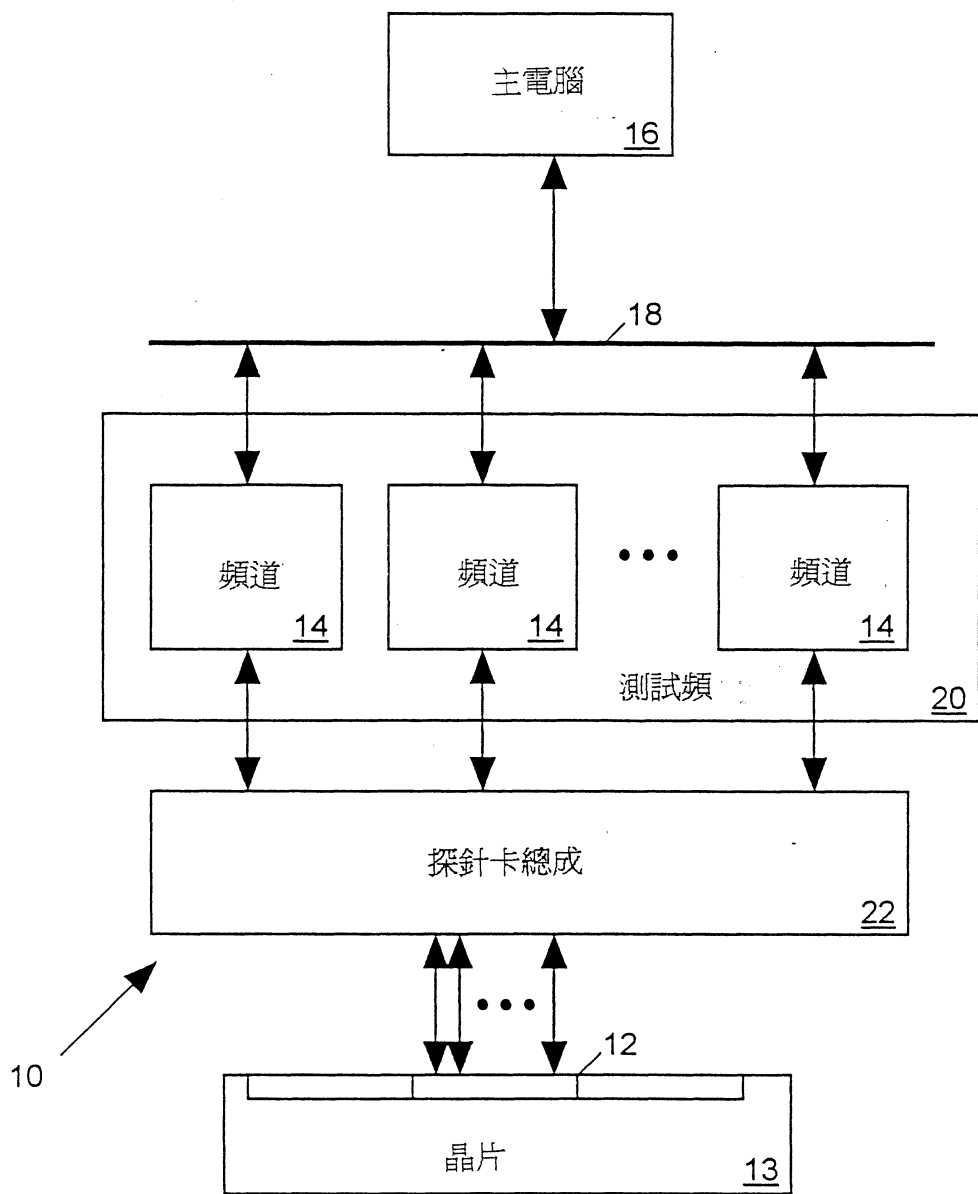
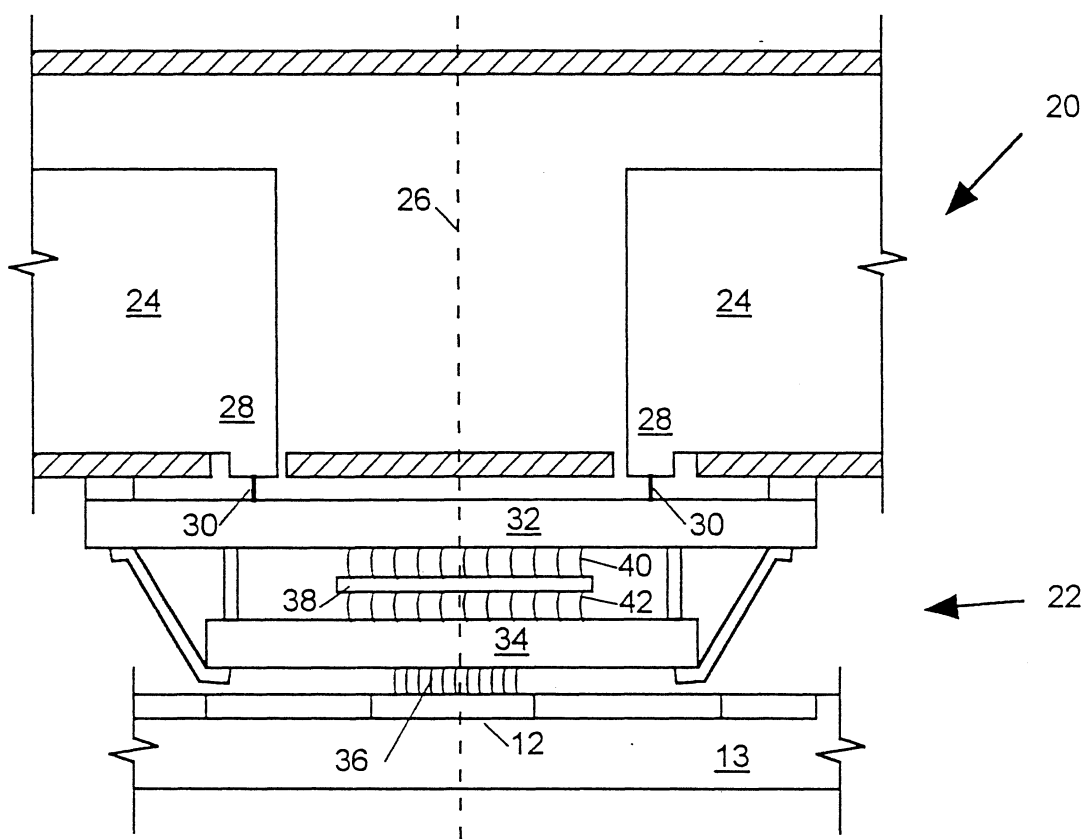
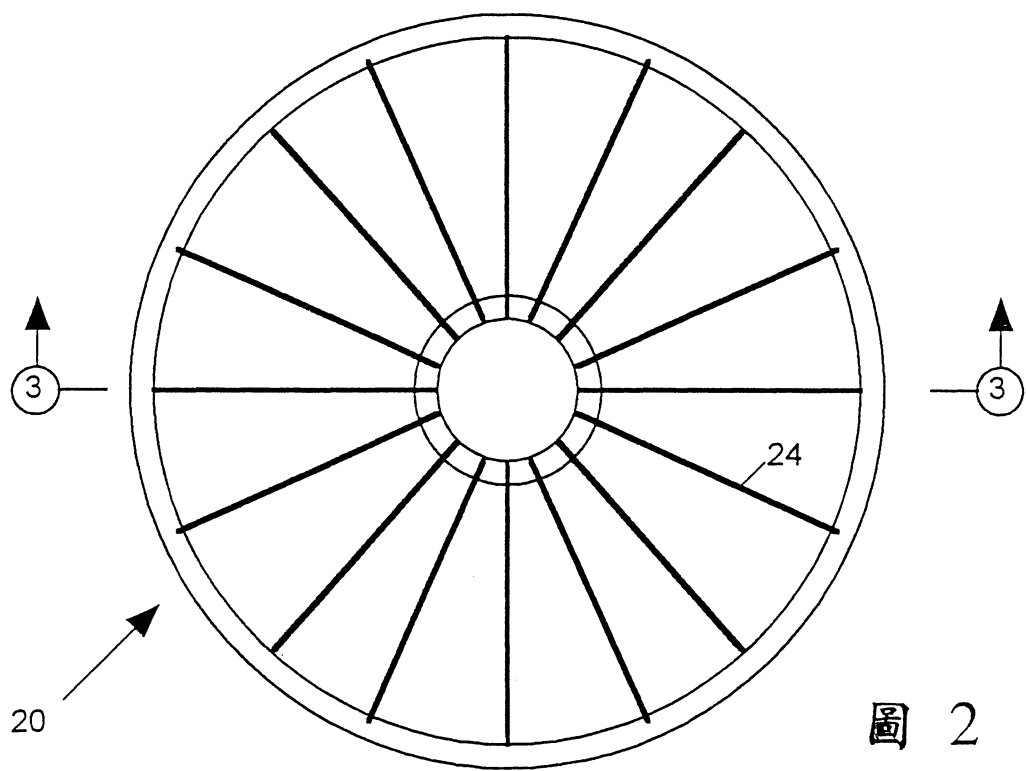


圖 1



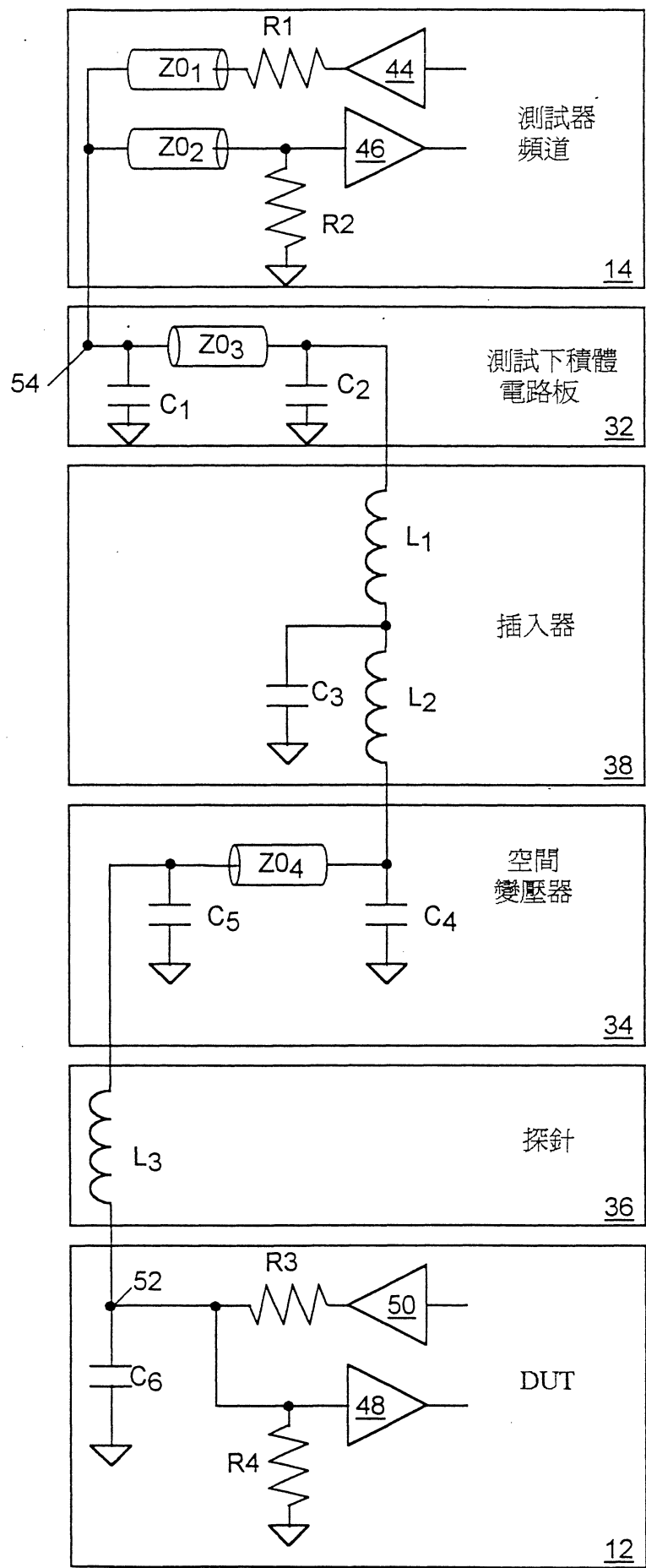


圖 4

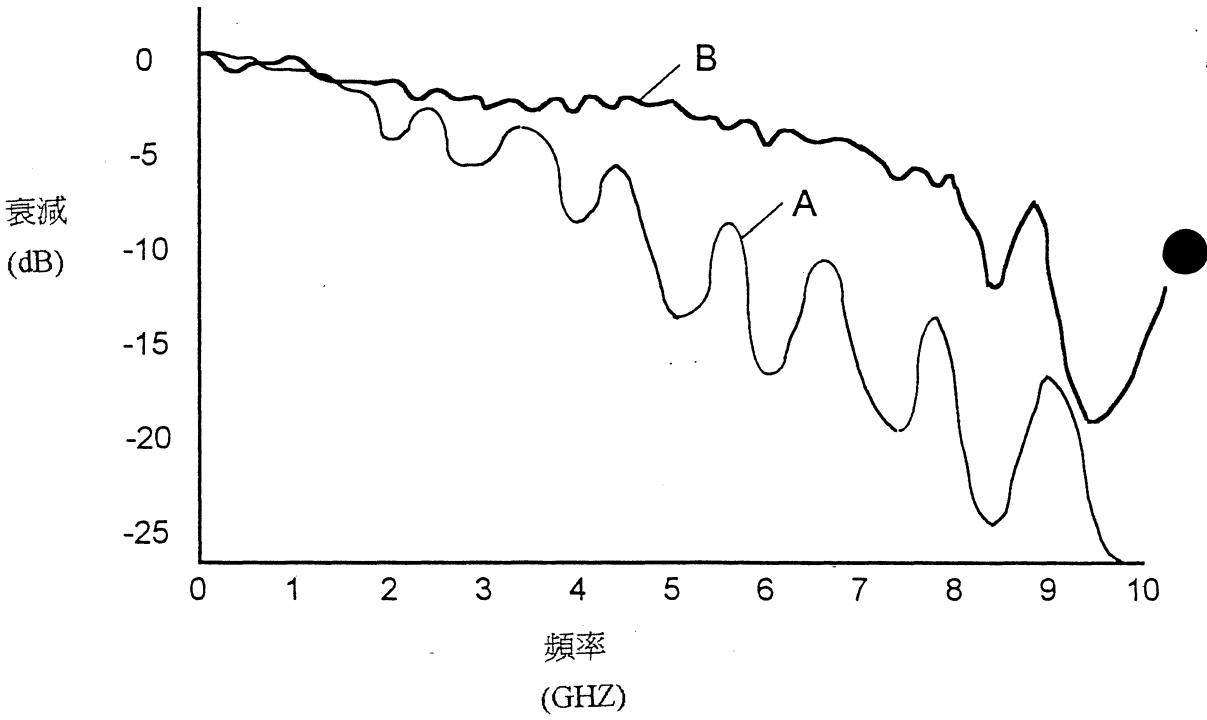


圖 5