

KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

52 and/or the position in the z direction of third tip parts 615 of the plurality of third joint parts 61 is set in correspondence with the curvature of the support substrate 3. Due to this configuration, it is possible to suppress the shortening of a product life, even if a deformation such as a curvature in a structural member occurs.

(57) 要約: 半導体装置 A 1 は、支持基板 3 と、複数の第 1 半導体素子 10 A と、複数の第 2 半導体素子 10 B と、第 1 端子 4 1 と、第 1 導通部材 5 と、第 2 導通部材 6 と、封止樹脂 8 と、を備える。第 1 導通部材 5 は、複数の第 1 半導体素子 10 A に個別に接合された複数の第 1 接合部 5 2 と、第 2 導通部材 6 に接合された第 2 接合部 5 3 と、を有する。第 2 導通部材 6 は、複数の第 2 半導体素子 10 B に個別に接合された複数の第 3 接合部 6 1 を有する。複数の第 1 接合部 5 2 の第 1 先端部 5 2 5 の z 方向における位置、および複数の第 3 接合部 6 1 の第 3 先端部 6 1 5 の z 方向における位置、の少なくともいずれかは、支持基板 3 の湾曲に対応して設定されている。このような構成により、構成部材に湾曲等の変形が生じた場合であっても、製品寿命の短縮を抑制することができる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 従来、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) や I G B T (Insulated Gate Bipolar Transistor) などの電力用スイッチング素子を備える半導体装置が知られている。このような半導体装置は、産業機器から家電や情報端末、自動車用機器まであらゆる電子機器に搭載される。特許文献1には、従来の半導体装置（パワーモジュール）が開示されている。特許文献1に記載の半導体装置は、半導体素子、および、支持基板（セラミック基板）を備えている。半導体素子は、たとえばS i（シリコン）製のI G B Tである。支持基板は、半導体素子を支持する。支持基板は、絶縁性の基材と、基材の両面に積層された導体層とを含む。基材は、たとえばセラミックからなる。各導体層は、たとえばC u（銅）からなり、一方の導体層には、半導体素子が接合される。半導体素子は、たとえば封止樹脂により覆われている。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-190505号公報

発明の概要

発明が解決しようとする課題

[0004] パワーモジュールの製造工程の簡略化、または使用時の信頼性向上を図るには、パワーモジュール内の導通経路を構成する部材構造をより簡素化することが好ましい。

[0005] また、パワーモジュールの大電流化を図るためには、パワーモジュール内の導通経路における電流集中を抑制することが好ましい。

[0006] また、パワーモジュールの構成部材に湾曲等の変形が生じた場合であっても、製品寿命の短縮を抑制することが好ましい。

[0007] 本開示は、上記した事情のもとで考え出されたものであって、導通経路を構成する部材構造をより簡素化することが可能な半導体装置を提供することをその課題とする。また、本開示は、パワーモジュール内の導通経路における電流集中を抑制することが可能な半導体装置を提供することを他の課題とする。また、本開示は、構成部材に湾曲等の変形が生じた場合であっても、製品寿命の短縮を抑制することが可能な半導体装置を提供することを他の課題とする。

課題を解決するための手段

[0008] 本開示によって提供される半導体装置は、厚さ方向の一方側を向く第1主面を有し且つ前記厚さ方向と直交する第1方向の一方側に位置する第1導電部、および前記厚さ方向の一方側を向く第2主面を有し且つ前記第1方向の他方側に位置する第2導電部、を有する支持基板と、前記第1導電部に搭載され且つ各々がスイッチング機能を有するとともに前記厚さ方向および前記第1方向の双方に直交する第2方向に配列された複数の第1半導体素子と、前記第2導電部に搭載され且つ各々がスイッチング機能を有するとともに前記第2方向に配列された複数の第2半導体素子と、前記第1導電部に対して前記第1方向の一方側に突出する第1端子と、前記複数の第1半導体素子と前記第2導電部とを導通させる第1導通部材と、前記複数の第2半導体素子と前記第1端子とを導通させる第2導通部材と、前記複数の第1半導体素子、前記複数の第2半導体素子、前記第1導通部材および前記第2導通部材と、前記支持基板および前記第1端子の一部ずつと、を覆う封止樹脂と、を備え、前記第1導通部材は、前記複数の第1半導体素子に個別に接合された複数の第1接合部と、前記第2導電部に接合された第2接合部と、を有し、前記第2導通部材は、前記複数の第2半導体素子に個別に接合された複数の第3接合部を有し、前記複数の第1接合部の各々は、前記厚さ方向において最も他方側に位置する第1先端部を有し、前記複数の第3接合部の各々は、前

記厚さ方向において最も他方側に位置する第3先端部を有し、前記複数の第1接合部の前記第1先端部の前記厚さ方向における位置、および前記複数の第3接合部の前記第3先端部の前記厚さ方向における位置、の少なくともいずれかは、前記支持基板の湾曲に対応して設定されている。

発明の効果

- [0009] 本開示によれば、構成部材に湾曲等の変形が生じた場合であっても、製品寿命の短縮を抑制することが可能な半導体装置を提供することができる。
- [0010] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

- [0011] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す斜視図である。
- [図2]図2は、本開示の第1実施形態に係る半導体装置を示す部分斜視図である。
- [図3]図3は、本開示の第1実施形態に係る半導体装置を示す部分斜視図である。
- [図4]図4は、本開示の第1実施形態に係る半導体装置を示す平面図である。
- [図5]図5は、本開示の第1実施形態に係る半導体装置を示す部分平面図である。
- [図6]図6は、本開示の第1実施形態に係る半導体装置を示す部分側面図である。
- [図7]図7は、本開示の第1実施形態に係る半導体装置を示す部分拡大平面図である。
- [図8]図8は、本開示の第1実施形態に係る半導体装置を示す部分平面図である。
- [図9]図9は、本開示の第1実施形態に係る半導体装置を示す部分平面図である。
- [図10]図10は、本開示の第1実施形態に係る半導体装置を示す側面図である。

[図11]図11は、本開示の第1実施形態に係る半導体装置を示す底面図である。

[図12]図12は、図5のX11-X11線に沿う断面図である。

[図13]図13は、図5のX111-X111線に沿う断面図である。

[図14]図14は、本開示の第1実施形態に係る半導体装置を示す部分拡大断面図である。

[図15]図15は、本開示の第1実施形態に係る半導体装置を示す部分拡大断面図である。

[図16]図16は、図5のXV1-XV1線に沿う断面図である。

[図17]図17は、図5のXV11-XV11線に沿う断面図である。

[図18]図18は、図5のXV111-XV111線に沿う断面図である。

[図19]図19は、図5のX1X-X1X線に沿う断面図である。

[図20]図20は、図5のXX-XX線に沿う断面図である。

[図21]図21は、本開示の第1実施形態に係る半導体装置の第2導通部材を示す斜視図である。

[図22]図22は、本開示の第1実施形態に係る半導体装置の第2導通部材を示す平面図である。

[図23]図23は、本開示の第1実施形態に係る半導体装置の第2導通部材を示す正面図である。

[図24]図24は、本開示の第1実施形態に係る半導体装置の第2導通部材を示す部分拡大正面図である。

[図25]図25は、本開示の第1実施形態に係る半導体装置の第2導通部材を示す側面図である。

[図26]図26は、本開示の第1実施形態に係る半導体装置の第1変形例を示す断面図である。

[図27]図27は、本開示の第1実施形態に係る半導体装置の第1変形例を示す断面図である。

[図28]図28は、本開示の第2実施形態に係る半導体装置を示す部分斜視図

である。

[図29]図29は、本開示の第2実施形態に係る半導体装置を示す部分斜視図である。

[図30]図30は、本開示の第2実施形態に係る半導体装置を示す部分平面図である。

[図31]図31は、図30のXXXI-XXXI線に沿う断面図である。

[図32]図32は、図30のXXXII-XXXII線に沿う断面図である。

[図33]図33は、図30のXXXIII-XXXIII線に沿う断面図である。

[図34]図34は、本開示の第2実施形態に係る半導体装置の第2導通部材を示す斜視図である。

[図35]図35は、本開示の第2実施形態に係る半導体装置の第2導通部材を示す平面図である。

[図36]図36は、本開示の第3実施形態に係る半導体装置の第2導通部材を示す斜視図である。

[図37]図37は、本開示の第3実施形態に係る半導体装置の第2導通部材を示す正面図である。

[図38]図38は、本開示の第4実施形態に係る半導体装置の第2導通部材を示す平面図である。

[図39]図39は、本開示の第4実施形態に係る半導体装置の第2導通部材を示す正面図である。

[図40]図40は、図38のXL-XL線に沿う部分拡大断面図である。

[図41]図41は、本開示の第4実施形態に係る半導体装置の第2導通部材の第1変形例を示す平面図である。

[図42]図42は、本開示の第4実施形態に係る半導体装置の第2導通部材の第2変形例を示す平面図である。

[図43]図43は、本開示の第5実施形態に係る半導体装置の第2導通部材を示す部分正面図である。

[図44]図4 4は、本開示の第6実施形態に係る半導体装置の第1導通部材を示す斜視図である。

[図45]図4 5は、本開示の第6実施形態に係る半導体装置の第1導通部材を示す正面図である。

[図46]図4 6は、本開示の第6実施形態に係る半導体装置の第1導通部材を示す側面図である。

[図47]図4 7は、本開示の第7実施形態に係る半導体装置の第2半導体素子および第2導電性接合材を模式的に示す部分拡大断面図である。

[図48]図4 8は、本開示の第8実施形態に係る半導体装置の第1半導体素子および第1導電性接合材を模式的に示す部分拡大断面図である。

[図49]図4 9は、本開示の半導体装置が搭載された車両を示す構成図である。

発明を実施するための形態

[0012] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0013] 本開示における「第1」、「第2」、「第3」等の用語は、単に識別のために用いたものであり、それらの対象物に順列を付することを意図していない。

[0014] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B

上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、本開示において「ある面Aが方向B（の一方側または他方側）を向く」とは、面Aの方向Bに対する角度が90°である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。

- [0015] 図1～図25は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A1は、複数の第1半導体素子10A、複数の第2半導体素子10B、支持基板3、第1端子41、第2端子42、複数の第3端子43、第4端子44、複数の制御端子45、制御端子支持体48、第1導通部材5、第2導通部材6および封止樹脂8を備えている。
- [0016] 図1は、半導体装置A1を示す斜視図である。図2、図3は、半導体装置A1を示す部分斜視図である。図4は、半導体装置A1を示す平面図である。図5は、半導体装置A1を示す部分平面図である。図6は、半導体装置A1を示す部分側面図である。図7は、半導体装置A1を示す部分拡大平面図である。図8、図9は、半導体装置A1を示す部分平面図である。図10は、半導体装置A1を示す側面図である。図11は、半導体装置A1を示す底面図である。図12は、図5のX11-X11線に沿う断面図である。図13は、図5のX111-X111線に沿う断面図である。図14、図15は、半導体装置A1を示す部分拡大断面図である。図16は、図5のXV1-XV1線に沿う断面図である。図17は、図5のXV11-XV11線に沿う断面図である。図18は、図5のXV111-XV111線に沿う断面図である。図19は、図5のX1X-X1X線に沿う断面図である。図20は、図5のXX-XX線に沿う断面図である。図21は、半導体装置A1の第2導通部材6を示す斜視図である。図22は、半導体装置A1の第2導通部材6を示す平面図である。図23は、半導体装置A1の第2導通部材6を示す

す正面図である。図24は、半導体装置A1の第2導通部材を示す部分拡大正面図である。図25は、半導体装置A1の第2導通部材6を示す側面図である。

[0017] これらの図において、z方向は、本開示の厚さ方向の一例であり、x方向は、本開示の第1方向の一例であり、y方向は、本開示の第2方向の一例である。また、x方向の一方側をx方向のx1側、x方向の他方側をx方向のx2側と称する。また、y方向の一方側をy方向のy1側、y方向の他方側をy方向のy2側と称する。また、z方向の一方側をz方向のz1側、z方向の他方側をz方向のz2側と称する。

[0018] 複数の第1半導体素子10Aおよび複数の第2半導体素子10Bはそれぞれ、半導体装置A1の機能中枢となる電子部品である。各第1半導体素子10Aおよび各第2半導体素子10Bの構成材料は、たとえばSiC（炭化ケイ素）を主とする半導体材料である。この半導体材料は、SiCに限定されず、Si（シリコン）、GaN（窒化ガリウム）あるいはC（ダイヤモンド）などであってもよい。各第1半導体素子10Aおよび各第2半導体素子10Bは、たとえば、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）などのスイッチング機能を有するパワー半導体チップである。本実施形態においては、第1半導体素子10Aおよび第2半導体素子10BがMOSFETである場合を示すが、これに限定されず、IGBT（Insulated Gate Bipolar Transistor；絶縁ゲートバイポーラトランジスタ）などの他のトランジスタであってもよい。各第1半導体素子10Aおよび各第2半導体素子10Bは、いずれも同一素子である。各第1半導体素子10Aおよび各第2半導体素子10Bは、たとえばnチャネル型のMOSFETであるが、pチャネル型のMOSFETであってもよい。

[0019] 第1半導体素子10Aおよび第2半導体素子10Bはそれぞれ、図14、図15に示すように、素子主面101および素子裏面102を有する。各第1半導体素子10Aおよび各第2半導体素子10Bにおいて、素子主面101と素子裏面102とはz方向に離隔する。素子主面101は、z方向のz

1側を向き、素子裏面102は、z方向のz2側を向く。

[0020] 本実施形態では、半導体装置A1は、4つの第1半導体素子10Aと4つの第2半導体素子10Bとを備えているが、第1半導体素子10Aの数および第2半導体素子10Bの数は、本構成に限定されず、半導体装置A1に要求される性能に応じて適宜変更される。図8、図9の例では、第1半導体素子10Aおよび第2半導体素子10Bがそれぞれ4個ずつ配置される。第1半導体素子10Aおよび第2半導体素子10Bの数は、それぞれ2個または3個でもよく、それぞれ5個以上でもよい。第1半導体素子10Aの数と第2半導体素子10Bの数とは、等しくてもよく、異なってもよい。第1半導体素子10Aおよび第2半導体素子10Bの数は、半導体装置A1が取り扱う電流容量によって決定される。

[0021] 半導体装置A1は、たとえばハーフブリッジ型のスイッチング回路として構成される。この場合、複数の第1半導体素子10Aは、半導体装置A1の上アーム回路を構成し、複数の第2半導体素子10Bは、下アーム回路を構成する。上アーム回路において、複数の第1半導体素子10Aは互いに並列に接続され、下アーム回路において、複数の第2半導体素子10Bは互いに並列に接続される。各第1半導体素子10Aと各第2半導体素子10Bとは、直列に接続され、ブリッジ層を構成する。

[0022] 複数の第1半導体素子10Aはそれぞれ、図8、図9および図19などに示すように、後述の支持基板3の第1導電部32Aに搭載されている。図8、図9に示す例では、複数の第1半導体素子10Aは、たとえばy方向に並んでおり、互いに離隔している。各第1半導体素子10Aは、導電性接合材19を介して、第1導電部32Aに導通接合されている。各第1半導体素子10Aは、第1導電部32Aに接合された際、素子裏面102が第1導電部32Aに対向する。なお、本実施形態とは異なり、複数の第1半導体素子10Aは、DBC基板等の一部とは異なる金属部材に搭載されていてもよい。この場合、当該金属部材が本開示における第1導電部に相当する。この金属部材は、たとえば第1導電部32Aに支持されていてもよい。

[0023] 複数の第2半導体素子10Bはそれぞれ、図8、図9および図18などに示すように、後述の支持基板3の第2導電部32Bに搭載されている。図8、図9に示す例では、複数の第2半導体素子10Bは、たとえばy方向に並んでおり、互いに離隔している。各第2半導体素子10Bは、導電性接合材19を介して、第2導電部32Bに導通接合されている。各第2半導体素子10Bは、第2導電部32Bに接合された際、素子裏面102が第2導電部32Bに対向する。図9から理解されるように、x方向に見て、複数の第1半導体素子10Aと複数の第2半導体素子10Bとは、重なっているが、重なってなくてもよい。なお、本実施形態とは異なり、複数の第2半導体素子10Bは、DBC基板等の一部とは異なる金属部材に搭載されていてもよい。この場合、当該金属部材が本開示における第2導電部に相当する。この金属部材は、たとえば第2導電部32Bに支持されていてもよい。

[0024] 複数の第1半導体素子10Aおよび複数の第2半導体素子10Bはそれぞれ、第1主面電極11、第2主面電極12、第3主面電極13および裏面電極15を有する。以下で説明する第1主面電極11、第2主面電極12、第3主面電極13および裏面電極15の構成は、各第1半導体素子10Aおよび各第2半導体素子10Bにおいて共通する。第1主面電極11、第2主面電極12および第3主面電極13は、素子主面101に設けられている。第1主面電極11、第2主面電極12および第3主面電極13は、図示しない絶縁膜により絶縁されている。裏面電極15は、素子裏面102に設けられている。

[0025] 第1主面電極11は、たとえばゲート電極であって、第1半導体素子10A（第2半導体素子10B）を駆動させるための駆動信号（たとえばゲート電圧）が入力される。第1半導体素子10A（第2半導体素子10B）において、第2主面電極12は、たとえばソース電極であって、ソース電流が流れる。本実施形態の第2主面電極12は、ゲートフィンガー121を有する。ゲートフィンガー121は、たとえばx方向に延びる線状の絶縁体からなり、第2主面電極12をy方向に2分割している。第3主面電極13は、た

たとえばソースセンス電極であって、ソース電流が流れる。裏面電極15は、たとえばドレイン電極であって、ドレイン電流が流れる。裏面電極15は、素子裏面102の略全域を覆っている。裏面電極15は、たとえばAg（銀）めっきにより構成される。

[0026] 各第1半導体素子10A（各第2半導体素子10B）は、第1主面電極11（ゲート電極）に駆動信号（ゲート電圧）が入力されると、この駆動信号に応じて、導通状態と遮断状態とが切り替わる。導通状態では、裏面電極15（ドレイン電極）から第2主面電極12（ソース電極）に電流が流れ、遮断状態では、この電流が流れない。つまり、各第1半導体素子10A（各第2半導体素子10B）は、スイッチング動作を行う。半導体装置A1は、複数の第1半導体素子10Aおよび複数の第2半導体素子10Bのスイッチング機能により、1つの第4端子44と2つの第1端子41および第2端子42との間に入力される直流電圧をたとえば交流電圧に変換して、第3端子43から交流電圧を出力する。

[0027] 半導体装置A1では、図5、図8、図9などに示すように、サーミスタ17を備える。サーミスタ17は、温度検出用センサとして用いられる。なお、サーミスタ17の他に、たとえば感温ダイオード等を備える構成であってもよいし、サーミスタ17等を備えない構成であってもよい。

[0028] 支持基板3は、複数の第1半導体素子10Aおよび複数の第2半導体素子10Bを支持する。支持基板3の具体的構成は何ら限定されず、たとえばDBC（Direct Bonded Copper）基板またはAMB（Active Metal Brazing）基板で構成される。支持基板3は、絶縁層31、第1金属層32および裏面金属層33を含む。第1金属層32は、第1導電部32Aおよび第2導電部32Bを含む。支持基板3のz方向の寸法は、たとえば0.4mm以上3.0mm以下である。

[0029] 絶縁層31は、たとえば熱伝導性の優れたセラミックスである。このようなセラミックスとしては、たとえばSiN（窒化ケイ素）がある。絶縁層31は、セラミックスに限定されず、絶縁樹脂シートなどであってもよい。絶

縁層 31 は、たとえば平面視矩形形状である。絶縁層 31 の z 方向の寸法は、たとえば 0.05 mm 以上 1.0 mm 以下である。

[0030] 第 1 導電部 32A は、複数の第 1 半導体素子 10A を支持し、第 2 導電部 32B は、複数の第 2 半導体素子 10B を支持する。第 1 導電部 32A および第 2 導電部 32B は、絶縁層 31 の上面 (z 方向の z1 側を向く面) に形成されている。第 1 導電部 32A および第 2 導電部 32B の構成材料は、たとえば Cu (銅) を含む。当該構成材料は Cu (銅) 以外のたとえば Al (アルミニウム) を含んでいてもよい。第 1 導電部 32A および第 2 導電部 32B は、x 方向に離隔する。第 1 導電部 32A は、第 2 導電部 32B の x 方向の x1 側に位置する。第 1 導電部 32A および第 2 導電部 32B はそれぞれ、たとえば平面視矩形形状である。第 1 導電部 32A および第 2 導電部 32B は、第 1 導通部材 5 および第 2 導通部材 6 とともに、複数の第 1 半導体素子 10A および複数の第 2 半導体素子 10B によってスイッチングされる主回路電流の経路を構成する。

[0031] 第 1 導電部 32A は、第 1 主面 301A を有する。第 1 主面 301A は、z 方向の z1 側を向く平面である。第 1 導電部 32A の第 1 主面 301A には、導電性接合材 19 を介して複数の第 1 半導体素子 10A がそれぞれ接合されている。第 2 導電部 32B は、第 2 主面 301B を有する。第 2 主面 301B は、z 方向の z1 側を向く平面である。第 2 導電部 32B の第 2 主面 301B には、導電性接合材 19 を介して複数の第 2 半導体素子 10B が接合されている。導電性接合材 19 の構成材料は特に限定されず、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。第 1 導電部 32A および第 2 導電部 32B の z 方向の寸法は、たとえば 0.1 mm 以上 1.5 mm 以下である。

[0032] 裏面金属層 33 は、絶縁層 31 の下面 (z 方向の z2 側を向く面) に形成されている。裏面金属層 33 の構成材料は、第 1 金属層 32 の構成材料と同じである。裏面金属層 33 は、裏面 302 を有する。裏面 302 は、z 方向の z2 側を向く平面である。裏面 302 は、図 11 に示す例では、たとえば

封止樹脂 8 から露出する。裏面 302 には、図示しない放熱部材（たとえばヒートシンク）などが取り付け可能である。裏面 302 は、封止樹脂 8 から露出せず、封止樹脂 8 に覆われていてもよい。裏面金属層 33 は、平面視において、第 1 導電部 32A および第 2 導電部 32B の双方に重なる。

[0033] 第 1 端子 41、第 2 端子 42、複数の第 3 端子 43、および第 4 端子 44 はそれぞれ、板状の金属板からなる。この金属板は、たとえば Cu（銅）または Cu（銅）合金を含む。図 1～図 5、図 8、図 9 および図 11 に示す例では、半導体装置 A1 は、1 つずつの第 1 端子 41、第 2 端子 42 および第 4 端子 44 と、2 つの第 3 端子 43 とを備えているが、各端子の個数は何ら限定されない。

[0034] 第 1 端子 41、第 2 端子 42 および第 4 端子 44 には、電力変換対象となる直流電圧が入力される。第 4 端子 44 は正極（P 端子）であり、第 1 端子 41 および第 2 端子 42 はそれぞれ負極（N 端子）である。複数の第 3 端子 43 から、第 1 半導体素子 10A および第 2 半導体素子 10B により電力変換された交流電圧が出力される。第 1 端子 41、第 2 端子 42、複数の第 3 端子 43、および第 4 端子 44 はそれぞれ、封止樹脂 8 に覆われた部分と封止樹脂 8 から露出した部分とを含む。

[0035] 第 4 端子 44 は、図 13 に示すように、第 1 導電部 32A に導通接合されている。導通接合の手法は何ら限定されず、超音波接合、レーザ接合、溶接等の手法、あるいははんだ、金属ペースト、銀焼結体等を用いた手法、等が適宜採用される。第 4 端子 44 は、図 8、図 9 などに示すように、複数の第 1 半導体素子 10A および第 1 導電部 32A に対して、x 方向の x1 側に位置する。第 4 端子 44 は、第 1 導電部 32A に導通し、かつ、第 1 導電部 32A を介して、各第 1 半導体素子 10A の裏面電極 15（ドレイン電極）に導通する。

[0036] 第 1 端子 41 と第 2 端子 42 とは、第 2 導通部材 6 に導通している。本実施形態においては、第 1 端子 41 と第 2 導通部材 6 とは、一体的に形成されている。第 1 端子 41 と第 2 導通部材 6 とが一体的に形成されているとは、

たとえば単一の金属板材料に対して切断加工および折り曲げ加工等を施すことによって形成されており、互いを接合するための接合材等を含まない構成をいう。また、本実施形態においては、第2端子42と第2導通部材6とは、一体的に形成されている。なお、第1端子41および第2端子42は、第2導通部材6と導通する構成であればよく、本実施形態とは異なり、互いを接合する接合部を有する構成であってもよい。第1端子41および第2端子42はそれぞれ、図5、図8などに示すように、複数の第1半導体素子10Aおよび第1導電部32Aに対して、x方向のx1側に位置する。第1端子41および第2端子42はそれぞれ、第2導通部材6に導通し、かつ、第2導通部材6を介して、各第2半導体素子10Bの第2主面電極12（ソース電極）に導通する。

[0037] 図1～図5および図11などに示すように、第1端子41、第2端子42および第4端子44はそれぞれ、半導体装置A1において、封止樹脂8からx方向のx1側に突き出ている。第1端子41、第2端子42および第4端子44は、互いに離隔している。第1端子41および第2端子42は、y方向において第4端子44を挟んで互いに反対側に位置する。第1端子41は、第4端子44のy方向のy1側に位置し、第2端子42は、第4端子44のy方向のy2側に位置する。第1端子41、第2端子42および第4端子44は、y方向に視て互いに重なる。

[0038] 2つの第3端子43はそれぞれ、図8、図9および図12から理解されるように、第2導電部32Bに導通接合されている。導通接合の手法は何ら限定されず、超音波接合、レーザー接合、溶接等の手法、あるいははんだ、金属ペースト、銀焼結体等を用いた手法、等が適宜採用される。2つの第3端子43はそれぞれ、図8などに示すように、複数の第2半導体素子10Bおよび第2導電部32Bに対して、x方向のx2側に位置する。各第3端子43は、第2導電部32Bに導通し、かつ、第2導電部32Bを介して、各第2半導体素子10Bの裏面電極15（ドレイン電極）に導通する。なお、第3端子43の数は、2つに限定されず、たとえば1つであってもよいし、3つ

以上であってもよい。たとえば、第3端子43が1つである場合、第2導電部32Bのy方向における中央部分につながっていることが望ましい。

[0039] 複数の制御端子45はそれぞれ、各第1半導体素子10Aおよび各第2半導体素子10Bを制御するためのピン状の端子である。複数の制御端子45は、複数の第1制御端子46A～46Eおよび複数の第2制御端子47A～47Dを含む。複数の第1制御端子46A～46Eは、各第1半導体素子10Aの制御などに用いられる。複数の第2制御端子47A～47Dは、各第2半導体素子10Bの制御などに用いられる。

[0040] 複数の第1制御端子46A～46Eは、y方向に間隔を隔てて配置されている。各第1制御端子46A～46Eは、図8、図13および図20などに示すように、制御端子支持体48（後述の第1支持部48A）を介して、第1導電部32Aに支持される。各第1制御端子46A～46Eは、図5および図8に示すように、x方向において、複数の第1半導体素子10Aと、第1端子41、第2端子42および第4端子44との間に位置する。

[0041] 第1制御端子46Aは、複数の第1半導体素子10Aの駆動信号入力用の端子（ゲート端子）である。第1制御端子46Aには、複数の第1半導体素子10Aを駆動させるための駆動信号が入力される（たとえばゲート電圧が印加される）。

[0042] 第1制御端子46Bは、複数の第1半導体素子10Aのソース信号検出用の端子（ソースセンス端子）である。第1制御端子46Bから、複数の第1半導体素子10Aの各第2主面電極12（ソース電極）に印加される電圧（ソース電流に対応した電圧）が検出される。

[0043] 第1制御端子46Cおよび第1制御端子46Dは、サーミスタ17に導通する端子である。

[0044] 第1制御端子46Eは、複数の第1半導体素子10Aのドレイン信号検出用の端子（ドレインセンス端子）である。第1制御端子46Eから、複数の第1半導体素子10Aの各裏面電極15（ドレイン電極）に印加される電圧（ドレイン電流に対応した電圧）が検出される。

- [0045] 複数の第2制御端子47A～47Dは、y方向に間隔を隔てて配置されている。各第2制御端子47A～47Dは、図8および図13などに示すように、制御端子支持体48（後述の第2支持部48B）を介して、第2導電部32Bに支持される。各第2制御端子47A～47Dは、図5および図8に示すように、x方向において、複数の第2半導体素子10Bと2つの第3端子43との間に位置する。
- [0046] 第2制御端子47Aは、複数の第2半導体素子10Bの駆動信号入力用の端子（ゲート端子）である。第2制御端子47Aには、複数の第2半導体素子10Bを駆動させるための駆動信号が入力される（たとえばゲート電圧が印加される）。第2制御端子47Bは、複数の第2半導体素子10Bのソース信号検出用の端子（ソースセンス端子）である。第2制御端子47Bから、複数の第2半導体素子10Bの各第2主面電極12（ソース電極）に印加される電圧（ソース電流に対応した電圧）が検出される。第2制御端子47Cおよび第2制御端子47Dは、サーミスタ17に導通する端子である。
- [0047] 複数の制御端子45（複数の第1制御端子46A～46Eおよび複数の第2制御端子47A～47D）はそれぞれ、ホルダ451および金属ピン452を含む。
- [0048] ホルダ451は、導電性材料からなる。ホルダ451は、図14、図15に示すように、導電性接合材459を介して、制御端子支持体48（後述の第1金属層482）に接合されている。ホルダ451は、筒状部、上端鏝部および下端鏝部を含む。上端鏝部は、筒状部の上方につながり、下端鏝部は、筒状部の下方につながる。ホルダ451のうちの少なくとも上端鏝部および筒状部に、金属ピン452が挿通されている。ホルダ451は、封止樹脂8（後述の第2突出部852）に覆われている。
- [0049] 金属ピン452は、z方向に延びる棒状部材である。金属ピン452は、ホルダ451に圧入されることで支持されている。金属ピン452は、少なくともホルダ451を介して、制御端子支持体48（後述の第1金属層482）に導通する。図14、図15に示す例のように、金属ピン452の下端

(z方向のz2側の端部)がホルダ451の挿通孔内で導電性接合材459に接している場合には、金属ピン452は、導電性接合材459を介して、制御端子支持体48に導通する。

[0050] 制御端子支持体48は、複数の制御端子45を支持する。制御端子支持体48は、z方向において、第1主面301Aおよび第2主面301Bと複数の制御端子45との間に介在する。

[0051] 制御端子支持体48は、第1支持部48Aおよび第2支持部48Bを含む。第1支持部48Aは、第1導電部32A上に配置され、複数の制御端子45のうちの複数の第1制御端子46A~46Eを支持する。第1支持部48Aは、図14に示すように、接合材49を介して、第1導電部32Aに接合されている。接合材49は、導電性でも絶縁性でもよいが、たとえばはんだが用いられる。第2支持部48Bは、第2導電部32B上に配置され、複数の制御端子45のうちの複数の第2制御端子47A~47Dを支持する。第2支持部48Bは、図15に示すように、接合材49を介して、第2導電部32Bに接合されている。

[0052] 制御端子支持体48(第1支持部48Aおよび第2支持部48Bのそれぞれ)は、たとえばDBC(Direct Bonded Copper)基板で構成される。制御端子支持体48は、互いに積層された絶縁層481、第1金属層482および第2金属層483を有する。

[0053] 絶縁層481は、たとえばセラミックスからなる。絶縁層481は、たとえば平面視矩形形状である。

[0054] 第1金属層482は、図14、図15などに示すように、絶縁層481の上面に形成されている。各制御端子45は、第1金属層482上に立設されている。第1金属層482は、たとえばCu(銅)またはCu(銅)合金を含む。図8などに示すように、第1金属層482は、第1部分482A、第2部分482B、第3部分482C、第4部分482D、第5部分482Eおよび第6部分482Fを含む。第1部分482A、第2部分482B、第3部分482C、第4部分482D、第5部分482Eおよび第6部分48

2 F は、互いに離隔し、絶縁されている。

[0055] 第1部分482Aは、複数のワイヤ71が接合され、各ワイヤ71を介して、各第1半導体素子10A（各第2半導体素子10B）の第1主面電極11（ゲート電極）に導通する。第1部分482Aと第6部分482Fとは、複数のワイヤ73が接続されている。これにより、第6部分482Fは、ワイヤ73およびワイヤ71を介して、各第1半導体素子10A（各第2半導体素子10B）の第1主面電極11（ゲート電極）に導通する。図8に示すように、第1支持部48Aの第6部分482Fには、第1制御端子46Aが接合されており、第2支持部48Bの第6部分482Fには、第2制御端子47Aが接合されている。

[0056] 第2部分482Bは、複数のワイヤ72が接合され、各ワイヤ72を介して、各第1半導体素子10A（各第2半導体素子10B）の第3主面電極13（ソースセンス電極）に導通する。図8に示すように、第1支持部48Aの第2部分482Bには、第1制御端子46Bが接合されており、第2支持部48Bの第2部分482Bには、第2制御端子47Bが接合されている。

[0057] 第3部分482Cおよび第4部分482Dは、サーミスタ17が接合されている。図8に示すように、第1支持部48Aの第3部分482Cおよび第4部分482Dには、第1制御端子46C、46Dが接合されており、第2支持部48Bの第3部分482Cおよび第4部分482Dには、第2制御端子47C、47Dが接合されている。

[0058] 第1支持部48Aの第5部分482Eは、ワイヤ74が接合され、ワイヤ74を介して、第1導電部32Aに導通する。図8に示すように、第1支持部48Aの第5部分482Eには、第1制御端子46Eが接合されている。第2支持部48Bの第5部分482Eは、他の構成部位とは導通していない。上記の各ワイヤ71～74は、たとえばボンディングワイヤである。各ワイヤ71～74の構成材料は、たとえばAu（金）、Al（アルミ）あるいはCu（銅）のいずれかを含む。

[0059] 第2金属層483は、図14、図15などに示すように、絶縁層481の

下面に形成されている。第1支持部48Aの第2金属層483は、図14に示すように、接合材49を介して、第1導電部32Aに接合される。第2支持部48Bの第2金属層483は、図15に示すように、接合材49を介して、第2導電部32Bに接合される。

[0060] 第1導通部材5および第2導通部材6は、第1導電部32Aおよび第2導電部32Bとともに、複数の第1半導体素子10Aおよび複数の第2半導体素子10Bによってスイッチングされる主回路電流の経路を構成する。第1導通部材5および第2導通部材6は、第1主面301Aおよび第2主面301Bからz方向のz1側に離隔し、かつ、平面視において第1主面301Aおよび第2主面301Bに重なる。本実施形態では、第1導通部材5および第2導通部材6はそれぞれ、金属製の板材により構成される。当該金属は、たとえばCu（銅）またはCu（銅）合金を含む。具体的には、第1導通部材5および第2導通部材6は、適宜折り曲げられた金属製の板材である。

[0061] 第1導通部材5は、各第1半導体素子10Aの第2主面電極12（ソース電極）と第2導電部32Bとに接続され、各第1半導体素子10Aの第2主面電極12と第2導電部32Bとを導通させる。第1導通部材5は、複数の第1半導体素子10Aによってスイッチングされる主回路電流の経路を構成する。第1導通部材5は、図7および図8に示すように、主部51、複数の第1接合部52および複数の第2接合部53を含む。

[0062] 主部51は、x方向において、複数の第1半導体素子10Aと第2導電部32Bとの間に位置し、平面視においてy方向に延びる帯状の部位である。主部51は、平面視において第1導電部32Aおよび第2導電部32Bの双方に重なり、z方向において第1主面301Aおよび第2主面301Bからz方向のz1側に離隔している。図16などに示すように、主部51は、後述する第2導通部材6の第3経路部66および第4経路部67に対してz方向のz2側に位置し、第3経路部66および第4経路部67よりも第1主面301Aおよび第2主面301Bに近接する位置にある。

[0063] 本実施形態において、主部51は、第1主面301Aおよび第2主面30

1 Bと平行に配置されている。

[0064] 図8などに示すように、主部51は、y方向において複数の第1半導体素子10Aが配置された領域に対応して一連に延びている。本実施形態では、図7、図8、図13などに示すように、主部51には、複数の第1開口514が形成される。複数の第1開口514はそれぞれ、たとえばz方向（主部51の板厚方向）に貫通する貫通孔である。複数の第1開口514は、y方向に間隔を隔てて並ぶ。複数の第1開口514は、複数の第1半導体素子10Aそれぞれに対応して設けられる。本実施形態では、主部51には4つの第1開口514が設けられており、これら第1開口514と複数（4つ）の第1半導体素子10Aとは、y方向における位置が互いに等しい。

[0065] 本実施形態では、図8、図13などに示すように、各第1開口514は、平面視において、第1導電部32Aと第2導電部32Bとの間の隙間に重なる。複数の第1開口514は、封止樹脂8を形成するために流動性の樹脂材料を注入する際に、主部51（第1導通部材5）の付近において上側（z方向のz1側）と下側（z方向のz2側）との間で樹脂材料を流動しやすくするために形成される。

[0066] 図8などに示すように、複数の第1接合部52および複数の第2接合部53はそれぞれ、主部51につながっており、複数の第1半導体素子10Aに対応して配置される。具体的には、各第1接合部52は、主部51に対してx方向のx1側に位置している。各第2接合部53は、主部51に対してx方向のx2側に位置している。図14に示すように、各第1接合部52とこれに対応するいずれかの第1半導体素子10Aの第2主面電極12とは、導電性接合材59を介して接合される。各第2接合部53と第2導電部32Bとは、導電性接合材59を介して接合される。導電性接合材59の構成材料は特に限定されず、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。本実施形態においては、第1接合部52は、y方向に離隔した2つの部分を有する。これらの2つの部分は、第1半導体素子10Aの第2主面電極12のゲートフィンガー121を挟んで、y方向の両側において第

2主面電極12に接合されている。

[0067] 第2導通部材6は、各第2半導体素子10Bの第2主面電極12（ソース電極）と第1端子41および第2端子42とを導通させる。第2導通部材6は、第1端子41および第2端子42と一体的に形成されている。第2導通部材6は、複数の第2半導体素子10Bによってスイッチングされる主回路電流の経路を構成する。第2導通部材6は、図7および図21～図25に示すように、複数の第3接合部61、第1経路部64、第2経路部65、複数の第3経路部66および第4経路部67を含む。また、図示された例においては、第2導通部材6は、第1段差部602および第2段差部603を含む。

[0068] 複数の第3接合部61は、複数の第2半導体素子10Bに個別に接合される部位である。各第3接合部61と各第2半導体素子10Bの第2主面電極12とは、導電性接合材69を介して接合される。導電性接合材69の構成材料は特に限定されず、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。本実施形態において、第3接合部61は、2つの平坦部611および2つの第1傾斜部612を有する。

[0069] 2つの平坦部611は、y方向に並んでいる。2つの平坦部611は、y方向に互いに離隔している。平坦部611の形状は何ら限定されず、図示された例においては、矩形状である。2つの平坦部は、第2半導体素子10Bの第2主面電極12のゲートフィンガー121を挟んで、y方向の両側において第2主面電極12に接合されている。

[0070] 2つの第1傾斜部612は、2つの平坦部611のy方向の外側に繋がる。すなわち、y方向のy1側に位置する第1傾斜部612は、y方向のy1側に位置する平坦部611に対してy方向のy1側に繋がっている。また、y方向のy2側に位置する第1傾斜部612は、y方向のy2側に位置する平坦部611に対してy方向のy2側に繋がっている。第1傾斜部612は、y方向において平坦部611から離隔するほどz方向のz1側に位置するように傾斜している。

- [0071] 第1経路部64は、複数の第3接合部61と第1端子41との間に介在している。図示された例においては、第1経路部64は、第1段差部602を介して第1端子41に繋がっている。第1経路部64は、平面視において、第1導電部32Aに重なる。第1経路部64は、全体としてx方向に延びる形状である。
- [0072] 第1経路部64は、第1帯状部641および第1延出部643を含む。第1帯状部641は、第1端子41に対してx方向のx2側に位置し、第1主面301Aに対してほぼ平行である。第1帯状部641は、全体として、x方向に延びる形状である。図示された例においては、第1帯状部641は、凹部649を有する。凹部649は、第1帯状部641の一部が、y方向のy1側に凹んだ部位である。図5においては、凹部649を通して第1金属部35が現れている。
- [0073] 第1延出部643は、第1帯状部641のy方向のy1側の側端から、z方向のz2側に延出している。第1延出部643は、第1導電部32Aから離隔している。図示された例においては、第1延出部643は、z方向に沿った形状であり、x方向を長手方向とする長矩形形状である。なお、第1経路部64は、第1延出部643を有さない構成もあってもよい。
- [0074] 第2経路部65は、複数の第3接合部61と第2端子42との間に介在している。図示された例においては、第2経路部65は、第2段差部603を介して第2端子42に繋がっている。第2経路部65は、平面視において、第1導電部32Aに重なる。第2経路部65は、全体としてx方向に延びる形状である。
- [0075] 第2経路部65は、第2帯状部651および第2延出部653を含む。第2帯状部651は、第2端子42に対してx方向のx2側に位置し、第1主面301Aに対してほぼ平行である。第2帯状部651は、全体として、x方向に延びる形状である。図示された例においては、第2帯状部651は、凹部659を有する。凹部659は、第2帯状部651の一部が、y方向のy2側に凹んだ部位である。図5においては、凹部659を通して第2金属部35が現れている。

部 3 6 が現れている。

[0076] 第 2 延出部 6 5 3 は、第 2 帯状部 6 5 1 の y 方向の y 2 側の側端から、z 方向の z 2 側に延出している。第 2 延出部 6 5 3 は、第 1 導電部 3 2 A から離隔している。図示された例においては、第 2 延出部 6 5 3 は、z 方向に沿った形状であり、x 方向を長手方向とする長矩形形状である。なお、第 2 経路部 6 5 は、第 2 延出部 6 5 3 を有さない構成であってもよい。

[0077] なお、以降の説明において、第 1 経路部 6 4 に関する変形例や他の実施形態を説明する場合、第 1 経路部 6 4 に関する構成は、たとえば x 方向に延びる中心線についての線対称となる関係で、第 2 経路部 6 5 にも適宜採用可能である。

[0078] 複数の第 3 経路部 6 6 は、複数の第 3 接合部 6 1 に個別に繋がっている。各第 3 経路部 6 6 は、x 方向に延びた形状であり、y 方向に互いに離隔して配列されている。複数の第 3 経路部 6 6 の個数は何ら限定されず、図示された例においては、5 つの第 3 経路部 6 6 が配置されている。各第 3 経路部 6 6 は、y 方向において、複数の第 2 半導体素子 1 0 B の間に位置するように、または複数の第 2 半導体素子 1 0 B よりも y 方向における外側に位置するように配置されている。

[0079] y 方向の両外側に位置する 2 つの第 3 経路部 6 6 には、凹部 6 6 9 が形成されている。凹部 6 6 9 は、y 方向の内側から外側に向かって凹んでいる。図示された例においては、2 つの第 3 経路部 6 6 に 1 つずつの凹部 6 6 9 が形成されている。図 5 において、これらの凹部 6 6 9 を通して、第 2 導電部 3 2 B が現れている。

[0080] 本実施形態においては、y 方向に隣り合う 2 つの第 3 経路部 6 6 の間に、1 つの第 3 接合部 6 1 が配置されている。1 つの第 3 接合部 6 1 において、y 方向の y 1 側に位置する第 1 傾斜部 6 1 2 は、y 方向に隣り合う 2 つの第 3 経路部 6 6 のうち y 方向の y 1 側に位置する第 3 経路部 6 6 に繋がっている。1 つの第 3 接合部 6 1 において、y 方向の y 2 側に位置する第 1 傾斜部 6 1 2 は、y 方向に隣り合う 2 つの第 3 経路部 6 6 のうち y 方向の y 2 側に

位置する第3経路部66に繋がっている。

[0081] 第4経路部67は、複数の第3経路部66のx方向のx1側の端に繋がっている。第4経路部67は、y方向に長く延びる形状である。第4経路部67は、第1経路部64の第1帯状部641および第2経路部65の第2帯状部651のx方向のx2側の端に繋がっている。図示された例においては、第4経路部67のy方向のy1側の端に第1経路部64が繋がっている。また、第4経路部67のy方向のy2側の端に第2経路部65が繋がっている。

[0082] 図23および図24に示すように、本実施形態においては、第3接合部61は、第3先端部615を有する。第3先端部615は、第3接合部61のうちz方向においてz2側に位置する部位である。第3接合部61の具体的な形状等によって、第3接合部61のいずれの部位が第3先端部615を構成するかは、種々に設定可能である。図示された例においては、平坦部611のz方向のz2側の面が、第3先端部615を構成している。

[0083] 複数の第3接合部61の第3先端部615のz方向における位置が、支持基板3の湾曲に対応して設定されている。より具体的には、図23に示すように、複数の第3経路部66のz方向における位置は、互いに同じである。また、複数の第3経路部66と第4経路部67とのz方向における位置は、互いに同じである。複数の第3接合部61の第3先端部615と第5接合部63とのz方向における距離Gzが、支持基板3の湾曲に対応して設定されている。

[0084] 図23において、y方向のy2側に位置する第3接合部61の距離Gzから順に距離Gz1、距離Gz2、距離Gz3および距離Gz4とする。図中の湾曲した想像線は、湾曲した支持基板3の第2主面301Bの湾曲形状を、理解の便宜上、誇張して示している。図示された例においては、第2主面301Bは、y方向の中央部分がz方向のz2側に位置し、y方向の両端部分がz方向のz1側に位置するように湾曲している。この場合、距離Gz1は、距離Gz2よりも小さい。また、距離Gz4は、距離Gz3よりも小さい。

い。距離 $Gz1$ と距離 $Gz4$ とは、たとえば略同じであり、距離 $Gz2$ と距離 $Gz3$ とは、略同じである。距離 $Gz1$ と距離 $Gz2$ との差は、たとえば $40\mu\text{m}$ 程度である。また、距離 $Gz3$ と $Gz4$ との差は、たとえば $40\mu\text{m}$ 程度である。この際、導電性接合材 69 の厚さは、たとえば $60\mu\text{m}$ 以上 $120\mu\text{m}$ 以下である。なお、距離 $Gz1$ ~ 距離 $Gz4$ の大小関係は、支持基板 3 (第 2 主面 301B) の湾曲方向や湾曲量に応じて適宜設定される。

[0085] 図 24 に示すように、本実施形態においては、第 1 傾斜部 612 の厚さ $t2$ は、平坦部 611 の厚さ $t1$ よりも薄い。また、第 1 傾斜部 612 の厚さ $t2$ は、第 3 経路部 66 の厚さ $t0$ よりも薄い。また、平坦部 611 の厚さ $t1$ と、第 3 経路部 66 の厚さ $t0$ とは、同じである。

[0086] このような第 3 接合部 61 を形成する工程においては、まず、金属板材料に平坦部 611 および第 1 傾斜部 612 となる中間部分を切断加工等によって形成する。この際、1 つの第 3 接合部 61 を 2 つの中間部分によって形成する。この 2 つの中間部分の間には、隙間 619 を設ける。隙間 619 は、第 2 半導体素子 10B の第 2 主面電極 12 のゲートフィンガー 121 を位置させる部位である。このため、隙間 619 の大きさは、たとえばゲートフィンガー 121 の y 方向寸法と略同じか若干大きく設定される。

[0087] 2 つの中間部分のうち 2 つの平坦部 611 となる部分をたとえば金型等によって挟み、第 3 経路部 66 や第 4 経路部 67 に対して z 方向の $z2$ 側に移動させる。これにより、2 つの中間部の一部ずつが傾斜形状となり、2 つの第 1 傾斜部 612 となる。この加工において、第 1 傾斜部 612 となった部分には、引張加工が施される。このため、厚さ $t2$ が、厚さ $t1$ および厚さ $t0$ よりも薄い関係となる。隙間 619 の y 方向の寸法は、金型を z 方向の $z2$ 側に移動させる前後において、ほとんど変化しない。上述の距離 $Gz1$ ~ 距離 $Gz4$ の大きさは、たとえば金型を移動させる量によって調整することができる。

[0088] 封止樹脂 8 は、複数の第 1 半導体素子 10A と、複数の第 2 半導体素子 10B と、支持基板 3 (裏面 302 を除く) と、第 1 端子 41、第 2 端子 42

、複数の第3端子43、および第4端子44の一部ずつと、複数の制御端子45の一部ずつと、制御端子支持体48と、第1導通部材5と、第2導通部材6と、複数のワイヤ71～ワイヤ74と、をそれぞれ覆っている。封止樹脂8は、たとえば黒色のエポキシ樹脂で構成される。封止樹脂8は、たとえばモールド成形により形成される。封止樹脂8は、たとえばx方向の寸法が35mm～60mm程度であり、たとえばy方向の寸法が35mm～50mm程度であり、たとえばz方向の寸法が4mm～15mm程度である。これらの寸法は、各方向に沿う最大部分の大きさである。封止樹脂8は、樹脂主面81、樹脂裏面82および複数の樹脂側面831～834を有する。

[0089] 樹脂主面81と樹脂裏面82とは、図10、図12および図18などに示すように、z方向に離隔する。樹脂主面81は、z方向のz1側を向き、樹脂裏面82は、z方向のz2側を向く。樹脂主面81から複数の制御端子45（複数の第1制御端子46A～46Eおよび複数の第2制御端子47A～47D）が突き出ている。樹脂裏面82は、図11に示すように、平面視において支持基板3の裏面302（裏面金属層33の下面）を囲む枠状である。支持基板3の裏面302は、樹脂裏面82から露出し、たとえば樹脂裏面82と面一である。複数の樹脂側面831～834はそれぞれ、樹脂主面81および樹脂裏面82の双方につながり、かつ、z方向においてこれらに挟まれている。図4などに示すように、樹脂側面831と樹脂側面832とはx方向に離隔する。樹脂側面831はx方向のx2側を向き、樹脂側面832は、x方向のx1側を向く。樹脂側面831から2つの第3端子43が突き出しており、樹脂側面832から第1端子41、第2端子42および第4端子44が突き出ている。図4などに示すように、樹脂側面833と樹脂側面834とは、y方向に離隔する。樹脂側面833は、y方向のy2側を向き、樹脂側面834は、y方向のy1側を向く。

[0090] 樹脂側面832には、図4に示すように、複数の凹部832aが形成されている。各凹部832aは、平面視においてx方向に窪んだ部位である。複数の凹部832aは、平面視において第1端子41と第4端子44との間に

形成されたものと、第2端子42と第4端子44との間に形成されたものがある。複数の凹部832aは、第1端子41と第4端子44との樹脂側面832に沿う沿面距離、および、第2端子42と第4端子44との樹脂側面832に沿う沿面距離を大きくするために設けられている。

[0091] 封止樹脂8は、図12および図13などに示すように、複数の第1突出部851、複数の第2突出部852および樹脂空隙部86を有する。

[0092] 複数の第1突出部851はそれぞれ、樹脂主面81からz方向に突出している。複数の第1突出部851は、平面視において封止樹脂8の四隅付近に配置されている。各第1突出部851の先端（z方向のz1側の端部）には、第1突出端面851aが形成されている。複数の第1突出部851における各第1突出端面851aは、樹脂主面81と略平行であり、かつ、同一平面（x-y平面）上にある。各第1突出部851は、たとえば有底中空の円錐台状である。複数の第1突出部851は、半導体装置A1によって生成された電源を利用する機器において、その機器が有する制御用の回路基板などに半導体装置A1が搭載される際に、スペーサーとして利用される。複数の第1突出部851は、それぞれ、凹部851bと、当該凹部851bに形成された内壁面851cとを有する。各第1突出部851の形状は柱状であればよく、円柱状であることが好ましい。凹部851bの形状は円柱状であって、平面視において内壁面851cは単一の真円状であることが好ましい。

[0093] 半導体装置A1は、制御用の回路基板などに対して、ねじ止めなどの方法によって機械的に固定される場合がある。この場合には、複数の第1突出部851における凹部851bの内壁面851cに、めねじのねじ山を形成することができる。複数の第1突出部851における凹部851bにインサートナットを埋め込んでもよい。

[0094] 複数の第2突出部852は、図13などに示すように、樹脂主面81からz方向に突出している。複数の第2突出部852は、平面視において複数の制御端子45に重なる。複数の制御端子45の各金属ピン452は、各第2突出部852から突き出ている。各第2突出部852は、円錐台状である。

第2突出部852は、各制御端子45において、ホルダ451と金属ピン452の一部とを覆う。

[0095] 次に、本実施形態の作用について説明する。

[0096] 第1端子41と第2導通部材6とは、一体的に形成されている。これにより、第1端子41と第2導通部材6とが接合された構成と比べて、半導体装置A1の製造工程における接合工程を削減することが可能である。また、半導体装置A1の使用時に、接合部に亀裂や剥離等が生じることを回避することが可能である。したがって、半導体装置A1の製造工程の簡略化、または使用時の信頼性向上を図ることができる。

[0097] また、第2端子42と第2導通部材6とは、一体的に形成されている。これにより、第2端子42と第2導通部材6とが接合された構成と比べて、半導体装置A1の製造工程における接合工程を削減することが可能である。また、半導体装置A1の使用時に、接合部に亀裂や剥離等が生じることを回避することが可能である。したがって、半導体装置A1の製造工程の簡略化、または使用時の信頼性向上を図ることができる。

[0098] 第2導通部材6は、第1端子41に繋がる第1段差部602を有する。これにより、第2導通部材6と第1端子41との連結部分の剛性を高めることができる。

[0099] 第2導通部材6は、第2端子42に繋がる第2段差部603を有する。これにより、第2導通部材6と第2端子42との連結部分の剛性を高めることができる。

[0100] 第3接合部61は、2つの平坦部611と2つの第1傾斜部612とを有する。2つの第1傾斜部612は、2つの平坦部611に対してy方向の外側に繋がっている。このため、第2主面電極12を流れる電流は、第2主面電極12から平坦部611および第1傾斜部612を介してy方向の両側に流れる。これにより、第2主面電極12に流れる電流が一箇所に集中することを抑制することができる。

[0101] 2つの平坦部611は、y方向に離隔している。これにより、2つの平坦

部 6 1 1 および 2 つの第 1 傾斜部 6 1 2 の双方に、確実に電流を流すことが可能であり、電流集中の抑制に好ましい。

[0102] 2 つの平坦部 6 1 1 を互いに離隔することにより、これらの間に第 2 主面電極 1 2 のゲートフィンガー 1 2 1 を配置させることができる。

[0103] y 方向において隣り合う 2 つの第 3 経路部 6 6 の間に、1 つの第 3 接合部 6 1 が配置されている。これにより、1 つの第 2 半導体素子 1 0 B の第 2 主面電極 1 2 を流れる電流を 2 つの第 3 経路部 6 6 に分散して流すことが可能である。

[0104] 複数の第 3 接合部 6 1 の第 3 先端部 6 1 5 の z 方向における位置は、支持基板 3 (第 2 主面 3 0 1 B) の湾曲に対応して設定されている。これにより、複数の第 3 接合部 6 1 の第 3 先端部 6 1 5 と、複数の第 2 半導体素子 1 0 B の第 2 主面電極 1 2 との z 方向における距離を、より均一化することが可能である。これにより、いずれかの第 2 半導体素子 1 0 B の第 2 主面電極 1 2 と第 3 接合部 6 1 とを接合する導電性接合材 6 9 の厚さが不当に薄くなるなどにより、導電性接合材 6 9 に亀裂や剥離が生じることを抑制可能であり、製品寿命の短縮を抑制することができる。

[0105] 本実施形態においては、複数の第 3 接合部 6 1 の平坦部 6 1 1 と第 3 経路部 6 6 との z 方向における距離 G_z が、支持基板 3 (第 2 主面 3 0 1 B) の湾曲に対応して設定されている。このような構成により、第 3 経路部 6 6 および第 4 経路部 6 7 等の形成においては、支持基板 3 の湾曲に関係なく、たとえば平坦な形状に形成し、複数の第 3 接合部 6 1 の形成において、支持基板 3 の湾曲を考慮すればよい。

[0106] 第 1 傾斜部 6 1 2 の厚さ t_2 は、平坦部 6 1 1 の厚さ t_1 よりも薄い。このような構成は、上述した、金型による引張加工によって形成可能である。この場合、隙間 6 1 9 の大きさを所望の大きさに管理しやすいという利点がある。

[0107] 図 2 6 ~ 図 4 8 は、本開示の変形例および他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記

実施形態と同一の符号を付している。また、各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0108] 図26および図27は、半導体装置A1の第1変形例を示している。本変形例の半導体装置A11においては、第2導通部材6が、上述の第1段差部602および第2段差部603を有していない。

[0109] 本変形例においては、第1端子41のz方向における位置は、第1経路部64の第1帯状部641のz方向における位置と同じである。すなわち、第1端子41と第1帯状部641とは、一体的な平板状に繋がっている。

[0110] また、第2端子42のz方向における位置は、第2経路部65の第2帯状部651のz方向における位置と同じである。すなわち、第2端子42と第2帯状部651とは、一体的な平板状に繋がっている。

[0111] 本変形例によっても、半導体装置A11の製造工程の簡略化、または使用時の信頼性向上を図ることができる。また、本変形例から理解されるように、第2導通部材6と第1端子41および第2端子42との連結部分の具体的な形状は、何ら限定されない。

[0112] 図28～図35は、本開示の第2実施形態に係る半導体装置を示している。本実施形態の半導体装置A2は、主に第2導通部材6の構成が、上述の実施形態と異なっている。

[0113] 本実施形態においては、図28、図30～図35に示すように、第2導通部材6の第4経路部67のx方向の寸法が、上述した実施形態の第4経路部67のx方向の寸法よりも大きい。第4経路部67は、z方向に視て、第1導電部32Aおよび第2導電部32Bの双方と重なる大きさである。また、第3経路部66のx方向の寸法は、第4経路部67のx方向の寸法よりも顕著に小さい。第4経路部67と第3接合部61とのx方向の隙間は、第3接合部61のx方向の寸法よりも小さい。

[0114] また、図28、図30、図31および図33に示すように、本実施形態においては、第2導通部材6と第1端子41および第2端子42とは、導電性

接合材 6 9 を介して接合されている。すなわち、第 2 導通部材 6 と第 1 端子 4 1 および第 2 端子 4 2 とは、一体的に形成されていない。導電性接合材 6 9 は、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。

[0115] 第 2 導通部材 6 は、第 4 接合部 6 2 および第 5 接合部 6 3 を有する。第 4 接合部 6 2 は、第 1 経路部 6 4 の x 方向の x 1 側の端部に繋がっている。第 4 接合部 6 2 は、導電性接合材 6 9 によって第 1 端子 4 1 に接合されている。第 5 接合部 6 3 は、第 2 経路部 6 5 の x 方向の x 1 側の端部に繋がっている。第 5 接合部 6 3 は、導電性接合材 6 9 によって第 2 端子 4 2 に接合されている。

[0116] また、図 2 8 ~ 図 3 0 に示すように、第 1 支持部 4 8 A には、サーミスタ 1 7 は設けられていない。このため、半導体装置 A 2 は、上述の実施形態における第 1 制御端子 4 6 C および第 1 制御端子 4 6 D を備えていない。

[0117] 本実施形態によっても、第 2 主面電極 1 2 に流れる電流が一箇所に集中することを抑制することができる。また、本実施形態から理解されるように、第 2 導通部材 6 と第 1 端子 4 1 および第 2 端子 4 2 とは、一体的に形成されていない構成であってもよい。

[0118] 第 4 経路部 6 7 の x 方向の寸法が大きく、たとえば第 3 経路部 6 6 の x 方向の寸法よりも大きい構成により、第 4 経路部 6 7 における電流集中をより抑制することができる。

[0119] 図 3 6 および図 3 7 は、本開示の第 3 実施形態に係る半導体装置の第 2 導通部材 6 を示している。本実施形態の第 2 導通部材 6 は、6 つの第 3 接合部 6 1 を有する。これは、本実施形態に係る半導体装置が、6 つの第 2 半導体素子 1 0 B を備えることに対応している。6 つの第 3 接合部 6 1 に対応して、第 2 導通部材 6 は、7 つの第 3 経路部 6 6 を有する。

[0120] 図 3 7 に示すように、本実施形態においては、6 つの第 3 接合部 6 1 の第 3 先端部 6 1 5 と第 3 経路部 6 6 とのそれぞれの距離 $G z 1 \sim$ 距離 $G z 6$ が、支持基板 3 (第 2 主面 3 0 1 B) の湾曲に対応して設定されている。

[0121] 本実施形態によっても、製品寿命の短縮を抑制することができる。また、

本実施形態から理解されるように、第2導通部材6の第3接合部61の個数は、複数の第2半導体素子10Bの個数に対応して適宜設定すればよい。

[0122] 図38～図40は、本開示の第4実施形態に係る半導体装置の第2導通部材6を示している。本実施形態においては、第3接合部61が、凸部613を有する。凸部613は、平坦部611よりもz方向のz2側に突出している。凸部613の個数、大きさ、形状等は、何ら限定されない。図示された例においては、凸部613は、z方向に視て、円形状である。また、1つの平坦部611から1つの凸部613が突出している。本実施形態においては、第3先端部615は、凸部613のz方向のz2側の先端部分によって構成されている。

[0123] 凸部613の形成手法は、何ら限定されない。凸部613は、たとえば平坦部611の一部にエンボス加工を施すことにより形成可能である。

[0124] 本実施形態によっても、導電性接合材69に亀裂や剥離が生じることを抑制可能であり、製品寿命の短縮を抑制することができる。また、第2導通部材6のいずれかの部分の形状、または、支持基板3の形状が、意図しない変形を伴っている場合、第3接合部61と第2主面301Bとが著しく接近する場合がある。本実施形態においては、第3接合部61は、凸部613を有する。凸部613は、平坦部611から突出している。このため、仮に、第3接合部61が第2主面301Bに著しく接近しても、凸部613が第2主面301Bに当接する。これにより、絶縁層311と第2主面301Bとの間には、隙間が確保される。したがって、導電性接合材69の厚さがほとんど無くなってしまふことを回避することができる。

[0125] 図41は、本開示の第4実施形態に係る半導体装置の第2導通部材6の第1変形例を示している。本変形例においては、1つの平坦部611から2つの凸部613が突出している。2つの凸部613は、x方向に並んでいる。本変形例から理解されるように、凸部613の個数は、何ら限定されない。

[0126] 図42は、本開示の第4実施形態に係る半導体装置の第2導通部材6の第2変形例を示している。本変形例においては、凸部613は、z方向に視て

、 x 方向に長く延びる形状である。凸部613は、平坦部611の x 方向の両端に到達している。本変形例から理解されるように、凸部613の形状は、何ら限定されない。

[0127] 図43は、本開示の第5実施形態に係る半導体装置の第2導通部材6を示している。本実施形態においては、平坦部611が、 y 方向に対して傾斜している。第3先端部615は、平坦部611の z 方向の z 2側の先端によって構成されている。本実施形態においては、距離 G_z は、第1傾斜部612に対する平坦部611の角度を調整することにより設定可能である。

[0128] 図44および図45は、本開示の第6実施形態に係る半導体装置の第1導通部材5を示している。本実施形態においては、第1導通部材5の複数の第1接合部52の各々が、第1先端部525を有する。複数の第1先端部525の z 方向における位置は、支持基板3（第1主面301A）の湾曲に応じて設定されている。

[0129] 第1接合部52は、2つの平坦部521および2つの傾斜部522を有する。2つの平坦部521は、 y 方向に離隔して配置されている。2つの傾斜部522は、主部51と2つの平坦部521とを個別に連結している。傾斜部522は、 x 方向において平坦部521から x 2側に位置するほど、 z 方向の z 1側に位置するように傾斜している。本実施形態においては、第1先端部525は、平坦部521の z 方向の z 2側の面によって構成されている。

[0130] 図示された例においては、図45に示すように、複数の第1接合部52の第1先端部525と主部51との z 方向における距離 $G_{z1} \sim G_{z4}$ が、第1主面301Aの湾曲に対応して設定されている。

[0131] 本実施形態によっても、製品寿命の短縮を抑制することができる。また、本実施形態から理解されるように、支持基板3の湾曲に対応させる構成は、第1導通部材5および第2導通部材6のいずれかに採用してもよいし、双方に採用してもよい。

[0132] 図46は、本開示の第6実施形態に係る半導体装置の第1導通部材5の第

1変形例を示している。本変形例においては、第1接合部52が凸部523を有する。

[0133] 凸部523は、平坦部521からz方向のz2側に突出している。凸部523の具体的構成は何ら限定されず、たとえば上述の凸部613と同様の構成であってもよい。本変形例においては、第1先端部525は、凸部523のz方向のz2側の先端部分によって構成されている。

[0134] 本変形例によっても、製品寿命の短縮を抑制することができる。また、第1接合部52のいずれの部位が第1先端部525を構成するかは、何ら限定されず、種々に設定可能である。

[0135] 図47は、本開示の第7実施形態に係る半導体装置の第2半導体素子10Bおよび第2導電性接合材19Bを模式的に示す部分拡大断面図である。

[0136] 本実施形態においては、複数の第2導電性接合材19Bの厚さ方向zにおける厚さが、支持基板3の湾曲に対応して設定されている。より具体的には、図47に示すように、複数の第2導電性接合材19Bの厚さ方向zにおける厚さ T_b が、支持基板3の湾曲に対応して設定されている。

[0137] 図47において、第2方向yのy2側に位置する第2導電性接合材19Bの厚さ T_b から順に厚さ T_{b1} 、厚さ T_{b2} 、厚さ T_{b3} および厚さ T_{b4} とする。図中の湾曲した想像線は、湾曲した支持基板3の第2主面301Bの湾曲形状を、理解の便宜上、誇張して示している。また、図中の第2半導体素子10Bおよび第2導電性接合材19Bの厚さ等を、理解の便宜上、誇張して示している。図示された例においては、第2主面301Bは、第2方向yの中央部分が厚さ方向zのz2側に位置し、第2方向yの両端部分が厚さ方向zのz1側に位置するように湾曲している。この場合、厚さ T_{b1} は、厚さ T_{b2} よりも小さい。また、厚さ T_{b4} は、厚さ T_{b3} よりも小さい。厚さ T_{b1} と厚さ T_{b4} とは、たとえば略同じであり、厚さ T_{b2} と厚さ T_{b3} とは、略同じである。厚さ T_{b1} と厚さ T_{b2} との差は、たとえば $40\mu\text{m}$ 程度である。また、厚さ T_{b3} と厚さ T_{b4} との差は、たとえば $40\mu\text{m}$ 程度である。この際、第2導電性接合材19Bの厚さは、たとえば70

μm 以上 $130\mu\text{m}$ 以下である。なお、厚さ $Tb1$ ～厚さ $Tb4$ の大小関係は、支持基板3（第2主面301B）の湾曲方向や湾曲量に応じて適宜設定される。

[0138] 厚さ $Tb1$ ～ $Tb4$ を第2主面301Bの湾曲に対応して設定する具体的手法としては、たとえば、複数の第2導電性接合材19Bがはんだである場合、その材料となるはんだペーストの塗布量を調整する手法が用いられる。

[0139] 複数の第2導電性接合材19Bの厚さ方向 z における厚さ Tb は、支持基板3（第2主面301B）の湾曲に対応して設定されている。これにより、いずれかの第2半導体素子10Bと第2主面301Bとを接合する第2導電性接合材19Bの厚さが不当に薄くなるなどにより、第2導電性接合材19Bに亀裂や剥離が生じることを抑制可能である。したがって、支持基板3に湾曲等の変形が生じた場合であっても、製品寿命の短縮を抑制することができる。

[0140] また、複数の第2導電性接合材19Bの厚さ方向 z における厚さ Tb が、支持基板3（第2主面301B）の湾曲に対応して設定されていることにより、いずれかの第2導電性接合材19Bの厚さが、過度に厚くなることを回避可能である。第2導電性接合材19Bが厚すぎると、第2半導体素子10Bから第2導電部32Bへの放熱不足が懸念される。本実施形態によれば、複数の第2半導体素子10Bからの放熱をより均一化することができる。

[0141] 図48は、本開示の第8実施形態に係る半導体装置の第1半導体素子10Aおよび第1導電性接合材19Aを模式的に示す部分拡大断面図である。

[0142] 本実施形態においては、複数の第1導電性接合材19Aの厚さ方向 z における厚さが、支持基板3の湾曲に対応して設定されている。より具体的には、複数の第1導電性接合材19Aの厚さ方向 z における厚さ Ta が、支持基板3の湾曲に対応して設定されている。

[0143] 図48において、第2方向 y の $y2$ 側に位置する第1導電性接合材19Aの厚さ Ta から順に厚さ $Ta1$ 、厚さ $Ta2$ 、厚さ $Ta3$ および厚さ $Ta4$ とする。図中の湾曲した想像線は、湾曲した支持基板3の第1主面301A

の湾曲形状を、理解の便宜上、誇張して示している。また、図中の第1半導体素子10Aおよび第1導電性接合材19Aの厚さ等を、理解の便宜上、誇張して示している。図示された例においては、第1主面301Aは、第2方向yの中央部分が厚さ方向zのz2側に位置し、第2方向yの両端部分が厚さ方向zのz1側に位置するように湾曲している。この場合、厚さTa1は、厚さTa2よりも小さい。また、厚さTa4は、厚さTa3よりも小さい。厚さTa1と厚さTa4とは、たとえば略同じであり、厚さTa2と厚さTa3とは、略同じである。厚さTa1と厚さTa2との差は、たとえば40 μ m程度である。また、厚さTa3と厚さTa4との差は、たとえば40 μ m程度である。この際、第1導電性接合材19Aの厚さは、たとえば70 μ m以上130 μ m以下である。なお、厚さTa1～厚さTa4の大小関係は、支持基板3（第1主面301A）の湾曲方向や湾曲量に応じて適宜設定される。

[0144] 厚さTa1～Ta4を第1主面301Aの湾曲に対応して設定する具体的手法としては、たとえば、複数の第1導電性接合材19Aがはんだである場合、その材料となるはんだペーストの塗布量を調整する手法が用いられる。

[0145] 本実施形態によっても、支持基板3に湾曲等の変形が生じた場合であっても、製品寿命の短縮を抑制することができる。また、本実施形態から理解されるように、支持基板3の湾曲状態（湾曲箇所、湾曲方向、湾曲量等）に応じて、複数の第1導電性接合材19Aの厚さTaおよび複数の第2導電性接合材19Bの厚さTbのいずれかのみを支持基板3の湾曲に対応して設定してもよいし、双方を支持基板3の湾曲に対応して設定してもよい。

[0146] 次に、図49に基づき、本開示に係る半導体装置Aが搭載された車両Bについて説明する。車両Bは、たとえば電気自動車（EV）である。

[0147] 図49に示すように、車両Bは、車載充電器91、蓄電池92および駆動系統93を備える。車載充電器91には、屋外に設置された給電施設（図示略）から無線により電力が供給される。この他、給電施設から車載充電器91への電力の供給手段は、有線でもよい。車載充電器91には、昇圧型のD

DCコンバータが構成されている。車載充電器91に供給された電力の電圧は、当該コンバータにより昇圧された後、蓄電池92に給電される。昇圧された電圧は、たとえば600Vである。

[0148] 駆動系統93は、車両Bを駆動する。駆動系統93は、インバータ931および駆動源932を有する。半導体装置Aは、インバータ931の一部を構成する。蓄電池92に蓄えられた電力は、インバータ931に給電される。蓄電池92からインバータ931に給電される電力は、直流電力である。この他、図24に示す電力系統とは異なり、蓄電池92とインバータ931との間に昇圧型のDC-DCコンバータをさらに設けてもよい。インバータ931は、直流電力を交流電力に変換する。半導体装置Aを含めたインバータ931は、駆動源932に導通している。駆動源932は、交流モータおよび変速機を有する。インバータ931によって変換された交流電力が駆動源932に供給されると、交流モータが回転するとともに、その回転が変速機に伝達される。変速機は、交流モータから伝達された回転数を適宜減じた上で、車両Bの駆動軸を回転させる。これにより、車両Bが駆動する。車両Bの駆動にあたっては、アクセルペダルの変動量などの情報に基づき交流モータの回転数を自在に操作する必要がある。そこで、インバータ931における半導体装置Aは、要求される交流モータの回転数に対応させるべく、周波数が適宜変化された交流電力を出力するために必要である。

[0149] 本開示に係る半導体装置は、上述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0150] 付記X1.

厚さ方向の一方側を向く第1主面を有し且つ前記厚さ方向と直交する第1方向の一方側に位置する第1導電部、および前記厚さ方向の一方側を向く第2主面を有し且つ前記第1方向の他方側に位置する第2導電部、を有する支持基板と、

前記第1導電部に搭載され且つ各々がスイッチング機能を有するとともに

前記厚さ方向および前記第 1 方向の双方に直交する第 2 方向に配列された複数の第 1 半導体素子と、

前記第 2 導電部に搭載され且つ各々がスイッチング機能を有するとともに前記第 2 方向に配列された複数の第 2 半導体素子と、

前記第 1 導電部に対して前記第 1 方向の一方側に突出する第 1 端子と、

前記複数の第 1 半導体素子と前記第 2 導電部とを導通させる第 1 導通部材と、

前記複数の第 2 半導体素子と前記第 1 端子とを導通させる第 2 導通部材と

、
前記複数の第 1 半導体素子、前記複数の第 2 半導体素子、前記第 1 導通部材および前記第 2 導通部材と、前記支持基板および前記第 1 端子の一部ずつと、を覆う封止樹脂と、を備え、

前記第 1 導通部材は、前記複数の第 1 半導体素子に個別に接合された複数の第 1 接合部と、前記第 2 導電部に接合された第 2 接合部と、を有し、

前記第 2 導通部材は、前記複数の第 2 半導体素子に個別に接合された複数の第 3 接合部を有し、

前記複数の第 1 接合部の各々は、前記厚さ方向において最も他方側に位置する第 1 先端部を有し、

前記複数の第 3 接合部の各々は、前記厚さ方向において最も他方側に位置する第 3 先端部を有し、

前記複数の第 1 接合部の前記第 1 先端部の前記厚さ方向における位置、および前記複数の第 3 接合部の前記第 3 先端部の前記厚さ方向における位置、の少なくともいずれかは、前記支持基板の湾曲に対応して設定されている、半導体装置。

付記 X 2.

前記複数の第 3 接合部の前記第 3 先端部の前記厚さ方向における位置が、前記支持基板の湾曲に対応して設定されている、付記 X 1 に記載の半導体装置。

付記 X 3.

前記複数の第 3 接合部の各々は、前記複数の第 1 半導体素子に接合された平坦部を有する、付記 X 2 に記載の半導体装置。

付記 X 4.

前記第 1 導電部に対して前記第 1 方向の一方側に突出し且つ前記第 1 端子に対して前記第 2 方向の他方側に位置する第 2 端子をさらに備え、

前記第 2 導通部材は、前記複数の第 3 接合部および前記第 1 端子の間に介在する第 1 経路部と、前記複数の第 3 接合部および前記第 2 端子の間に介在する第 2 経路部と、各々が前記第 1 方向に延びる複数の第 3 経路部と、前記複数の第 3 経路部の前記第 1 方向の一方側端、前記第 1 経路部および前記第 2 経路部に繋がり且つ前記第 2 方向に延びる第 4 経路部と、を有し、

前記複数の第 3 接合部は、前記複数の第 3 経路部に繋がっている、付記 X 3 に記載の半導体装置。

付記 X 5.

前記複数の第 3 経路部の前記厚さ方向における位置は、互いに同じであり、

前記複数の第 3 接合部の前記平坦部と前記第 3 経路部との前記厚さ方向における距離が、前記支持基板の湾曲に対応して設定されている、付記 X 4 に記載の半導体装置。

付記 X 6.

前記第 3 接合部は、前記第 3 経路部と前記平坦部との間に介在する第 1 傾斜部を有する、付記 X 5 に記載の半導体装置。

付記 X 7.

前記第 1 傾斜部の厚さは、前記平坦部の厚さ以下である、付記 X 6 に記載の半導体装置。

付記 X 8.

前記第 1 傾斜部の厚さは、前記第 3 経路部の厚さ以下である、付記 X 6 または X 7 に記載の半導体装置。

付記 X 9.

前記平坦部の厚さと、前記第 3 経路部の厚さは、同じである、付記 X 6 ないし X 8 のいずれかに記載の半導体装置。

付記 X 10.

前記第 1 端子と前記第 2 導通部材とは、一体的に形成されている、付記 X 6 ないし 9 のいずれかに記載の半導体装置。

付記 X 11.

前記第 2 端子と前記第 2 導通部材とは、一体的に形成されている、付記 X 10 に記載の半導体装置。

付記 X 12.

前記第 3 接合部は、各々が前記第 2 半導体素子に接合され且つ前記第 2 方向に並んだ 2 つの前記平坦部と、前記 2 つの平坦部に対して前記第 2 方向の外側に繋がる 2 つの前記第 1 傾斜部と、を有する、付記 X 6 に記載の半導体装置。

付記 X 13.

前記第 1 傾斜部は、前記厚さ方向に視て前記第 3 経路部から前記第 2 方向に延びている、付記 X 12 に記載の半導体装置。

付記 X 14.

前記第 3 接合部の前記 2 つの平坦部は、前記第 2 方向に離隔している、付記 X 13 に記載の半導体装置。

付記 X 15.

前記複数の第 3 接合部の各々は、前記平坦部から前記厚さ方向の他方側に突出する凸部を有する、付記 X 3 ないし X 14 のいずれかに記載の半導体装置。

付記 X 16.

駆動源と、

付記 X 1 ないし X 15 のいずれかに記載の半導体装置と、を備え、

前記半導体装置は、前記駆動源に導通している、車両。

[0151] 付記 Y 1.

厚さ方向の一方側を向く第 1 主面を有し且つ前記厚さ方向と直交する第 1 方向の一方側に位置する第 1 導電部、および前記厚さ方向の一方側を向く第 2 主面を有し且つ前記第 1 方向の他方側に位置する第 2 導電部、を有する支持基板と、

前記第 1 導電部に第 1 導電性接合材を介して搭載され且つ各々がスイッチング機能を有するとともに前記厚さ方向および前記第 1 方向の双方に直交する第 2 方向に配列された複数の第 1 半導体素子と、

前記第 2 導電部に第 2 導電性接合材を介して搭載され且つ各々がスイッチング機能を有するとともに前記第 2 方向に配列された複数の第 2 半導体素子と、

前記第 1 導電部に対して前記第 1 方向の一方側に突出する第 1 端子と、前記複数の第 1 半導体素子と前記第 2 導電部とを導通させる第 1 導通部材と、

前記複数の第 2 半導体素子と前記第 1 端子とを導通させる第 2 導通部材と、

前記複数の第 1 半導体素子、前記複数の第 2 半導体素子、前記第 1 導通部材および前記第 2 導通部材と、前記支持基板および前記第 1 端子の一部ずつと、を覆う封止樹脂と、を備え、

前記複数の第 1 導電性接合材の前記厚さ方向における厚さ、および前記複数の第 2 導電性接合材の前記厚さ方向における厚さ、の少なくともいずれかは、前記支持基板の湾曲に対応して設定されている、半導体装置。

付記 Y 2.

前記第 1 導通部材は、前記複数の第 1 半導体素子に接合された平坦部を各々が有する複数の第 1 接合部と、前記第 2 導電部に接合された第 2 接合部と、を有し、

前記第 2 導通部材は、前記複数の第 2 半導体素子に接合された平坦部を各々が有する複数の第 3 接合部を有し、

前記複数の第 1 接合部の前記平坦部の前記厚さ方向における位置、および前記複数の第 3 接合部の前記平坦部の前記厚さ方向における位置、の少なくともいずれかは、前記支持基板の湾曲に対応して設定されている、付記 Y 1 に記載の半導体装置。

付記 Y 3.

前記複数の第 3 接合部の前記平坦部の前記厚さ方向における位置が、前記支持基板の湾曲に対応して設定されている、付記 Y 2 に記載の半導体装置。

付記 Y 4.

前記第 1 導電部に対して前記第 1 方向の一方側に突出し且つ前記第 1 端子に対して前記第 2 方向の他方側に位置する第 2 端子をさらに備え、

前記第 2 導通部材は、前記複数の第 3 接合部および前記第 1 端子の間に介在する第 1 経路部と、前記複数の第 3 接合部および前記第 2 端子の間に介在する第 2 経路部と、各々が前記第 1 方向に延びる複数の第 3 経路部と、前記複数の第 3 経路部の前記第 1 方向の一方側端、前記第 1 経路部および前記第 2 経路部に繋がり且つ前記第 2 方向に延びる第 4 経路部と、を有し、

前記複数の第 3 接合部は、前記複数の第 3 経路部に繋がっている、付記 Y 3 に記載の半導体装置。

付記 Y 5.

前記複数の第 3 経路部の前記厚さ方向における位置は、互いに同じであり、

前記複数の第 3 接合部の前記平坦部と前記第 3 経路部との前記厚さ方向における距離が、前記支持基板の湾曲に対応して設定されている、付記 Y 4 に記載の半導体装置。

付記 Y 6.

前記第 3 接合部は、前記第 3 経路部と前記平坦部との間に介在する第 1 傾斜部を有する、付記 Y 5 に記載の半導体装置。

付記 Y 7.

前記第 1 傾斜部の厚さは、前記平坦部の厚さ以下である、付記 Y 6 に記載

の半導体装置。

付記 Y 8.

前記第 1 傾斜部の厚さは、前記第 3 経路部の厚さ以下である、付記 Y 7 に記載の半導体装置。

付記 Y 9.

前記平坦部の厚さと、前記第 3 経路部の厚さは、同じである、付記 Y 8 に記載の半導体装置。

付記 Y 10.

前記第 1 端子と前記第 2 導通部材とは、一体的に形成されている、付記 Y 6 に記載の半導体装置。

付記 Y 11.

前記第 2 端子と前記第 2 導通部材とは、一体的に形成されている、付記 Y 10 に記載の半導体装置。

付記 Y 12.

前記第 2 導電部は、前記第 1 端子と前記第 1 経路部との間に介在する第 1 段差部を有する、付記 Y 11 に記載の半導体装置。

付記 Y 13.

前記第 2 導電部は、前記第 2 端子と前記第 2 経路部との間に介在する第 2 段差部を有する、付記 Y 12 に記載の半導体装置。

付記 Y 14.

前記第 1 端子と前記第 1 経路部とは、前記厚さ方向における位置が同じである、付記 Y 11 に記載の半導体装置。

付記 Y 15.

前記第 2 端子と前記第 2 経路部とは、前記厚さ方向における位置が同じである、付記 Y 14 に記載の半導体装置。

付記 Y 16.

前記第 3 接合部は、各々が前記第 2 半導体素子に接合され且つ前記第 2 方向に並んだ 2 つの前記平坦部と、前記 2 つの平坦部に対して前記第 2 方向の

外側に繋がる2つの前記第1傾斜部と、を有する、付記Y6ないし15のいずれかに記載の半導体装置。

付記Y17.

前記第1傾斜部は、前記厚さ方向に視て前記第3経路部から前記第2方向に延びている、付記Y16に記載の半導体装置。

付記Y18.

前記第3接合部の前記2つの平坦部は、前記第2方向に離隔している、付記Y17に記載の半導体装置。

付記Y19.

駆動源と、

付記Y1ないしY18のいずれかに記載の半導体装置と、を備え、

前記半導体装置は、前記駆動源に導通している、車両。

請求の範囲

[請求項1]

厚さ方向の一方側を向く第1主面を有し且つ前記厚さ方向と直交する第1方向の一方側に位置する第1導電部、および前記厚さ方向の一方側を向く第2主面を有し且つ前記第1方向の他方側に位置する第2導電部、を有する支持基板と、

前記第1導電部に搭載され且つ各々がスイッチング機能を有するとともに前記厚さ方向および前記第1方向の双方に直交する第2方向に配列された複数の第1半導体素子と、

前記第2導電部に搭載され且つ各々がスイッチング機能を有するとともに前記第2方向に配列された複数の第2半導体素子と、

前記第1導電部に対して前記第1方向の一方側に突出する第1端子と、

前記複数の第1半導体素子と前記第2導電部とを導通させる第1導通部材と、

前記複数の第2半導体素子と前記第1端子とを導通させる第2導通部材と、

前記複数の第1半導体素子、前記複数の第2半導体素子、前記第1導通部材および前記第2導通部材と、前記支持基板および前記第1端子の一部ずつと、を覆う封止樹脂と、を備え、

前記第1導通部材は、前記複数の第1半導体素子に個別に接合された複数の第1接合部と、前記第2導電部に接合された第2接合部と、を有し、

前記第2導通部材は、前記複数の第2半導体素子に個別に接合された複数の第3接合部を有し、

前記複数の第1接合部の各々は、前記厚さ方向において最も他方側に位置する第1先端部を有し、

前記複数の第3接合部の各々は、前記厚さ方向において最も他方側に位置する第3先端部を有し、

前記複数の第1接合部の前記第1先端部の前記厚さ方向における位置、および前記複数の第3接合部の前記第3先端部の前記厚さ方向における位置、の少なくともいずれかは、前記支持基板の湾曲に対応して設定されている、半導体装置。

[請求項2] 前記複数の第3接合部の前記第3先端部の前記厚さ方向における位置が、前記支持基板の湾曲に対応して設定されている、請求項1に記載の半導体装置。

[請求項3] 前記複数の第3接合部の各々は、前記複数の第1半導体素子に接合された平坦部を有する、請求項2に記載の半導体装置。

[請求項4] 前記第1導電部に対して前記第1方向の一方側に突出し且つ前記第1端子に対して前記第2方向の他方側に位置する第2端子をさらに備え、

前記第2導通部材は、前記複数の第3接合部および前記第1端子の間に介在する第1経路部と、前記複数の第3接合部および前記第2端子の間に介在する第2経路部と、各々が前記第1方向に延びる複数の第3経路部と、前記複数の第3経路部の前記第1方向の一方側端、前記第1経路部および前記第2経路部に繋がり且つ前記第2方向に延びる第4経路部と、を有し、

前記複数の第3接合部は、前記複数の第3経路部に繋がっている、請求項3に記載の半導体装置。

[請求項5] 前記複数の第3経路部の前記厚さ方向における位置は、互いに同じであり、

前記複数の第3接合部の前記平坦部と前記第3経路部との前記厚さ方向における距離が、前記支持基板の湾曲に対応して設定されている、請求項4に記載の半導体装置。

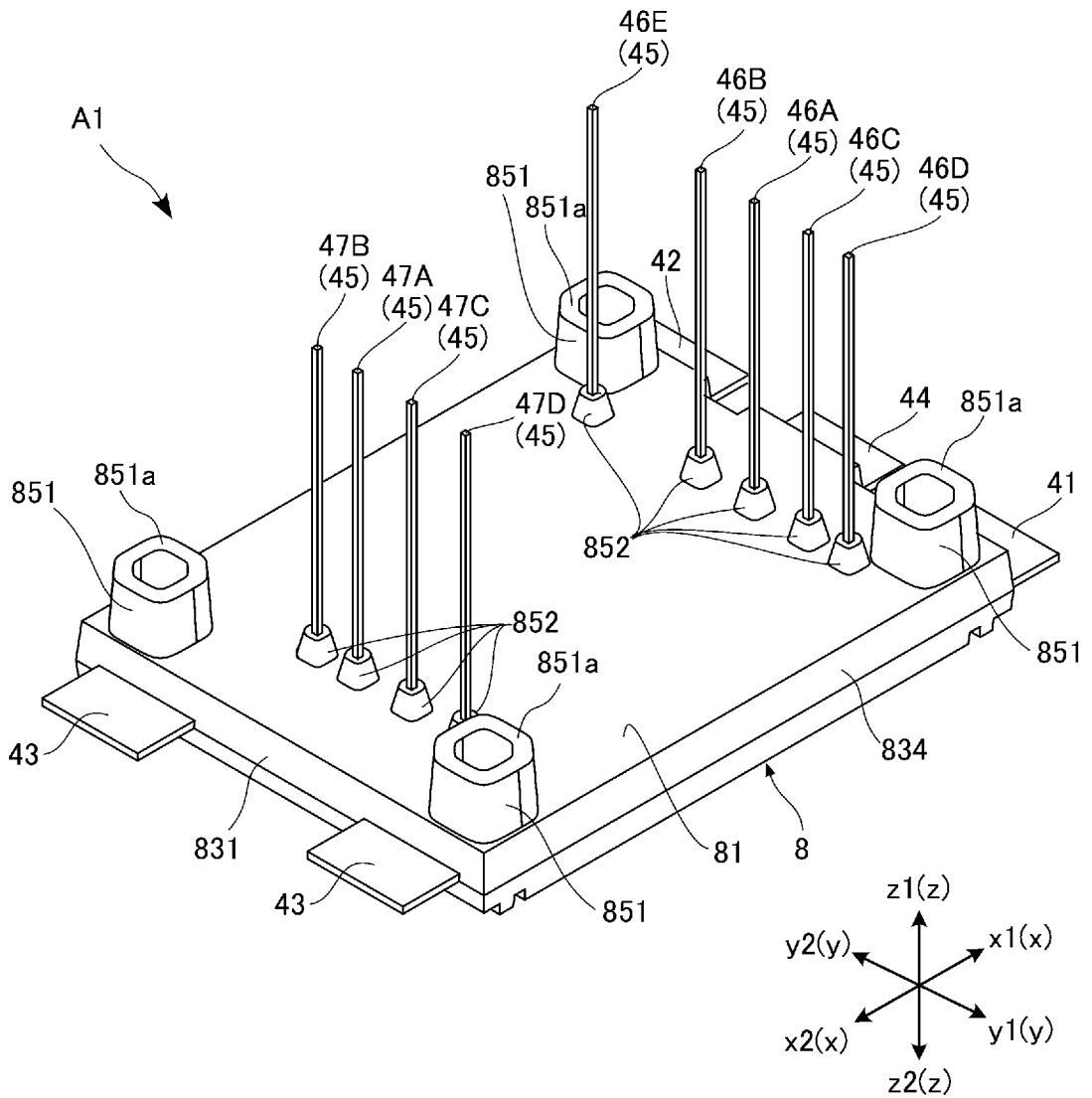
[請求項6] 前記第3接合部は、前記第3経路部と前記平坦部との間に介在する第1傾斜部を有する、請求項5に記載の半導体装置。

[請求項7] 前記第1傾斜部の厚さは、前記平坦部の厚さ以下である、請求項6

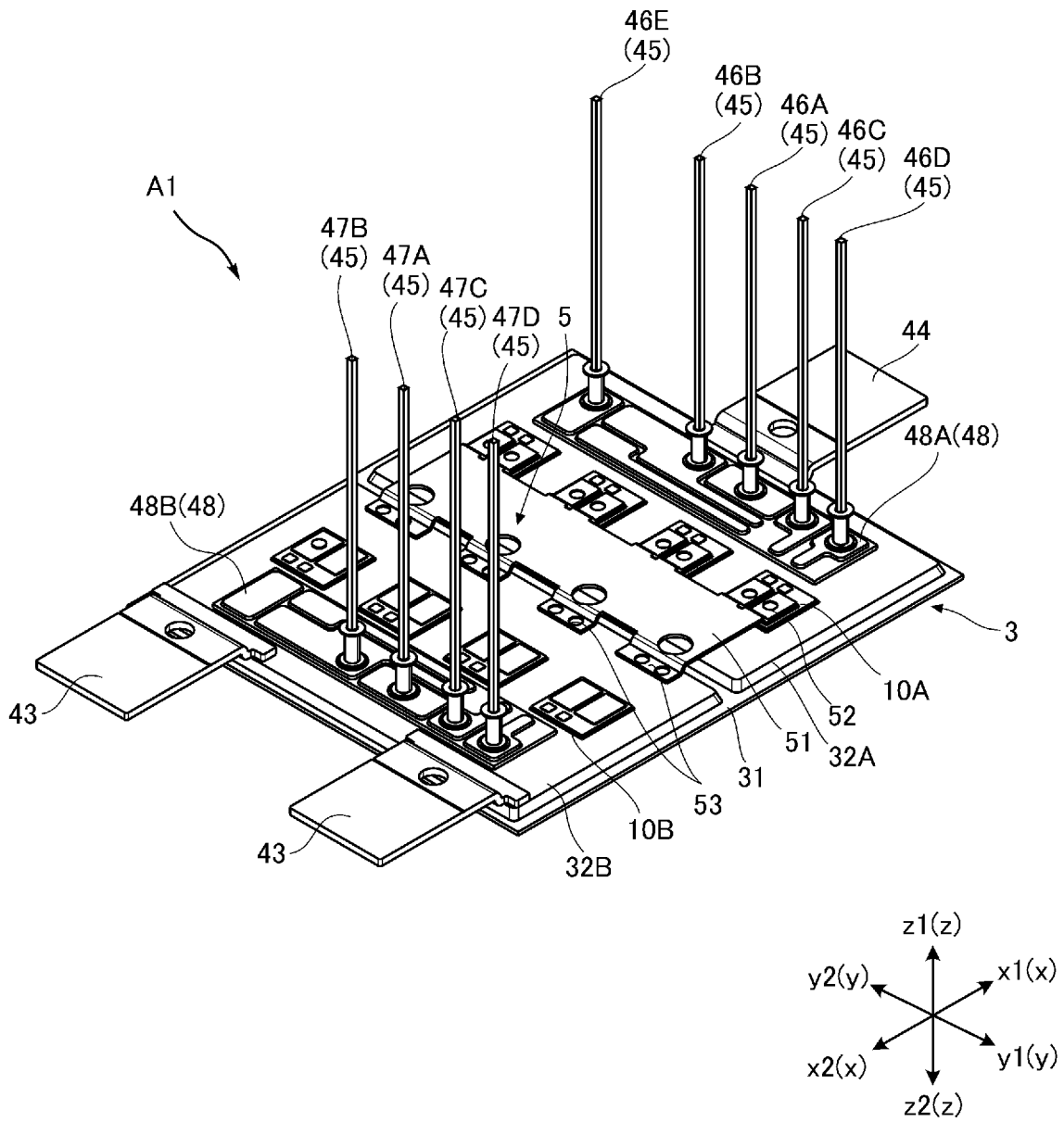
に記載の半導体装置。

- [請求項8] 前記第1傾斜部の厚さは、前記第3経路部の厚さ以下である、請求項6または7に記載の半導体装置。
- [請求項9] 前記平坦部の厚さと、前記第3経路部の厚さは、同じである、請求項6ないし8のいずれかに記載の半導体装置。
- [請求項10] 前記第1端子と前記第2導通部材とは、一体的に形成されている、請求項6ないし9のいずれかに記載の半導体装置。
- [請求項11] 前記第2端子と前記第2導通部材とは、一体的に形成されている、請求項10に記載の半導体装置。
- [請求項12] 前記第3接合部は、各々が前記第2半導体素子に接合され且つ前記第2方向に並んだ2つの前記平坦部と、前記2つの平坦部に対して前記第2方向の外側に繋がる2つの前記第1傾斜部と、を有する、請求項6に記載の半導体装置。
- [請求項13] 前記第1傾斜部は、前記厚さ方向に視て前記第3経路部から前記第2方向に延びている、請求項12に記載の半導体装置。
- [請求項14] 前記第3接合部の前記2つの平坦部は、前記第2方向に離隔している、請求項13に記載の半導体装置。
- [請求項15] 前記複数の第3接合部の各々は、前記平坦部から前記厚さ方向の他方側に突出する凸部を有する、請求項3ないし14のいずれかに記載の半導体装置。

[図1]
FIG.1



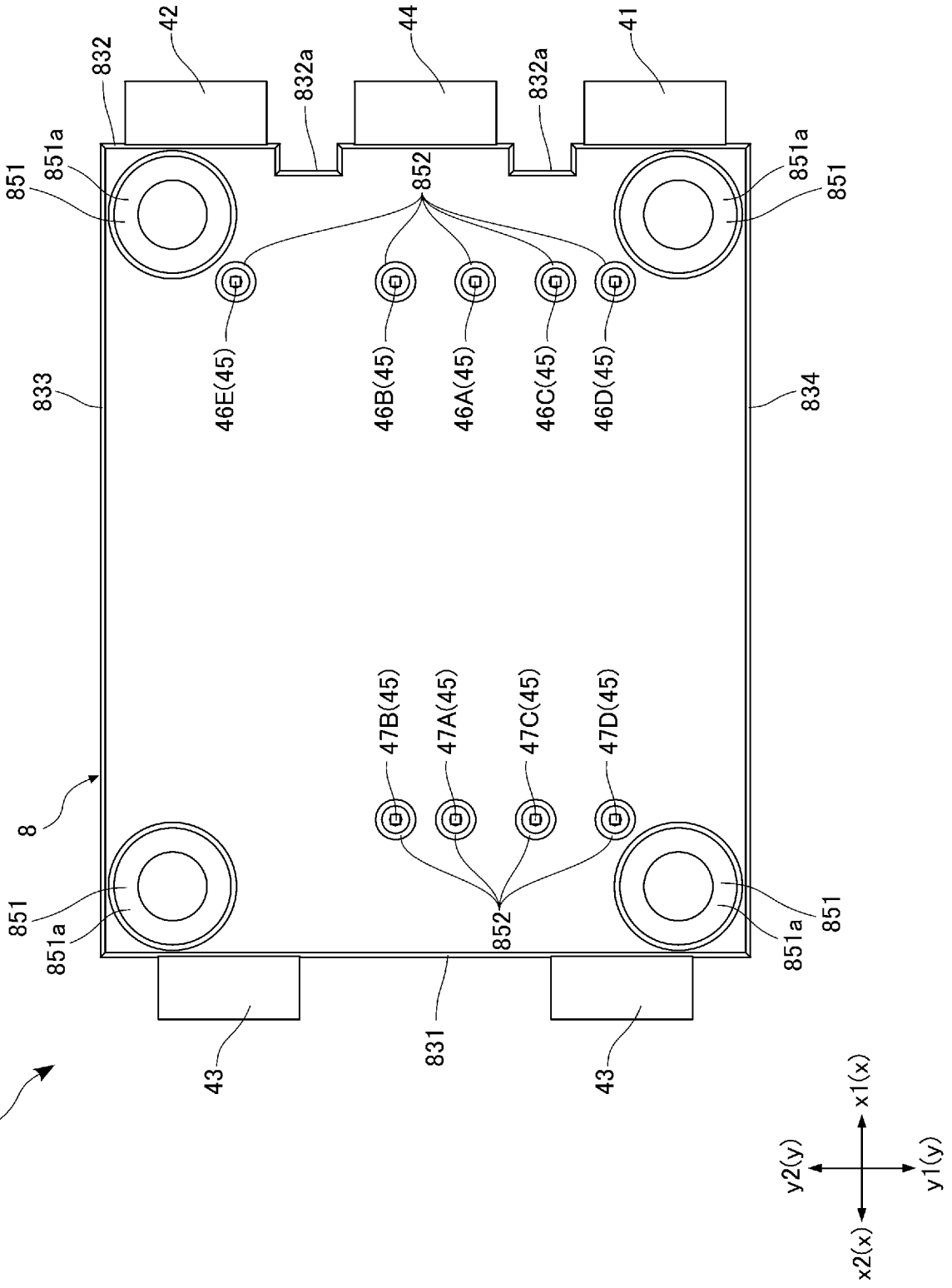
[]3
FIG.3



[FIG. 4]

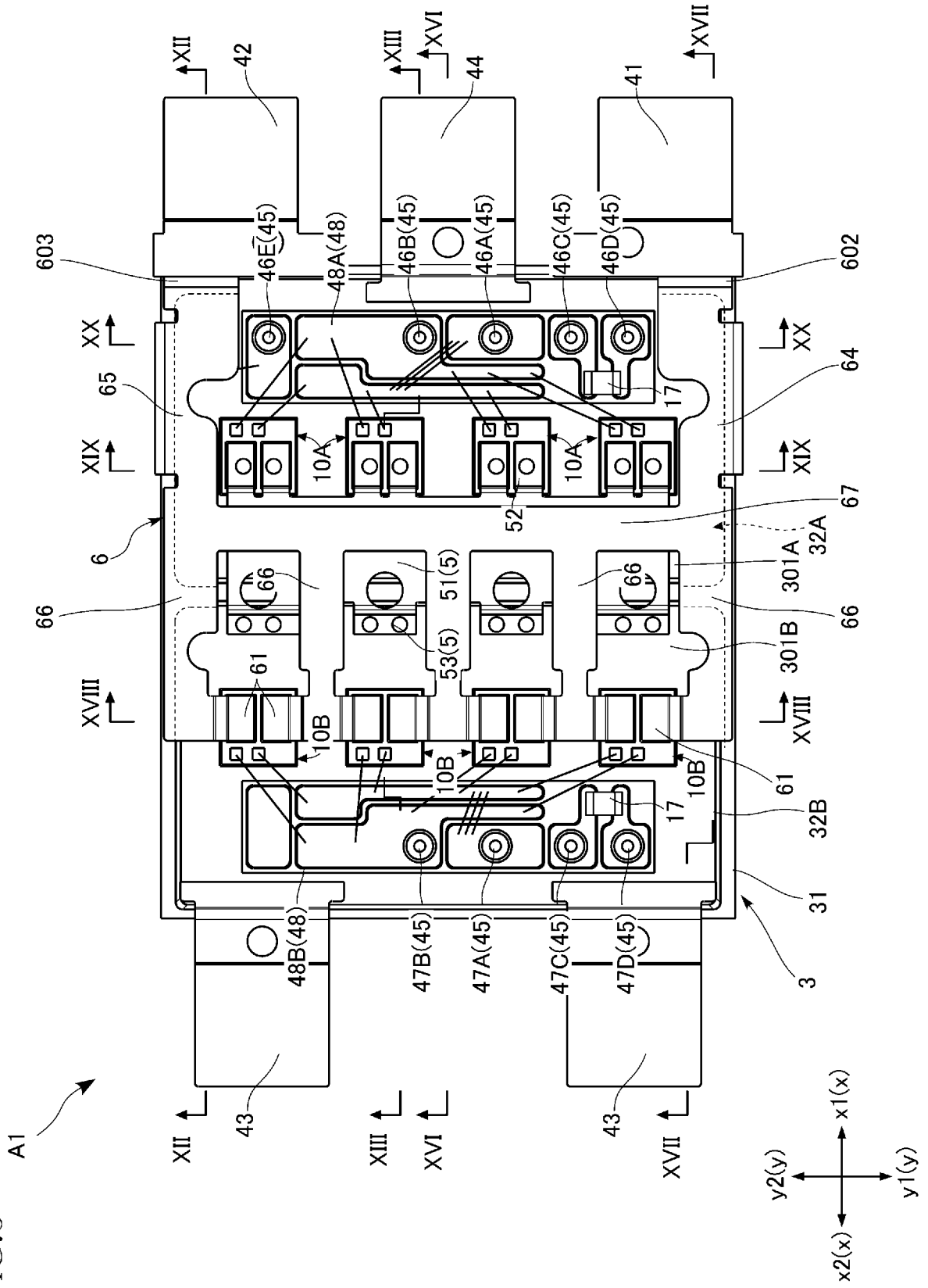
FIG. 4

A1



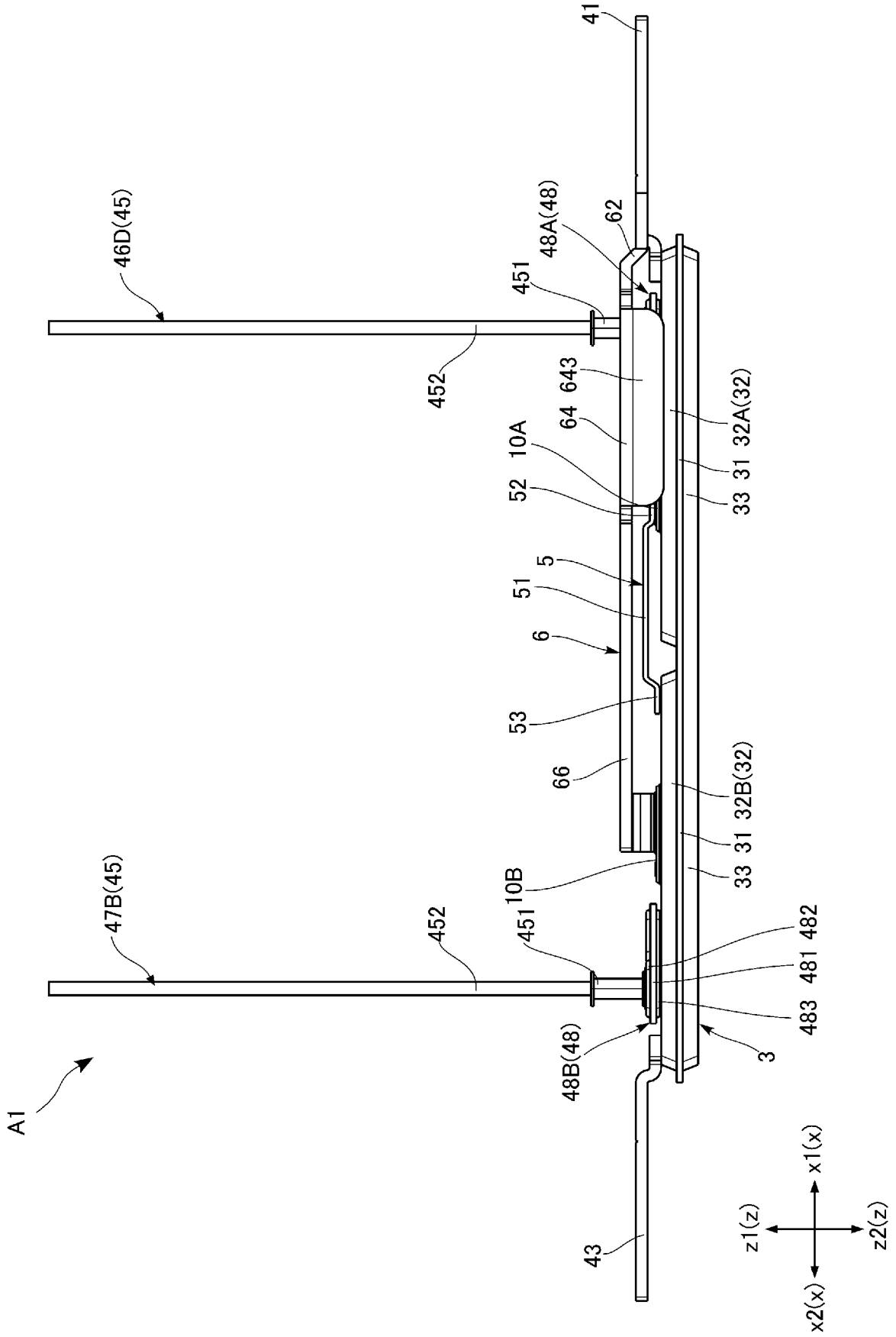
[FIG. 5]

FIG. 5



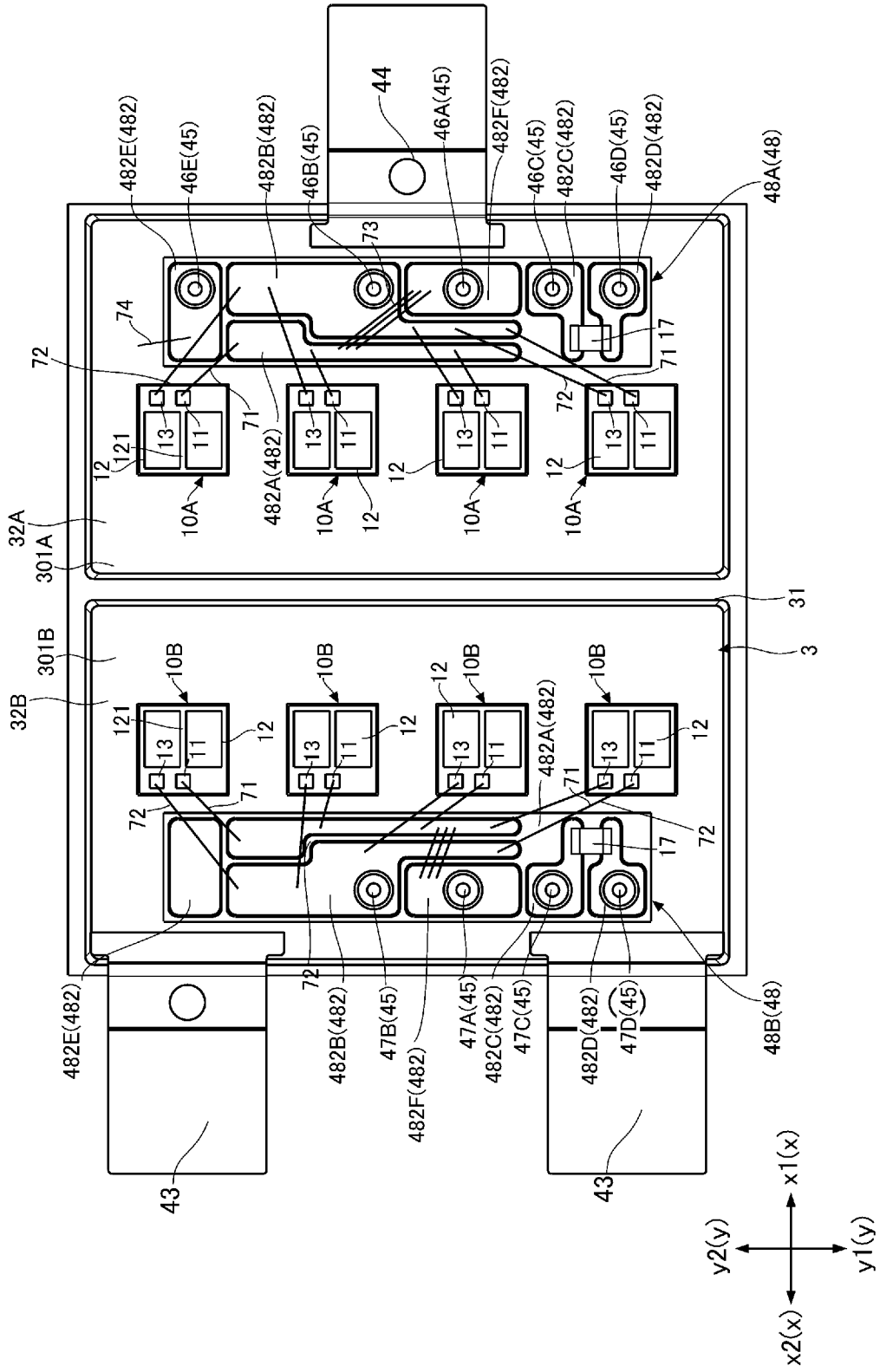
[図6]

FIG.6



[9]

FIG. 9




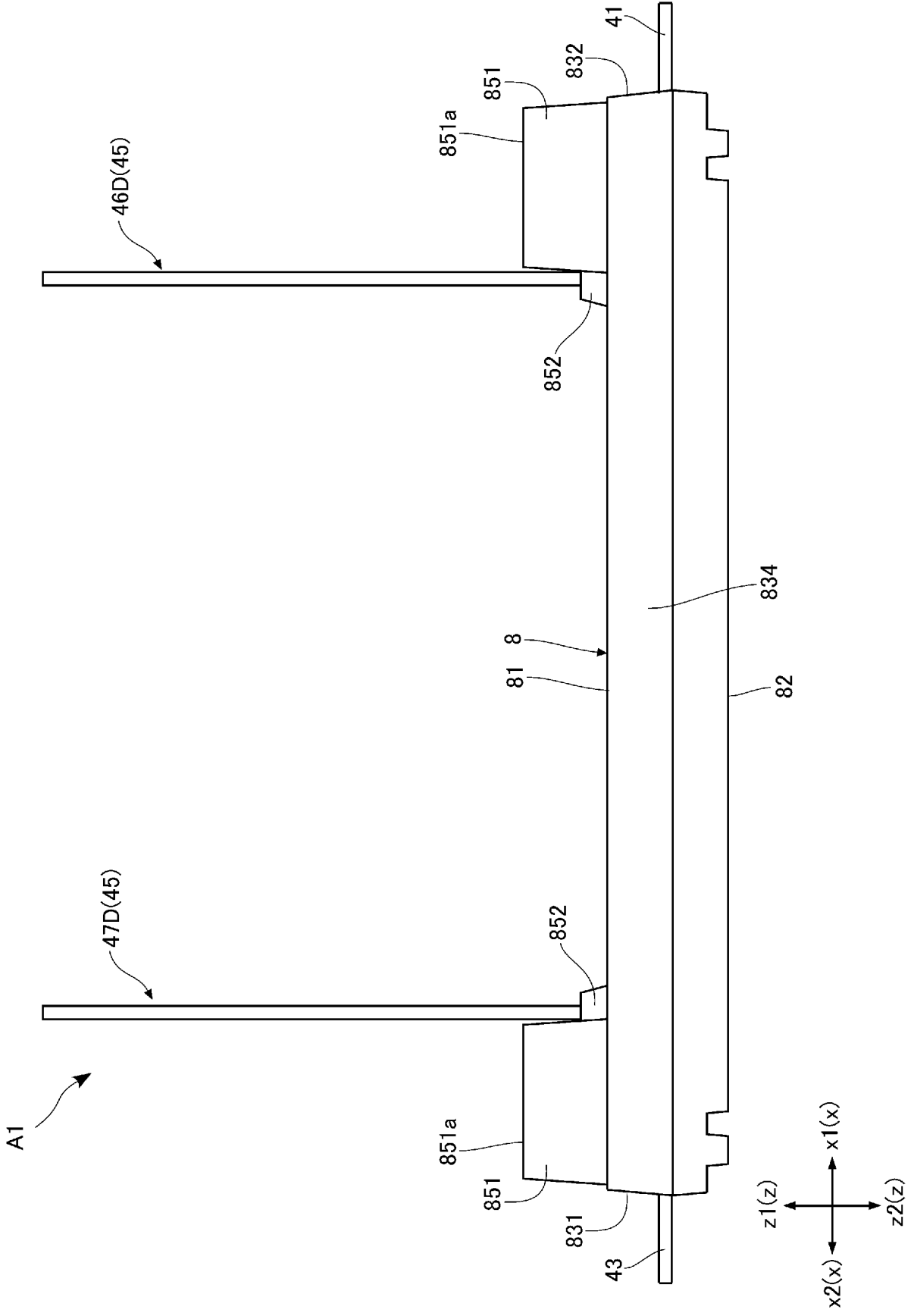
[10]

FIG.10



[FIG. 11]

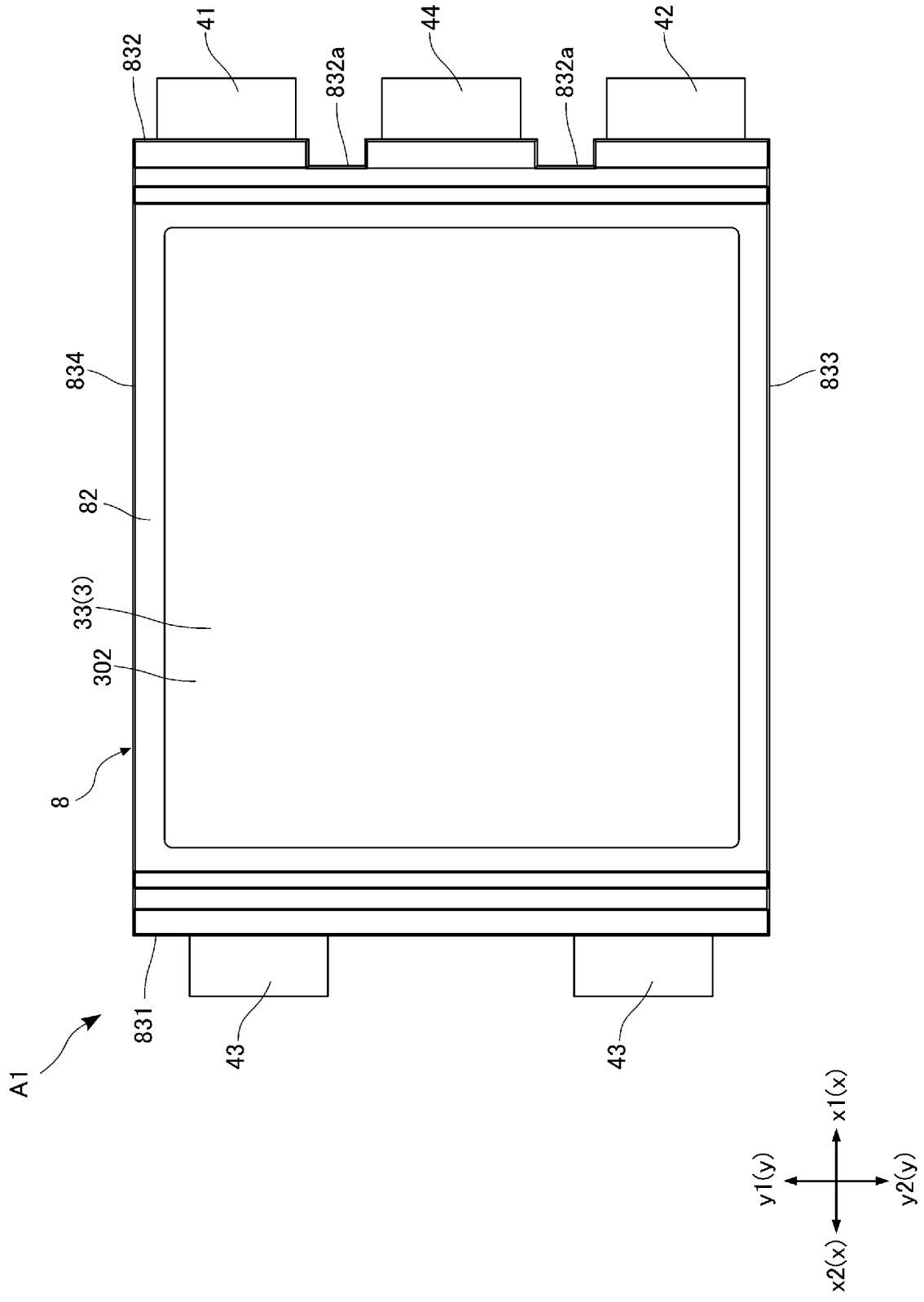
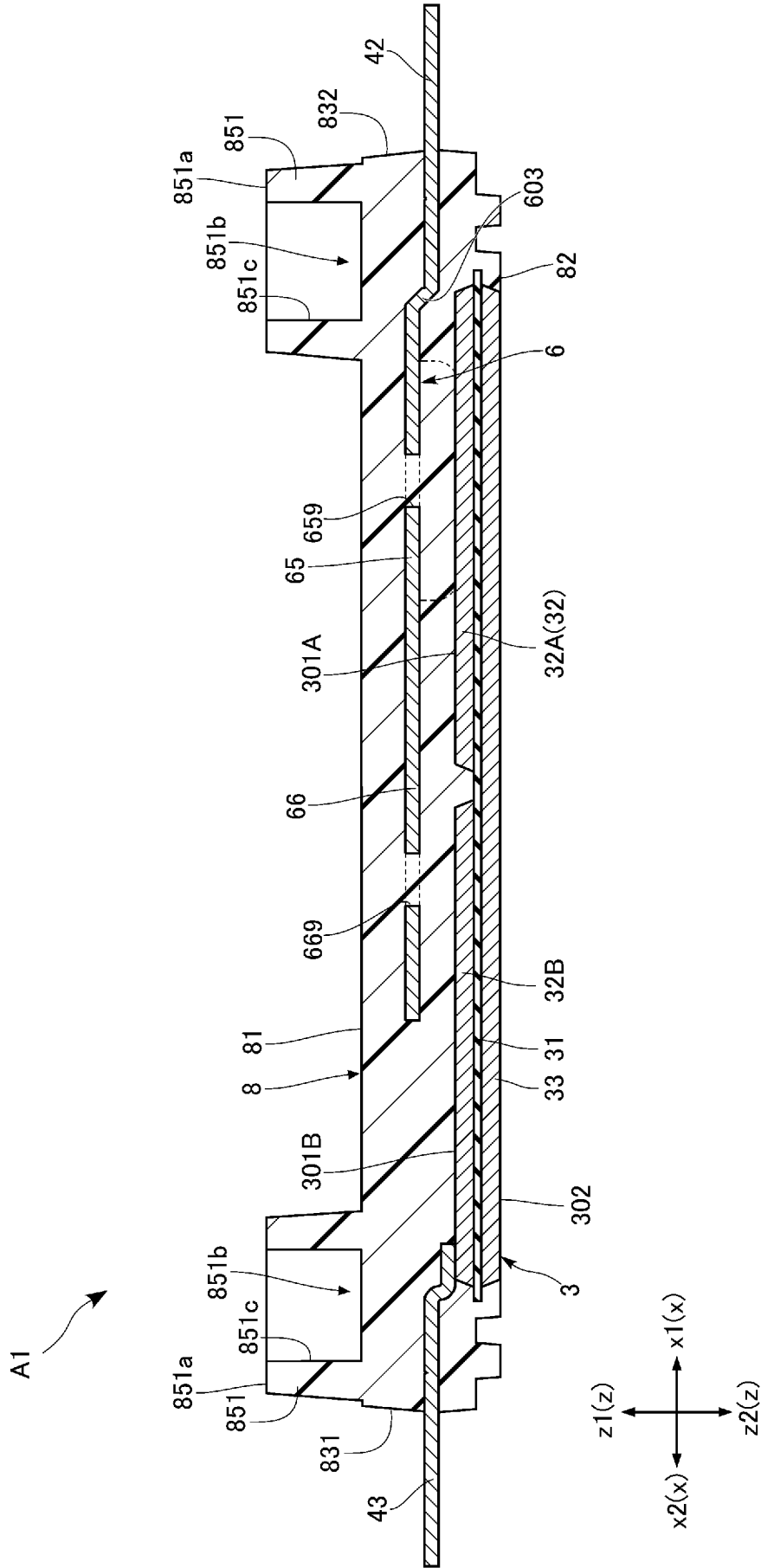


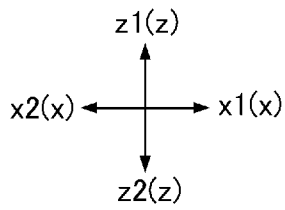
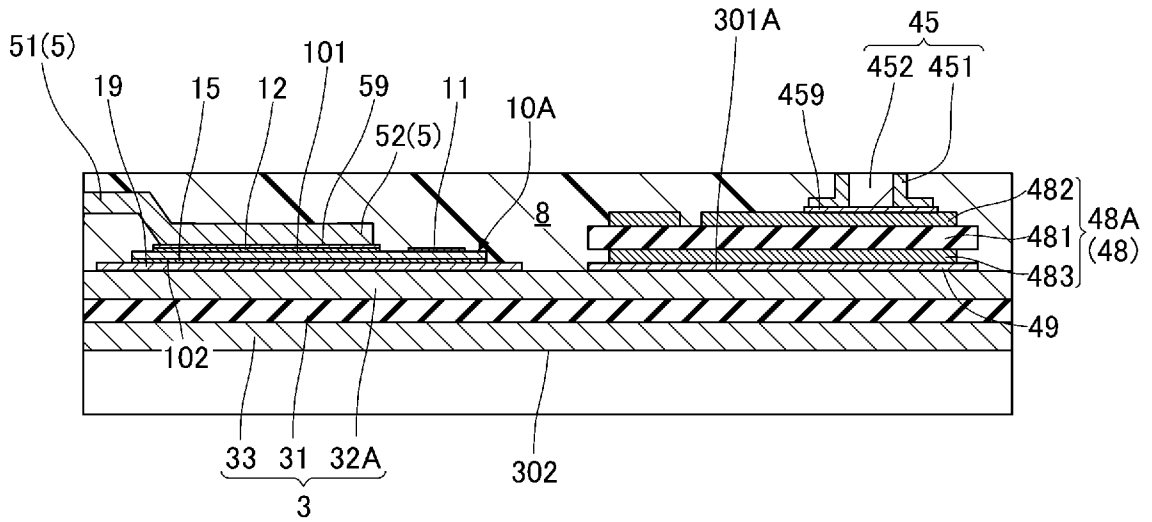
FIG.11

[FIG.12]

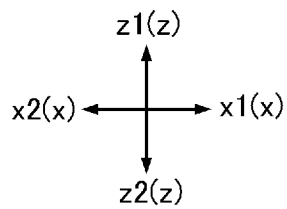
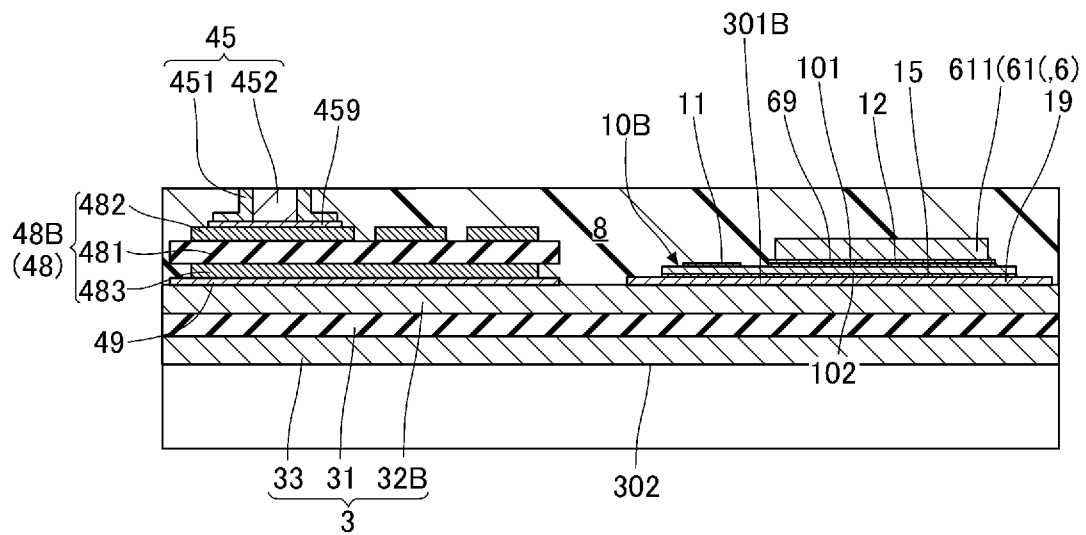
FIG.12



[]14]
FIG.14

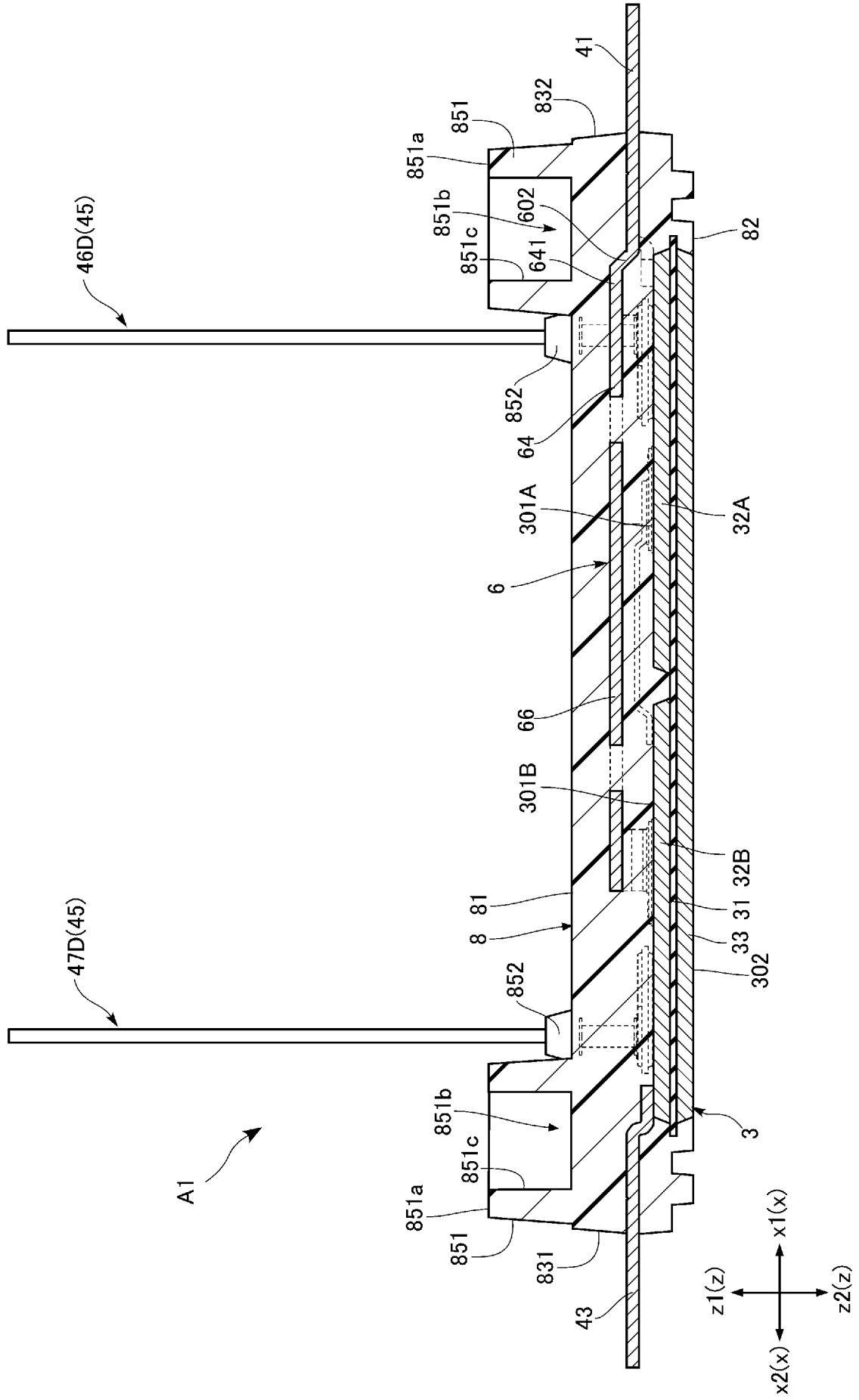


[]15]
FIG.15



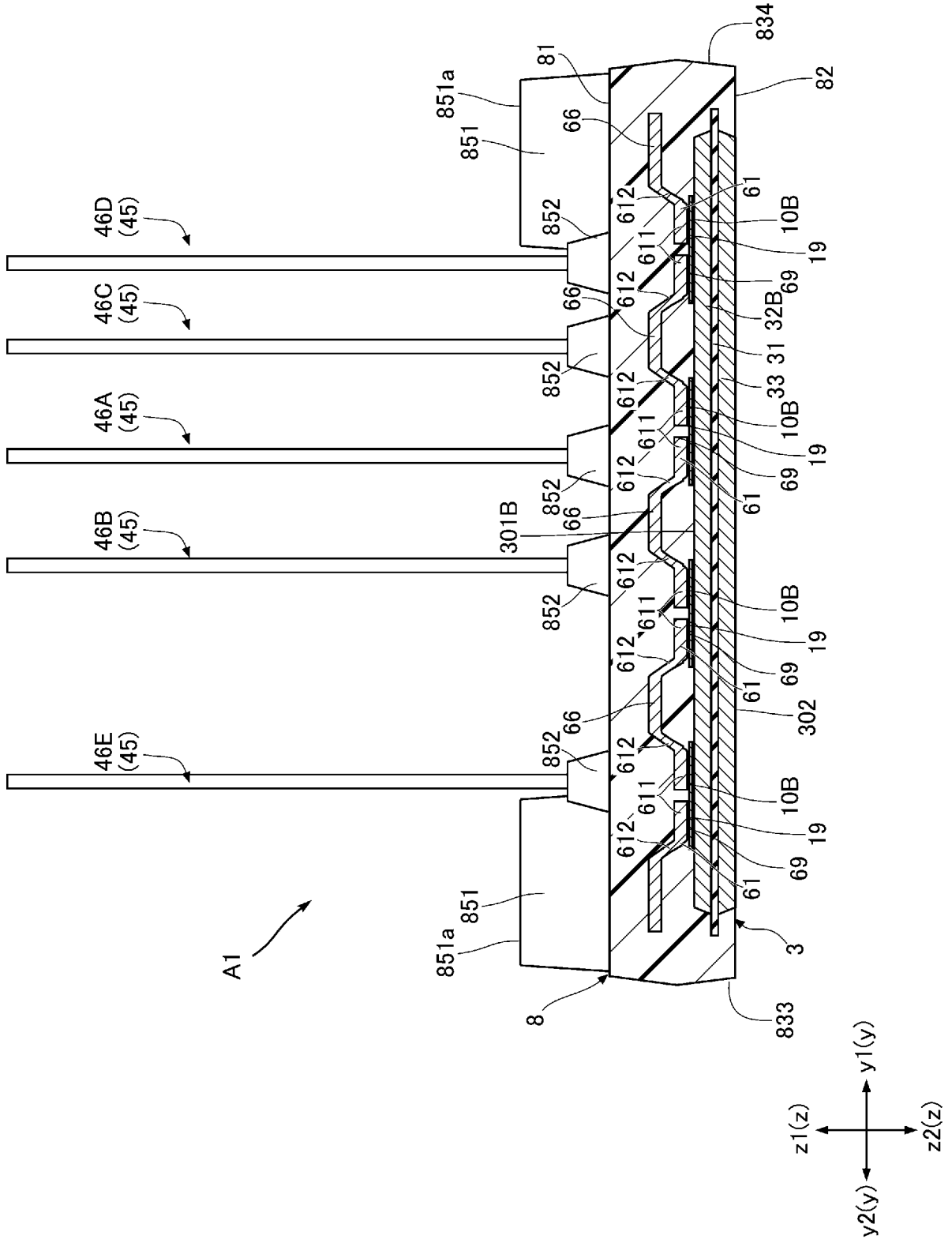
[ 17]

FIG.17

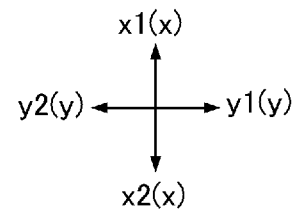
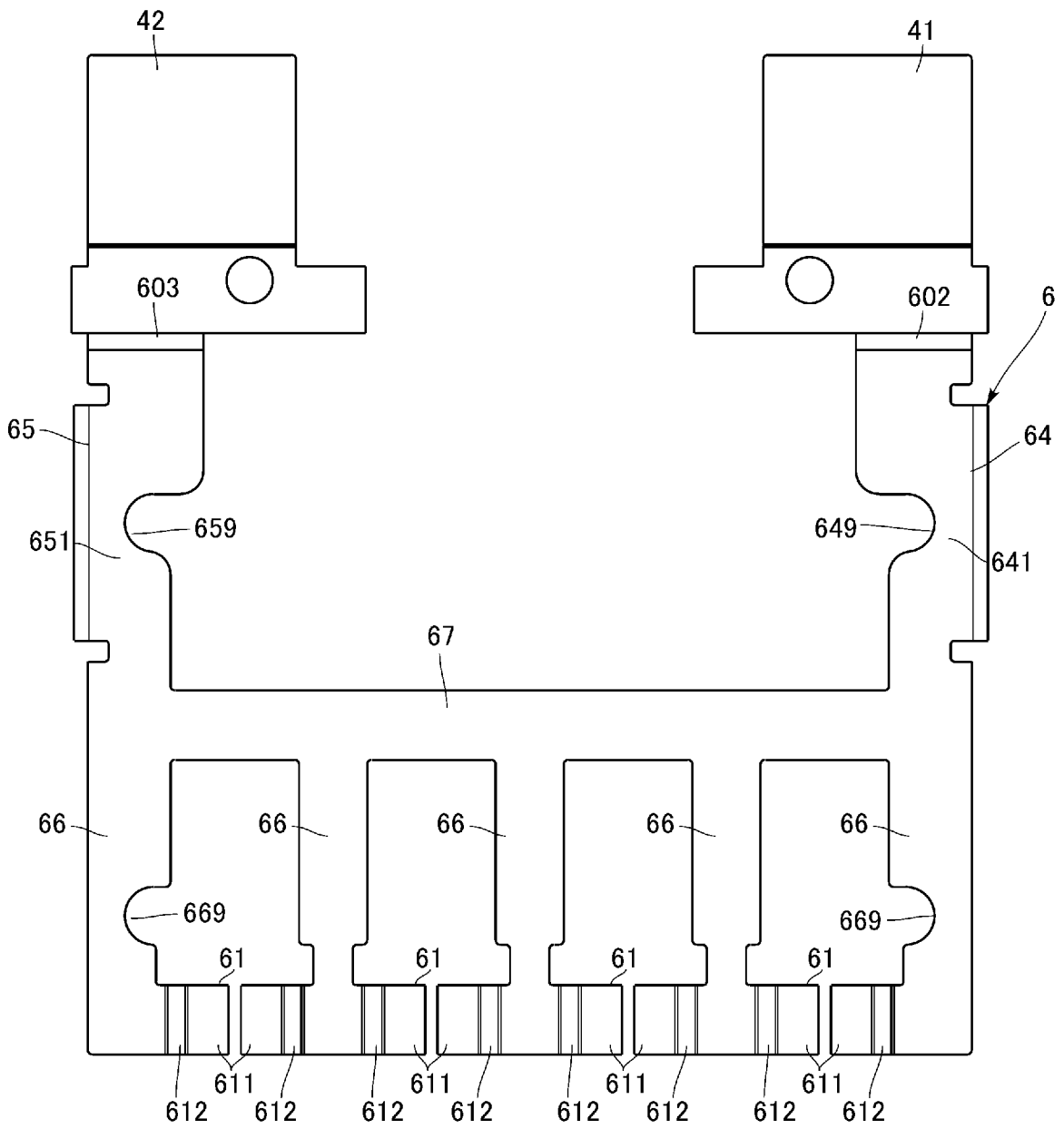



[FIG. 18]

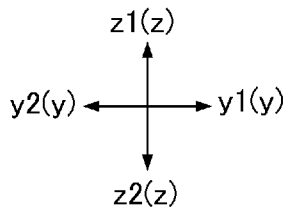
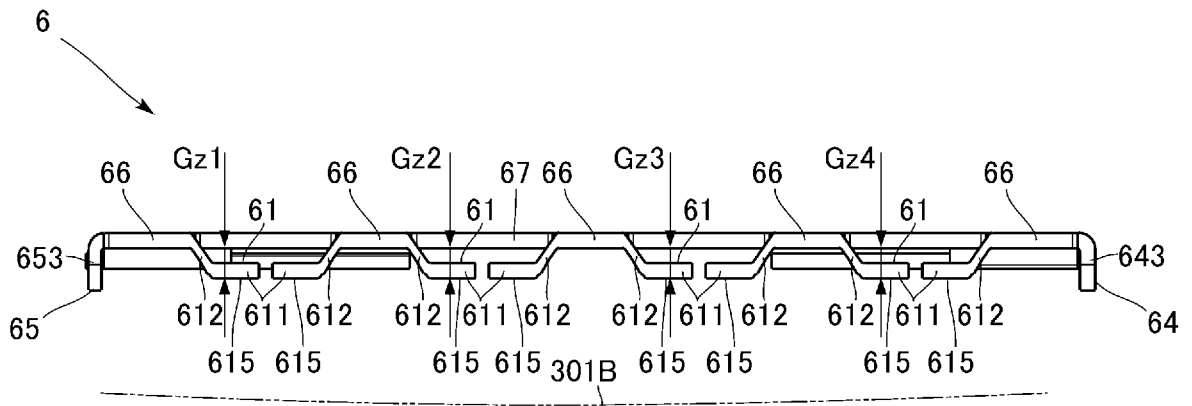
FIG. 18




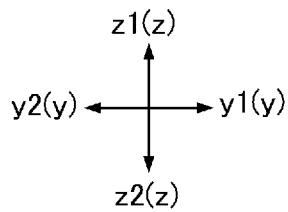
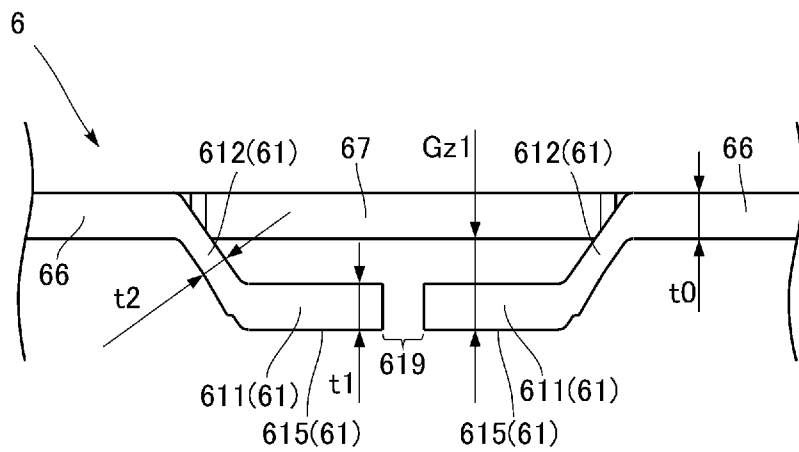
[22]
FIG.22



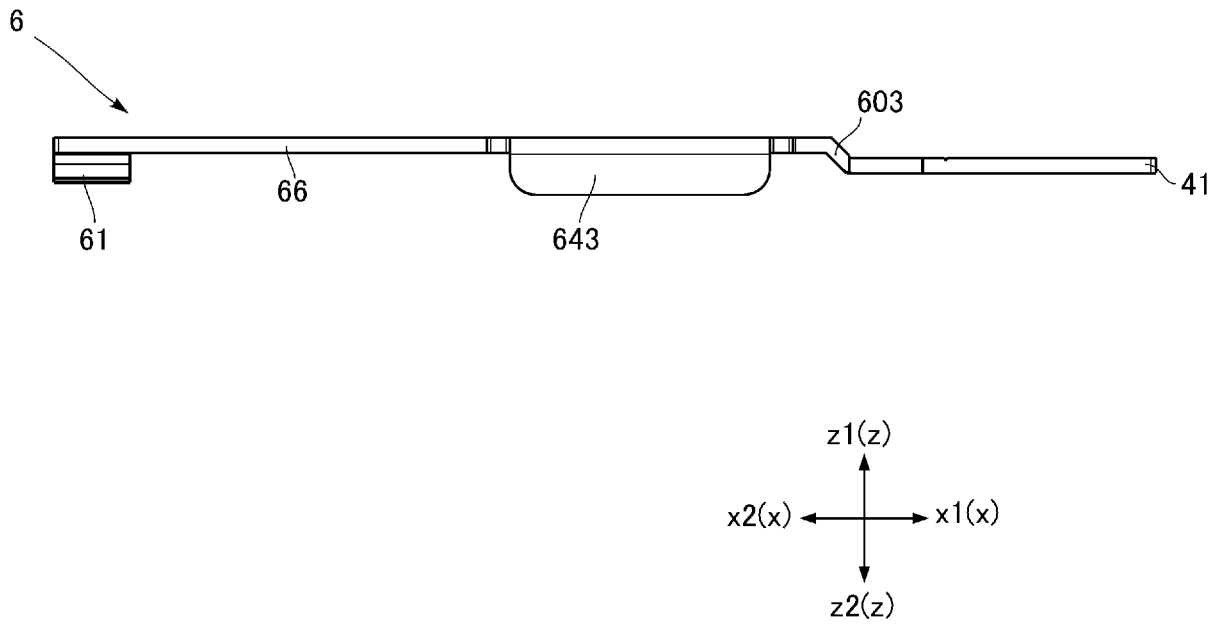
[]23]
FIG.23



[]24]
FIG.24



[25]
FIG.25




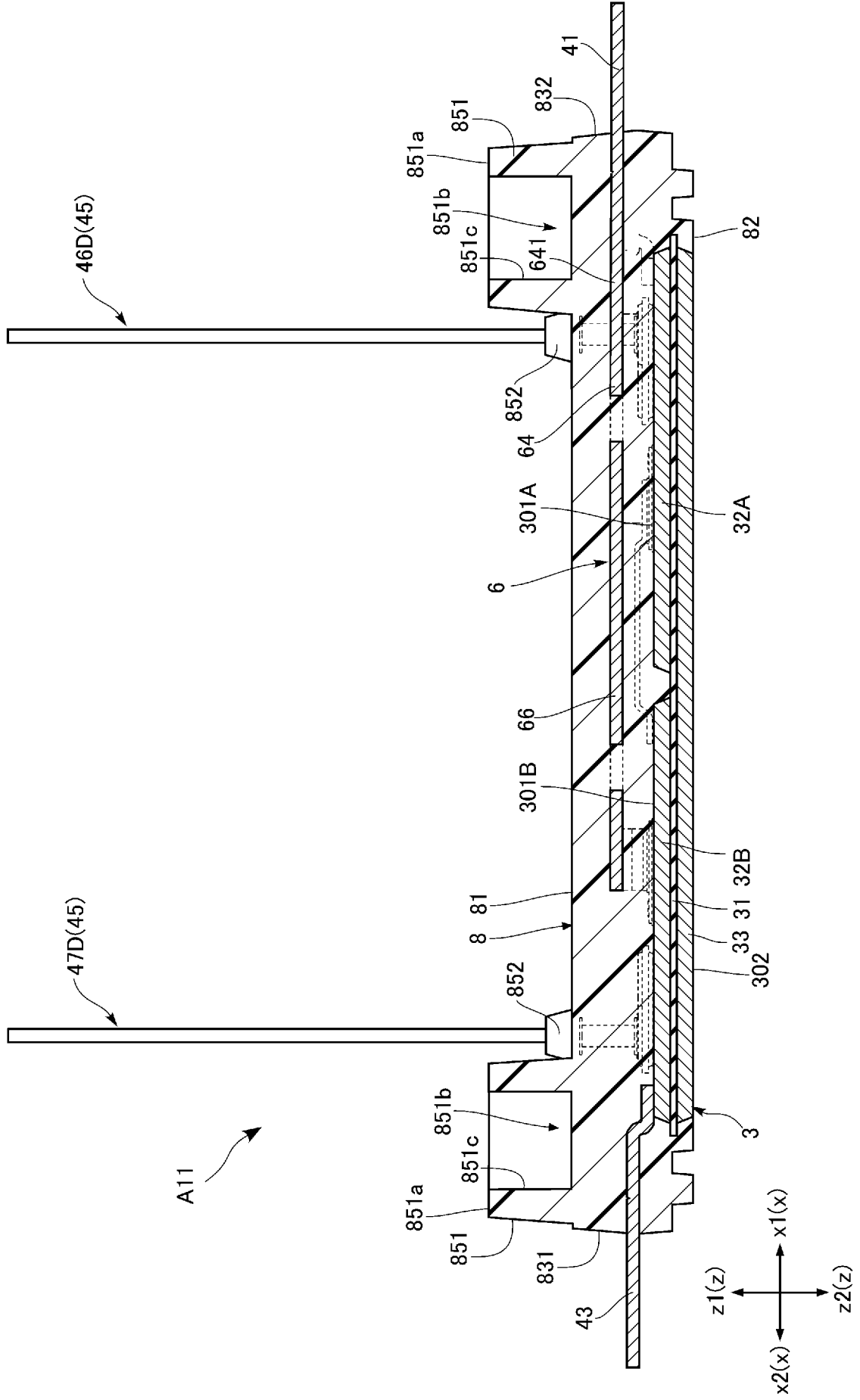

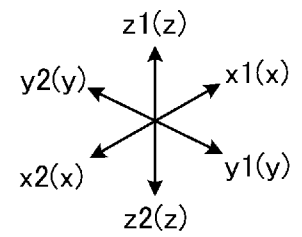
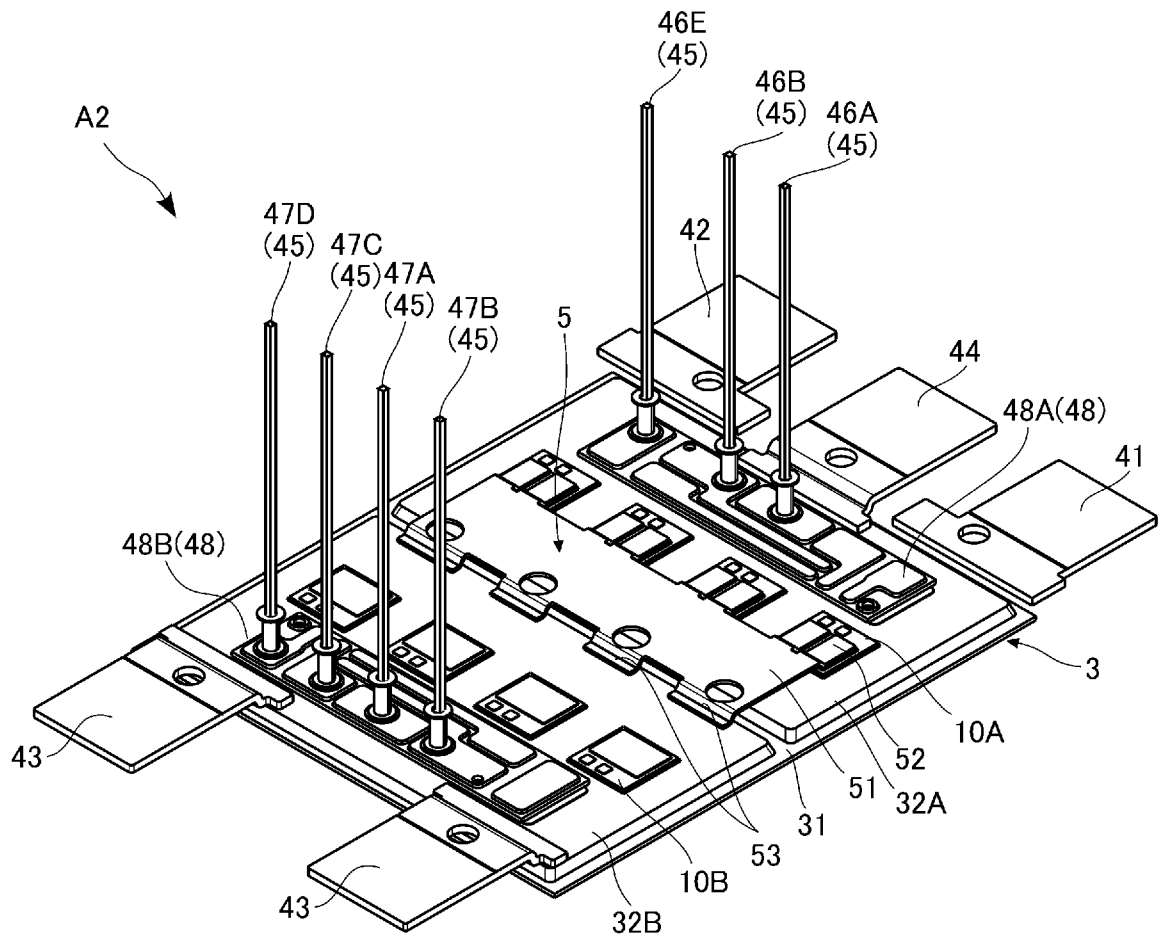
[27]

FIG.27



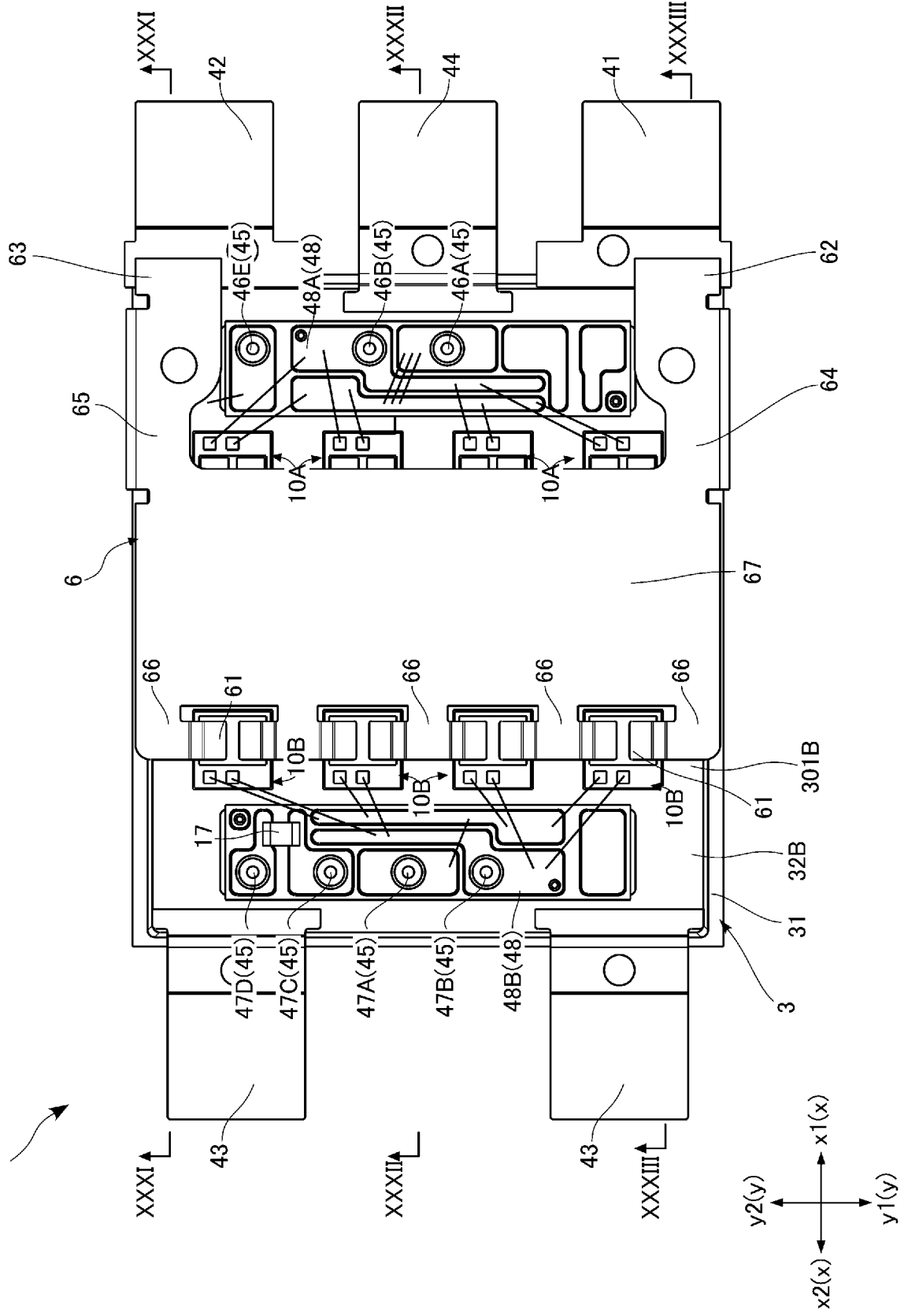
[29]
FIG.29



[FIG. 30]

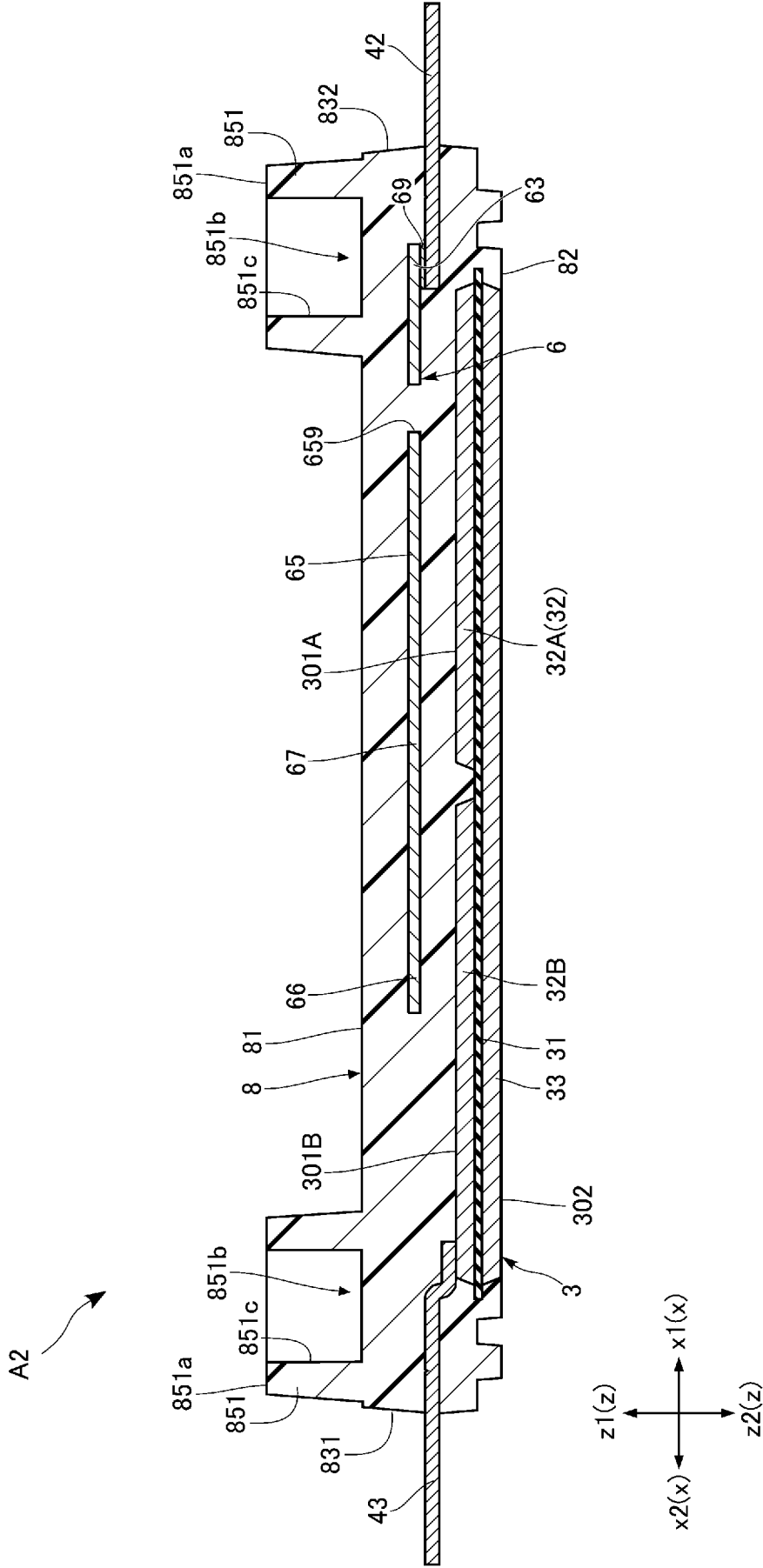
FIG. 30

A2



[FIG.31]

FIG.31




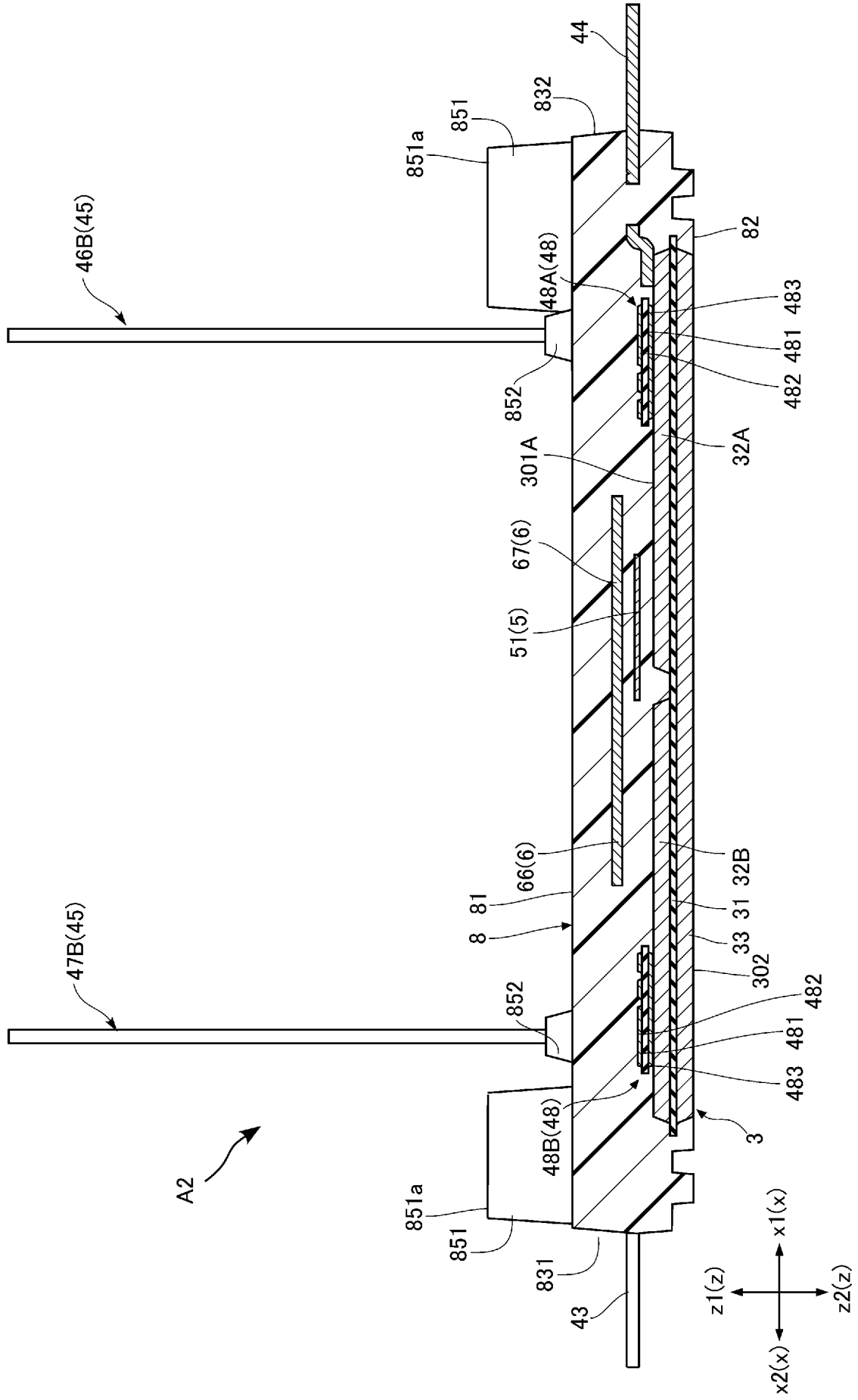
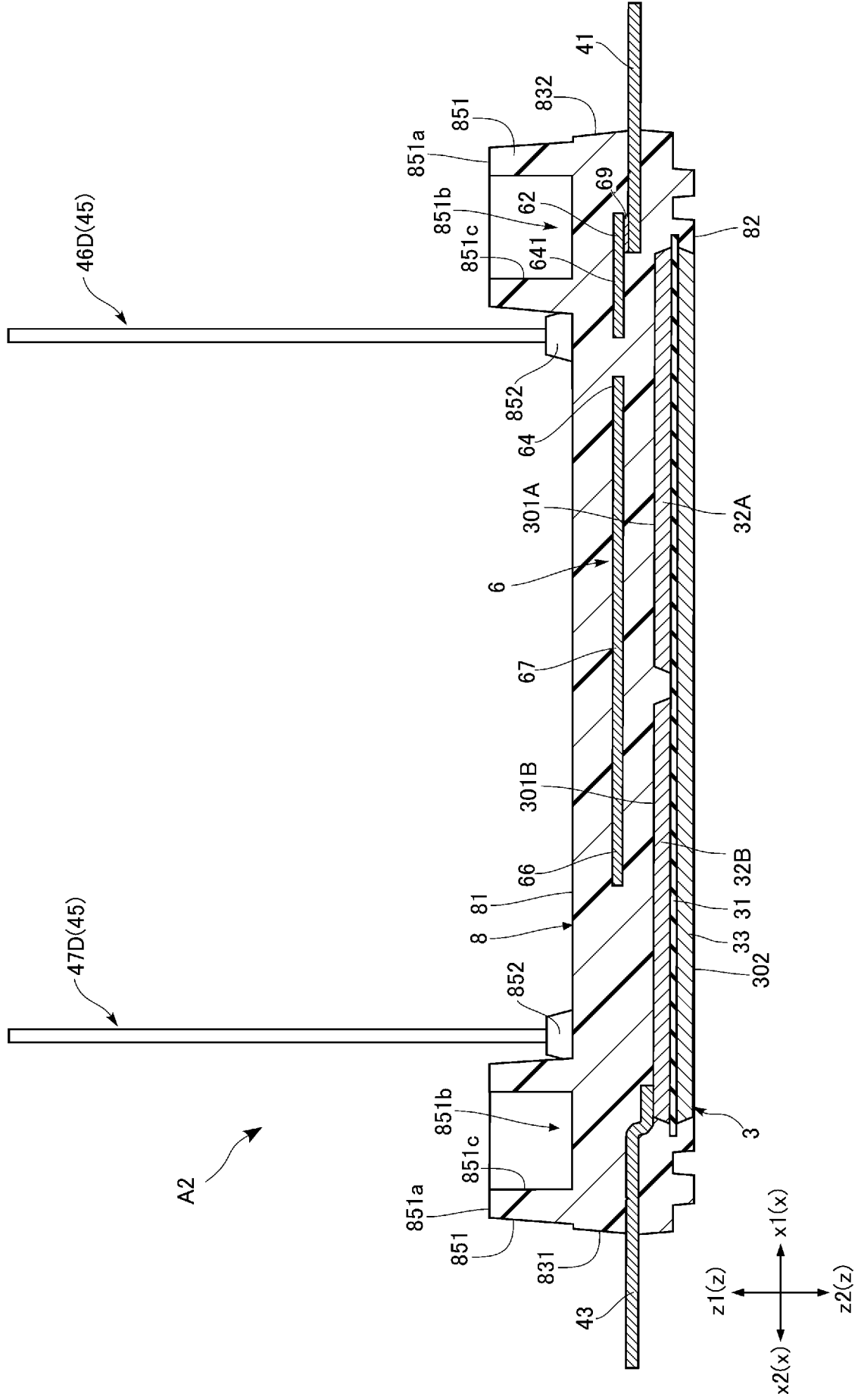
[ 32]

FIG.32



[ 33]

FIG.33



[FIG.34]

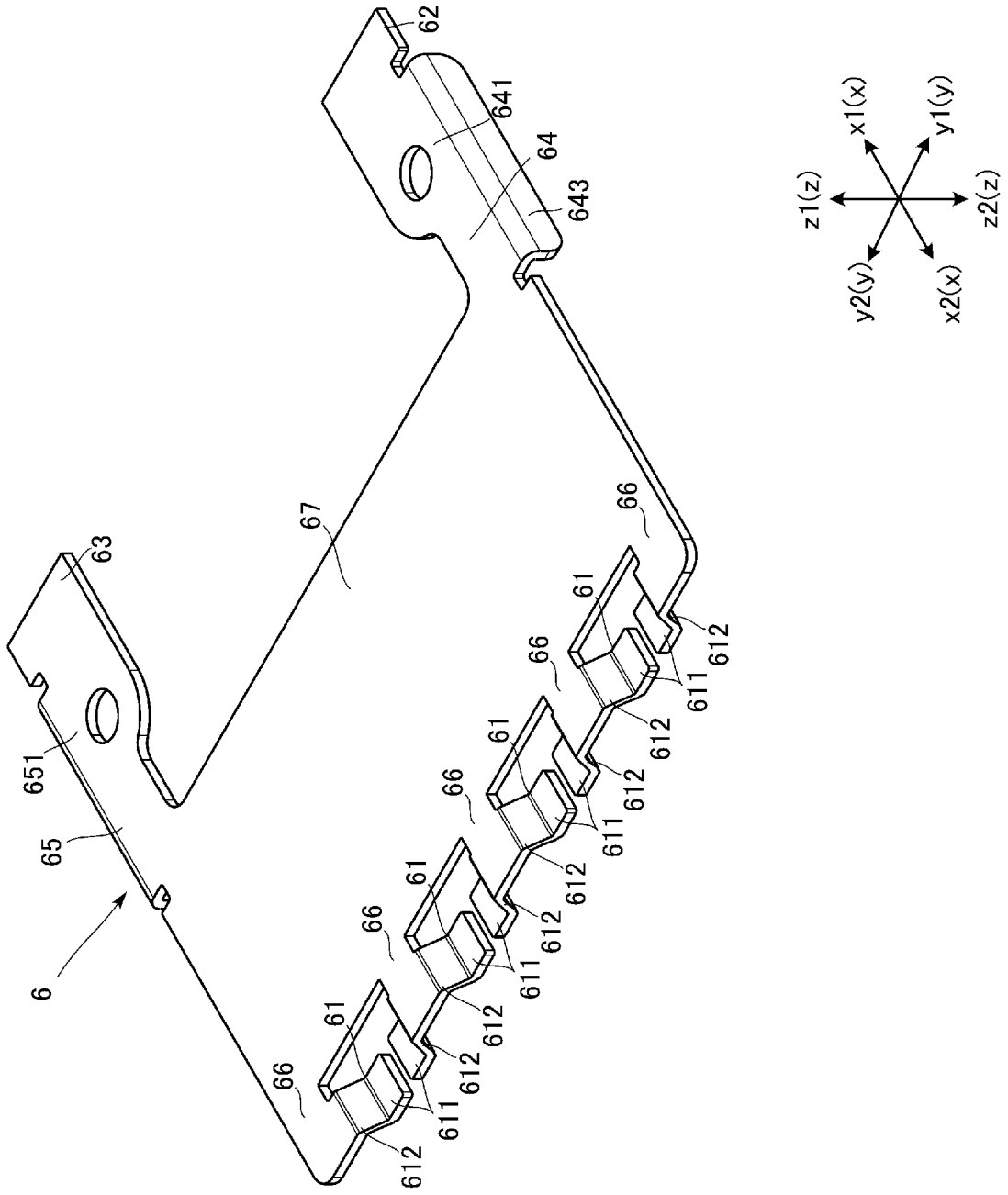
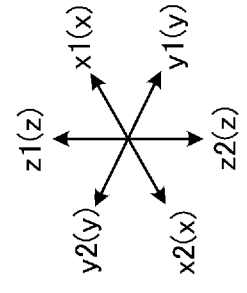

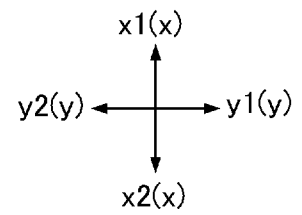
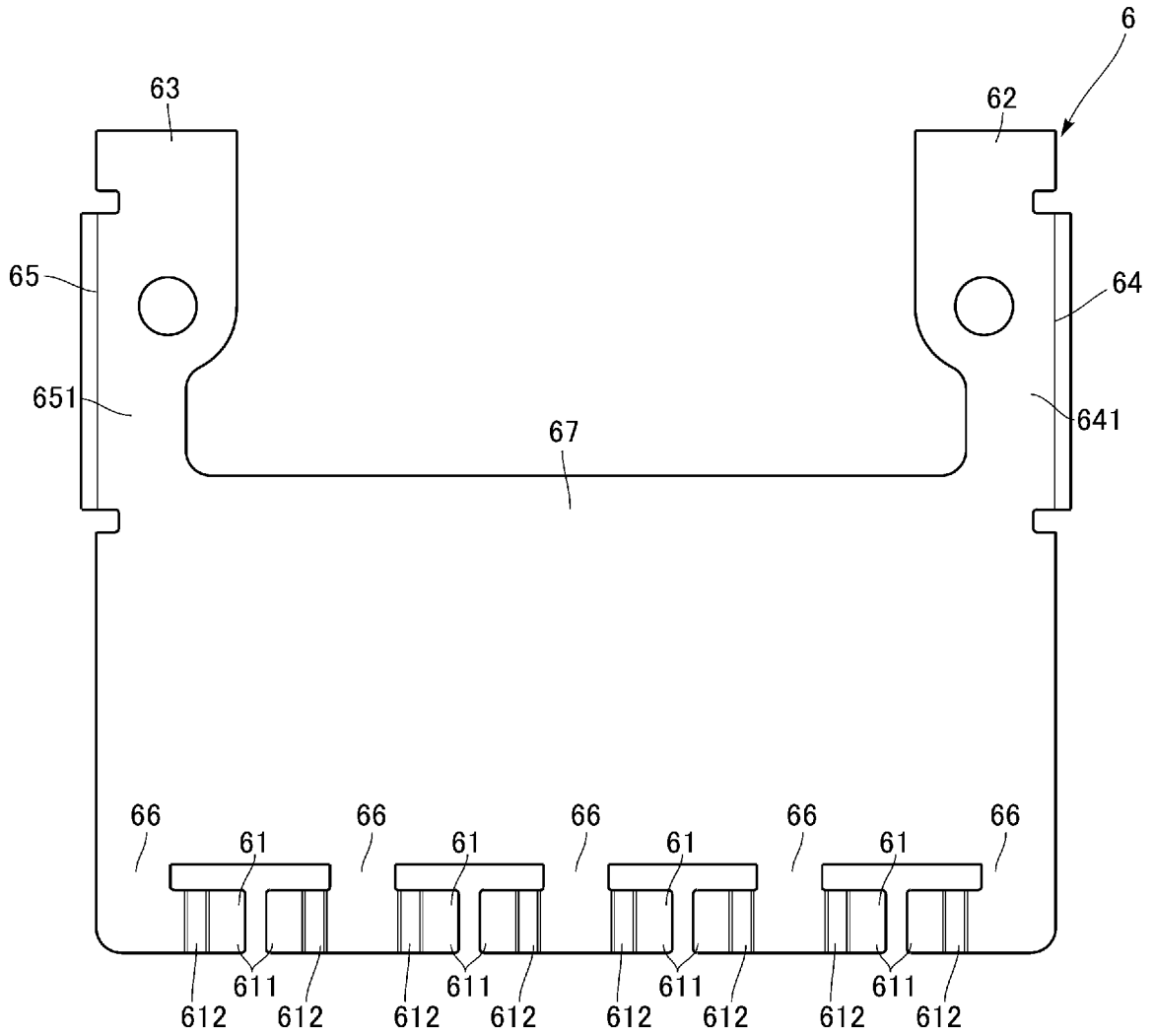


FIG.34



[35]
FIG.35



[ 36]

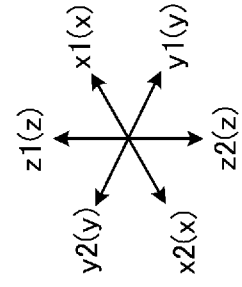
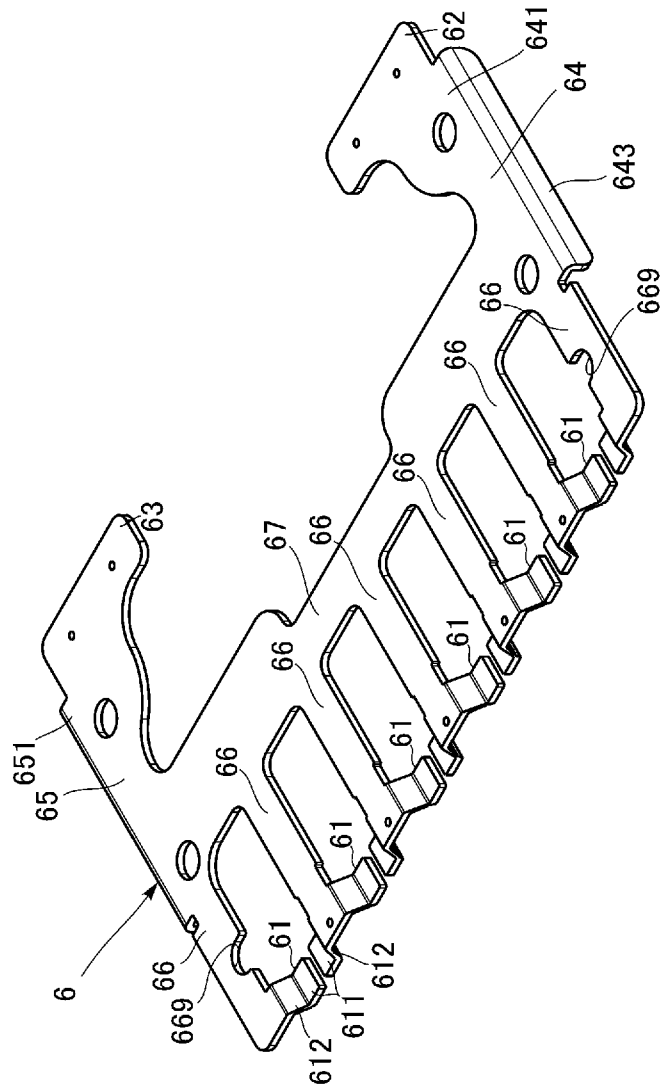
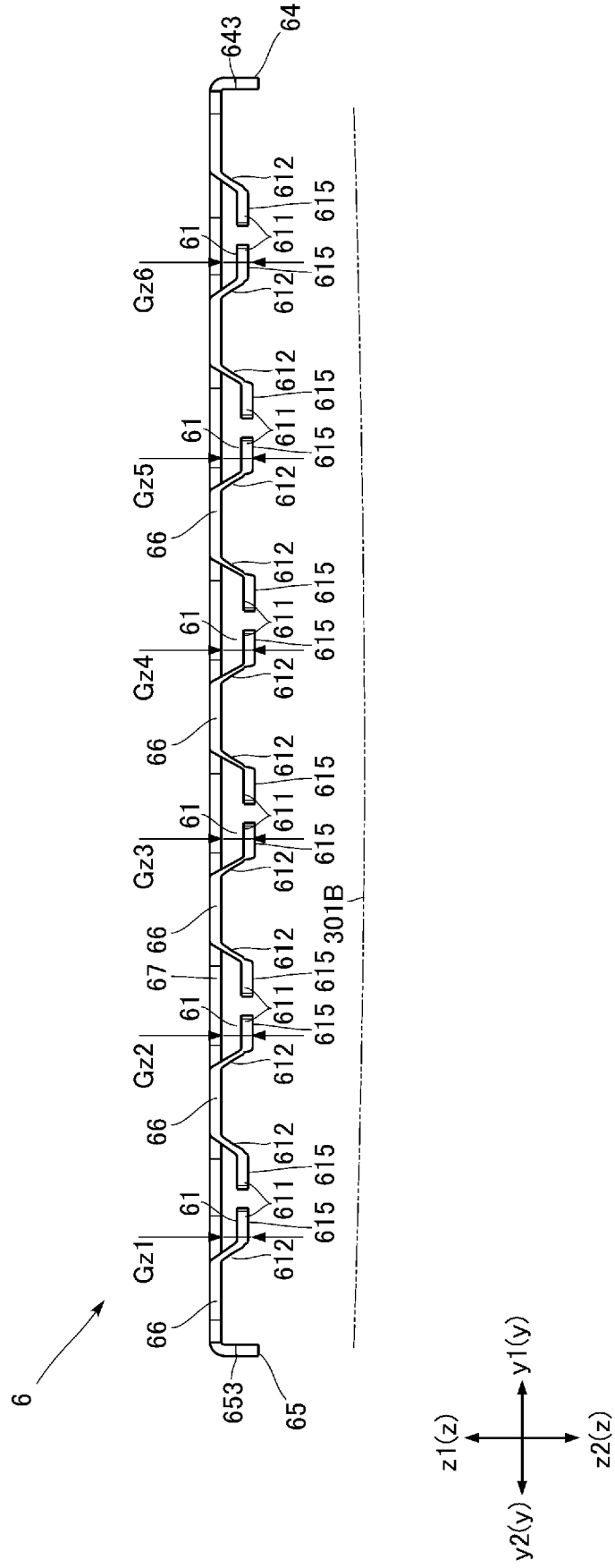



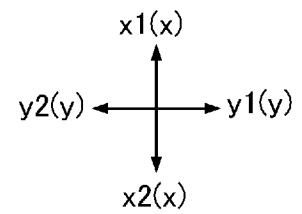
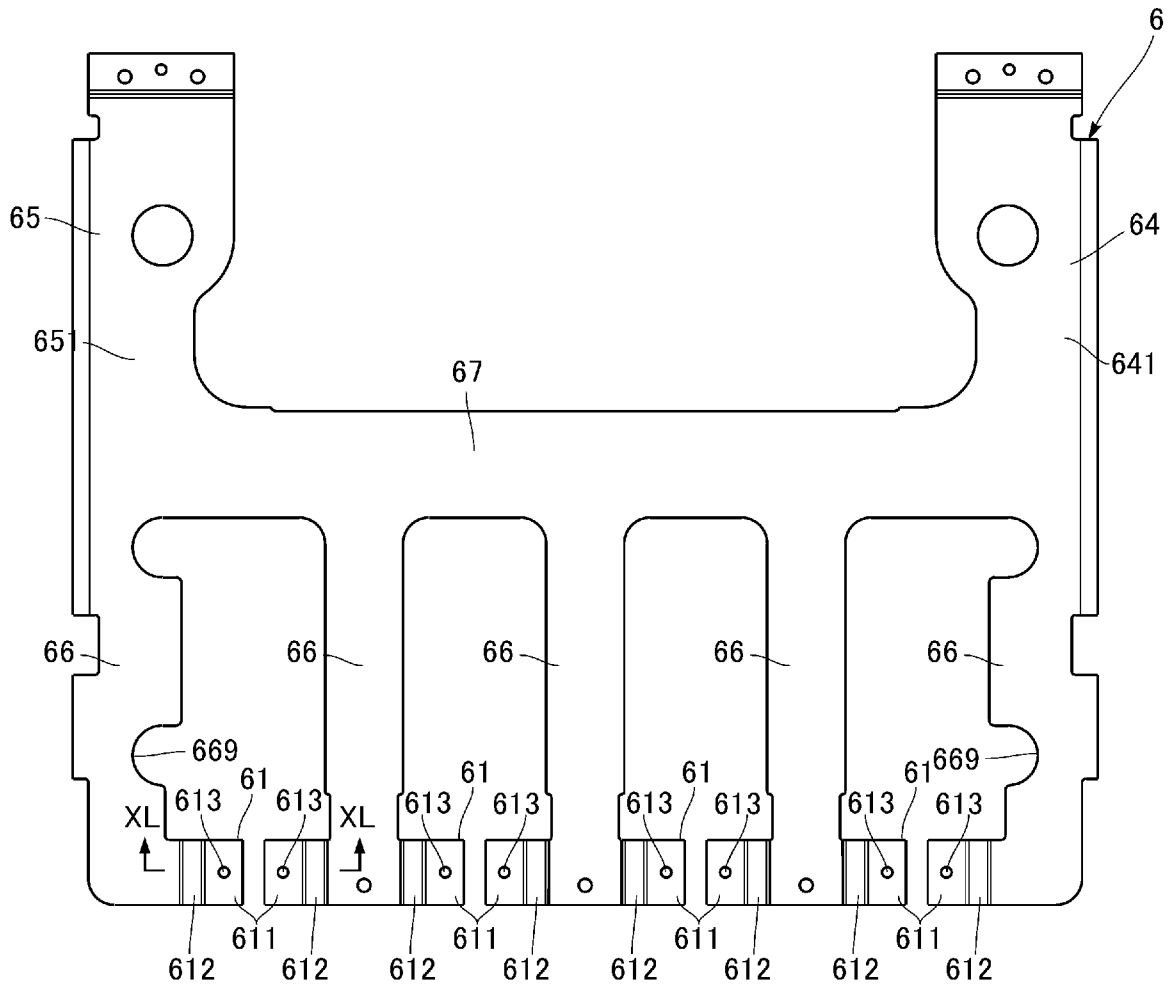
FIG.36

[図37]

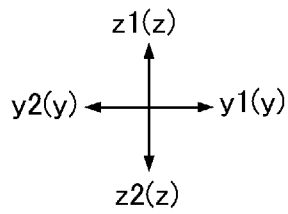
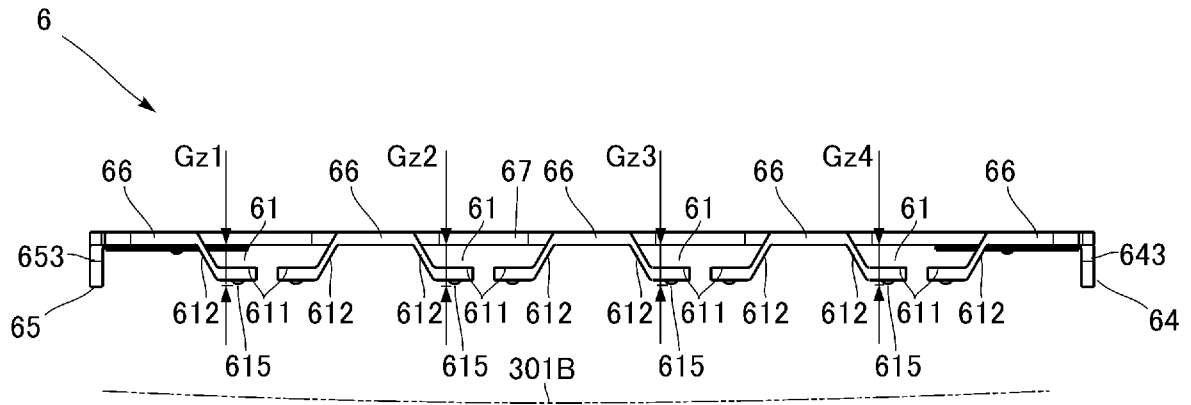
FIG.37



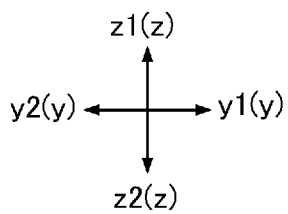
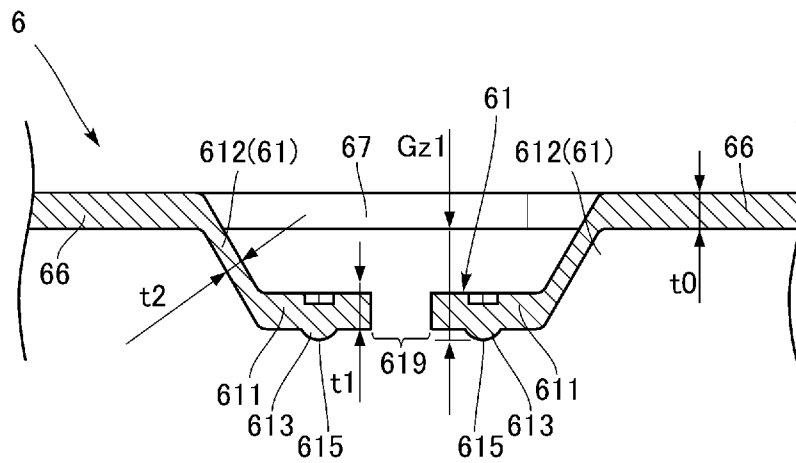
[38]
FIG.38



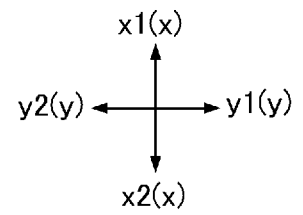
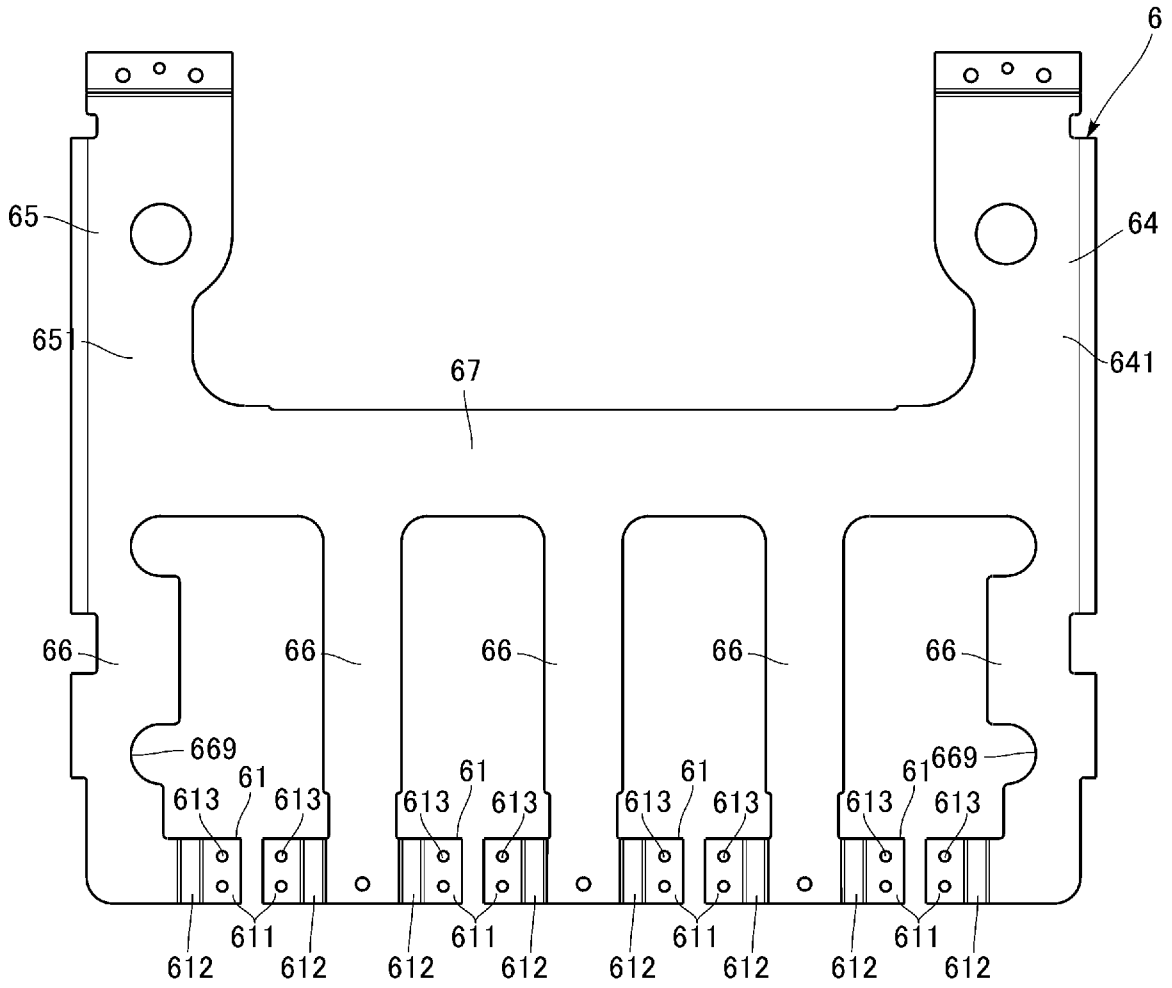
[図39]
FIG.39



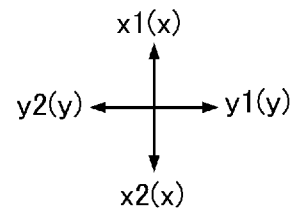
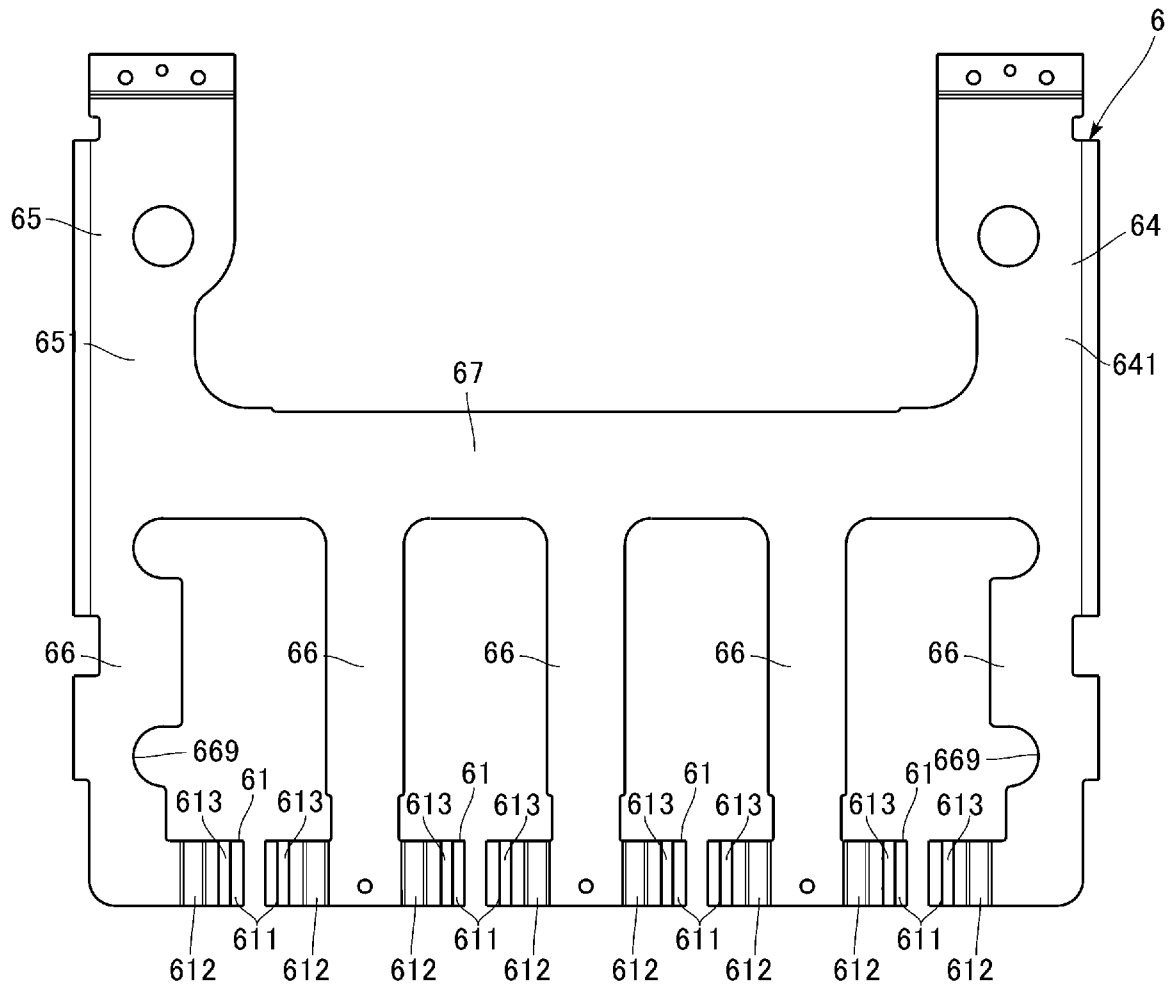
[图40]
FIG.40



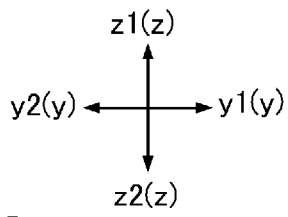
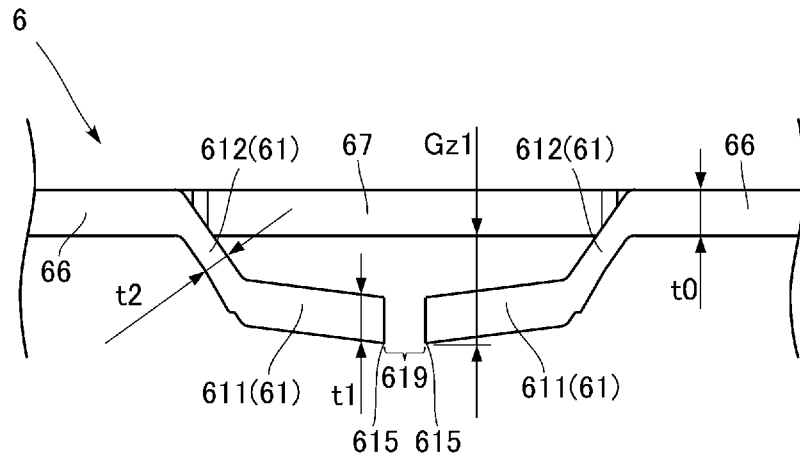
[図41]
FIG.41



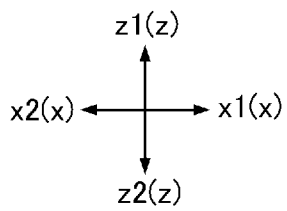
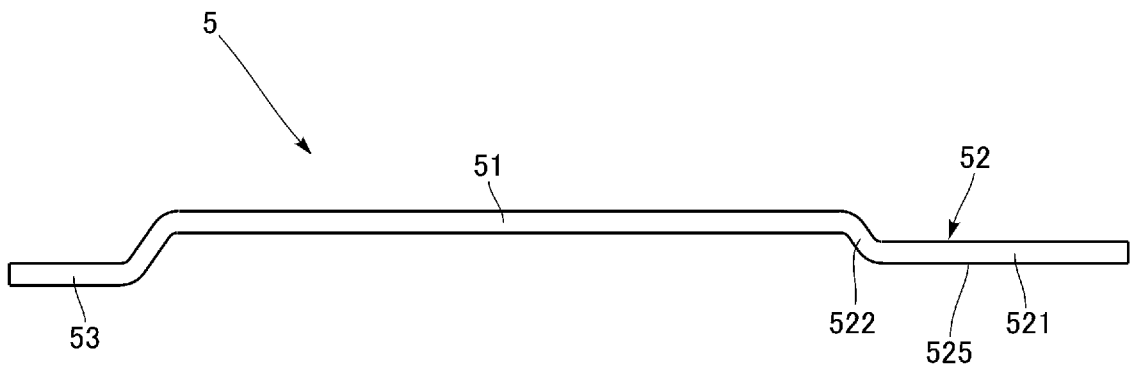
[図42]
FIG.42




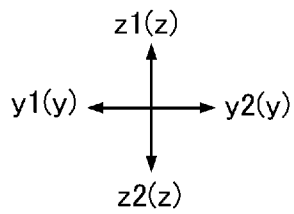
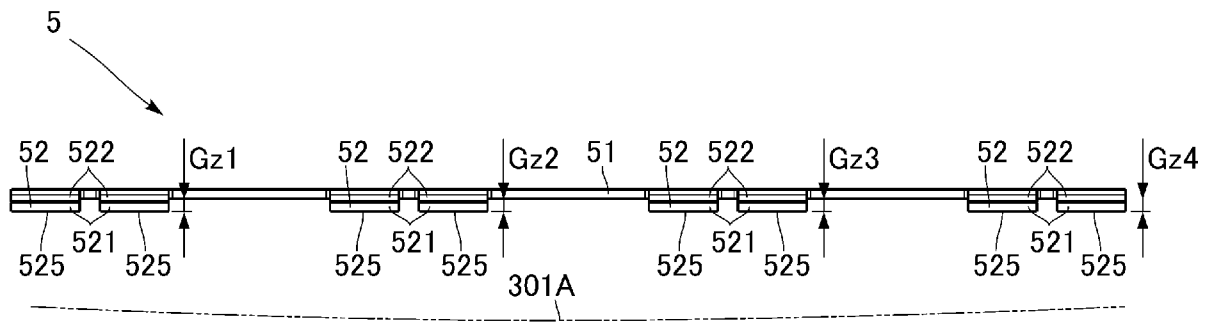
[43]
FIG.43



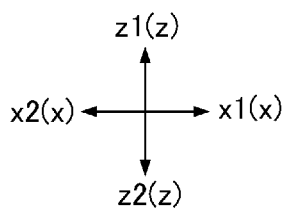
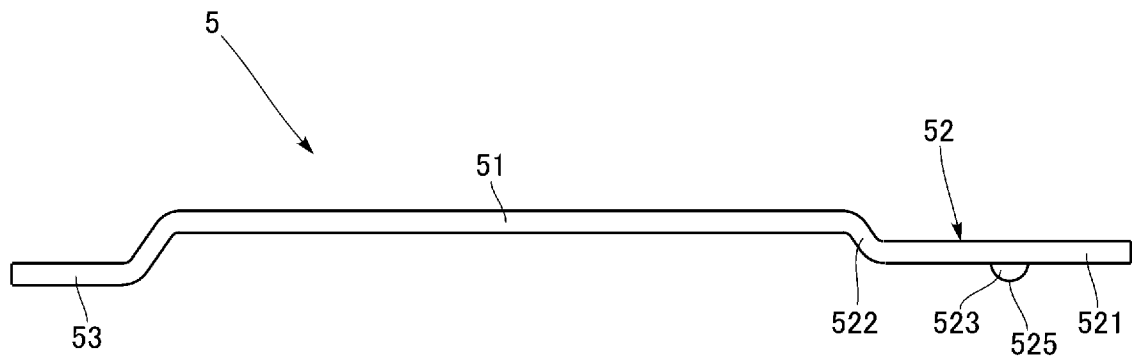
[44]
FIG.44



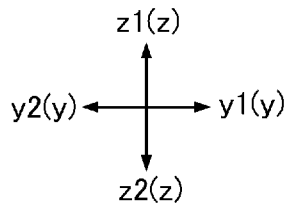
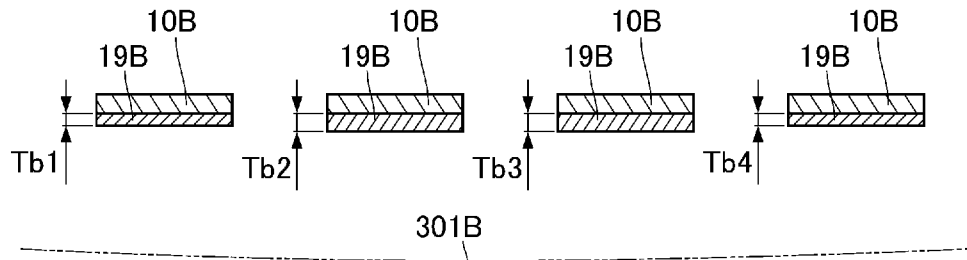
[45]
FIG.45




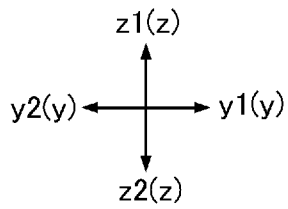
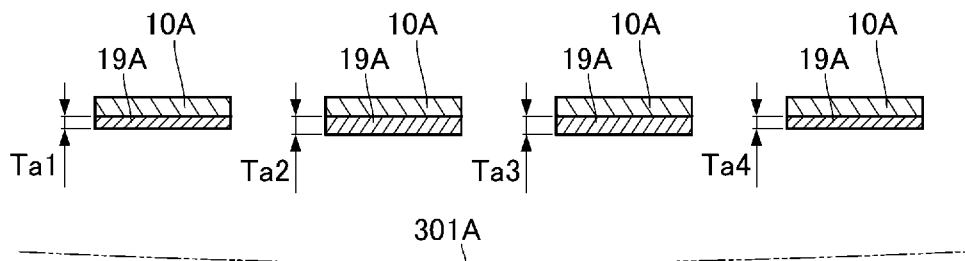
[46]
FIG.46



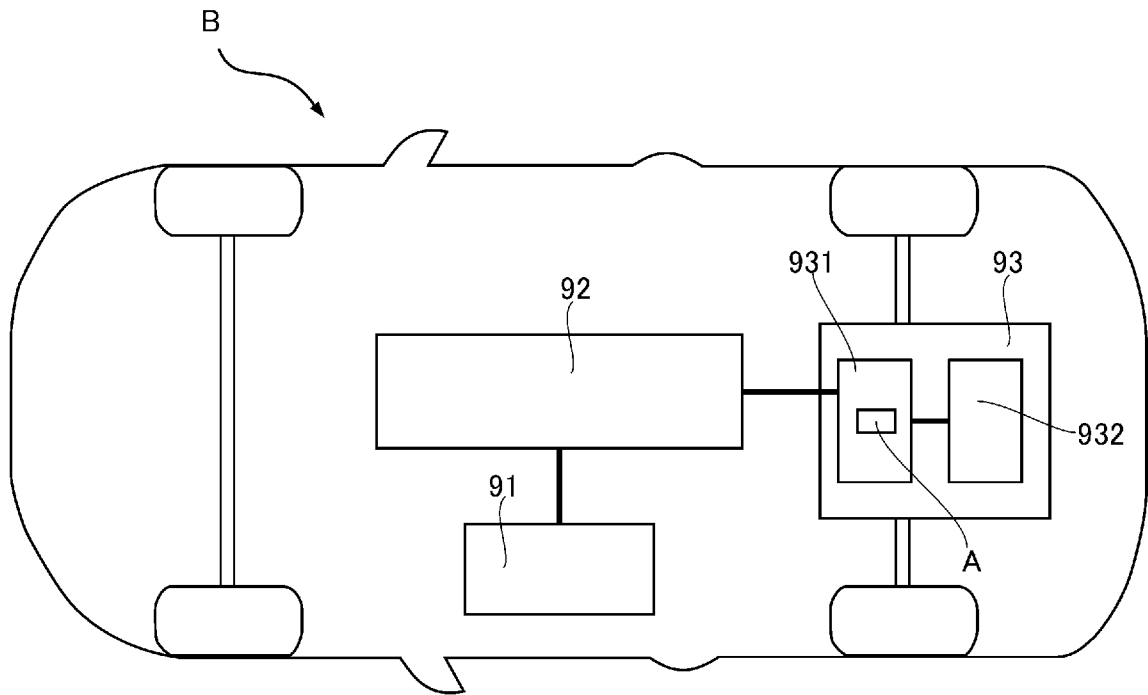
[47]
FIG.47



[48]
FIG.48



[図49]
FIG.49



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012188

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 25/07</i> (2006.01)i; <i>H01L 21/60</i> (2006.01)i; <i>H01L 23/48</i> (2006.01)i FI: H01L25/04 C; H01L21/60 321E; H01L23/48 G		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L25/07; H01L21/60; H01L23/48		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2020-80348 A (ROHM CO LTD) 28 May 2020 (2020-05-28) paragraphs [0001], [0026]-[0082], [0095], fig. 1-13	1-11, 15 12-14
Y A	WO 2022/030244 A1 (ROHM CO LTD) 10 February 2022 (2022-02-10) paragraphs [0069]-[0115], fig. 7-8, 19-37	1-11, 15 12-14
Y	US 2015/0270207 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 24 September 2015 (2015-09-24) paragraphs [0043], [0051], fig. 1-4	5-11
Y	US 2010/0193922 A1 (ZETEX SEMICONDUCTORS PLC) 05 August 2010 (2010-08-05) paragraphs [0057]-[0063], fig. 4-6	7-11
Y	JP 2015-53425 A (MITSUBISHI ELECTRIC CORP) 19 March 2015 (2015-03-19) paragraph [0036], fig. 5	15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 June 2023		Date of mailing of the international search report 20 June 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/012188

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-80348	A	28 May 2020	(Family: none)	
WO	2022/030244	A1	10 February 2022	DE 212021000214	U1
US	2015/0270207	A1	24 September 2015	KR 10-2015-0108683	A
US	2010/0193922	A1	05 August 2010	CN 101803015	A
JP	2015-53425	A	19 March 2015	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 25/07(2006.01)i; H01L 21/60(2006.01)i; H01L 23/48(2006.01)i FI: H01L25/04 C; H01L21/60 321E; H01L23/48 G</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L25/07; H01L21/60; H01L23/48</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2023年																			
日本国実用新案登録公報	1996 - 2023年																			
日本国登録実用新案公報	1994 - 2023年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>JP 2020-80348 A（ローム株式会社）28.05.2020（2020 - 05 - 28） 段落[0001], [0026]-[0082], [0095], [図1-13]</td> <td>1-11, 15 12-14</td> </tr> <tr> <td>Y A</td> <td>WO 2022/030244 A1（ローム株式会社）10.02.2022（2022 - 02 - 10） 段落[0069]-[0115], [図7-8, 19-37]</td> <td>1-11, 15 12-14</td> </tr> <tr> <td>Y</td> <td>US 2015/0270207 A1（SAMSUNG ELECTRO-MECHANICS CO., LTD.）24.09.2015（2015 - 09 - 24） 段落[0043], [0051], [図1-4]</td> <td>5-11</td> </tr> <tr> <td>Y</td> <td>US 2010/0193922 A1（ZETEX SEMICONDUCTORS PLC）05.08.2010（2010 - 08 - 05） 段落[0057]-[0063], [図4-6]</td> <td>7-11</td> </tr> <tr> <td>Y</td> <td>JP 2015-53425 A（三菱電機株式会社）19.03.2015（2015 - 03 - 19） 段落[0036], [図5]</td> <td>15</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y A	JP 2020-80348 A（ローム株式会社）28.05.2020（2020 - 05 - 28） 段落[0001], [0026]-[0082], [0095], [図1-13]	1-11, 15 12-14	Y A	WO 2022/030244 A1（ローム株式会社）10.02.2022（2022 - 02 - 10） 段落[0069]-[0115], [図7-8, 19-37]	1-11, 15 12-14	Y	US 2015/0270207 A1（SAMSUNG ELECTRO-MECHANICS CO., LTD.）24.09.2015（2015 - 09 - 24） 段落[0043], [0051], [図1-4]	5-11	Y	US 2010/0193922 A1（ZETEX SEMICONDUCTORS PLC）05.08.2010（2010 - 08 - 05） 段落[0057]-[0063], [図4-6]	7-11	Y	JP 2015-53425 A（三菱電機株式会社）19.03.2015（2015 - 03 - 19） 段落[0036], [図5]	15
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
Y A	JP 2020-80348 A（ローム株式会社）28.05.2020（2020 - 05 - 28） 段落[0001], [0026]-[0082], [0095], [図1-13]	1-11, 15 12-14																		
Y A	WO 2022/030244 A1（ローム株式会社）10.02.2022（2022 - 02 - 10） 段落[0069]-[0115], [図7-8, 19-37]	1-11, 15 12-14																		
Y	US 2015/0270207 A1（SAMSUNG ELECTRO-MECHANICS CO., LTD.）24.09.2015（2015 - 09 - 24） 段落[0043], [0051], [図1-4]	5-11																		
Y	US 2010/0193922 A1（ZETEX SEMICONDUCTORS PLC）05.08.2010（2010 - 08 - 05） 段落[0057]-[0063], [図4-6]	7-11																		
Y	JP 2015-53425 A（三菱電機株式会社）19.03.2015（2015 - 03 - 19） 段落[0036], [図5]	15																		
<p>国際調査を完了した日</p> <p>05.06.2023</p>	<p>国際調査報告の発送日</p> <p>20.06.2023</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>内田 正和 5F 9065</p> <p>電話番号 03-3581-1101 内線 3559</p>																			

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/012188

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-80348 A	28.05.2020	(ファミリーなし)	
WO 2022/030244 A1	10.02.2022	DE 212021000214 U1	
US 2015/0270207 A1	24.09.2015	KR 10-2015-0108683 A	
US 2010/0193922 A1	05.08.2010	CN 101803015 A	
JP 2015-53425 A	19.03.2015	(ファミリーなし)	