



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월21일
(11) 등록번호 10-0847279
(24) 등록일자 2008년07월14일

(51) Int. Cl.

G11C 11/41 (2006.01)

(21) 출원번호 10-2002-0048379

(22) 출원일자 2002년08월16일

심사청구일자 2006년12월12일

(65) 공개번호 10-2003-0038341

(43) 공개일자 2003년05월16일

(30) 우선권주장

JP-P-2001-00344484 2001년11월09일 일본(JP)

(56) 선행기술조사문헌

JP 2000-11639 A

JP 2000-207886 A

전체 청구항 수 : 총 10 항

(73) 특허권자

후지쯔 가부시끼가이샤

일본국 가나가와켄 가와사키시 나카하라꾸 가미고
다나카 4초메 1-1

(72) 발명자

요코제키와타루

일본가나가와켄가와사키시나카하라꾸가미고다나카
4-1-1후지쯔가부시끼가이샤나이

(74) 대리인

김태홍, 신정권

심사관 : 손윤식

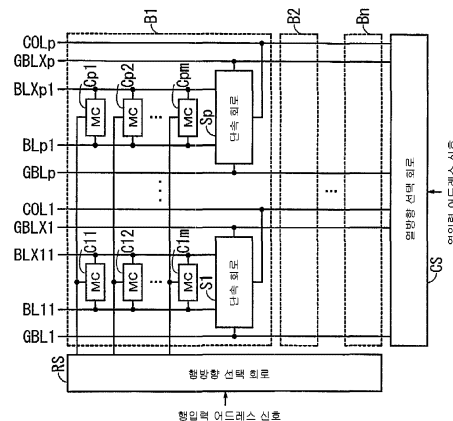
(54) 반도체 기억 장치

(57) 요약

본 발명에 따르면, 반도체 기억 장치의 충방전 전류를 억제시킴으로써 장치 전체의 소비 전력을 저감한다.

행 방향 선택 회로(RS)는 행 입력 어드레스 신호에 따라서 행방향의 소정의 메모리 셀군(C11~Cp1, C12~Cp2, ...)을 선택한다. 열 방향 선택 회로(CS)는 열 입력 어드레스 신호에 따라서 열 방향의 소정의 메모리 셀군(C11~C1m, Cp1~Cpm, ...)을 선택한다. 단속 회로(S1~Sp)는 행 방향 선택 회로(RS)에 의해서 선택된 메모리 셀군(C11~Cp1, C12~Cp2, ...)의 각각에 접속되어 있는 분할 비트선(BL11~BLp1, BLX11~BLXp1) 중 열 방향 선택 회로(CS)에 의해서 선택된 열에 대응하는 분할 비트선을 대응하는 공통 비트선(GBL1~GBLp, GBLX1~GBLXp)에 접속하고, 그 이외의 열의 분할 비트선에 대해서는 접속되지 않는다.

대표도



특허청구의 범위

청구항 1

메모리 셀이 접속되는 비트선이 열 방향으로 분할된 복수개의 분할 비트선과, 상기 분할 비트선에 출력된 전압을 열 단위로 인출하는 공통 비트선을 갖는 반도체 기억 장치에 있어서,

행 입력 어드레스 신호에 따라서 행 방향의 소정의 메모리 셀 군을 선택하는 행 방향 선택 회로와;

열 입력 어드레스 신호에 따라서 열 방향의 소정의 메모리 셀 군을 선택하는 열 방향 선택 회로와;

상기 행 방향 선택 회로에 의해 선택된 메모리 셀 군의 각각에 접속되어 있는 분할 비트선 중 상기 열 방향 선택 회로에 의해 선택된 열에 대응하는 분할 비트선을 대응하는 공통 비트선에 접속하고, 그 이외의 열의 분할 비트선에 대해서는 접속하지 않는 단속 회로

를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 2

제1항에 있어서, 상기 단속 회로는 분할 비트선마다 배치되어 있고,

상기 열 방향 선택 회로의 선택 결과에 따라서 각 단속 회로를 제어하기 위한 열 방향 선택 신호선이 상기 공통 비트선에 평행하게 배치되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 3

제2항에 있어서, 상기 공통 비트선과, 상기 열 방향 선택 신호선은 동일한 배선층에 배치되어 있고, 동일한 열의 상기 공통 비트선과 상기 열 방향 선택 신호선 사이에는 관독시에 있어서 소정의 전위를 유지하는 신호선이 배치되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 4

제2항에 있어서, 상기 공통 비트선과, 상기 열 방향 선택 신호선은 다른 배선층에 배치되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 5

제2항에 있어서, 상기 공통 비트선은 상기 열 방향 선택 회로의 선택 결과에 따라서 ON 또는 OFF 상태가 되는 칼럼 스위치를 통해 공통 데이터 버스에 접속되어 있고,

상기 열 방향 선택 신호는 상기 칼럼 스위치의 제어 신호와 공용되고 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제5항에 있어서, 상기 칼럼 스위치는 기록 전용의 칼럼 스위치와, 판독 전용의 칼럼 스위치를 포함하고,

상기 기록 전용의 칼럼 스위치는 기록용 공통 데이터 버스에 접속되며, 상기 판독 전용의 칼럼 스위치는 판독용 공통 데이터 버스에 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제1항에 있어서, 상기 공통 비트선은 멀티플렉서를 통해 판독용 공통 데이터 버스에 접속되어 있고,

상기 멀티플렉서를 구성하는 트랜지스터의 게이트에 대하여 각 공통 비트선이 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제1항에 있어서, 상기 공통 비트선을 프리차지하는 프리차지 회로와,

상기 열 방향 선택 회로에 의해 선택된 열에 대응하는 프리차지 회로에 대해서는 비동작 상태로 제어하고, 다른 프리차지 회로에 대해서는 동작 상태로 제어하는 프리차지 회로 제어 회로를 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제2항에 있어서, 상기 분할 비트선 단위로 설치된 트랜지스터를 포함하고,

상기 트랜지스터는 각 열을 구성하는 상기 공통 비트선과, 상기 열 방향 선택 신호선을 상기 분할 비트선의 전압에 따라서 접속 또는 비접속 상태로 하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10

제9항에 있어서, 상기 각 열에 대한 공통 비트선이 1개의 공통 비트선으로 통합되고, 모든 열의 출력이 합성되어 출력되는 것을 특징으로 하는 반도체 기억 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <41> 본 발명은 반도체 기억 장치에 관한 것으로, 특히 메모리 셀이 접속되는 비트선이 열 방향으로 복수개로 분할된 분할 비트선과, 분할 비트선에 출력된 전압을 열 단위로 인출하는 공통 비트선을 갖는 반도체 기억 장치에 관한 것이다.
- <42> RAM(Random Access Memory)의 저소비 전력화 및 고속화를 가능하게 하는 비트선 계층 방식이 제안되어 있다. 비트선 계층 방식에서는 메모리 어레이를 복수의 뱅크로 분할한다. 각 뱅크 내의 분할 비트선은 실제로 메모리 셀에 접속된다. 이 분할 비트선과 평행하게 공통 비트선이 각 뱅크에 걸쳐 마련된다. 공통 비트선은 메모리 셀에 접속되어 있지 않기 때문에, 단위 길이당 부하 용량이 분할 비트선보다도 작다. 따라서, 비트선 계층 방식을 이용하면, 계층화되지 않은 경우와 비교하여 고속이며 또한 전력 소비가 적은 판독 및 기록 동작이 가능하게 된다.
- <43> 또한, 종래의 비트선 계층 방식은, 예컨대, 「저소비 전력, 고속 LSI 기술」(리얼라이즈사, 1998)의 187 페이지와, 일본국 특허 공개 평2000-207886호에 개시되어 있다.
- <44> 비트선 분할 방식을 이용한 스태틱형 RAM(이하, SRAM이라 칭함)의 블록도의 일례를 도 15에 도시한다. 이 도면에 도시한 바와 같이, 종래의 SRAM은 타이밍 제어 회로(1), 로우 디코더(2), 워드선 드라이버(3), 뱅크 디코더(4), 칼럼 디코더(5), 뱅크(B1~Bn), 프리차지 회로(PC1~PCp), 칼럼 스위치(CS1~CSp) 및 I/O 회로(6)에 의해 구성되어 있다.
- <45> 여기서, 타이밍 제어 회로(1)는 어드레스 신호, 클록 신호 및 제어 신호를 입력하여, 이들 신호에 기초하여 로우 디코더(2), 뱅크 디코더(4), 칼럼 디코더(5) 및 프리차지 회로(PC1~PCp)를 제어한다.
- <46> 로우 디코더(2)는 타이밍 제어 회로(1)로부터 공급된 행 입력 어드레스 신호를 디코딩하고, 그 결과에 따라서 워드선 드라이버(3)를 제어하여 행 방향의 소정의 메모리 셀 군을 선택한다.
- <47> 칼럼 디코더(5)는 타이밍 제어 회로(1)로부터 공급된 열 입력 어드레스 신호를 디코딩하고, 그 결과에 따라서 칼럼 스위치(CS1~CSp)를 제어하여 소정의 메모리 셀 군을 선택한다.
- <48> 워드선 드라이버(3)는 로우 디코더(2)의 제어에 따라서 행 방향의 소정의 메모리 셀 군을 선택한다.
- <49> 뱅크 디코더(4)는 타이밍 제어 회로(1)의 제어에 따라서 뱅크(B1~Bn)를 선택하기 위해서 각 뱅크에 구비되어 있는 뱅크 제어 회로(BC1~BCp)를 제어한다.
- <50> 뱅크(B1~Bn)는 메모리 셀 군이 열 방향으로 소정의 개수 단위(이 예에서는 m개 단위)로 분할되어 구성되어 있다. 데이터를 판독하는 경우 또는 데이터를 기록하는 경우에는 워드선 드라이버(3)에 의해서 소정의 메모리 셀이 선택되어, 대응하는 분할 비트선(BL11~BLp1) 및 보조 분할 비트선(BLX11~BLXp1)과 접속되고, 또한, 뱅크

제어 회로(BC1~BCp)에 의해서 소정의 뱅크가 선택되어, 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)에 접속된다.

- <51> 메모리 셀(MC)(C11~C1m, ..., Cp1~Cpm)은 데이터를 기억하는 최소 단위이다.
- <52> 뱅크 제어 회로(BC1~BCp)는 뱅크 디코더(4)의 제어에 따라 ON 또는 OFF 상태가 되어, 분할 비트선(BL11~BLp1) 및 보조 분할 비트선(BLX11~BLXp1)을 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)에 접속한다.
- <53> 프리차지 회로(PC1~PCp)는 타이밍 제어 회로(1)의 제어에 따라 판독 동작의 종료후, 전하를 잃은 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)에 대하여 전하를 보충하는 프리차지 동작을 행한다.
- <54> 칼럼 스위치(CS1~CSp)는 칼럼 디코더(5)의 제어에 따라서 ON 또는 OFF 상태가 되어, 소정 열의 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)을 데이터 버스(DB) 및 보조 데이터 버스(DBX)에 각각 접속한다.
- <55> I/O 회로(6)는 센스 앰프, 라이트 앰프 및 입출력 회로로 구성되어, 판독된 데이터를 센스 앰프에 의해서 증폭하여 출력함과 동시에, 입력된 데이터를 라이트 앰프에서 증폭하여 데이터 버스(DB) 및 보조 데이터 버스(DBX)로 송출한다.
- <56> 또한, 이 도면에서는, 뱅크(B1)만을 상세히 나타내고 있지만, 뱅크(B2~Bn)에 관해서도 뱅크(B1)와 동일한 구성으로 되어 있다.
- <57> 이어서, 이상의 종래예의 동작에 관해서 설명한다.
- <58> 우선, 메모리 셀(C11)로부터 데이터를 판독하는 경우를 예로 들어 설명한다. 타이밍 제어 회로(1)에 판독 대상이 되는 어드레스가 입력되면, 타이밍 제어 회로(1)는 이 어드레스에 기초하여 소정의 제어 신호를 로우 디코더(2), 뱅크 디코더(4) 및 칼럼 디코더(5)에 공급한다.
- <59> 로우 디코더(2)는 타이밍 제어 회로(1)로부터 공급된 행 입력 어드레스 신호를 디코드하여, 워드선 드라이버(3)에 어떤 워드선을 선택해야 할 것인지를 통지한다.
- <60> 워드선 드라이버(3)는 로우 디코더(2)의 제어에 따라 소정의 워드선을 액티브 상태로 한다. 이 예에서는, 메모리 셀(C11)이 판독 대상으로 되어 있기 때문에, 메모리 셀(C11~Cp1)에 접속되어 있는 워드선이 액티브 상태로 되고, 그 밖에는 인액티브 상태로 된다.
- <61> 그렇게 하면, 메모리 셀(C11~Cp1)로부터 데이터가 판독되어, 분할 비트선(BL11~BLp1) 및 보조 분할 비트선(BLX11~BLXp1)에 출력 전압이 인가되게 된다.
- <62> 뱅크 디코더(4)는 뱅크(B1)에 포함되어 있는 모든 뱅크 제어 회로(BC1~BCp)를 ON 상태로 한다. 그 결과, 뱅크(B1)에 포함되어 있는 분할 비트선(BL11~BLp1) 및 보조 분할 비트선(BLX11~BLXp1)이 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)에 각각 접속되기 때문에, 메모리 셀(C11)의 데이터는 공통 비트선(GBL1) 및 보조 공통 비트선(GBLX1)에 공급된다. 이 때, 뱅크 제어 회로(BC2~BCp)에 대해서도 ON 상태가 되기 때문에, 메모리 셀(C21~Cp1)에 저장되어 있는 데이터도 판독되어 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)에 출력된다.
- <63> 칼럼 디코더(5)는 타이밍 제어 회로(1)로부터 공급된 열 입력 어드레스 신호를 디코드하여, 그 결과에 따라서 칼럼 스위치(CS1~CSp) 중 해당하는 것을 ON 상태로 한다. 이 예에서는 메모리 셀(C11)이 판독 대상이기 때문에, 칼럼 스위치(CS1)가 ON 상태가 되고, 그 외에는 전부 OFF 상태가 된다.
- <64> 칼럼 스위치(CS1)로부터 출력된 데이터는 데이터 버스(DB) 및 보조 데이터 버스(DBX)를 경유하여 I/O 회로(6)에 공급된다.
- <65> I/O 회로(6)는 이와 같은 방식으로 판독된 데이터를 내장하고 있는 센스 앰프에 의해 소정의 전압까지 증압한 후 출력한다.
- <66> 또한, 그 밖의 메모리 셀에 대한 판독 동작도, 전술한 경우와 마찬가지로이기 때문에 그 설명은 생략한다. 또, 기록 동작에 대해서는 I/O 회로(6)측에서 데이터가 판독되어 메모리 셀에 공급되는 것 이외에는 전술한 경우와 동일하기 때문에 그 설명도 생략한다.
- <67> 이어서, SRAM에 있어서의 비트선에 대한 충방전 전류에 관해서 고찰한다. 예컨대, 비트선 계층 방식을 이용하지

않는 경우, 비트선의 충방전 전류는 다음의 수학식 1로 표현된다.

수학식 1

<68>
$$I_o = C_b \cdot V_b \cdot f \cdot N$$

<69> 여기서,

<70> C_b : 비트선 용량

<71> V_b : 비트선 전위 진폭

<72> f : 동작 주파수

<73> N : 전체 열수

<74> 이다. 한편, 비트선 계층 방식에 의해 메모리 어레이를 N_b 개의 뱅크로 분할하면, 비트선의 충방전 전류는 다음의 수학식 2로 표현된다.

수학식 2

<75>
$$I_b = (C_b/N_b \cdot V_b + C_g \cdot V_g) \cdot f \cdot N$$

<76> 여기서,

<77> C_g : 공통 비트선 용량

<78> V_g : 공통 비트선 전위 진폭

<79> 이다. 만일, 메모리 어레이를 4분할($N_b=4$)하여, 공통 비트선의 용량이 비트선의 반($C_g=C_b/2$)이 되었다고 하면, I_b 는 이하의 수학식 3으로 표현된다.

수학식 3

<80>
$$I_b = (C_b/4 \cdot V_b + C_b/2 \cdot V_g) \cdot f \cdot N$$

<81> 또한, 분할 비트선과 공통 비트선의 전위 진폭이 동일($V_b=V_g$)하다고 하면, 이하의 수학식 4로 표현된다.

수학식 4

<82>
$$I_b = 3/4 \cdot C_b \cdot V_b \cdot f \cdot N$$

<83>
$$= 3/4 \cdot I_o$$

<84> 이 되어, 1/4(25%)의 전류 저감이 된다.

발명이 이루고자 하는 기술적 과제

<85> 종래의 SRAM에서는, 칼럼 디코더와 칼럼 스위치에 의해 열 선택을 행하여(칼럼 멀티플렉스 방식), 선택된 열의 비트선 전위 진폭을 칼럼 스위치를 통해서, 공통 데이터 버스 상에 전달하고, 그것을 센스 앰프 또는 출력 버퍼에 입력한다. 센스 앰프나 출력 버퍼는 소정의 열수(N_c)에 대하여 1 개가 공통으로 설치된다. 비트선 계층 방식의 경우도 마찬가지이다.

<86> 그러나, 실제로 선택되는 것은 1쌍의 비트선이며, 나머지 ($N-1$)개의 비트선 진폭은 이용되지 않는다. 따라서, 그 만큼의 충방전 전류가 쓸모없게 되는 문제점이 있었다.

<87> 또한, 이 문제는 공통 비트선의 전압 진폭이 큰 경우에는 더욱 심각하게 된다. 예컨대, 도 15의 뱅크 제어 회로($BC1 \sim BCp$) 중에 로컬 센스 앰프를 설치하여, 분할 비트선($BL11 \sim BLp1$) 및 보조 분할 비트선($BLX11 \sim BLXp1$)에 나타난 미소한 전압 진폭을 증폭하여, 공통 비트선($GBL1 \sim GBLp$) 및 보조 공통 비트선($GBLX1 \sim GBLXp$)에 큰 전압 진폭을 발생시키는 경우이다. 만일, 전원 전압을 V_{dd} 로 하여, $V_b=V_{dd}/20$, $V_g=V_{dd}/2=10V_b$ 로서 수학식 3과 동일한 경우를 계산하면, 이하의 수학식 5를 얻는다.

수학식 5

<88>
$$I_b = (C_b/4 \cdot V_b + C_b/2 \cdot 10 \cdot V_b) \cdot f \cdot N$$

<89>
$$= (1/4 + 5) \cdot C_b \cdot V_b \cdot f \cdot N$$

<90>
$$= 21/4 \cdot I_o$$

<91> 이 되어, 5배 이상의 전류 증가가 된다.

<92> 본 발명은 이상과 같은 점을 감안하여 이루어진 것으로, 칩 면적을 증가시키지 않고서 회로를 안정적으로 동작시켜, 이상과 같은 쓸모없는 충방전 전류를 저감하는 것을 과제로 한다.

발명의 구성 및 작용

<93> 본 발명에서는 상기 과제를 해결하기 위해서, 도 1에 도시하는 메모리 셀(C11~C1m, ..., Cp1~Cpm)이 접속되는 비트선이 열 방향으로 분할된 복수개의 분할 비트선(BL11~BLp1, BLX11~BLXp1)과, 분할 비트선(BL11~BLp1, BLX11~BLXp1)에 출력된 전압을 열 단위로 인출하는 공통 비트선(GBL1~GBLp, GBLX1~GBLXp)을 갖는 반도체 기억 장치에 있어서, 행 입력 어드레스 신호에 따라서 행 방향의 소정의 메모리 셀 군을 선택하는 행 방향 선택 회로(RS)와, 열 입력 어드레스 신호에 따라서 열 방향의 소정의 메모리 셀 군을 선택하는 열 방향 선택 회로(CS)와, 상기 행 방향 선택 회로(RS)에 의해서 선택된 메모리 셀 군의 각각에 접속되어 있는 분할 비트선 중 상기 열 방향 선택 회로(CS)에 의해서 선택된 열에 대응하는 분할 비트선을 대응하는 공통 비트선에 접속하고, 그 이외의 열의 분할 비트선에 대해서는 접속하지 않는 단속 회로(S1~Sp)를 포함하는 것을 특징으로 하는 반도체 기억 장치가 제공된다.

<94> 여기서, 행 방향 선택 회로(RS)는 행 입력 어드레스 신호에 따라서 행 방향의 소정의 메모리 셀 군을 선택한다. 열 방향 선택 회로(CS)는 열 입력 어드레스 신호에 따라서 열 방향의 소정의 메모리 셀 군을 선택한다. 단속 회로(S1~Sp)는 행 방향 선택 회로(RS)에 의해서 선택된 메모리 셀 군의 각각에 접속되어 있는 분할 비트선 중 열 방향 선택 회로(CS)에 의해서 선택된 열에 대응하는 분할 비트선을 대응하는 공통 비트선에 접속하고, 그 이외의 열의 분할 비트선에 대해서는 접속하지 않는다.

<95> 이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

<96> 도 1은 본 발명의 동작 원리를 설명하는 원리도이다. 이 도면에 도시한 바와 같이, 본 발명의 반도체 기억 장치는 행 방향 선택 회로(RS), 열 방향 선택 회로(CS), 뱅크(B1~Bn)에 의해서 구성되어 있다. 또한, 각 뱅크는 뱅크(B1)를 예로 들어 설명하면, 열 방향을 구성하는 m개의 메모리 셀이 p열 모여 구성되어 있다.

<97> 각 열을 구성하는 메모리 셀은 제1 열을 예로 들어 설명하면, 메모리 셀(C11~C1m)에 의해서 구성되어, 분할 비트선(BL11) 및 보조 분할 비트선(BLX11)에 접속되어 있다. 또한, 분할 비트선(BL11) 및 보조 분할 비트선(BLX11)은 단속 회로(S1)를 통해 공통 비트선(GBL11) 및 보조 공통 비트선(GBLX1)에 접속되어 있다.

<98> 여기서, 행 방향 선택 회로(RS)는 행 입력 어드레스 신호에 따라서 행 방향의 소정의 메모리 셀 군을 선택한다.

<99> 열 방향 선택 회로(CS)는 열 입력 어드레스 신호에 따라서 열 방향의 소정의 메모리 셀 군을 선택한다.

<100> 단속 회로(S1~Sp)는 행 방향 선택 회로(RS)에 의해서 선택된 메모리 셀 군의 각각에 접속되어 있는 분할 비트선(BL11~BLp1) 및 보조 분할 비트선(BLX11~BLXp1) 중 열 방향 선택 회로(CS)에서 출력되는 열 방향 선택 신호(COL1~COLp)에 의해 선택된 열에 대응하는 분할 비트선 및 보조 분할 비트선을 대응하는 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)에 접속하고, 그 이외의 열의 분할 비트선에 대해서는 접속하지 않는다.

<101> 이어서, 이상의 원리도의 동작에 관해서 설명한다. 예컨대, 판독 동작을 예로 들어 설명하면, 우선, 행 방향 선택 회로(RS)와, 열 방향 선택 회로(CS)에 대하여 행 입력 어드레스 신호와 열 입력 어드레스 신호가 각각 공급된다.

<102> 행 방향 선택 회로(RS)는 행 입력 어드레스 신호를 디코딩하여, 대응하는 행 방향의 메모리 셀 군을 선택한다. 예컨대, 메모리 셀(C11)이 판독의 대상으로 되어 있는 경우에는 행 방향 선택 회로(RS)는 메모리 셀(C11~Cp1)을 선택한다.

<103> 그 결과, 메모리 셀(C11~Cp1)로부터 데이터가 판독되어, 플러스 신호가 분할 비트선(BL11~BLp1)에 각각 출력되고, 또, 보조 신호가 보조 분할 비트선(BLX1~BLXp1)에 각각 출력된다.

<104> 이어서, 열 방향 선택 회로(CS)는 판독 대상이 되는 메모리 셀이 속하는 열을 선택하기 위한 열 방향 선택 신호

를 액티브 상태로 한다. 이 예에서는, 메모리 셀(C11)이 판독 대상이기 때문에, 열 방향 선택 회로(CS)는 열 방향 선택 신호(COL1)를 액티브 상태로 하고, 그 이외의 열 방향 선택 신호에 대해서는 인액티브 상태로 한다. 그 결과, 단속 회로(S1)가 ON 상태가 되어, 분할 비트선(BL11)이 공통 비트선(GBL1)에 접속되고, 또, 보조 분할 비트선(BLX11)이 보조 공통 비트선(GBLX1)에 접속되기 때문에, 메모리 셀(C11)로부터 판독된 데이터는 열 방향 선택 회로(CS)에 공급되게 된다.

- <105> 또, 이 때, 다른 단속 회로(S2~Sp)는 전부 OFF 상태이기 때문에, 이들로부터 데이터는 출력되지 않기 때문에, 공통 비트선(GBL2~GBLp) 및 보조 공통 비트선(GBLX2~GBLXp)의 전위는 변화하지 않는다.
- <106> 열 방향 선택 회로(CS)는 단속 회로(S1)로부터 공급된 데이터를 도시하지 않는 센스 앰프에 의해서 증폭한 후, 출력한다.
- <107> 한편, 이상은 메모리 셀(C11)로부터 데이터를 판독할 때의 동작이지만, 그 이외의 메모리 셀로부터 데이터를 판독하는 경우도 전술한 경우와 동일한 동작에 의해 실행된다.
- <108> 또한, 기록 동작에 관해서도, 열 방향 선택 회로(CS)로부터 원하는 메모리 셀에 데이터가 공급되는 것 이외에는 데이터를 판독하는 경우와 마찬가지로 하기 때문에, 그 설명은 생략한다.
- <109> 이상에 설명한 바와 같이 본 발명의 반도체 기억 장치에 따르면, 단속 회로(S1~Sp)에 의해, 행 방향 선택 회로(RS)에 의해서 선택된 메모리 셀 군의 각각에 접속되어 있는 분할 비트선 및 보조 분할 비트선 중 열 방향 선택 회로(CS)에 의해서 선택된 열에 대응하는 분할 비트선 및 보조 분할 비트선을 대응하는 공통 비트선 및 보조 공통 비트선에 각각 접속하고, 그 이외의 열의 분할 비트선 및 보조 분할 비트선에 대해서는 접속하지 않도록 했기 때문에, 판독 대상이 되는 공통 비트선 및 보조 공통 비트선 이외에는 데이터가 출력되지 않는 구조가 되어, 그 결과, 그 충방전에 의해서 낭비되는 전력을 저감하는 것이 가능하게 된다.
- <110> 이어서, 본 발명의 실시예에 관해서 설명한다.
- <111> 도 2는 본 발명의 제1 실시예의 구성예를 도시하는 도면이다. 이 도면에 도시한 바와 같이, 본 발명의 제1 실시예는 타이밍 제어 회로(1), 로우 디코더(2), 워드선 드라이버(3), 뱅크 디코더(4), 칼럼 디코더(5), 뱅크(B1~Bn), 프리차지 회로(PC1~PCp), 칼럼 스위치(CS1~CSp) 및 I/O 회로(6)에 의해서 구성되어 있다. 또, 뱅크(B1~Bn)는 뱅크(B1)를 예로 들어 설명하면, 열 방향으로 배치된 m개의 메모리 셀(C11~C1m)이 p열 모여 구성되어 있다. 각 열을 구성하는 메모리 셀은 제1열번째를 예로 들어 설명하면, 플러스 신호가 인가되는 분할 비트선(BL11)과, 보조 신호가 인가되는 보조 분할 비트선(BLX11)에 접속되어, 이들 분할 비트선(BL11) 및 보조 분할 비트선(BLX11)은 뱅크 제어 회로(BC1)를 통해 공통 비트선(GBL1) 및 보조 공통 비트선(GBLX1)에 각각 접속된다.
- <112> 여기서, 타이밍 제어 회로(1)는 어드레스 신호, 클럭 신호 및 제어 신호를 입력하여, 이들 신호에 기초하여 로우 디코더(2), 뱅크 디코더(4), 칼럼 디코더(5) 및 프리차지 회로(PC1~PCp)를 제어한다.
- <113> 로우 디코더(2)는 타이밍 제어 회로(1)로부터 공급된 행 입력 어드레스 신호를 디코딩하여, 그 결과에 따라서 워드선 드라이버(3)를 제어하여, 행 방향의 소정의 메모리 셀 군을 선택한다.
- <114> 칼럼 디코더(5)는 타이밍 제어 회로(1)로부터 공급된 열 입력 어드레스 신호를 디코딩하여, 그 결과에 따라서 칼럼 스위치(CS1~CSp)를 제어하여, 열 방향의 소정의 메모리 셀 군을 선택한다.
- <115> 워드선 드라이버(3)는 로우 디코더(2)의 제어에 따라서, 행 방향의 소정의 메모리 셀 군을 선택한다.
- <116> 뱅크 디코더(4)는 타이밍 제어 회로(1)의 제어에 따라서, 뱅크(B1~Bn)를 선택하기 위해서 각 뱅크에 구비되어 있는 뱅크 제어 회로(BC1~BCp)를 제어한다.
- <117> 뱅크(B1~Bn)는 전술한 바와 같이, 메모리 셀 군이 열 방향으로 소정의 개수 단위(이 예에서는 m개 단위)로 분할되어 구성되어 있다. 데이터를 판독하는 경우 또는 데이터를 기록하는 경우에는 워드선 드라이버(3)에 의해서 소정의 메모리 셀이 선택되어, 대응하는 분할 비트선(BL11~BLp1) 및 보조 분할 비트선(BLX11~BLXp1)과 접속되고, 또한, 뱅크 제어 회로(BC1~BCp)에 의해서 소정의 뱅크가 선택되어, 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)에 접속된다.
- <118> 메모리 셀(MC)(C11~C1m, ..., Cp1~Cpm)은 데이터를 기억하는 최소 단위이다.
- <119> 뱅크 제어 회로(BC1~BCp)는 뱅크 디코더(4) 및 칼럼 디코더(5)의 제어에 따라서 ON 또는 OFF 상태가 되어, 분할 비트선(BL11~BLp1) 및 보조 분할 비트선(BLX11~BLXp1)을 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선

(GBLX1~GBLXp)에 각각 접속한다.

- <120> 도 3의 (A) 및 (B)는 뱅크 제어 회로(BC1)의 분할 비트선(BL11) 및 공통 비트선(GBL1)측의 상세한 구성예를 도시하는 도면이다.
- <121> 도 3의 (A)에 도시한 바와 같이, 뱅크 제어 회로(BC1)의 분할 비트선(BL11) 및 공통 비트선(GBL1)측은 N 채널 트랜지스터(Q1 및 Q2)에 의해서 구성되어 있고, 뱅크 디코더(4)로부터의 출력(BS)과, 칼럼 디코더(5)로부터의 열 방향 선택 신호(COL1)의 논리곱에 기초하여 분할 비트선(BL11)과 공통 비트선(GBL1)을 접속하는 구성으로 되어 있다. 또한, 보조 분할 비트선(BLX11) 및 보조 공통 비트선(GBLX1)측도 동일한 구성으로 되어 있고, 또, 그 밖의 뱅크 제어 회로도 뱅크 제어 회로(BC1)와 동일한 구성으로 되어 있다.
- <122> 도 3의 (B)도 뱅크 제어 회로(BC1)의 분할 비트선(BL11) 및 공통 비트선(GBL1)측의 상세한 구성예를 도시하는 도면이다.
- <123> 이 예에서는, 뱅크 제어 회로(BC1)의 분할 비트선(BL11) 및 공통 비트선(GBL1)측은 트랜스퍼(Q5, Q6) 및 인버터(Q7, Q8)에 의해서 구성되어 있고, 뱅크 디코더(4)로부터의 출력(BS)이 "H" 상태가 되면 트랜스퍼(Q5)가 ON 상태가 되고, 또한, 칼럼 디코더(5)로부터의 열 방향 선택 신호(COL1)가 "H" 상태가 되면, 트랜스퍼(Q6)가 ON 상태가 된다. 따라서, 뱅크 디코더(4)로부터의 출력(BS) 및 열 방향 선택 신호(COL1)의 양쪽이 "H" 상태가 된 경우에는, 트랜스퍼(Q5, Q6)의 양쪽이 ON 상태가 되어, 분할 비트선(BL11)과 공통 비트선(GBL1)이 접속된다. 또, 보조 분할 비트선(BLX11) 및 보조 공통 비트선(GBLX1)측도 같은 구성으로 되어 있고, 또, 그 밖의 뱅크 제어 회로도 뱅크 제어 회로(BC1)와 같은 구성으로 되어 있다.
- <124> 도 2를 다시 참조하면, 프리차지 회로(PC1~PCp)는 타이밍 제어 회로(1)의 제어에 따라서 판독 동작의 종료후, 전하를 잃은 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)에 대하여 전하를 보충하는 프리차지 동작을 행한다.
- <125> 칼럼 스위치(CS1~CSp)는 칼럼 디코더(5)의 제어에 따라서 어느 하나가 ON 상태가 되고, 다른 것은 OFF 상태가 되어, 소정 열의 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)을 데이터 버스(DB) 및 보조 데이터 버스(DBX)에 접속한다.
- <126> 도 4는 칼럼 스위치(CS1~CSp)의 상세한 구성예를 도시하는 도면이다. 칼럼 스위치(CS1)를 예로 들어 설명하면, 칼럼 스위치(CS1)는 인버터(G1a, G1d, G1e) 및 트랜스퍼(G1b, G1c)에 의해 구성되어 있다. 트랜스퍼(G1b, G1c)는 칼럼 디코더(5)로부터의 출력 신호(CD1)가 "H" 상태가 된 경우에 양쪽 모두 ON 상태가 되어, 공통 비트선(GBL1)과 데이터 버스(DB) 및 보조 공통 비트선(GBLX1)과 보조 데이터 버스(DBX)를 각각 접속한다. 또한, 열 방향 선택 신호(COL1)는 출력 신호(CD1)가 인버터(G1d, G1e)에 의해서 2번 반전된 출력이기 때문에, 결국, 칼럼 디코더(5)로부터의 출력 신호(CD1)와 동일한 논리 신호가 된다.
- <127> 또한, 열 방향 선택 신호선(COL1~COLp)은 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)과 평행하게 부설되어 있기 때문에, 수직으로 부설한 경우에 비하여 칩 면적이 증대되는 것을 방지할 수 있다.
- <128> I/O 회로(6)는 센스 앰프, 라이트 앰프 및 입출력 회로로 구성되어, 판독된 데이터를 센스 앰프에 의해서 증폭하여 출력하는 동시에, 입력된 데이터를 라이트 앰프로 증폭하여 데이터 버스(DB) 및 보조 데이터 버스(DBX)에 출력한다.
- <129> 이어서, 이상의 제1 실시예의 동작에 관해서 설명한다.
- <130> 예컨대, 판독 동작을 예로 들어 설명하면, 타이밍 제어 회로(1)에 판독 대상이 되는 어드레스가 입력되면, 타이밍 제어 회로(1)는 이 어드레스에 기초하여, 소정의 제어 신호를 로우 디코더(2), 뱅크 디코더(4) 및 칼럼 디코더(5)에 공급한다.
- <131> 로우 디코더(2)는 타이밍 제어 회로(1)로부터 공급된 행 입력 어드레스 신호를 디코드하여, 워드선 드라이버(3)에 어떤 워드선을 드라이브할 것인지를 통지한다.
- <132> 워드선 드라이버(3)는 로우 디코더(2)의 제어에 따라서, 소정의 워드선을 액티브 상태로 한다. 이 예에서는, 예컨대, 메모리 셀(C11)이 판독 대상으로 되어 있다고 하면, 메모리 셀(C11~Cp1)에 접속되어 있는 워드선이 액티브 상태로 되고, 그 밖에는 인액티브 상태로 된다.
- <133> 그렇게 하면, 메모리 셀(C11~Cp1)로부터 데이터가 판독되어, 분할 비트선(BL11~BLp1) 및 보조 분할 비트선(BLX11~BLXp1)에, 판독된 데이터에 대응하는 전압이 인가되게 된다.

- <134> 칼럼 디코더(5)는 타이밍 제어 회로(1)로부터 공급된 열 입력 어드레스 신호를 디코드하여, 그 결과에 따라서 해당하는 칼럼 스위치(CS1~CSp)를 ON 상태로 한다. 이 예에서는, 메모리 셀(C11)이 선택되어 있기 때문에, 도 4에 도시하는 출력 신호(CD1)가 "H" 상태가 된다. 그 결과, 트랜스퍼(G1b, G1c)가 ON 상태가 되어, 공통 비트선(GBL1)과 데이터 버스(DB)가 접속되고, 또한, 보조 공통 비트선(GBL1X)과 보조 공통 데이터 버스(DBX)가 접속된다.
- <135> 더욱이, 출력 신호(COL1)가 "H" 상태가 되면, 도 3에 도시하는 뱅크 제어 회로(BC1)를 구성하는 트랜지스터(Q2)가 ON 상태가 되고, 또한, 이 때, 뱅크 디코더(4)로부터의 신호는 "H" 상태이기 때문에, 트랜지스터(Q1)도 ON 상태가 되어, 분할 비트선(BL11)이 공통 비트선(GBL1)에 접속되게 된다. 이와 동일한 방식의 동작이 보조 신호측에서도 실행되기 때문에, 보조 분할 비트선(BLX11)이 보조 공통 비트선(GBLX1)에 접속되게 된다.
- <136> 또한, 이 때 다른 열의 뱅크 제어 회로(BC2~BCp)에 대해서는 열 방향 선택 신호(COL2~COLp)가 "L" 상태이기 때문에 OFF 상태가 된다. 그 결과, 분할 비트선(BL21~BLp1) 및 보조 분할 비트선(BLX21~BLXp1)은 공통 비트선(GBL2~GBLp) 및 보조 공통 비트선(GBLX2~GBLXp)에는 접속되지 않기 때문에, 공통 비트선(GBL2~GBLp) 및 보조 공통 비트선(GBLX2~GBLXp)에는 전압이 출력되지 않게 된다. 그 결과, 이들 공통 비트선(GBL2~GBLp) 및 보조 공통 비트선(GBLX2~GBLXp)에 대해서는 충방전 전류가 흐르지 않기 때문에, 그 만큼의 전력을 저감할 수 있다.
- <137> 메모리 셀(C11)로부터 판독된 데이터는 공통 비트선(GBL1) 및 보조 공통 비트선(GBLX1)을 통해 데이터 버스(DB) 및 보조 데이터 버스(DBX)에 각각 출력된다.
- <138> I/O 회로(6)는 이와 같은 방식으로 판독된 데이터를 내장되어 있는 센스 앰프에서 소정 전압까지 증압한 후 출력한다.
- <139> 또한, 그 밖의 메모리 셀로부터의 판독 동작도 전술한 경우와 동일한 방식이기 때문에 그 설명은 생략한다. 또, 기록 동작에 대해서는 I/O 회로(6)측에서 데이터가 판독되어 메모리 셀에 공급되는 것 이외에는 전술한 경우와 마찬가지로 하기 때문에 그 설명도 생략한다.
- <140> 이상에 설명한 바와 같이, 본 발명의 실시예에 따르면, 열 방향 선택 신호에 의해 액세스의 대상으로 되어 있지 않는 뱅크 제어 회로에 대해서는 OFF 상태가 되도록 했기 때문에, 불필요한 공통 비트선 및 보조 공통 비트선에 대하여 충방전 전류가 흐르는 것을 방지하고, 그 결과, 장치 전체의 소비 전력을 저감할 수 있다.
- <141> 구체적으로는, 본 발명에 따르면, 1/Nc의 공통 비트선만 전위 진폭을 얻을 수 있기 때문에, 비트선 계층 방식에서의 비트선의 충방전 전류는 이하의 수학식 6으로 표현된다.

수학식 6

<142>
$$I_b = (C_b/N_b \cdot V_b + C_g \cdot V_g/N_c) \cdot f \cdot N$$

<143> 예컨대, 메모리 어레이를 4분할(Nb=4) 하여, 공통 비트선의 용량이 비트선의 반(Cg=Cb/2)이 되었다고 하여, 1/8(Nc=8)의 열 선택을 하면, 충방전 전류는 이하의 수학식 7로 표현된다.

수학식 7

<144>
$$I_b = (C_b/4 \cdot V_b + C_b/2 \cdot V_g/8) \cdot f \cdot N$$

<145> 더욱이, 분할 비트선과 공통 비트선의 전위 진폭이 동일(Vb=Vg)하다고 하면, 충방전 전류는 이하의 수학식 8과 같이 표현된다.

수학식 8

<146>
$$I_b = 5/16 \cdot C_b \cdot V_b \cdot f \cdot N \cdot 5/16$$

<147>
$$= 5/16 \cdot I_o$$

<148> 그 결과, 충전 전류는 11/16(68.75%)가 되어, 대폭적인 전류 저감이 된다. 이것은 종래의 비트선 계층 방식과 비교하여 2.75배(=68.75/25)의 저감 효과이다.

<149> 더욱이, 공통 비트선의 전압 진폭이 클 때, 예컨대 수학식 5와 동일한 경우를 계산하면,

수학식 9

- <150> $I_b = (C_b/4 \cdot V_b + C_b/2 \cdot 10 \cdot V_b/8) \cdot f \cdot N$
- <151> $= (1/4 + 5/8) \cdot C_b \cdot V_b \cdot f \cdot N$
- <152> $= 7/8 \cdot I_o$
- <153> 이 되어, 5배 이상의 전류 증가였던 것을 7/8배로 대폭 억제할 수 있다.
- <154> 또, 본 발명에 따르면, 열 방향 선택선을 공통 비트선 및 보조 공통 비트선과 병렬로 연장되게 함과 동시에, 열 방향 선택선을 칼럼 스위치를 제어하기 위한 신호와 공용으로 하도록 했기 때문에, 칩 면적을 증가시키지 않고서 공통 비트선의 활성/비활성을 제어하는 것이 가능하게 된다. 예컨대, 열 방향 선택 신호를 칼럼 스위치 선택 신호와 독립적으로 설치하여, 열 방향 선택 신호의 신호선을 워드 라인과 병렬로 연장되게 하는 구성으로 하면, 복수의 칼럼 디코더선 및 버퍼링 회로를뱅크마다 부설할 필요가 있다. 따라서, 그 만큼 면적이 증가하는데, 본 발명에서는 그와 같은 면적의 증대를 방지할 수 있다.
- <155> 다음에, 본 발명의 제2 실시예에 관해서 설명한다.
- <156> 도 5는 본 발명의 제2 실시예의 구성예를 도시하는 도면이다. 이 도면에서 도 2의 경우와 대응하는 부분에는 동일한 부호를 사용하였기 때문에 그 설명은 생략한다.
- <157> 도 5에 도시하는 예에서는, 도 2에 도시하는 경우와 비교하여, 칼럼 스위치(CS1~CSp)가 각각 기록 전용의 W 칼럼 스위치(WCS1~WCSp)와, 판독 전용의 R 칼럼 스위치(RCS1~RCSp)로 분할되어 있다.
- <158> 또, 이 도면에서는 도 2의 경우와 비교하여, 입력 회로(40) 및 출력 회로(41)가 새롭게 설치되고, 또, 타이밍 제어 회로(1)로부터 라이트 인에이블 신호(WE, WEX)가 새롭게 형성되어 있다. 그러나, 입력 회로(40) 및 출력 회로(41)는 도 2에 도시하는 I/O 회로(6)를 입력 기능 및 출력 기능으로 각각 분할한 것이며, 또, 라이트 인에이블 신호(WE, WEX)는 도 2에서 도시되지 않은 것을 설명의 편의를 감안하여 새롭게 표시한 것이다.
- <159> 여기서, W 칼럼 스위치(WCS1~WCSp)는 데이터를 기록할 때에, 칼럼 디코더(5)의 제어에 따라서 ON 상태가 되어, 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)을 기록용 데이터 버스(WDB) 및 보조 기록용 데이터 버스(WDBX)에 각각 접속한다.
- <160> 또, R 칼럼 스위치(RCS1~RCSp)는 데이터를 판독할 때에, 칼럼 디코더(5)의 제어에 따라서 ON 상태가 되어, 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)을 판독용 데이터 버스(RDB) 및 보조 판독용 데이터 버스(RDBX)에 각각 접속한다.
- <161> 도 6은 W 칼럼 스위치(WCS1~WCSp) 및 R 칼럼 스위치(RCS1~RCSp)의 상세한 구성예를 도시하는 도면이다.
- <162> W 칼럼 스위치(WCS1) 및 R 칼럼 스위치(RCS1)를 예로 들어 설명하면, 이들 스위치는 AND 소자(60), NAND 소자(61), N 채널 트랜지스터(62, 65), P 채널 트랜지스터(63, 64) 및 인버터(66, 67)에 의해서 구성되어 있다.
- <163> 여기서, AND 소자(60) 및 N 채널 트랜지스터(62, 65)가 W 칼럼 스위치(WCS1)에 대응하고, 또한 NAND 소자(61), P 채널 트랜지스터(63, 64) 및 인버터(66, 67)가 R 칼럼 스위치(RCS1)에 대응하고 있다. 또한, 인버터(66, 67)는 W 칼럼 스위치(WCS1) 또는 R 칼럼 스위치(RCS1)의 어디에 구비하더라도 좋다. 또는, 이들과는 별개로 독립 구성으로 하는 것도 가능하다.
- <164> 이어서, 이상의 실시예 동작에 관해서 설명한다. 또한, 제2 실시예의 동작은 기본적으로는 제1 실시예의 동작과 동일한 방식이기 때문에, 그 차이점이 되는 부분을 중심으로 하여 이하에 설명한다.
- <165> 도 6에 도시하는 N 채널 트랜지스터(62, 65)는 AND 소자(60)의 출력이 "H"인 경우, 즉 칼럼 디코더(5)의 출력 신호(CD1)와 라이트 인에이블 신호(WE)가 "H" 상태(데이터 기록 상태)인 경우에 ON 상태가 되고, 그 결과, 공통 비트선(GBL1)과 기록용 데이터 버스(WDB)가 접속되며, 또한, 보조 공통 비트선(GBLX1)과 보조 기록용 데이터 버스(WDBX)가 접속되어, 데이터의 기록이 가능하게 된다.
- <166> 한편, P 채널 트랜지스터(63, 64)는 NAND 소자(61)의 출력이 "L"인 경우, 즉 칼럼 디코더(5)의 출력 신호(CD1)와 보조 라이트 인에이블 신호(WEX)가 "H" 상태(데이터 판독 상태)인 경우에 ON 상태가 되고, 그 결과, 공통 비트선(GBL1)과 판독용 데이터 버스(RDB)가 접속되고, 또한, 보조 공통 비트선(GBLX1)과 보조 판독용 데이터 버스(WDBX)가 접속되어, 데이터의 판독이 가능하게 된다.
- <167> 그런데, N 채널 트랜지스터(62, 65)가 ON 상태인 경우에는 P 채널 트랜지스터(63, 65)는 OFF 상태이며, 또, P

채널 트랜지스터(63, 64)가 ON 상태인 경우에는 N 채널 트랜지스터(62, 65)는 OFF 상태가 된다. 그 결과, 공통 비트선(GBL1) 및 보조 공통 비트선(GBLX1)은 판독시에는 판독용 데이터 버스(RDB) 및 보조 판독용 데이터 버스(RDBX)에만 접속되고, 기록시에는 기록용 데이터 버스(WDB) 및 보조 기록용 데이터 버스(WDBX)에만 접속되기 때문에, 예컨대, 판독시에 기록용 데이터 버스 및 보조 기록용 데이터 버스가 부하가 되는 것을 방지할 수 있다.

<168> 이상에 설명한 바와 같이, 본 발명의 제2 실시예에 따르면, 칼럼 스위치를 기록용 W 칼럼 스위치(WCS1~WCSp)와 판독용 R 칼럼 스위치(RCS1~RCSp)로 분할하여, 판독 동작중에는 기록용 W 칼럼 스위치(WCS1~WCSp)를 OFF 상태로 하고, 또한, 기록중에는 판독용 R 칼럼 스위치(RCS1~RCSp)를 OFF 상태로 하도록 했기 때문에, 판독시 및 기록시의 구동 부하를 감소시킬 수 있게 되어, 그 결과, 장치 전체의 소비 전력을 저감하는 것이 가능하게 된다.

<169> 이어서, 본 발명의 제3 실시예에 관해서 설명한다.

<170> 도 7은 본 발명의 제3 실시예의 구성예를 도시하는 도면이다. 또한, 이 도면에서, 도 2에 도시하는 경우와 대응하는 부분에는 동일한 부호를 사용하였기 때문에 그 설명은 생략한다.

<171> 본 발명의 제3 실시예에서는 도 2의 경우와 비교하여, I/O 회로(6)가 입력회로(40) 및 출력 회로(41)로 분할되어 있는 동시에, 칼럼 스위치(CS1~CSp)가 W 칼럼 스위치(WCS1~WCSp)와 멀티플렉서 회로(80)로 분할되어 있다. 또, 그 밖의 구성은 도 2의 경우와 마찬가지로이다.

<172> 여기서, 멀티플렉서 회로(80)는 칼럼 디코더(5)로부터의 출력에 따라서, 공통 비트선(GBL1~GBLp)의 출력을 선택하여, 출력 회로(41)에 출력한다.

<173> 도 8은 멀티플렉서 회로(80)의 상세한 구성예를 도시하는 도면이다. 이 도면에 도시한 바와 같이, 멀티플렉서 회로(80)는 클록 인버터(80-1~80-p)에 의해서 구성되어 있다. 클록 인버터(80-1~80-p)는 칼럼 디코더(5)의 출력 신호(CD1~CDp)가 "H" 상태인 경우에는 CDX1~CDXp 신호를 반전하여 출력하고, 그 이외의 경우에는 하이 임피던스 상태가 된다.

<174> 다음에, 본 발명의 제3 실시예의 동작에 관해서 설명한다.

<175> 예컨대, 메모리 셀(C11)이 판독 대상이 된 경우에는 전술한 제1 실시예의 경우와 같이, 뱅크 제어 회로(BC1)가 ON 상태가 되기 때문에, 메모리 셀(C11)로부터 판독된 데이터는 공통 비트선(GBL1)을 통해 멀티플렉서 회로(80)의 클록 인버터(80-1)에 공급된다.

<176> 이 때, 칼럼 디코더(5)로부터의 출력 신호(CD1)는 "H" 상태이며, 그 밖의 신호는 "L" 상태이기 때문에, 클록 인버터(80-1)는 동작 상태가 되고, 그 밖의 클록 인버터(80-2~80-p)는 하이 임피던스 상태가 되기 때문에, 공통 비트선(GBL1)에 인가되어 있는 신호가 반전되어 출력 회로(41)에 공급된다.

<177> 그런데, 클록 인버터(80-1~80-p)의 입력 단자는 그것을 구성하는 트랜지스터의 게이트에 접속되어 있다. 한편, 도 2에 도시하는 회로에서는, 칼럼 스위치(CS1~CSp)의 입력 단자[공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)]는 그것을 구성하는 트랜지스터의 드레인 또는 소스에 접속되어 있다. 여기서, 소스-드레인을 신호가 통과할 때는, 그 ON 저항에 의해서 신호가 열화되는 경우가 있기 때문에, 도 2의 방법에서는 메모리 셀로부터 판독된 신호가 칼럼 스위치를 통과할 때에 열화되어 버리는 경우가 있다. 그러나, 본 실시예와 같이, 메모리 셀로부터 판독된 데이터를 게이트에 입력하도록 하면, 그와 같은 신호의 열화를 방지하는 것이 가능하게 된다.

<178> 멀티플렉서 회로(80)로부터의 출력을 받은 출력 회로(41)는 공급된 신호를 센스 앰프로 증폭한 후 출력한다.

<179> 또한, 기록 동작의 경우에는 입력 회로(40)를 통해 입력된 데이터가 W 칼럼 스위치(WCS1~WCSp)를 통해 원하는 메모리 셀에 공급된다. 예컨대, 메모리 셀(C11)이 기록 대상인 경우에는 W 칼럼 스위치(WCS1)가 ON 상태가 되어, 입력 회로(40)를 통해 입력된 데이터가 공통 비트선(GBL1) 및 보조 공통 비트선(GBLX1)에 공급된다. 다음에, 뱅크 제어 회로(BC1)가 ON 상태가 되어, 공통 비트선(GBL1) 및 보조 공통 비트선(GBLX1)과 분할 비트선(BL11) 및 보조 분할 비트선(BLX11)이 각각 접속되어, 데이터가 분할 비트선(BL11) 및 보조 분할 비트선(BLX11)에 공급된다. 이 때, 워드선 드라이버(3)에 의해서 메모리 셀(C11)이 액티브 상태로 되어 있기 때문에, 분할 비트선(BL11) 및 보조 분할 비트선(BLX11)으로부터 메모리 셀(C11)에 데이터가 기록되게 된다.

<180> 이상의 실시예에 따르면, 판독한 데이터에 대해서는 클록 인버터를 갖는 멀티플렉서 회로(80)에 의해서 선택하도록 했기 때문에, 신호의 열화를 방지하는 것이 가능하게 된다.

<181> 도 9는 멀티플렉서 회로(80)의 다른 구성예를 도시하는 도면이다. 이 도면의 예는 메모리 셀이 행 방향으로 8개

배치되어 있는 경우(p=8인 경우)의 구성예이며, 멀티플렉서 회로(80)는 NAND 소자(80a~80d, 80g) 및 NOR 소자(80e, 80f)에 의해서 구성되어 있다.

- <182> 여기서, NAND 소자(80a)는 공통 비트선(GBL1과 GBL2)의 논리곱을 구한 결과를 반전하여 출력한다. NAND 소자(80b~80d)는 공통 비트선(GBL3과 GBL4, GBL5와 GBL6, GBL7과 GBL8)의 각각의 논리곱을 구한 결과를 반전하여 출력한다.
- <183> NOR 소자(80e)는 NAND 소자(80a와 80b)의 출력의 논리합을 구한 결과를 반전하여 출력한다. 또한, NOR 소자(80f)는 NAND 소자(80c와 80d)의 출력의 논리합을 구한 결과를 반전하여 출력한다.
- <184> NAND 소자(80g)는 NOR 소자(80e와 80f)의 출력의 논리곱을 반전한 결과를 출력한다.
- <185> 이러한 회로에 따르면, 공통 비트선(GBL1~GBL8)의 전부가 "H" 상태인 경우에는 NAND 소자(80g)에서 "L"이 출력되고, 또한 이들 중 어느 하나가 "L" 상태인 경우에는 "H"가 출력되기 때문에, 실질적으로 도 8의 구성예와 동일한 방식의 동작을 실현할 수 있다.
- <186> 또, 이 실시예의 경우에도 공통 비트선(GBL1~GBL8)은 NAND 소자(80a~80d)에 접속되어 있고, 일반적으로 NAND 소자의 입력 단자는 게이트 단자에 접속되어 있기 때문에, 도 8의 경우와 같이 메모리 셀로부터 판독된 신호가 열화되는 것을 방지할 수 있다.
- <187> 이어서, 본 발명의 제4 실시예에 관해서 설명한다.
- <188> 도 10은 본 발명의 제4 실시예의 구성예를 도시하는 도면이다. 또, 이 도면에서, 도 7의 경우와 대응하는 부분에는 동일한 부호를 사용하였기 때문에 그 설명은 생략한다.
- <189> 이 실시예에서는 도 7에 도시하는 경우와 비교하여, 프리차지 회로(PC1~PCp)가 프리차지 회로(NPC1~NPCp)로 치환되어 있다. 그 밖의 구성은 도 7의 경우와 마찬가지로이다.
- <190> 도 11은 프리차지 회로(NPC1~NPCp) 및 W 칼럼 스위치(WCS1~WCSp)의 상세한 구성예를 도시하는 도면이다. 여기서, 프리차지 회로(NPC1) 및 W 칼럼 스위치(WCS1)를 예로 들어 설명하면, 프리차지 회로(NPC1)는 P 채널 트랜지스터(103, 104)에 의해서 구성되어 있다. 또, W 칼럼 스위치(WCS1)는 AND 소자(100), N 채널 트랜지스터(101, 102) 및 인버터(105, 106)에 의해서 구성되어 있다. 또, 멀티플렉서 회로(80)는 도 9와 동일한 구성으로 되어 있다.
- <191> 다음에, 이상의 실시예의 동작에 관해서 설명한다.
- <192> 우선, 판독 동작에 관해서 설명한다. 예컨대, 메모리 셀(C11)로부터 데이터를 판독하는 경우, 전술한 경우와 같이 워드선 드라이버(3)에 의해서 메모리 셀(C11)이 선택됨과 동시에, 뱅크 제어 회로(BC1)가 ON 상태로 되어, 데이터가 공통 비트선(GBL1) 및 보조 공통 비트선(GBLX1)에 판독된다.
- <193> 이 때, 도 11에 도시하는 라이트 인에이블 신호(WE)는 "L" 상태이기 때문에, AND 소자(100)의 출력은 "L" 상태가 되어, N 채널 트랜지스터(101, 102)는 OFF 상태가 된다. 그 결과, 메모리 셀(C11)로부터 판독된 데이터는 기록용 데이터 버스(WDB) 및 보조 기록용 데이터 버스(WDBX)에는 공급되지 않고, 멀티플렉서 회로(80)에만 공급되어 출력되게 된다.
- <194> 이 때, 칼럼 디코더(5)의 출력 신호(CD1~CDp)는 CD1 이외에는 전부 "L" 상태이다. 따라서, P 채널 트랜지스터(103, 104)는 OFF 상태가 되고, 그 밖의 열에 대응하는 P 채널 트랜지스터는 전부 ON 상태가 된다. 그런데, P 채널 트랜지스터는 전원에 접속되어 있기 때문에, 공통 비트선(GBL2~GBLp) 및 보조 공통 비트선(GBLX2~GBLXp)은 전원 전압에 의해서 프리차지되게 된다. 또한, 이 때 W 칼럼 스위치(WCS2~WCSp)는 전부 OFF 상태로 되고 있기 때문에, 전원 전압이 기록용 데이터 버스(WDB) 및 보조 기록용 데이터 버스(WDBX)에 인가되는 일은 없다.
- <195> 계속해서, 기록 동작에 관해서 설명한다. 예컨대, 메모리 셀(C11)에 데이터를 기록하는 경우, 전술한 경우와 같이 워드선 드라이버(3)에 의해서 메모리 셀(C11)이 선택됨과 동시에, 뱅크 제어 회로(BC1)가 ON 상태가 되어, 공통 비트선(GBL1) 및 보조 공통 비트선(GBLX1)이 메모리 셀(C11)에 접속된다.
- <196> 이 때, 도 11에 도시하는 라이트 인에이블 신호(WE)는 "H" 상태이며, 또한, 칼럼 디코더(5)의 출력 신호(CD1)는 "H" 상태이기 때문에, AND 소자(100)의 출력은 "H" 상태가 되어, N 채널 트랜지스터(101, 102)는 ON 상태가 된다. 그 결과, 기록용 데이터 버스(WDB) 및 보조 기록용 데이터 버스(WDBX)가 메모리 셀(C11)에 접속되어, 데이터의 기록이 가능하게 된다.

- <197> 또, 칼럼 디코더(5)의 출력 신호(CD1~CDp)는 CD1 이외에는 전부 "L" 상태이다. 따라서, P 채널 트랜지스터(103, 104)는 OFF 상태가 되고, 그 밖의 열에 대응하는 P 채널 트랜지스터는 전부 ON 상태가 된다. 그런데, 전술한 경우와 같이, P 채널 트랜지스터는 전원에 접속되어 있기 때문에, 공통 비트선(GBL2~GBLp) 및 보조 공통 비트선(GBLX2~GBLXp)은 전원 전압에 의해서 프리차지되게 된다. 또, 이 때, W 칼럼 스위치(WCS2~WCSp)는 전부 OFF 상태로 되고 있기 때문에, 전원 전압이 기록용 데이터 버스(WDB) 및 보조 기록용 데이터 버스(WDBX)에 인가되는 일은 없다.
- <198> 이상과 같이, 판독 또는 기록의 대상으로 되어 있는 열 이외에는 프리차지 회로(PC1~PCp)에 의해서 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)을 프리차지 상태로 하도록 했기 때문에, 공통 비트선(GBL1~GBLp) 및 보조 공통 비트선(GBLX1~GBLXp)이 플로우팅 상태가 되는 것을 피할 수 있고, 그 결과, 외부 노이즈에 대한 커플링 내성 특성을 향상시킬 수 있게 된다.
- <199> 다음에, 본 발명의 제5 실시예에 관해서 설명한다.
- <200> 도 12는 본 발명의 제5 실시예의 구성예를 도시하는 도면이다. 본 발명의 제5 실시예에서는 도 12에 도시한 바와 같이 공통 비트선과, 열 방향 선택 신호선 사이에 전원선이 배치되어 있다. 즉, 도 12의 예에서는 제(N-1)열에서 제(N+1)열까지의 배선의 배치 상태가 예시 열거되어 있고, 제N열이 판독의 대상으로 되어 있는 상태를 나타내고 있다.
- <201> 이 예에서는 제N열을 예로 들어 설명하면, 공통 비트선(GBLN)과 열 방향 선택 신호선(COLN) 사이에는 전원 전압선(VDD)이 배치되어 있고, 이들 3개의 배선은 전부 동일한 배선층에 배치되어 있다.
- <202> 이와 같이, 공통 비트선(GBLN) 및 열 방향 선택 신호선(COLN)이 동일한 배선층에 배치되어 있는 경우에는 작은 신호가 출력되는 데이터의 판독시에, 열 방향 선택 신호선(COLN)에서부터 공통 비트선(GBLN)에 대하여 노이즈가 누설되는 경우가 있다.
- <203> 그래서, 공통 비트선(GBLN)과 열 방향 선택 신호선(COLN) 사이에 전압이 항상 일정한 전원 전압선(VDD)을 배치함으로써, 공통 비트선(GBLN)을 실드하여, 노이즈의 누설을 방지할 수 있다.
- <204> 또한, 이상의 실시예에서는 전원 전압선(VDD)을 배치하도록 했지만, 접지선을 배치하는 것에 의해서도 동등한 효과를 얻을 수 있다. 또, 데이터의 판독시에는 일정한 전압을 유지하는 배선을 배치하는 것에 의해서도 동등한 효과를 기대할 수 있다.
- <205> 또, 이상의 실시예에서는 공통 비트선(GBL1~GBLp)만을 예로 들어 설명했지만, 보조 공통 비트선(GBLX1~GBLXp)에 대하여도 동일한 방법에 의해 이들을 실드하는 것이 가능하다.
- <206> 더욱이, 이상의 실시예에서는 공통 비트선(GBL1~GBLp)과 열 방향 선택 신호(COL1~COLp)를 동일한 계층에 배치하도록 했지만, 이들을 다른 계층에 배치하는 것도 가능하다. 그와 같은 구성에 따르면, 전원 전압선 등을 그 사이에 배치하지 않더라도 노이즈의 누설을 방지할 수 있다.
- <207> 다음에, 본 발명의 제6 실시예에 관해서 설명한다.
- <208> 도 13은 본 발명의 제6 실시예의 구성예를 도시하는 도면이다. 또한, 이 도면에서는 발명의 주요 부분만이 기재되어 있다.
- <209> 도 13의 예에서는 제1열째의뱅크(B1)는 메모리 셀(C11~C14)에 의해서 구성되어, 메모리 셀(C11, C12)의 한쪽의 출력은 NAND 소자(130)의 한쪽 단자에 접속되고, 메모리 셀(C13, C14)의 한쪽의 출력은 NAND 소자(130)의 다른쪽 단자에 접속되고 있다.
- <210> 제1열째의뱅크(B2)는 메모리 셀(C21~C24)에 의해서 구성되어, 메모리 셀(C21, C22)의 한쪽의 출력은 NAND 소자(131)의 한쪽 단자에 접속되고, 메모리 셀(C23, C24)의 한쪽의 출력은 NAND 소자(131)의 다른쪽 단자에 접속되고 있다.
- <211> NAND 소자(130)의 출력은 N 채널 트랜지스터(133)에 입력되고 있고, 또한, NAND 소자(131)의 출력은 N 채널 트랜지스터(134)에 입력되고 있다.
- <212> N 채널 트랜지스터(133)는 열 방향 선택 신호(COL1)와 공통 비트선(GBL1)에 접속되어 있다. 또한, N 채널 트랜지스터(134)도 마찬가지로, 열 방향 선택 신호(COL1)와 공통 비트선(GBL1)에 접속되어 있다.
- <213> 다음에, 이상의 실시예의 동작에 관해서 설명한다.

- <214> 예컨대, 메모리 셀(C11)이 판독 대상으로 되어 있는 경우를 예로 들어 설명한다. 그 경우, 우선 워드선에 의해 서 메모리 셀(C11)이 선택되어, 메모리 셀(C11)에 기억되어 있는 데이터가 출력된다.
- <215> 또, NAND 소자(130, 131)의 입력 단자에 접속되어 있는 쪽의 분할 비트선은 "H" 레벨로 풀업되어 있기 때문에, 선택된 메모리 셀(C11)을 포함하는 분할 비트선은 기억되어 있는 데이터에 따라서 "H" 또는 "L" 상태가 되고, 그 이외의 분할 비트선에 대해서는 "H" 상태가 된다.
- <216> 따라서, 메모리 셀(C11)의 출력이 "L" 상태인 경우에는 NAND 소자(130)의 상측의 입력 단자는 "L" 상태가 되고, 아래쪽의 입력 단자는 "H" 상태가 된다. 그 결과, NAND 소자(130)의 출력은 "H" 상태가 되기 때문에, N 채널 트랜지스터(133)는 ON 상태가 된다.
- <217> 여기서, 열 방향 선택 신호(COL1)의 선택된 상태를 "L"로 하면, N 채널 트랜지스터(133)가 ON 상태가 되어, GBL1은 "L"이 된다.
- <218> 또, NAND 소자(131)에 대해서는 그 입력이 함께 "H" 상태이기 때문에, 출력이 "L" 상태가 된다. 그 결과, N 채널 트랜지스터(134)는 OFF 상태가 되어, 공통 비트선(GBL1)의 상태에는 영향을 주지 않는다.
- <219> 한편, 메모리 셀(C11)로부터 판독된 데이터가 "H" 상태인 경우에는, NAND 소자(130)의 출력은 "L" 상태가 되고, 또한 NAND 소자(131)의 출력도 전술한 바와 같이 "L" 상태가 되기 때문에, N 채널 트랜지스터(133)는 OFF 상태가 되어, GBL1은 "H" 상태가 된다.
- <220> 또, 제1열 이외에서는 모든 NAND 소자(도시하지 않음)의 출력이 "L" 상태가 되기 때문에, GBL2~GBLp는 전부 "H" 상태가 된다. 그 결과, 제1열에서만 데이터가 출력되게 된다.
- <221> 이상의 설명은 판독 대상이 메모리 셀(C11)인 경우에 관한 설명이지만, 다른 메모리 셀이 판독 대상이 되는 경우라도 전술한 경우와 같은 동작에 의해 데이터가 판독되게 된다.
- <222> 또, 이상의 설명은 제1열의 메모리 셀에 관한 설명이지만, 그 이외의 열에 관해서도 동일한 동작에 의해 데이터를 판독할 수 있게 된다.
- <223> 이상의 실시예에 따르면, 도 2의 실시예와 비교하여,뱅크 디코더가 불필요하게 되기 때문에, 회로를 간소화시킴으로써 칩 면적을 저감하는 것이 가능하게 된다.
- <224> 이어서, 본 발명의 제7 실시예에 관해서 설명한다.
- <225> 도 14는 본 발명의 제7 실시예의 구성예를 도시하는 도면이다. 또, 이 도면에서 도 13과 대응하는 부분에는 동일한 부호를 사용하였기 때문에 그 설명은 생략한다.
- <226> 이 도면의 예에서는 N 채널 트랜지스터(140~143)의 소스(또는 드레인) 단자는 열 방향 선택 신호(COL1~COL4)에 각각 접속되고, 드레인(또는 소스) 단자는 공통 비트선(GBLC)에 전부 접속되어 있다. 또, N 채널 트랜지스터(140)의 게이트는 제1열째의 뱅크(B1)에 대응하는 NAND 소자(130)에 접속되고, N 채널 트랜지스터(141~143)의 게이트는 제2열째~제4열째의 뱅크(B1)에 대응하는 NAND 소자(도시되지 않음)에 각각 접속되어 있다.
- <227> 또, N 채널 트랜지스터(150~153)의 소스(또는 드레인) 단자는 열 방향 선택 신호(COL1~COL4)에 각각 접속되고, 드레인(또는 소스) 단자는 공통 비트선(GBLC)에 전부 접속되어 있다. 또, N 채널 트랜지스터(150)의 게이트는 제1열째의 뱅크(B2)에 대응하는 NAND 소자(131)에 접속되고, N 채널 트랜지스터(151~153)의 게이트는 제2열째~제4열째의 뱅크(B2)에 대응하는 NAND 소자(도시되지 않음)에 각각 접속되어 있다.
- <228> 또한, 그 밖의 구성은 도 13의 경우와 마찬가지로이다.
- <229> 이어서, 본 발명의 제7 실시예의 동작에 관해서 설명한다.
- <230> 전술한 바와 같이, 메모리 셀(C11)이 판독 대상으로 되어 있다고 하면, 메모리 셀(C11)에 저장되어 있는 데이터가 "L"인 경우에는, NAND 소자(130)의 출력은 "H" 상태가 된다. 그 결과, N 채널 트랜지스터(140)가 ON 상태가 되어, 열 방향 선택 신호(COL1)에 인가되어 있는 전압이 공통 비트선(GBLC)에 공급되게 된다. 열 방향 선택 신호(COL1)의 선택된 상태를 "L"로 하면, 공통 비트선(GBLC)은 "L" 상태가 된다.
- <231> 또, N 채널 트랜지스터(150)는 NAND 소자(131)의 출력이 "L" 상태이기 때문에 OFF 상태가 된다. 또한, 그 밖의 N 채널 트랜지스터(141~143) 및 N 채널 트랜지스터(151~153)은 전부 OFF 상태가 된다. 따라서, N 채널 트랜지스터(141~143) 및 N 채널 트랜지스터(150~153)는 공통 비트선(GBLC)에 대해서는 영향을 주지 않는다.

- <232> 한편, 메모리 셀(C11)에 저장되어 있는 데이터가 "H"인 경우에는, NAND 소자(130)의 출력은 "L" 상태가 된다. 이 때, N 채널 트랜지스터(150)는 NAND 소자(131)의 출력이 "L" 상태이기 때문에 OFF 상태가 된다. 또한, 그 밖의 N 채널 트랜지스터(141~143) 및 N 채널 트랜지스터(151~153)는 전부 OFF 상태가 되기 때문에, 공통 비트선(GBLC)은 "H" 상태가 된다.
- <233> 따라서, 공통 비트선(GBLC)에는 판독 대상으로 되어 있는 메모리 셀로부터 출력된 데이터와 동상의 논리로 공급되게 된다. 또, 이러한 동작은 어느 메모리 셀이 선택된 경우라도 동일하게 실행되기 때문에, 메모리 셀에 저장되어 있는 데이터를 판독할 수 있게 된다.
- <234> 따라서, 이상의 실시예에 의하면, 도 13의 경우와 비교하여, 공통 비트선이 GBLC의 1 개만으로도 좋기 때문에, 도 13의 경우에 비교하여 배선의 갯수를 감소시켜, 그 결과, 칩 면적을 추가로 저감하는 것이 가능하게 된다. 또한, GBL의 부하를 감소시킴으로써, 반도체 기억 장치의 동작을 고속화하는 것이 가능하게 된다.
- <235> 마지막으로, 제1 내지 제7 실시예에서 도시한 회로는 단지 일례에 지나지 않으며, 본 발명이 이러한 경우에만 한정되는 것이 아님은 물론이다.
- <236> (부기 1) 메모리 셀이 접속되는 비트선이 열 방향으로 분할된 복수개의 분할 비트선과, 이 분할 비트선에 출력된 전압을 열 단위로 인출하는 공통 비트선을 갖는 반도체 기억 장치에 있어서,
- <237> 행 입력 어드레스 신호에 따라서 행 방향의 소정의 메모리 셀 군을 선택하는 행 방향 선택 회로와,
- <238> 열 입력 어드레스 신호에 따라서 열 방향의 소정의 메모리 셀 군을 선택하는 열 방향 선택 회로와,
- <239> 상기 행 방향 선택 회로에 의해서 선택된 메모리 셀 군의 각각에 접속되어 있는 분할 비트선 중, 상기 열 방향 선택 회로에 의해서 선택된 열에 대응하는 분할 비트선을 대응하는 공통 비트선에 접속하고, 그 이외의 열의 분할 비트선에 대해서는 접속하지 않는 단속 회로를 포함하는 것을 특징으로 하는 반도체 기억 장치.
- <240> (부기 2) 상기 분할 비트선 및 공통 비트선은 통상의 신호용의 통상 신호선과, 보조 신호용의 보조 신호선이 쌍을 이루고 있는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.
- <241> (부기 3) 상기 단속 회로는 분할 비트선마다 배치되어 있고,
- <242> 상기 열 방향 선택 회로의 선택 결과에 따라서 각 단속 회로를 제어하기 위한 열 방향 선택 신호선이 상기 공통 신호선에 평행하게 배치되어 있는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.
- <243> (부기 4) 상기 공통 비트선과, 상기 열 방향 선택 신호선은 동일한 배선층에 배치되어 있고, 동일한 열의 상기 공통 비트선과 상기 열 방향 선택 신호선 사이에는 판독시에 있어서 소정의 전위를 유지하는 신호선이 배치되어 있는 것을 특징으로 하는 부기 3에 기재한 반도체 기억 장치.
- <244> (부기 5) 상기 소정의 전위를 유지하는 신호선은 전원 전압선, 접지 전압선, 또는 기록에 따른 소정의 신호선인 것을 특징으로 하는 부기 3에 기재한 반도체 기억 장치.
- <245> (부기 6) 상기 공통 비트선과, 상기 열 방향 선택 신호선은 다른 배선층에 배치되어 있는 것을 특징으로 하는 부기 3에 기재한 반도체 기억 장치.
- <246> (부기 7) 상기 공통 비트선은 상기 열 방향 선택 회로의 선택 결과에 따라서 ON 또는 OFF 상태가 되는 칼럼 스위치를 통해 공통 데이터 버스에 접속되어 있고,
- <247> 상기 열 방향 선택 신호는 상기 칼럼 스위치의 제어 신호와 공용되어 있는 것을 특징으로 하는 부기 3에 기재한 반도체 기억 장치.
- <248> (부기 8) 상기 칼럼 스위치는 기록 전용의 칼럼 스위치와, 판독 전용의 칼럼 스위치를 포함하고,
- <249> 상기 기록 전용의 칼럼 스위치는 기록용 공통 데이터 버스에 접속되며, 상기 판독 전용의 칼럼 스위치는 판독용 공통 데이터 버스에 접속되어 있는 것을 특징으로 하는 부기 7에 기재한 반도체 기억 장치.
- <250> (부기 9) 상기 공통 비트선은 멀티플렉서를 통해 판독용 공통 데이터 버스에 접속되어 있고,
- <251> 상기 멀티플렉서를 구성하는 트랜지스터의 게이트에 대하여 각 공통 비트선이 접속되어 있는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.
- <252> (부기 10) 상기 공통 비트선을 프리차지하는 프리차지 회로와,

- <253> 상기 열 방향 선택 회로에 의해서 선택된 열에 대응하는 프리차지 회로에 대해서는 비동작 상태로 제어하고, 다른 프리차지 회로에 대해서는 동작 상태로 제어하는 프리차지 회로 제어 회로를 더 포함하는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.
- <254> (부기 11) 상기 분할 비트선 단위로 설치된 트랜지스터를 포함하고,
- <255> 상기 트랜지스터는 각 열을 구성하는 상기 공통 비트선과, 상기 열 방향 선택 신호선을 상기 분할 비트선의 전압에 따라서 접속 또는 비접속의 상태로 하는 것을 특징으로 하는 부기 1에 기재한 반도체 기억 장치.
- <256> (부기 12) 상기 열마다 공통 비트선이 1 개로 통합되고, 모든 열의 출력이 합성되어 출력되는 것을 특징으로 하는 부기 11에 기재한 반도체 기억 장치.

발명의 효과

- <257> 이상 설명한 바와 같이 본 발명에서는 메모리 셀이 접속되는 비트선이 열 방향으로 분할된 복수개의 분할 비트선과, 이 분할 비트선에 출력된 전압을 열 단위로 인출하는 공통 비트선을 갖는 반도체 기억 장치에 있어서, 행 입력 어드레스 신호에 따라서 행 방향의 소정의 메모리 셀 군을 선택하는 행 방향 선택 회로와, 열 입력 어드레스 신호에 따라서 열 방향의 소정의 메모리 셀 군을 선택하는 열 방향 선택 회로와, 상기 행 방향 선택 회로에 의해서 선택된 메모리 셀 군의 각각에 접속되어 있는 분할 비트선 중 열 방향 선택 회로에 의해서 선택된 열에 대응하는 분할 비트선을 대응하는 공통 비트선에 접속하고, 그 이외의 열의 분할 비트선에 대해서는 접속하지 않은 단속 회로를 설치하도록 했기 때문에, 액세스 대상이 되지 않는 공통 비트선에 대한 충방전 전류의 발생을 방지함으로써, 장치 전체의 소비 전력을 저감하는 것이 가능하게 된다.

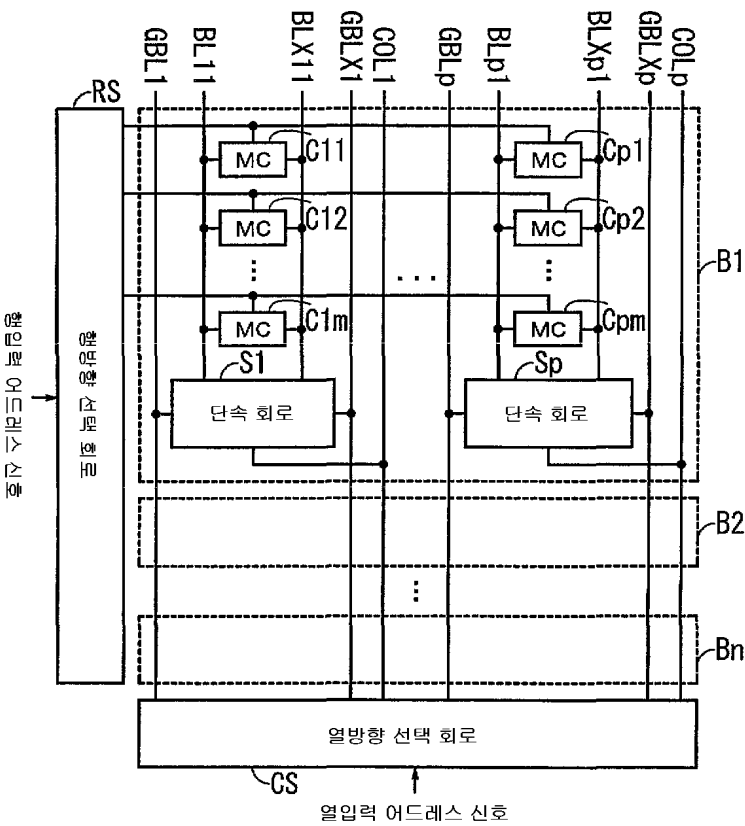
도면의 간단한 설명

- <1> 도 1은 본 발명의 동작 원리를 설명하는 원리도.
- <2> 도 2는 본 발명의 제1 실시예의 구성예를 도시하는 회로도.
- <3> 도 3은 도 2에 도시한 뱅크 제어 회로의 상세한 구성예를 도시하는 회로도.
- <4> 도 4는 도 2에 도시하는 칼럼 스위치의 상세한 구성예를 도시하는 회로도.
- <5> 도 5는 본 발명의 제2 실시예의 구성예를 도시하는 회로도.
- <6> 도 6은 도 5에 도시한 W 칼럼 스위치 및 R 칼럼 스위치의 상세한 구성예를 도시하는 회로도.
- <7> 도 7은 본 발명의 제3 실시예의 구성예를 도시하는 회로도.
- <8> 도 8은 도 7에 도시한 멀티플렉서 회로의 상세한 구성예를 도시하는 회로도.
- <9> 도 9는 도 7에 도시한 멀티플렉서 회로의 다른 상세한 구성예를 도시하는 회로도.
- <10> 도 10은 본 발명의 제4 실시예의 구성예를 도시하는 회로도.
- <11> 도 11은 도 10에 도시한 프리차지 회로의 상세한 구성예를 도시하는 회로도.
- <12> 도 12는 본 발명의 제5 실시예의 구성예를 도시하는 회로도.
- <13> 도 13은 본 발명의 제6 실시예의 구성예를 도시하는 회로도.
- <14> 도 14는 본 발명의 제7 실시예의 구성예를 도시하는 회로도.
- <15> 도 15는 종래의 반도체 기억 장치의 구성예를 도시하는 회로도.
- <16> <도면의 주요 부분에 대한 부호의 설명>
- <17> B1~Bn : 뱅크
- <18> CS : 열 방향 선택 회로
- <19> C11~C1m, Cp1~Cpm : 메모리 셀
- <20> RS : 행 방향 선택 회로

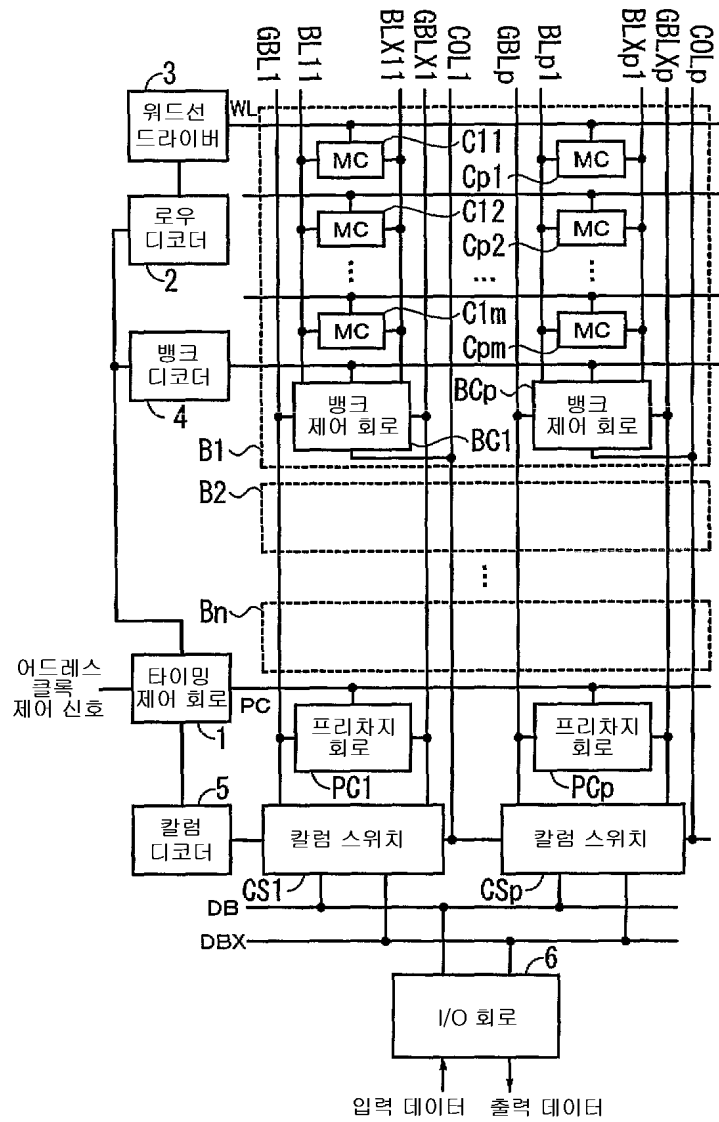
- <21> S1~Sp : 단속 회로
- <22> BL11~BLp1 : 분할 비트선
- <23> BLX11~BLXp1 : 보조 분할 비트선
- <24> GBL1~GBLp : 공통 비트선
- <25> GBLX1~GBLXp : 보조 공통 비트선
- <26> COL1~COLp : 열 방향 선택 신호선
- <27> 1 : 타이밍 제어 회로
- <28> 2 : 로우 디코더
- <29> 3 : 워드선 드라이버
- <30> 4 : 뱅크 디코더
- <31> 5 : 칼럼 디코더
- <32> 6 : I/O 회로
- <33> BC1~BCp : 뱅크 제어 회로
- <34> PC1~PCp : 프리차지 회로
- <35> CS1~CSp : 칼럼 스위치
- <36> WCS1~WCSp : W 칼럼 스위치
- <37> RCS1~RCSp : R 칼럼 스위치
- <38> 40 : 입력 회로
- <39> 41 : 출력 회로
- <40> 80 : 멀티플렉서 회로

도면

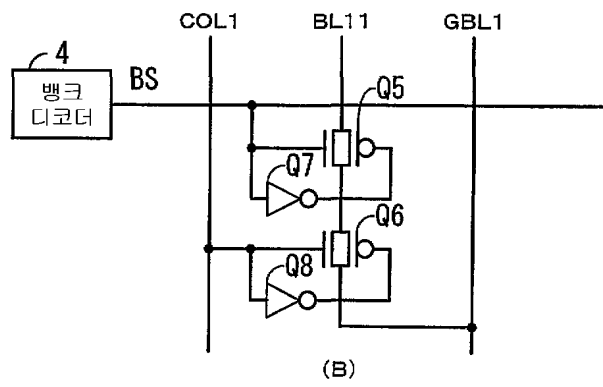
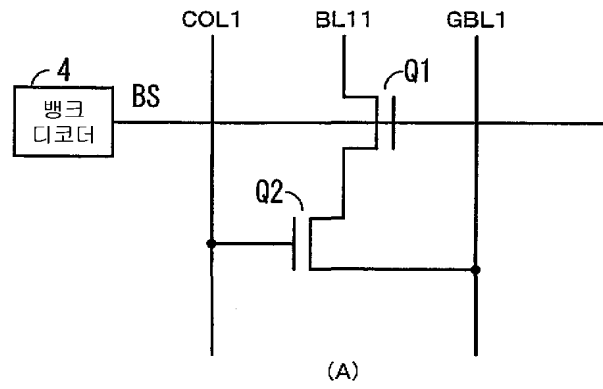
도면1



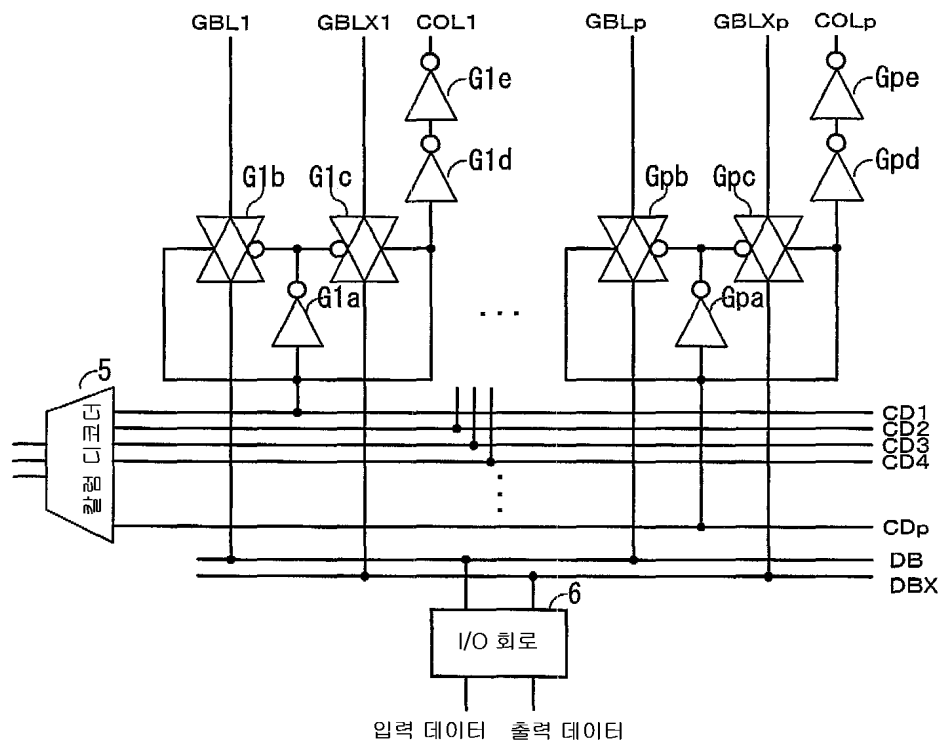
도면2



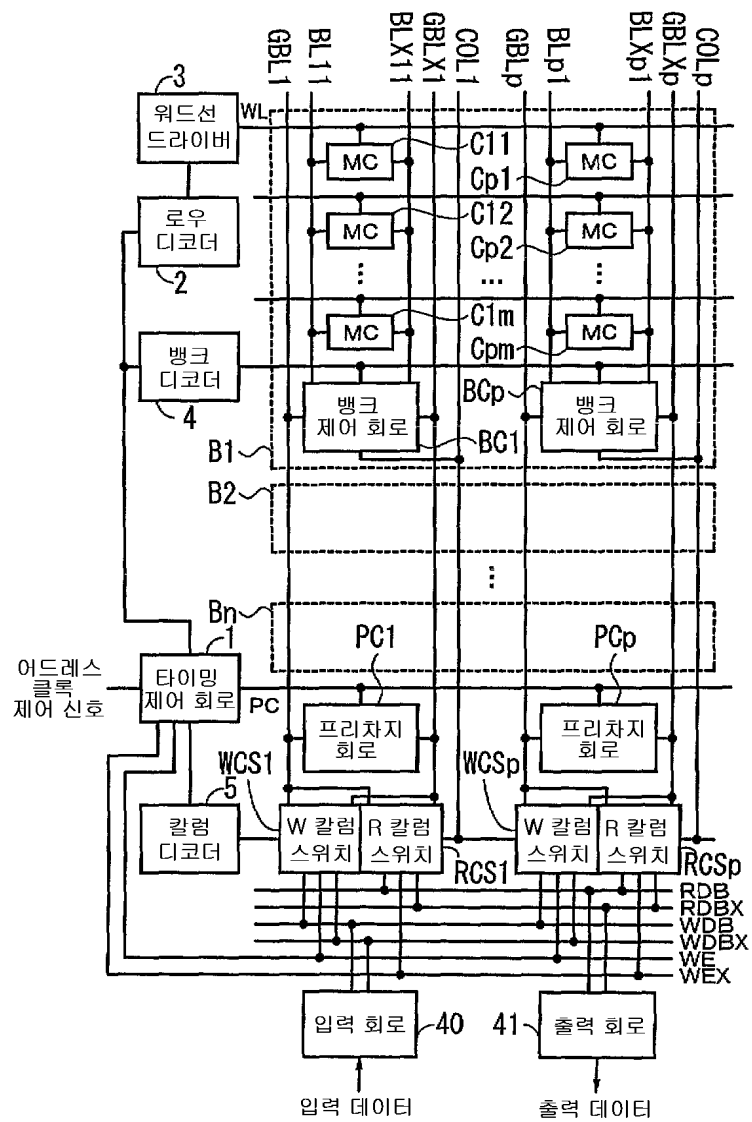
도면3



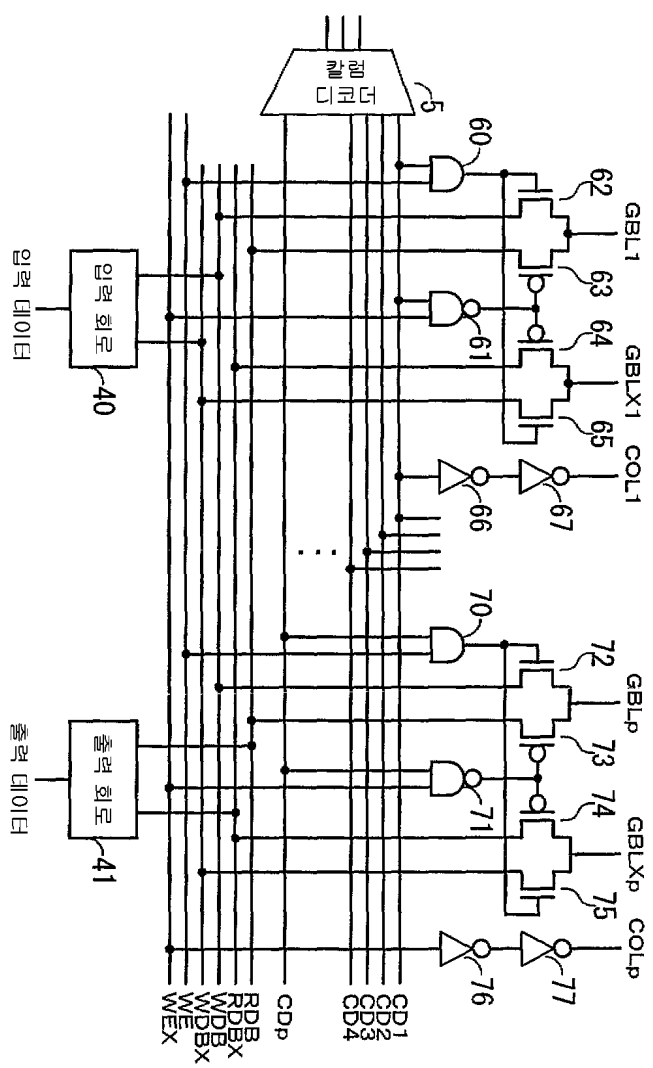
도면4



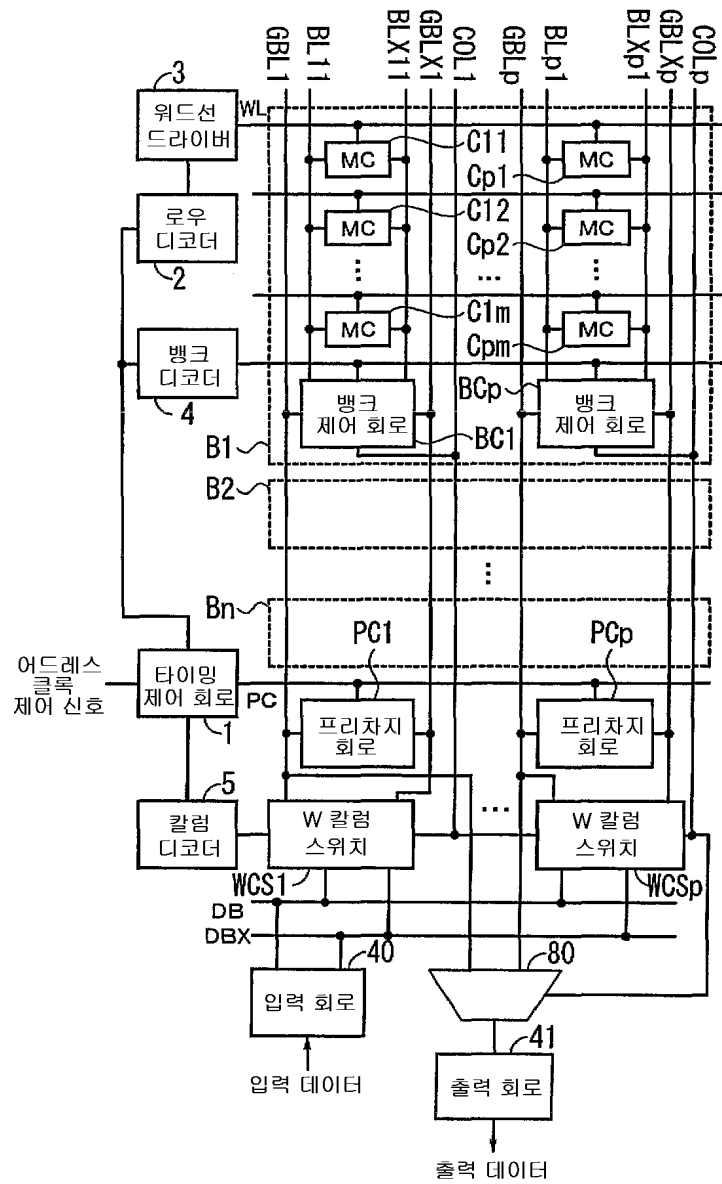
도면5



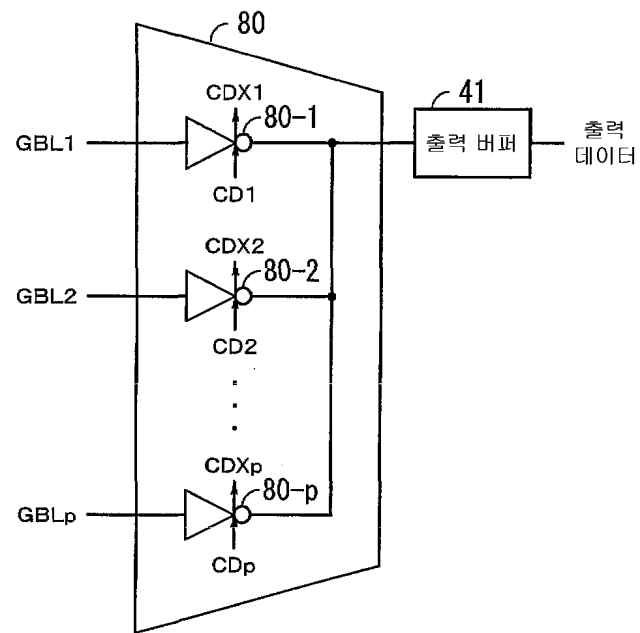
도면6



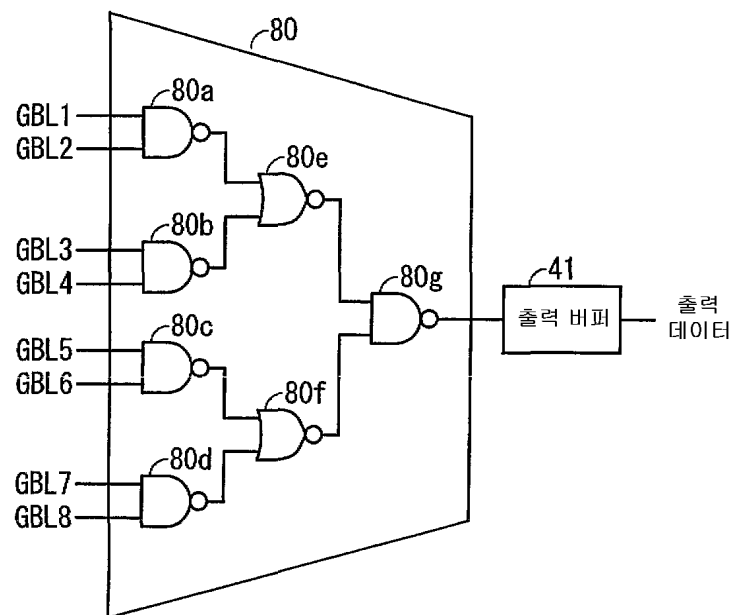
도면7



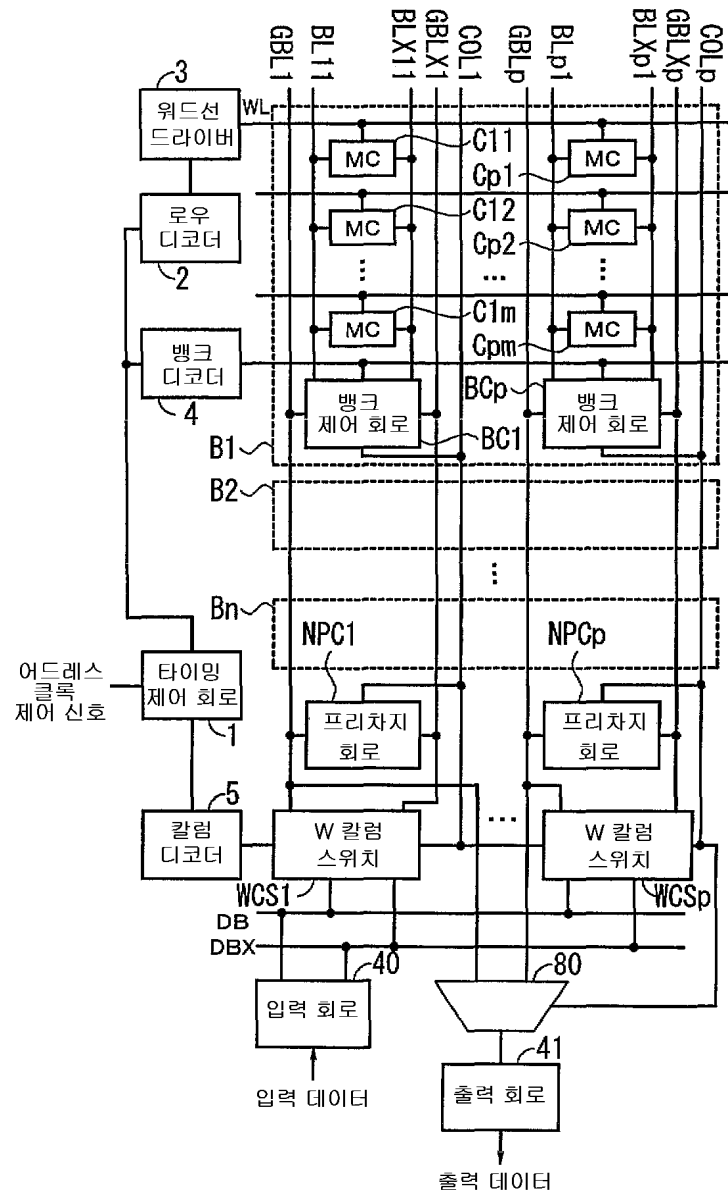
도면8



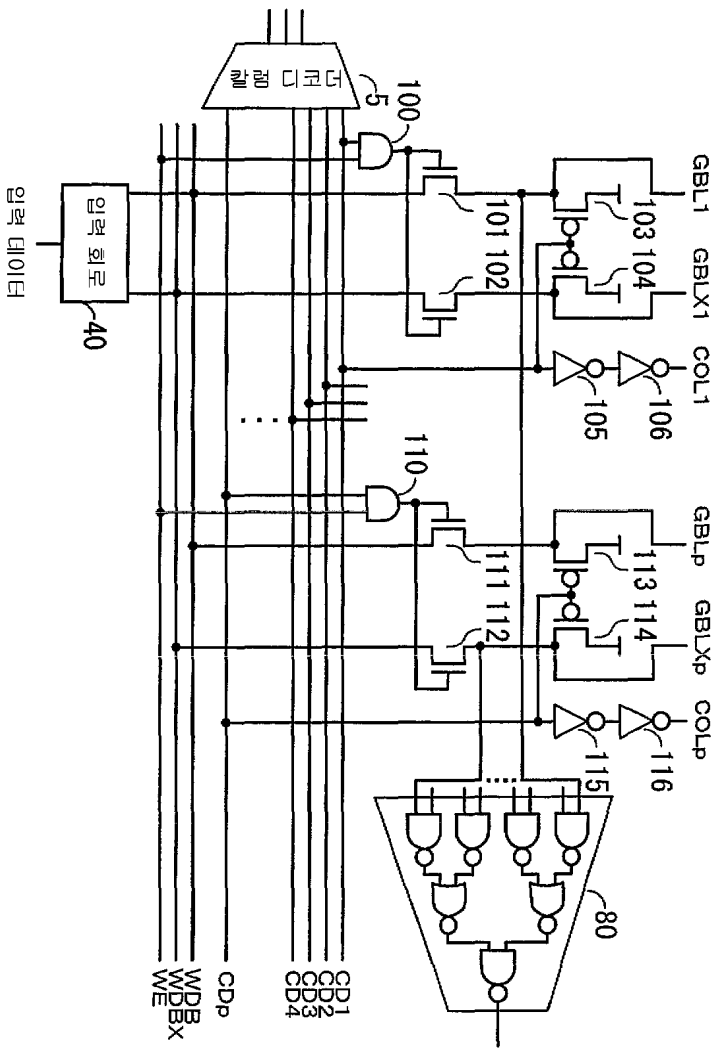
도면9



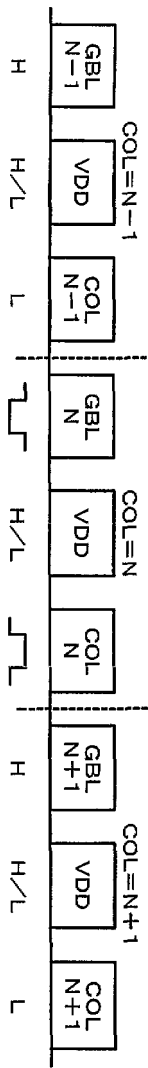
도면10



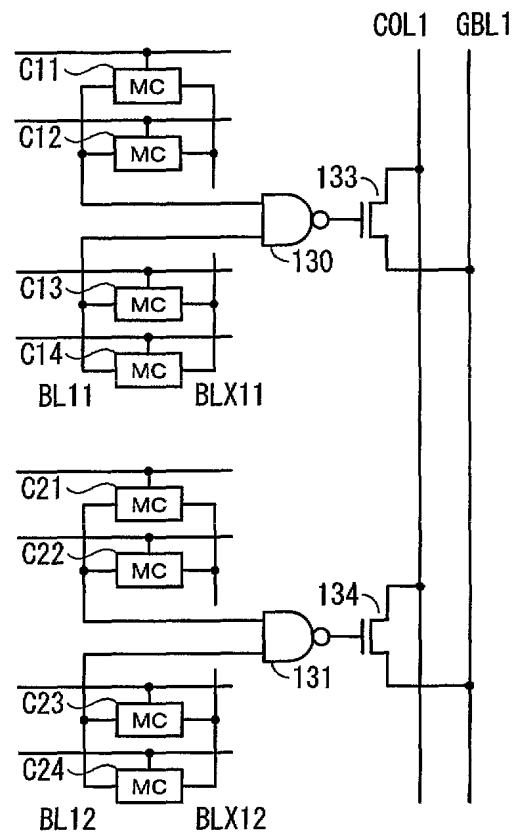
도면11



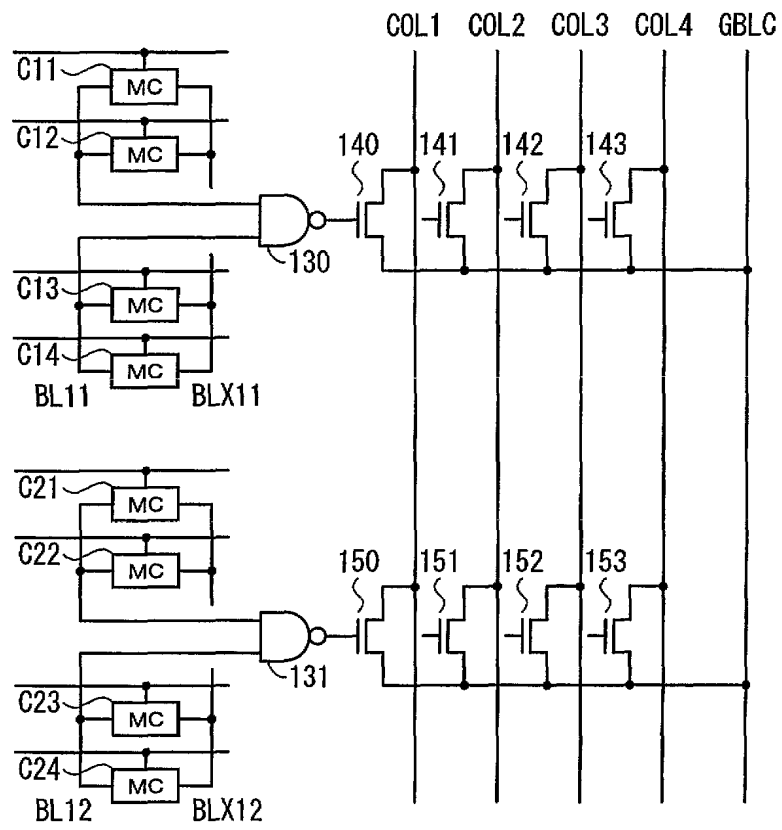
도면12



도면13



도면14



도면15

