

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4772656号
(P4772656)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int.Cl.		F I	
HO 1 L 21/8247 (2006.01)		HO 1 L 27/10	4 3 4
HO 1 L 27/115 (2006.01)		HO 1 L 29/78	3 7 1
HO 1 L 29/788 (2006.01)		HO 1 L 27/10	4 8 1
HO 1 L 29/792 (2006.01)			
HO 1 L 27/10 (2006.01)			

請求項の数 4 (全 18 頁)

(21) 出願番号	特願2006-344803 (P2006-344803)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成18年12月21日(2006.12.21)	(74) 代理人	100091351 弁理士 河野 哲
(65) 公開番号	特開2008-159699 (P2008-159699A)	(74) 代理人	100088683 弁理士 中村 誠
(43) 公開日	平成20年7月10日(2008.7.10)	(74) 代理人	100108855 弁理士 蔵田 昌俊
審査請求日	平成21年3月12日(2009.3.12)	(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘
		(74) 代理人	100084618 弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、前記半導体基板表面に対して垂直方向に延びるピラー状の第1及び第2の半導体層と、前記第1の半導体層の側面上に前記垂直方向に並んで配置され、電荷蓄積層及び制御ゲート電極を有する複数の第1のメモリセルと、前記複数の第1のメモリセルの前記半導体基板とは反対側の端部の前記第1の半導体層の側面上に配置される第1のドレイン側選択ゲートトランジスタと、前記第2の半導体層の側面上に前記垂直方向に並んで配置され、電荷蓄積層及び制御ゲート電極を有する複数の第2のメモリセルと、前記複数の第2のメモリセルの前記半導体基板とは反対側の端部の前記第2の半導体層の側面上に配置される第2のドレイン側選択ゲートトランジスタと、前記複数の第1及び第2のメモリセルの前記半導体基板側の端部の前記半導体基板上に配置されるソース側選択ゲートトランジスタとを具備し、前記ソース側選択ゲートトランジスタは、前記半導体基板内に拡散層を有し、前記拡散層を介して、前記第1及び第2の半導体層と電気的に接続されることを特徴とする不揮発性半導体メモリ。

【請求項2】

前記ソース側選択ゲートトランジスタに接続されるソース線の上面は、前記複数の第1及び第2のメモリセルのうち、前記半導体基板に最も近い第1及び第2のメモリセルの前記制御ゲート電極の底面より低い位置に設定されることを特徴とする請求項1に記載の不揮発性半導体メモリ。

【請求項3】

前記第1及び第2の半導体層は、エピタキシャル層であることを特徴とする請求項1に記載の不揮発性半導体メモリ。

【請求項4】

前記第1及び第2のメモリセルは、前記第1及び第2の半導体層内に拡散層を有しないことを特徴とする請求項1に記載の不揮発性半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体メモリ、特に、電荷蓄積層とゲート電極とを積層したメモリセルを用いたNAND型フラッシュメモリに関する。

10

【背景技術】

【0002】

不揮発性半導体メモリ、例えば、NAND型フラッシュメモリが、様々な電子機器の記憶装置として用いられている。

【0003】

近年では、大記憶容量化及び高集積化のため、メモリセルの微細化が進んでいる。しかし、製造装置に依存する加工寸法やメモリセルの物理的寸法には、限界がある。

【0004】

そのため、メモリセルが、半導体基板表面に対して垂直方向に積層される3次元構造を有するNAND型フラッシュメモリが提案されている（例えば、特許文献1参照）。

20

【0005】

その一例として、半導体基板内に形成した凹部状の溝の側壁に浮遊ゲート電極を有するメモリセルを配置する構造（例えば、特許文献2参照）のNAND型フラッシュメモリがある。この構造においては、凹部の側壁に形成したポリシリコン膜に対して、エッチングなどの加工を施さねばならず、製造工程の難度が高い。

【0006】

それゆえ、メモリセルを比較的容易に作製できるMONOS (Metal Oxide Nitride Oxide Semiconductor) 構造を用いた縦型積層構造のNAND型フラッシュメモリが提案されている。

【0007】

30

メモリセルをMONOS構造とした場合、メモリセルと同一工程で作製される選択ゲートトランジスタも、MONOS構造を有することになる。

【0008】

この際、メモリセルの上端側の選択ゲートトランジスタは、加工を容易に行えるため、電荷蓄積層の除去が可能であり、閾値電圧の制御が容易なMIS (Metal Insulator Semiconductor) 構造とすることができる。一方、メモリセルの最下端、つまり、半導体基板側に位置する選択ゲートトランジスタは、電荷蓄積層の除去は非常に困難であるため、MONOS構造のままとなってしまう。

【0009】

そのため、その選択ゲートトランジスタを駆動させると、電荷蓄積層に電荷が蓄積され、閾値電圧制御が困難であり、また、カットオフさせるためには、負電位が必要となり、新たに負電位を発生及び制御する回路を設けねばならない。

40

【0010】

また、NAND型フラッシュメモリは、一般に、メモリセルアレイ領域と、メモリセルの制御を行う周辺回路とが、同一チップ上に形成される。

【0011】

それゆえ、メモリセルアレイ領域を縦型積層構造とした場合、メモリセルアレイ領域の上端と、周辺トランジスタが形成される半導体基板上面には、大きな段差が生じる。そのため、メモリセルアレイ領域の形成後に作製される周辺トランジスタは、加工の難度が高くなってしまふ。

50

【特許文献1】特開平10-93083号公報

【特許文献2】特開2006-128390号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は、加工の難易度を下げて、容易に微細化可能な不揮発性半導体メモリを提供する。

【課題を解決するための手段】

【0014】

本発明の例に関わる不揮発性半導体メモリは、半導体基板と、前記半導体基板表面に対して垂直方向に延びるピラー状の第1及び第2の半導体層と、前記第1の半導体層の側面上に前記垂直方向に並んで配置され、電荷蓄積層及び制御ゲート電極を有する複数の第1のメモリセルと、前記複数の第1のメモリセルの前記半導体基板とは反対側の端部の前記第1の半導体層の側面上に配置される第1のドレイン側選択ゲートトランジスタと、前記第2の半導体層の側面上に前記垂直方向に並んで配置され、電荷蓄積層及び制御ゲート電極を有する複数の第2のメモリセルと、前記複数の第2のメモリセルの前記半導体基板とは反対側の端部の前記第2の半導体層の側面上に配置される第2のドレイン側選択ゲートトランジスタと、前記複数の第1及び第2のメモリセルの前記半導体基板側の端部の前記半導体基板上に配置されるソース側選択ゲートトランジスタとを具備し、前記ソース側選択ゲートトランジスタは、前記半導体基板内に拡散層を有し、前記拡散層を介して、前記第1及び第2の半導体層と電氣的に接続されることを備える。

【発明の効果】

【0015】

本発明によれば、加工の難易度を下げて、容易に微細化可能な不揮発性半導体メモリを提供することができる。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0017】

1. 概要

本発明の例の不揮発性半導体メモリは、半導体基板表面に対して垂直方向に延びるピラー状の半導体層に縦型メモリセルトランジスタが設けられる。そのメモリセルの両端に配置される選択ゲートトランジスタのうち、メモリセルの下端側に位置する選択ゲートトランジスタは、半導体基板上に設けられ、半導体基板内に形成された拡散層をソース/ドレイン領域とすることを特徴とする。下端側に位置する選択ゲートトランジスタは、半導体基板内に形成された拡散層を介して、メモリセルが設けられる半導体層と電氣的に接続されている。また、この選択ゲートトランジスタは、周辺回路と同一構造のMIS構造トランジスタである。

【0018】

尚、縦型メモリセルトランジスタ及び縦型トランジスタとは、チャンネルが半導体基板表面に対して縦方向に形成されるトランジスタである。

【0019】

上記の構造のように、下端側に位置する選択ゲートトランジスタを、MONOS構造の縦型メモリセルの形成とは別途に、半導体基板上に形成することにより、難度の高い加工を行わずとも、下端側の選択ゲートトランジスタを閾値電圧制御の容易なMIS構造トランジスタとすることができる。

【0020】

また、周辺回路領域は、メモリセルが形成されるメモリセルアレイ領域と同一チップ上に設けられる。この周辺回路領域に配置される周辺トランジスタは、半導体基板上に設け

10

20

30

40

50

られるメモリセルの下端側の選択ゲートトランジスタと、同時に形成される。

【0021】

そのため、メモリセルアレイ領域と周辺回路領域との間に大きな段差を有しない状態で、周辺トランジスタを形成することができるので、製造工程の難度を低くすることが可能となる。

【0022】

したがって、微細化のためメモリセルが積層化された不揮発性半導体メモリを、加工難度を下げて、容易に提供できる。

【0023】

2. 実施の形態

10

次に、最良と思われるいくつかの実施の形態について説明する。

【0024】

(A) 基本ユニットの構造

図1は、NAND型フラッシュメモリの概略図を示す。NAND型フラッシュメモリは、メモリセルアレイ領域MAと、メモリセルアレイ領域MAのメモリセルを制御するためのロウデコーダ回路RD、センスアンプ回路S/A及び制御回路CCとが、同一チップ上に配置される。以下、ロウデコーダ回路RDなどが配置されるメモリセルアレイ領域MAの周辺領域を、周辺回路領域と述べる。

【0025】

メモリセルアレイ領域MAは、複数のブロックBK1、BK2、・・・、BK_nから構成され、さらに各ブロックは、複数のNANDセルユニットにより構成される。

20

【0026】

周辺回路領域は、主な素子として、MIS構造の周辺トランジスタから構成される。

【0027】

図2は、基本ユニットとなる1つのNANDセルユニットの主要部を図示した斜視図であり、図3は、基本ユニットとなる1つのNANDセルユニットの平面図を示す。

【0028】

また、図4Aは、図3のIVA-IVA線に沿う断面図であり、図4Bは、図3のIVB-IVB線に沿う断面図である。尚、図4Aには、周辺回路領域に配置される周辺トランジスタの構造も図示する。

30

【0029】

NANDセルユニットは、直列接続された複数のメモリセルMCと、その両端に配置される選択ゲートトランジスタSGD、SGSから構成される。以下、この直列接続された複数のメモリセルMCのことを、NANDストリングNSと述べる

本実施の形態において、メモリセルMCは、半導体基板1表面に対して垂直方向に延びるピラー状の半導体層側面上に、縦型のメモリセルとなるように形成される。

【0030】

それゆえ、NANDストリングNSは、複数の縦型メモリセルMCが、層間絶縁層5を介して、複数積み重なれた積層体となっている。

【0031】

40

メモリセルMCは、ピラー状の半導体層のうち、N⁻型半導体層9に配置され、制御ゲート電極CG1~CG_nが、ゲート絶縁膜8を介して、N⁻型半導体層9側面上に配置される構造を有する。

【0032】

制御ゲート電極CG1~CG_nは、低抵抗化のため、例えば、ポリシリコン層と、ポリシリコン層の一部をシリサイド化した、シリサイド層からなる2層構造を有する。また、制御ゲート電極CG1~CG_nは、タングステン(W)、アルミニウム(Al)、銅(Cu)等の金属を用いて低抵抗化しても良い。尚、制御ゲート電極CG1~CG_nに金属を用いる場合には、シリサイド層は必要ない。

【0033】

50

このメモリセルMCは、制御ゲート電極CG1～CGnとN⁻型半導体層9との間に介在するゲート絶縁膜8が、電荷蓄積層8Bを第1及び第2の絶縁膜8A、8Bで挟む積層構造を有する、いわゆる、MONOS構造のメモリセルである。

【0034】

第1の絶縁膜8Cは、電荷蓄積層8BにN⁻型半導体層9から電荷を蓄積する際、または、電荷蓄積層8Bに蓄積された電荷がN⁻型半導体層9へ拡散する際、電位障壁となる。第1の絶縁膜8Cは、例えば、シリコン酸化膜が用いられ、その膜厚は、例えば、4nm程度である。

【0035】

電荷蓄積層8Bは、電荷（電子）の捕捉及び蓄積を行い、例えば、シリコン窒化膜が用いられる。電気蓄積層8Bの膜厚は、例えば、8nm程度である。

10

【0036】

第2の絶縁膜8Aは、電荷蓄積層8Bと制御ゲート電極CG1～CGnとの間に配置され、電荷蓄積層8Bに蓄積された電荷が制御ゲート電極CG1～CGnへの拡散するのを防止する。第2の絶縁膜8Aは、例えば、シリコン酸化膜が用いられ、その膜厚は、例えば、4nm程度である。

【0037】

NAND型フラッシュメモリのメモリセルは微細化が進むと、ソース/ドレイン領域となる拡散層を有せずとも、正常な書き込み/読み出し動作を行うことができる。

【0038】

20

それゆえ、メモリセルMCは、ピラー状のN⁻型半導体層9内に、半導体層9と導電型の異なるソース/ドレイン領域としての拡散層を有しなくともよい。つまり、N⁻型半導体層9は、メモリセルのチャンネル領域、ソース領域及びドレイン領域として機能する。このメモリセルMCは、ゲート電極CG1～CGnに印加される電位に基づいて、ゲート電極直下のN⁻型半導体層9内をほぼ空乏化することでオフ状態を実現している。

【0039】

図5は、図4Aに示すメモリセルMCの1つを、抜き出した断面図である。前述のように、本発明の例のメモリセルは、縦型メモリセルである。したがって、ゲート電極CGの膜厚がゲート長（チャンネル長）となる。このゲート長をLとする。また、メモリセルMCのアクティブ領域としてのN⁻型半導体層9の膜厚をTとする。

30

【0040】

このとき、ゲート長Lと膜厚Tとは、次の関係式を満たすことが望ましい。

【0041】

その理由は、データの読み出しを正常且つ容易に行うためである。

【0042】

$$1\text{ nm} < T < L \times 0.8$$

即ち、読み出し動作において、ゲート電極CG直下のチャンネル領域には、ゲート絶縁膜8との界面から1nm程度の範囲に反転層が形成される。そのため、膜厚Tが1nmより薄くなると、反転層のキャリア面密度が急激に低下して、ビット線電流が減少する。この結果、データの読み出しが困難となる。

40

【0043】

一方、読み出し動作を正常に行うためには、メモリセルトランジスタのカットオフ特性を良好にする必要がある。このために、膜厚Tの上限値が、上記関係式を満たすことが望ましい。

【0044】

上述のように、メモリセルMCは、電荷蓄積層8Bを有するMONOS構造である。このメモリセルMCは、電荷蓄積層8Bを含むゲート絶縁膜8全体が絶縁体であるため、フローティングゲート型メモリセルのように、セル毎に浮遊ゲート電極を分離する必要がない。すなわち、ゲート絶縁膜8は、N⁻型半導体層9の側面全体に形成すればよく、パターンニングの必要が無いために、容易に縦型メモリセルを縦積みした構造を実現できる。

50

【 0 0 4 5 】

また、NANDストリングNSの一端及び他端には、選択ゲートトランジスタSGD、SGSがそれぞれ配置される。

【 0 0 4 6 】

その選択ゲートトランジスタのうち、NANDストリングの一端（ドレイン側）の選択ゲートトランジスタSGDは、メモリセルからなる積層体の最上端に位置し、P⁻半導体層10をチャンネル領域として、縦型トランジスタとなるように形成される。

【 0 0 4 7 】

P⁻半導体層10は、低濃度のP⁻型不純物がドーパされた半導体層である。

【 0 0 4 8 】

また、選択ゲートトランジスタSGDは、メモリセルMCが配置されるN⁻型半導体層9をソース領域、N⁺半導体層11をドレイン領域としている。N⁺型半導体層11は、高濃度のN⁺型不純物がドーパされた半導体層である。このN⁺型半導体層11には、ビット線BLが接続される。

【 0 0 4 9 】

この選択ゲートトランジスタSGDは、メモリセルの積層構造ゲート絶縁膜8のうち、第1の絶縁膜8Cを、ゲート絶縁膜としている。選択ゲートトランジスタSGDは、最上端に位置し、加工が容易であるがゆえ、ゲート間絶縁膜8のうち電荷蓄積層8B及び第2の絶縁膜8Aが、選択ゲートトランジスタSGDのチャンネル領域から除去された後、第1の絶縁膜8Cが形成され、上記の構造となる。尚、選択ゲートトランジスタSGDのゲート絶縁膜は、第1の絶縁膜8Cをゲート絶縁膜を用いずに、別途に形成した絶縁膜をゲート絶縁膜に用いても良い。

【 0 0 5 0 】

選択ゲートトランジスタSGDは縦型トランジスタであるため、ゲート電極の膜厚が、ゲート長となる。

【 0 0 5 1 】

選択ゲートトランジスタSGDのゲート長（膜厚）は、メモリセルのゲート長（膜厚）に比べて、大きく設定される。これは、選択ゲートトランジスタSGDのカットオフ特性を良好なものとするためである。例えば、メモリセルのゲート電極のゲート長（膜厚）を、30nm程度とする場合、選択ゲートトランジスタSGDのゲート長（膜厚）は、150nm程度に設定される。また、ゲート電極間の距離、つまり、層間絶縁層5の膜厚は、例えば、ゲート電極CG1～CGnの膜厚と同じ厚さで設定される。

【 0 0 5 2 】

一方、NANDストリングの他端（ソース側）の選択ゲートトランジスタSGSは、半導体基板1上に配置される。選択ゲートトランジスタSGSとN⁻型半導体層9とは、絶縁耐圧が確保できる所望の距離を有している。

【 0 0 5 3 】

選択ゲートトランジスタSGSは、半導体基板1表面に形成されるゲート絶縁膜2A上に、ゲート電極3Aを有している。

【 0 0 5 4 】

この選択ゲートトランジスタSGSは、半導体基板1内に形成されたN型拡散層4A、4Bをソース/ドレイン領域とする。

【 0 0 5 5 】

選択ゲートトランジスタSGSのドレイン領域となる拡散層4Aは、ピラー状のN⁻型半導体層9と接続される。また、ソース領域となる拡散層4Bは、ソース線SLに接続されている。

【 0 0 5 6 】

ソース線SLは、絶縁層13A内に形成され、ソース線SLの上面は、複数の制御ゲート電極CG1～CGnのうち半導体基板1に最も近い制御ゲート電極CG1の底面よりも低い位置に設定される。

10

20

30

40

50

【0057】

上記の構造とすることで、ソース線SLは、NANDストリングNSとは隣接しない構造となる。それゆえ、NANDストリングとソース線SLとの間の絶縁耐圧を高くするため、NANDストリングとソース線SL間の距離を広く確保する必要がない。したがって、チップ面積を縮小できる。

【0058】

また、選択ゲートトランジスタSGSは、チップ面積の縮小のため、メモリセルの制御ゲート電極CG1~CGn及び層間絶縁膜5からなる積層体の下部に位置することが望ましい。このとき、選択ゲートトランジスタSGSとゲート電極CG1とが、互いに影響を及ぼさないために、両者の間に、層間絶縁層5とゲート電極3A上のマスク材14を介在させ、その距離を確保している。

10

【0059】

周辺回路領域に形成される周辺トランジスタTr1, Tr2は、半導体基板1上に配置される選択ゲートトランジスタSGSと同様に、半導体基板1内に形成された拡散層41, 42をソース/ドレイン領域としている。また、周辺トランジスタTr1, Tr2は、半導体基板1表面に形成されたゲート絶縁膜2B, 2C上に、ゲート電極3B, 3Cを有している。

【0060】

選択ゲートトランジスタSGSと周辺トランジスタTr1, Tr2は、同時に形成される。それゆえ、本発明の例の構造を得るためには、選択ゲートトランジスタSGSと周辺トランジスタTr1, Tr2を半導体基板1上に形成した後に、メモリセルMCが形成される。

20

【0061】

上述のように、選択ゲートトランジスタSGDは、ピラー状の半導体層9, 10, 11の上端に位置しているため、加工が可能である。それゆえ、選択ゲートトランジスタSGDのチャネル領域上の電荷蓄積層は除去され、第1の絶縁膜8Cをゲート絶縁膜とするMIS構造のトランジスタとなる。それに加え、選択ゲートトランジスタSGDは、ピラー状の半導体層内に形成されたP⁻型半導体層10をチャネル領域とし、また、N⁻型半導体層9をソース領域、N⁺型半導体層11をドレイン領域とするPチャネルエンハンスメント型MISトランジスタとすることができる。

30

【0062】

一方、ソース側の選択ゲートトランジスタSGSは、半導体基板1表面のゲート絶縁膜2A上にゲート電極3Aを有し、P型の半導体基板1内に形成される拡散層4A, 4Bをソース/ドレイン領域とする。

【0063】

この選択ゲートトランジスタSGSは、ピラー状の半導体層に形成される場合とは異なり、周辺トランジスタTr1, Tr2と同時に、半導体基板1上に形成されるため、ゲート電極3Aとゲート絶縁膜2Aとの間に、電荷蓄積層は介在しない。それゆえ、選択ゲートトランジスタSGSは、難度の高い加工を行わずとも、閾値電圧制御の容易なPチャネルエンハンスメント型MISトランジスタとして、形成できる。

40

【0064】

また、周辺トランジスタは、半導体基板1上に形成される選択ゲートトランジスタSGSと同時に形成される。そのため、メモリセルMCと層間絶縁層5からなる積層体上面と半導体基板表面との間の段差がない状態で、周辺トランジスタを形成することができる。よって、周辺回路領域の加工は容易になる。

【0065】

したがって、微細化のために縦型メモリセルを積層化させたNAND型フラッシュメモリを、加工の難易度を高くすることなく提供できる。

【0066】

(B)実施例

50

(1) 構造

上述のNANDセルユニットを用いた実施例について説明を行う。尚、同一部材については、同一符号を付し、詳細な説明を省略する。

【0067】

図6は、本実施例の平面図を示す。また、図7は、図6のV I I - V I I線に沿う断面図を示し、図8は、図6のV I I I - V I I I線に沿う断面図を示す。

【0068】

メモリセルアレイ領域において、複数のNANDセルユニットは、X方向に延びるアクティブ領域AA内に配置される。また、Y方向に隣接するアクティブ領域AA間には、素子分離領域STIが設けられる。

【0069】

メモリセルの制御ゲート電極CG1~CGnは、ワード線としてY方向に延びる。

【0070】

ビット線BLは、NANDセルユニットNU1~NU4のそれぞれのN⁺型半導体層11に電氣的に接続され、X方向に延びている。ビット線BLは、X方向に隣接するNANDセルユニットNU1~NU4で共有される。

【0071】

メモリセルが配置されるピラー状のN⁻型半導体層9は、NANDセルユニット毎に、それぞれX方向に離間している。

【0072】

X方向に隣接する2つのNANDセルユニット(例えば、NANDセルユニットNU1, NU2)は、半導体基板1内に形成された1つの拡散層4Aを介して、ピラー状のN⁻型半導体層9が、各々のソース側の選択ゲートトランジスタSGSと、それぞれ電氣的に接続される構造となっている。

【0073】

2つのNANDセルユニットNU1, NU2のように、メモリセルが形成されない側面が対向している2つのN⁻型半導体層9間の間隔は、選択ゲートトランジスタSGSとソース線SLの間隔よりも狭い間隔で配置されている。

【0074】

また、ソース線SLは、例えば、NANDセルユニットNU2, NU3のように、隣接する2つのNANDセルユニットによって、共有される。ソース線SLと選択ゲートトランジスタSGSは、選択ゲートトランジスタSGSとソース線SLのとの間の絶縁耐圧が確保できる間隔を有している。

【0075】

上記のように、N⁻型半導体層9とソース側の選択ゲートトランジスタSGSを接続する拡散層4Aを2つのNANDストリングで共有し、また、1つのソース線SLを、2つのNANDセルユニットで共有する構造となっているため、X方向の素子分離絶縁領域は設ける必要はない。

【0076】

Y方向の素子分離絶縁層に加え、X方向に隣接するNANDセルユニット間を電氣的に絶縁する場合には、X方向にも素子分離絶縁層を設ける必要があり、NANDセルユニットとアクティブ領域とのアライメントのずれを考慮する必要がある。そのため、加工の難度は高くなる。

【0077】

しかし、本実施例の構造となるようにNANDセルユニットをX方向に配置することで、加工難度は高くならず、製造歩留りを向上できる。また、X方向の素子分離領域を確保する必要がないため、チップ面積の縮小にも貢献できる。

【0078】

以下に、本実施例の製造方法について説明を行う。

【0079】

10

20

30

40

50

(2) 製造方法

はじめに、半導体基板1内に、ウェル領域が形成された後、半導体基板1上に、ゲート絶縁膜となる、例えば、シリコン酸化膜が、熱酸化法により形成される。次に、ゲート電極となる、例えば、ポリシリコン膜、さらに、マスク材となる、例えば、シリコン窒化膜が、例えば、CVD (Chemical Vapor Deposition) 法により、半導体基板1上に順次形成される。

【0080】

続いて、パターニングを施した後、マスク材をマスクとして、ゲート加工を行うと、図9に示すように、半導体基板1表面のゲート絶縁膜2A, 2B, 2C上に、選択ゲートトランジスタのゲート電極3A及び周辺トランジスタのゲート電極3B, 3Cが、それぞれ形成される。その後、拡散層4A, 4B, 41, 42が、例えば、イオン注入法により、それぞれ形成される。以上により、半導体基板1内のメモリセルアレイ領域及び周辺回路領域には、NANDストリングのソース側に接続される選択ゲートトランジスタSGSと、周辺トランジスタTr1, Tr2がそれぞれ形成される。

10

【0081】

その後、絶縁層13Aが、例えば、CVD法及びCMP (Chemical Mechanical Polishing) 法を用いて、マスク材14の上端と一致するように、形成される。さらに、ソース線SLが、絶縁層13Aに形成された開口部を介して、選択ゲートトランジスタSGSのソース領域となる拡散層4Bに接続される。

【0082】

次に、図10に示すように、層間絶縁層5及びゲート電極61~6n, 7が、例えば、CVD法により、絶縁層13A及びマスク材14上に交互に積層される。

20

【0083】

ゲート電極61~6nは、メモリセルの制御ゲート電極となり、ゲート電極7は、ドレイン側の選択ゲートトランジスタのゲート電極となる。

【0084】

尚、本実施例において、ゲート電極61~6nは、例えば、ポリシリコンを用いるが、例えば、タングステン(W)、アルミニウム(Al)、銅(Cu)等の金属を用いても良い。また、層間絶縁層5は、シリコン酸化膜、BPSG (Boron Phosphorus Silicate Glass)、BSG (Boron Silicate Glass) などが用いられる。

30

【0085】

続いて、図11に示すように、層間絶縁層5及びゲート電極61~6n, 7が、例えば、PEP (Photo Etching Process) 及びRIE (Reactive Ion Etching) 法により、選択的にエッチングされ、選択ゲートトランジスタSGSのドレイン領域となる拡散層4A表面が露出するように、開口部が形成される。

【0086】

その後、図12に示すように、開口部に面する層間絶縁層5及びゲート電極61~6n, 7の側面に、第2の絶縁膜8A (例えば、シリコン酸化膜) 及び電荷蓄積層8B (例えば、シリコン窒化膜) が、例えば、CVD法により、順次形成される。

40

【0087】

次に、図13に示すように、電荷蓄積層8B上に絶縁膜15が形成される。この際、絶縁層15の上面は、ポリシリコン層6nの上面より高く、ゲート電極7の底面より低い位置に設定される。続いて、絶縁層15の上面より上に形成された電荷蓄積層8B及び第2の絶縁膜8Cが、エッチングされる。

【0088】

絶縁層15が除去された後、図14に示すように、第1の絶縁層8Aが、電荷蓄積層8B上及びゲート電極7の側面に形成される。

【0089】

50

その後、図15に示すように、異方性エッチングにより、第1の絶縁膜8A、電荷蓄積層8B、第2の絶縁膜8Cが、順次、選択的にエッチングされた後、半導体基板1上、第1の絶縁膜8A上及び側面に、N⁻型半導体層9が形成される。N⁻型半導体層9は、例えば、低濃度のリン(P)或いはヒ素(As)がドーパされたポリシリコンが用いられる。

【0090】

尚、この際、ポリシリコンをエピタキシャル成長法により、N⁻型半導体層9の結晶軸が半導体基板1の結晶軸と揃ったエピタキシャル層のN⁻型半導体層を形成しても良い。その場合には、結晶化したN⁻型半導体層9に配置されるメモリセルは、キャリア(電子)の移動度向上など、素子特性が向上する。

10

【0091】

次に、図16に示すように、異方性エッチング法により、N⁻型半導体層9を選択的にエッチングする。これにより、半導体基板1の上面の一部を露出させ、NANDセルユニット毎にN⁻型半導体層9のX方向の分離が行われる。

【0092】

続いて、図17に示すように、絶縁層12Aが、開口部を埋め込むように、N⁻型半導体層9側面上に形成される。この絶縁層12Aの上面は、ゲート電極7の底面とほぼ同じ位置に設定される。その後、低濃度のP型不純物(例えば、ホウ素(B))が、絶縁層12Aの上面より上の露出している領域に対して、導入される。すると、ドレイン側の選択ゲートトランジスタのチャンネル領域となるP⁻型半導体層10が形成される。

20

【0093】

次に、図18に示すように、絶縁層12Bが、絶縁層12A上に形成される。この際、絶縁層12Bの上面は、ゲート電極7の上面とほぼ同じ位置に設定される。その後、高濃度のN型不純物が、絶縁層12Bの上面より上の露出している領域に対して、導入される。すると、選択ゲートトランジスタのドレイン領域となるN⁺型半導体層11が形成される。

【0094】

続いて、図19に示すように、絶縁層12Cが、絶縁層12B上に形成される。次に、複数のユニットを形成するため、半導体層9、10、11が、異方性エッチング法により、選択的にエッチングされる。それにより、ユニット毎にピラー状の半導体層となるように、Y方向の分離がなされる。このエッチング工程により形成された溝部に、絶縁層(図示せず)が埋め込まれる。

30

【0095】

その後、ソース線SL上部の領域のゲート電極61~6n、7及び層間絶縁膜5が、異方性エッチング法により、選択的にエッチングされ、開口部が形成される。さらに、この開口部に対して、例えば、タングステン(W)、チタン(Ti)、モリブデン(Mo)などのいずれかの高融点金属16が、埋め込まれる。その後、加熱処理を行うと、ゲート電極を構成するポリシリコンが、シリサイド化し、低抵抗のシリサイド層を有する制御ゲート電極CG1~CGn及びゲート電極7が得られる。

【0096】

続いて、開口部に埋め込まれた高融点金属16及び周辺領域に形成された層間絶縁層5及びゲート電極61~6nが除去された後、図20に示すように、開口部にパッシベーション膜17及び絶縁層13Bが形成される。さらに、積層体上面全体に金属膜が形成された後、その金属膜にパターニングが施される。そのパターニングに基づき、金属膜を選択的にエッチングすることで、ビット線BLがN⁺型半導体層11に電気的に接続されるように形成され、実施例に示すNAND型フラッシュメモリが完成する。

40

【0097】

以上のように、縦型メモリセルからなるNAND型フラッシュメモリにおいて、最下端に位置する選択ゲートトランジスタを、ピラー状の半導体層に形成される縦型メモリセル及び最上端に位置する選択ゲートトランジスタを形成する工程の前に、半導体基板1上に

50

形成する。それにより、電荷蓄積層の除去など加工難度の高い工程を行わずに、最下端の選択ゲートトランジスタを閾値電圧制御の容易なM I S構造トランジスタとすることができる。

【0098】

また、周辺トランジスタは、半導体基板上に形成される選択ゲートトランジスタと同時に形成される。

【0099】

それゆえ、メモリセルアレイ領域形成後に周辺回路領域を形成する場合のように、メモリセルアレイ領域と半導体基板表面との段差がない状態で、周辺トランジスタを形成することができるので、縦型メモリセルからなるNAND型フラッシュメモリの加工の難度を下げることができる。

10

【0100】

(C) 変形例

図21は、本発明の例の変形例を示す断面図である。

【0101】

図21に示すように、2つのNANDストリングに対して、1つのソース側の選択ゲートトランジスタSGSが設けられる。

【0102】

上記の構造とすることで、ソース線SL及び選択ゲートトランジスタSGSの数を減らせ、さらに、減らした分のソース線と選択ゲートトランジスタの絶縁耐圧を考慮する必要がなくなる。

20

【0103】

それゆえ、上記の構造を用いることで、チップ面積の縮小を図ることができる。

【0104】

3. その他

本発明によれば、加工の難易度を下げて、容易に微細化可能な不揮発性半導体メモリを提供することができる。

【0105】

本発明の例は、上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成要素を適宜組み合わせてもよい。

30

【図面の簡単な説明】

【0106】

【図1】NAND型フラッシュメモリの概略図。

【図2】本発明の例のNAND型フラッシュメモリの主要部を示した斜視図。

【図3】本発明の例のNANDセルユニットの平面図。

【図4A】図3のI V A - I V A線に沿う断面図。

【図4B】図3のI V B - I V B線に沿う断面図。

40

【図5】本発明の例のNANDセルユニットを構成する1つのメモリセルを示す断面図。

【図6】実施例におけるメモリセルアレイ領域の平面図。

【図7】図6のV I I - V I I線に沿う断面図。

【図8】図6のV I I I - V I I I線に沿う断面図。

【図9】実施例の製造工程の一工程を示す図。

【図10】実施例の製造工程の一工程を示す図。

【図11】実施例の製造工程の一工程を示す図。

【図12】実施例の製造工程の一工程を示す図。

【図13】実施例の製造工程の一工程を示す図。

【図14】実施例の製造工程の一工程を示す図。

50

- 【図15】実施例の製造工程の一工程を示す図。
- 【図16】実施例の製造工程の一工程を示す図。
- 【図17】実施例の製造工程の一工程を示す図。
- 【図18】実施例の製造工程の一工程を示す図。
- 【図19】実施例の製造工程の一工程を示す図。
- 【図20】実施例の製造工程の一工程を示す図。
- 【図21】変形例の構造を示す断面図。

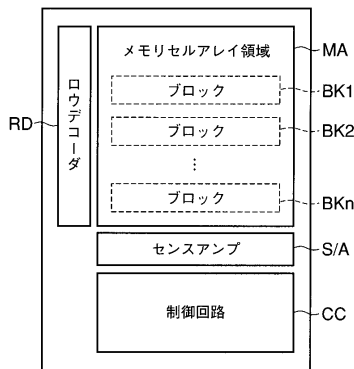
【符号の説明】

【0107】

1：半導体基板、2A, 2B, 2C：ゲート絶縁膜、3A, 3B, 3C, 61~6n, 7：ゲート電極、4A, 4B, 41, 42：拡散層、5：層間絶縁層、8A：第2の絶縁膜、8B：電荷蓄積層、8C：第1の絶縁膜、9：N⁻型半導体層、10：P⁻型半導体層、11：N⁺型半導体層、12A, 12B, 12C, 13A, 13B；絶縁層、14：マスク材、17：パッシベーション膜、SGD, SGS：選択ゲートトランジスタ、MC：メモリセル、Tr1, Tr2：周辺トランジスタ、BL：ビット線、SL：ソース線、NS：NANDストリング、NU1~4：NANDセルユニット。

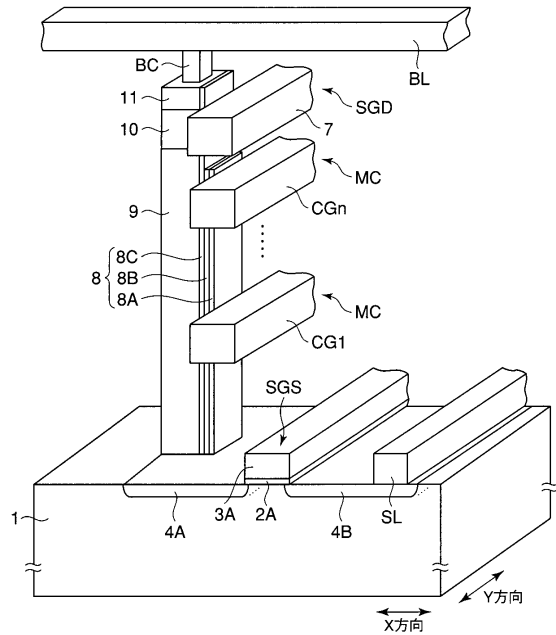
【図1】

図1



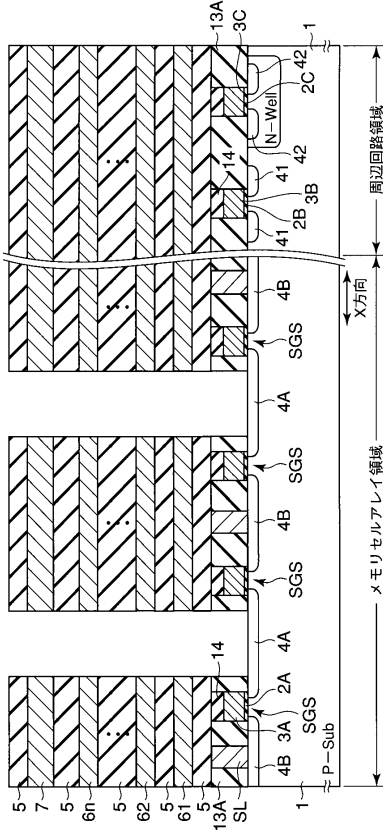
【図2】

図2



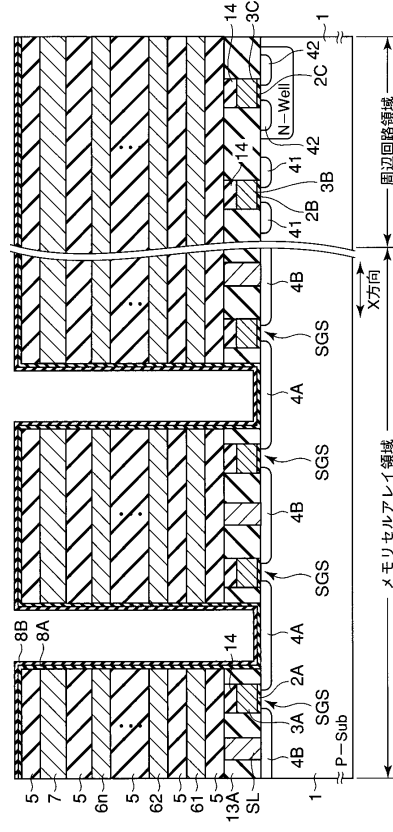
【図 1 1】

図 11



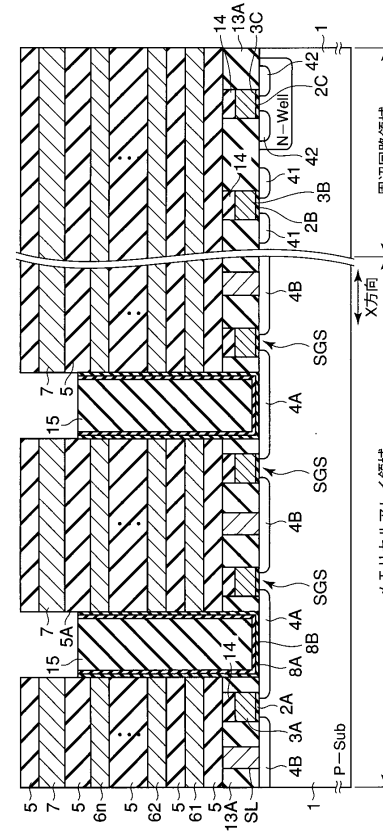
【図 1 2】

図 12



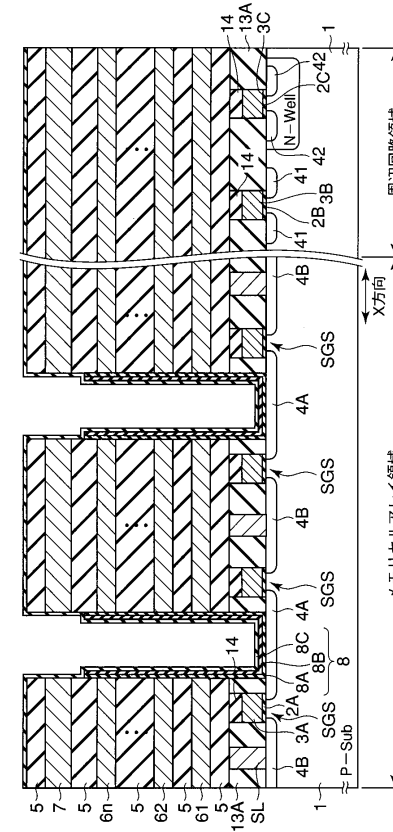
【図 1 3】

図 13



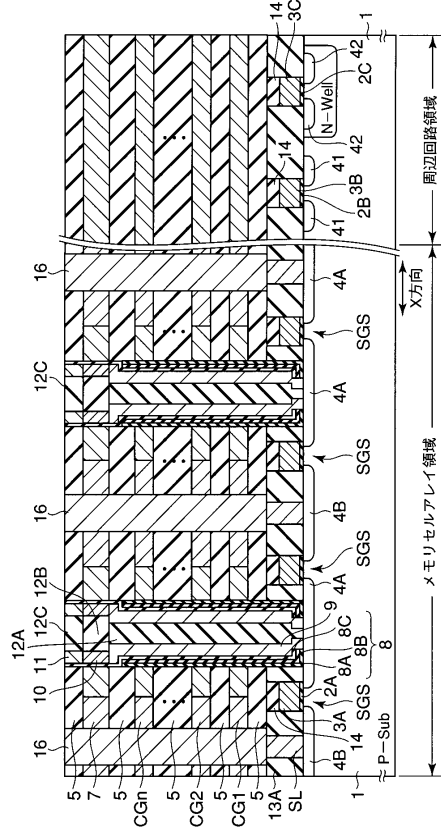
【図 1 4】

図 14



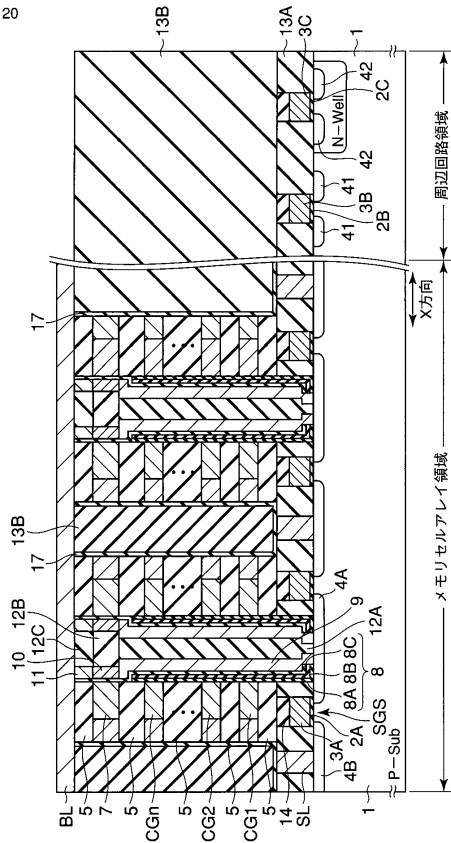
【図 19】

図 19



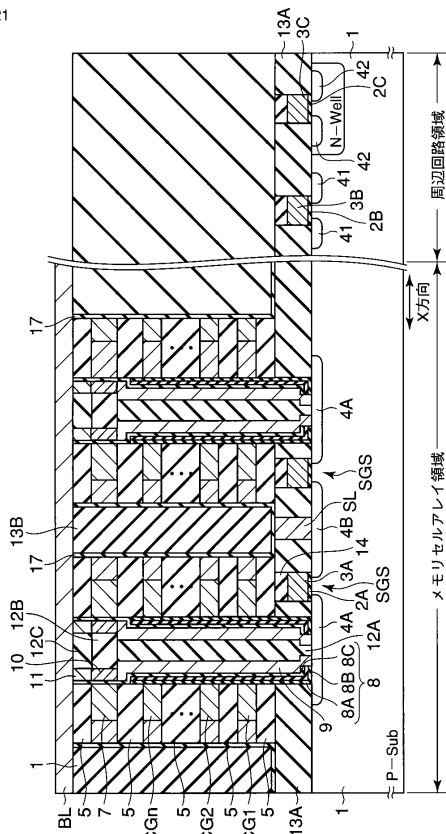
【図 20】

図 20



【図 21】

図 21



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 荒井 史隆

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 白田 理一郎

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 須原 宏光

(56)参考文献 特開平10-093083(JP,A)

特開平01-191480(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/115

H01L 21/8247