



(12) 发明专利申请

(10) 申请公布号 CN 103064000 A

(43) 申请公布日 2013. 04. 24

(21) 申请号 201310002748. 0

(22) 申请日 2013. 01. 05

(71) 申请人 北京大学

地址 100871 北京市海淀区颐和园路 5 号

(72) 发明人 何燕冬 王熙庆 张钢刚 张兴

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G01R 31/27(2006. 01)

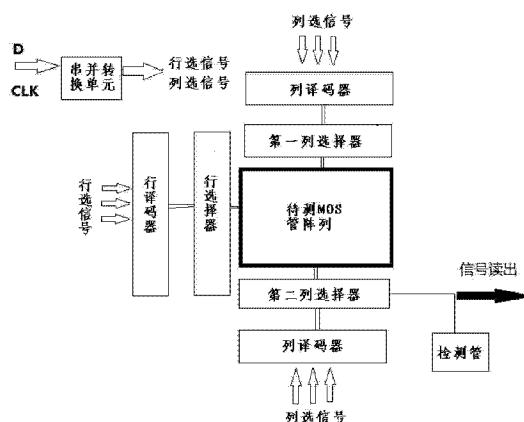
权利要求书2页 说明书8页 附图7页

(54) 发明名称

MOS 管阵列的阈值电压分布监测装置及方法

(57) 摘要

本发明公开了一种 MOS 管阵列的阈值电压分布监测装置及方法，所述装置包括行选择器，第一列选择器，第二列选择器和监测管。所述监测 MOS 管阵列阈值电压的方法利用上述装置，通过对待测 MOS 管阵列中的 MOS 管和监测管的电路连接，使得原本难以监测的 MOS 管阵列阈值电压的分布及漂移能够方便读出，大大缩短测量时间。



1. 一种 MOS 管阵列的阈值电压分布监测装置,其特征在于,包括行选择器,第一列选择器,第二列选择器和监测管;

所述行选择器包括行电平端口,多对相对应的行选端口和行通端口;

所述第一列选择器和第二列选择器均包括列电平端口,多对相对应的列选端口和列通端口;

所述待测 MOS 管阵列中各行的所有 MOS 管的栅极相连,并连接于所述行选择器的各行通端口;

所述待测 MOS 管阵列中各列的所有 MOS 管的源极相连,并连接于所述第一列选择器的各列通端口;

所述待测 MOS 管阵列中各列的所有 MOS 管的漏极相连,并连接于所述第二列选择器的各列通端口;

所述第二列选择器的列电平端口与监测管的源极相连;所述监测管的漏极与其栅极相连。

2. 如权利要求 1 所述的监测装置,其特征在于,当待测 MOS 管阵列为 PMOS 管阵列时,所述行选择器由多个强制高电平传输门组成,所述第一列选择器和第二列选择器均由多个强制低电平传输门组成;当待测 MOS 管阵列为 NMOS 管阵列时,所述行选择器由多个强制低电平传输门组成,所述第一列选择器和第二列选择器均由多个强制高电平传输门组成。

3. 如权利要求 2 所述的监测装置,其特征在于,所述强制高电平传输门包括一个 CMOS 传输门和附加 PMOS 管,所述附加 PMOS 管的源极连接高电平,栅极连接 CMOS 传输门的控制端,漏极连接 CMOS 传输门的输出端;所述强制低电平传输门包括一个 CMOS 传输门和附加 NMOS 管,所述附加 NMOS 管的源极接低电平,栅极接 CMOS 传输门的控制端的反相端,漏极接 CMOS 传输门的输出端。

4. 如权利要求 1 所述的监测装置,其特征在于,所述监测装置还包括行译码器和列译码器,所述行译码器各输出端口与所述行选择器的各行选端口相连,所述列译码器各输出端口分别与所述第一列选择器和第二列选择器的各列选端口相连。

5. 如权利要求 4 所述的监测装置,其特征在于,所述监测装置还包括串并转换单元。

6. 如权利要求 1-5 任一所述的监测装置,其特征在于,所述监测装置的监测管与待测 MOS 管阵列中的 MOS 管类型相同,且具有相同的宽长比。

7. 一种 MOS 管阵列的阈值电压分布监测方法,其特征在于,包括以下步骤:

S1:通过改变第一列选择器的列选端口的电平,使得第一列选择器的列电平端口与其中一个列通端口连通,由于列通端口与待测 MOS 管阵列中的一列内所有 MOS 管的源极相连,使得该列 MOS 管被选中,列电平端口加载的第一电压传输到该列所有 MOS 管的源极上,当待测 MOS 管阵列为 PMOS 管阵列时对其他列的 MOS 管的源极强制加载低电平,当待测 MOS 管阵列为 NMOS 管阵列时对其他列的 MOS 管的源极强制加载高电平;

S2:同步改变第二列选择器的列选端口的电平,使得第二列选择器的列电平端口与被选中列相应的列通端口连通,由于列通端口与被选中列内所有 MOS 管的漏极相连,第二列选择器的列电平端口与被选中列内所有 MOS 管的漏极相连,又由于第二列选择器的列电平端口与监测管的源极相连,所以监测管的源极与被选中列内所有 MOS 管的漏极相连,当待测 MOS 管阵列为 PMOS 管阵列时对其他列的 MOS 管的漏极强制加载低电平,当待测 MOS 管阵

列为 NMOS 管阵列时对其他列的 MOS 管的漏极强制加载高电平；

S3 :通过改变行选择器行选端口的电平，使得行选择器的行电平端口与其中一个行通端口连通，由于行通端口与待测 MOS 管阵列中的一行内的所有 MOS 管的栅极相连，使得该行 MOS 管被选中，行电平端口加载的第二电压传输到该行所有 MOS 管的栅极上，当待测 MOS 管阵列为 PMOS 管阵列时对其他行的 MOS 管的栅极强制加载高电平，当待测 MOS 管阵列为 NMOS 管阵列时对其他行的 MOS 管的栅极强制加载低电平；

S4 :在监测管的栅极加载第三电压，使得通过被选中行和被选中列唯一确定的 MOS 管，即被选中 MOS 管和监测管均处于饱和状态，通过监测第二列选择器的列电平端口与监测管相连处的电压即可监测被选中 MOS 管的阈值电压。

8. 如权利要求 7 所述的 MOS 管阵列的阈值电压分布监测方法，其特征在于，所述方法还包括步骤 S5 :通过多次改变行选择器行选端口、第一列选择器列选端口和第二列选择器列选端口的电平，实现对待测 MOS 管阵列中全部或部分 MOS 管的阈值电压分布及漂移的监测。

9. 如权利要求 8 所述的 MOS 管阵列的阈值电压分布监测方法，其特征在于，所述方法在步骤 S1 之前还包括如下步骤：

S001 :通过串并转换单元将串行选择信号转换为行选信号和列选信号；

S01 :通过行译码器和列译码器对行选信号和列选信号进行译码，来改变行选择器的行选端口、第一列选择器和第二列选择器的列选端口的电平，以实现对待测 MOS 管阵列中 MOS 管的选中。

10. 一种测量 MOS 管阵列中单个 MOS 管传输特性曲线的方法，其特征在于，包括以下步骤：

T1 :将监测管的栅极接输出端，输出端接地，使得监测管四端的电平均为地电平，监测管处于不工作的状态；

T2 :通过第一列选择器传输第一电压到被选中的 MOS 管源极，通过行选择器传输第二电压到被选中的 MOS 管的栅极；通过固定第一电压改变第二电压并测量第二列选择器列电平端口输出电流的变化得到 ID-VG 曲线，或者通过固定第二电压改变第一电压并测量第二列选择器列电平端口输出电流的变化得到 ID-VD 曲线。

## MOS 管阵列的阈值电压分布监测装置及方法

### 技术领域

[0001] 本发明涉及 MOS 器件可靠性监测技术领域, 尤其涉及一种 MOS 管阵列的阈值电压分布监测装置及方法。

### 背景技术

[0002] 随着半导体技术的飞速发展和微电子芯片集成度的大幅提高, 集成电路设计和加工水平已经进入纳米 MOS 时代, 由此带来的导致纳米 MOS 器件性能退化, 影响器件可靠性的因素不断出现, 从而负压偏置应力不稳定性(NBTI)、热载流子效应(HCI)等效应的影响变得越来越大。而当 MOS 器件的阈值电压发生变化时, 器件的漏端电流、跨导等也随之发生变化, 将严重影响器件的可靠性, 从而带来器件失配、寿命降低等影响。

[0003] 常用的阈值电压的监测方法包括常数电流法, 最大跨导法等。如图 1 所示, 对于 MOSFET (简称 MOS 管), 一个包括源极、栅极、漏极和衬底的四端器件, 常数电流法是根据不同的沟道长度和宽度确定一个电流常数, 然后测当待测的 MOS 管的漏端电流等于该常数时的栅极电压, 认为此时的栅极电压即是 MOS 管的阈值电压。上述方法需要扫描测试, 才能得出阈值电压的大小, 从而判断阈值电压的漂移量, 尤其是对于大规模 MOS 管阵列的阈值电压分布及漂移监测, 上述方法显得颇为繁琐和较难实现。

[0004] 现有技术中有关于监测单个 MOS 管阈值电压的电路, 其基本原理如下: 如图 2 所示, 以 SMIC90 工艺的 1.2V 工作电压的工艺为例, 同时为了保证监测管和待测管都处于饱和状态, 且栅极和源端的电压差值相同, 各个端口的设置如下: 在电源加载 1.2V 电压, 待测 MOS 管 MP1 的栅极加载 700mV 的电压, 监测 MOS 管 MP2 的栅极加载 200mV 的电压, 漏极和栅极相连, 保证其处于饱和状态, 监测管 MP2 衬底和输出端相连, 以降低衬偏效应, 待测管 MP1 衬底和电源电压相连, 且待测 MOS 管 MP1 和监测 MOS 管 MP2 具有相同的宽长比。从图 2 可以看出电流关系:  $I_{P1}=I_{P2}$ 。

[0005] 两个晶体管都满足饱和状态的电流方程

$$[0006] I_{p1,2} = \frac{1}{2} \mu_p \frac{W}{L} C_{ox} (V_{GS1,2} - V_{TH1,2}) \quad (1)$$

[0007] 其中  $I_{P1}$ 、 $I_{P2}$  是分别是流过待测管 MP1 和监测管 MP2 的电流,  $\mu_p$  是晶体管沟道中载流子的迁移率,  $W$ 、 $L$  分别是晶体管的沟道宽度和长度,  $C_{ox}$  是栅氧化层电容,  $V_{GS}$  是晶体管栅极和源极的电压差,  $V_{TH}$  是阈值电压的值。

[0008] 由于电流关系:  $I_{P1}=I_{P2}$  所以

$$[0009] V_{GS1} - V_{TH1} = V_{GS2} - V_{TH2} \quad (2)$$

[0010] 继而

$$[0011] V_{TH1} - V_{TH2} = V_{GS1} - V_{GS2} = (V_{b1} - V_{DD}) - (V_{b2} - V_{OUT})$$

$$[0012] = V_{OUT} + V_{b1} - V_{b2} - V_{DD} \quad (3)$$

[0013] 其中  $V_{b1}$ 、 $V_{b2}$  分别是待测管和监测管的栅极电压,  $V_{DD}$  是固定的电源电压,  $V_{OUT}$  是电路输出端的电压, 所以,

[0014]  $V_{TH1} - V_{TH2} = V_{OUT} - 700mV$

[0015] 从而待测管的阈值电压的变化等于输出端电压的变化。

[0016] 同理，当待测管为 N 沟道型 MOS 管时的测量电路如图 3 所示。

[0017] 上述技术方案虽然可以简单地监测单个管子的阈值电压的变化，但是对于常用的 MOS 管阵列的阈值电压分布及漂移的监测，现有技术中并没有有效的技术方案。

## 发明内容

[0018] (一) 要解决的技术问题

[0019] 本发明要解决的技术问题是：提供一种能够方便监测 MOS 管阵列的阈值电压分布及漂移，且满足集成化要求的装置及方法。

[0020] (二) 技术方案

[0021] 为解决上述问题，本发明一方面提供了一种 MOS 管阵列的阈值电压分布监测装置，该装置包括行选择器，第一列选择器，第二列选择器和监测管；

[0022] 所述行选择器包括行电平端口，多对相对应的行选端口和行通端口；

[0023] 所述第一列选择器和第二列选择器均包括列电平端口，多对相对应的列选端口和列通端口；

[0024] 所述待测 MOS 管阵列中各行的所有 MOS 管的栅极相连，并连接于所述行选择器的各行通端口；

[0025] 所述待测 MOS 管阵列中各列的所有 MOS 管的源极相连，并连接于所述第一列选择器的各列通端口；

[0026] 所述待测 MOS 管阵列中各列的所有 MOS 管的漏极相连，并连接于所述第二列选择器的各列通端口；

[0027] 所述第二列选择器的列电平端口与监测管的源极相连；所述监测管的漏极与其栅极相连。

[0028] 优选地，当待测 MOS 管阵列为 PMOS 管阵列时，所述行选择器由多个强制高电平传输门组成，所述第一列选择器和第二列选择器均由多个强制低电平传输门组成；当待测 MOS 管阵列为 NMOS 管阵列时，所述行选择器由多个强制低电平传输门组成，所述第一列选择器和第二列选择器均由多个强制高电平传输门组成。

[0029] 更为优选的是，所述强制高电平传输门包括一个 CMOS 传输门和附加 PMOS 管，所述附加 PMOS 管的源极连接高电平，栅极连接 CMOS 传输门的控制端，漏极连接 CMOS 传输门的输出端；所述强制低电平传输门包括一个 CMOS 传输门和附加 NMOS 管，所述附加 NMOS 管的源极接低电平，栅极接 CMOS 传输门的控制端的反相端，漏极接 CMOS 传输门的输出端。

[0030] 优选地，所述监测装置还包括行译码器和列译码器，所述行译码器各输出端口与所述行选择器的各行选端口相连，所述列译码器各输出端口分别与所述第一列选择器和第二列选择器的各列选端口相连。

[0031] 优选地，所述监测装置还包括串并转换单元。

[0032] 优选地，所述监测装置的监测管与待测 MOS 管阵列中的 MOS 管类型相同。且所述监测装置的监测管与待测 MOS 管阵列中的 MOS 管具有相同的宽长比。

[0033] 本发明另一方面提出了一种 MOS 管阵列的阈值电压分布监测方法，包括以下步

骤：

[0034] S1：通过改变第一列选择器的列选端口的电平，使得第一列选择器的列电平端口与其中一个列通端口连通，由于列通端口与待测 MOS 管阵列中的一列内所有 MOS 管的源极相连，使得该列 MOS 管被选中，列电平端口加载的第一电压传输到该列所有 MOS 管的源极上，当待测 MOS 管阵列为 PMOS 管阵列时对其他列的 MOS 管的源极强制加载低电平，当待测 MOS 管阵列为 NMOS 管阵列时对其他列的 MOS 管的源极强制加载高电平；

[0035] S2：同步改变第二列选择器的列选端口的电平，使得第二列选择器的列电平端口与被选中列相应的列通端口连通，由于列通端口与被选中列内所有 MOS 管的漏极相连，第二列选择器的列电平端口与被选中列内所有 MOS 管的漏极相连，又由于第二列选择器的列电平端口与监测管的源极相连，所以监测管的源极与被选中列内所有 MOS 管的漏极相连，当待测 MOS 管阵列为 PMOS 管阵列时对其他列的 MOS 管的漏极强制加载低电平，当待测 MOS 管阵列为 NMOS 管阵列时对其他列的 MOS 管的漏极强制加载高电平；

[0036] S3：通过改变行选择器行选端口的电平，使得行选择器的行电平端口与其中一个行通端口连通，由于行通端口与待测 MOS 管阵列中的一行内的所有 MOS 管的栅极相连，使得该行 MOS 管被选中，行电平端口加载的第二电压传输到该行所有 MOS 管的栅极上，当待测 MOS 管阵列为 PMOS 管阵列时对其他行的 MOS 管的栅极强制加载高电平，当待测 MOS 管阵列为 NMOS 管阵列时对其他行的 MOS 管的栅极强制加载低电平；

[0037] S4：在监测管的栅极加载第三电压，使得通过被选中行和被选中列唯一确定的 MOS 管，即被选中 MOS 管和监测管均处于饱和状态，通过监测第二列选择器的列电平端口与监测管相连处的电压即可监测被选中 MOS 管的阈值电压。

[0038] 优选地，所述方法还包括步骤 S5：通过多次改变行选择器行选端口、第一列选择器列选端口和第二列选择器列选端口的电平，实现对待测 MOS 管阵列中全部或部分 MOS 管的阈值电压分布及漂移的监测。

[0039] 优选地，所述方法在步骤 S1 之前还包括如下步骤：

[0040] S001：通过串并转换单元将串行选择信号转换为行选信号和列选信号。

[0041] S01：通过行译码器和列译码器对行选信号和列选信号进行译码，来改变行选择器的行选端口、第一列选择器和第二列选择器的列选端口的电平，以实现对待测 MOS 管阵列中 MOS 管的选中。

[0042] 本发明又一方面提出了一种测量 MOS 管阵列中单个 MOS 管传输特性曲线的方法，该方法包括以下步骤：

[0043] T1：将监测管的栅极接输出端，输出端接地，使得监测管四端的电平均为地电平，监测管处于不工作的状态；

[0044] T2：通过第一列选择器传输第一电压到被选中的 MOS 管源极，通过行选择器传输第二电压到被选中的 MOS 管的栅极；通过固定第一电压改变第二电压并测量第二列选择器列电平端口输出电流的变化得到 ID-VG 曲线，或者通过固定第二电压改变第一电压并测量第二列选择器列电平端口输出电流的变化得到 ID-VD 曲线。

[0045] (三) 有益效果

[0046] 本发明的监测 MOS 管阵列的阈值电压装置及方法，通过合理的电路设计，使得原本难以监测的 MOS 管阵列阈值电压的分布及漂移能够方便读出，大大缩短测量时间，从而

提高可靠性测试的效率,同时满足集成化的要求,能够实现对大规模 MOS 管阵列的阈值电压分布及漂移的监测,而且节省了测试结构的面积。所述阈值电压分布,即指对于 MOS 管阵列,可以测出每个 MOS 管阈值电压的相对的大小,从而可以得出整个阵列中所有 MOS 管阈值电压的分布,而不是每个 MOS 管具体的电压值。

## 附图说明

- [0047] 图 1 为现有技术的常数电流法测阈值电压的电路结构示意图;
- [0048] 图 2 为本发明的监测 P 沟道型 MOS 管阈值电压漂移的监测装置结构示意图;
- [0049] 图 3 为本发明的监测 N 沟道型 MOS 管阈值电压漂移的监测装置结构示意图;
- [0050] 图 4 为本发明实施例的的 MOS 管阵列的阈值电压分布监测装置的结构示意图;
- [0051] 图 5 为本发明实施例的 MOS 管阵列的阈值电压分布监测装置的电路结构图;
- [0052] 图 6 (a) 为本发明实施例的 MOS 管阵列没有受到应力之前  $dV_{th}$  的分布;
- [0053] 图 6 (b) 为本发明实施例的 MOS 管阵列受到一定应力之后  $dV_{th}$  的分布;
- [0054] 图 6 (c) 为本发明实施例的 MOS 管阵列没有受到应力之前 OUT 端的电压分布;
- [0055] 图 6 (d) 为本发明实施例的 MOS 管阵列受到一定应力之后 OUT 端的电压分布;
- [0056] 图 7 为本发明实施例的 MOS 管阵列阈值电压分布监测方法流程示意图;
- [0057] 图 8 为本发明实施例的测量 MOS 管阵列中单个 MOS 管传输特性曲线的方法流程示意图;
- [0058] 图 9 为本发明实施例的强制高电平传输门的结构示意图;
- [0059] 图 10 为本发明实施例的强制低电平传输门的结构示意图。

## 具体实施方式

- [0060] 下面结合附图及实施例对本发明进行详细说明如下。
- [0061] 如图 4 和图 5 所示,本发明的 MOS 管阵列的阈值电压分布监测装置,该装置包括行选择器,第一列选择器,第二列选择器和监测管;
- [0062] 所述行选择器包括行电平端口,多对相对应的行选端口和行通端口;
- [0063] 所述第一列选择器和第二列选择器均包括列电平端口,多对相对应的列选端口和列通端口;
- [0064] 所述待测 MOS 管阵列中各行的所有 MOS 管的栅极相连,并连接于所述行选择器的各行通端口;
- [0065] 所述待测 MOS 管阵列中各列的所有 MOS 管的源极相连,并连接于所述第一列选择器的各列通端口;
- [0066] 所述待测 MOS 管阵列中各列的所有 MOS 管的漏极相连,并连接于所述第二列选择器的各列通端口;
- [0067] 所述第二列选择器的列电平端口与监测管的源极相连;所述监测管的漏极与其栅极相连。
- [0068] 待测 MOS 管阵列是我们需要监测的 MOS 管组成的阵列,监测管为单独的 MOS 管。
- [0069] 待测 MOS 管阵列一般为 PMOS 管阵列或者 NMOS 管阵列,当待测 MOS 管阵列为 PMOS 管阵列时,为了保证 PMOS 管在未选中时严格地关闭,需要未选中的 PMOS 管栅极处于高电

平,源极和漏极处于低电平,因此,所述行选择器由多个强制高电平传输门组成,所述第一列选择器和第二列选择器均由多个强制低电平传输门组成。反之,当待测 MOS 管阵列为 NMOS 管阵列时,为了保证 NMOS 管在未选中时严格地关闭,所述行选择器由多个强制低电平传输门组成,所述第一列选择器和第二列选择器均由多个强制高电平传输门组成。

[0070] 在本发明的一个实施例中,如图 9 所示,所述强制高电平传输门包括一个 CMOS 传输门和附加 PMOS 管 PM1,所述 CMOS 传输门包括 PMOS 管 PM0 和 NMOS 管 NM0,vdd 为高电平,gnd 为低电平,in 为输入端,out 为输出端,R 为控制端,R- 为控制端的反相端,所述附加 PMOS 管 PM1 的源极连接高电平 vdd,栅极连接 CMOS 传输门的控制端 R,漏极连接 CMOS 传输门的输出端 out。此电路下,当强制高电平传输门未选中,即控制端 R 为低电平时,PM1 开启,out 端强制加载高电平 vdd;当强制高电平传输门选中,即控制端 R 为高电平时,PM1 关闭,CMOS 传输门开启,out 端与 in 端连通。所述 in 端即可作为附图 5 中 TG2 的 IN 端口,所述 R 端即可作为附图 5 中 TG2 的 X0-X7 中的任一端口,所述 out 端即可为附图 5 中 TG2 的 Y0-Y7 端口的任一相应端口。

[0071] 在本发明的一个实施例中,如图 10 所示,所述强制低电平传输门包括一个 CMOS 传输门和附加 NMOS 管 NM2,所述 CMOS 传输门包括 PMOS 管 PM0 和 NMOS 管 NM0,vdd 为高电平,gnd 为低电平,in 为输入端,out 为输出端,R 为控制端,R- 为控制端的反相端,所述附加 NMOS 管 PM1 的源极接低电平 gnd,栅极接 CMOS 传输门的控制端的反相端 R-,漏极接 CMOS 传输门的输出端 out。此电路下,当强制低电平传输门未选中,即控制端 R 为低电平时,NM2 开启,out 端强制加载低电平 gnd;当强制低电平传输门选中,即控制端 R 为高电平时,NM2 关闭,CMOS 传输门开启,out 端与 in 端连通。所述 in 端即可作为附图 5 中 TG3 的 IN 端口,所述 R 端即可作为附图 5 中 TG3 的 X0-X7 中的任一端口,所述 out 端即可为附图 5 中 TG3 的 Y0-Y7 中的任一相应端口。

[0072] 为了实现更好的端口扩展,如图 4 所示,所述监测装置还包括行译码器和列译码器,所述行译码器各输出端口与所述行选择器的各行选端口相连,所述列译码器各输出端口分别与所述第一列选择器和第二列选择器的各列选端口相连。

[0073] 为了可以通过串行信号来控制待测 MOS 管阵列中 MOS 管的选定,所述监测装置还包括串并转换单元。

[0074] 在本发明的一个实施例中,所述监测装置的监测管与待测 MOS 管阵列中的 MOS 管类型相同,且具有相同的宽长比,是标准阈值电压的参考值,此时对待测 MOS 管阵列的监测更加精准。

[0075] 如图 7 所示,利用上述监测装置对 MOS 管阵列的阈值电压分布监测方法可以包括以下步骤:

[0076] S1:通过改变第一列选择器的列选端口的电平,使得第一列选择器的列电平端口与其中一个列通端口连通,由于列通端口与待测 MOS 管阵列中的一列内所有 MOS 管的源极相连,使得该列 MOS 管被选中,列电平端口加载的第一电压传输到该列所有 MOS 管的源极上,当待测 MOS 管阵列为 PMOS 管阵列时对其他列的 MOS 管的源极强制加载低电平,当待测 MOS 管阵列为 NMOS 管阵列时对其他列的 MOS 管的源极强制加载高电平;

[0077] S2:同步改变第二列选择器的列选端口的电平,使得第二列选择器的列电平端口与被选中列相应的列通端口连通,由于列通端口与被选中列内所有 MOS 管的漏极相连,所

以第二列选择器的列电平端口与被选中列内所有 MOS 管的漏极相连，又由于第二列选择器的列电平端口与监测管的源极相连，所以监测管的源极与被选中列内所有 MOS 管的漏极相连，当待测 MOS 管阵列为 PMOS 管阵列时对其他列的 MOS 管的漏极强制加载低电平，当待测 MOS 管阵列为 NMOS 管阵列时对其他列的 MOS 管的漏极强制加载高电平；

[0078] S3：通过改变行选择器行选端口的电平，使得行选择器的行电平端口与其中一个行通端口连通，由于行通端口与待测 MOS 管阵列中的一行内的所有 MOS 管的栅极相连，使得该行 MOS 管被选中，行电平端口加载的第二电压传输到该行所有 MOS 管的栅极上，当待测 MOS 管阵列为 PMOS 管阵列时对其他行的 MOS 管的栅极强制加载高电平，当待测 MOS 管阵列为 NMOS 管阵列时对其他行的 MOS 管的栅极强制加载低电平；

[0079] S4：在监测管的栅极加载第三电压，使得通过被选中行和被选中列唯一确定的 MOS 管，即被选中 MOS 管和监测管均处于饱和状态，通过监测第二列选择器的列电平端口与监测管相连处的电压即可监测被选中 MOS 管的阈值电压；

[0080] S5：通过多次改变行选择器行选端口、第一列选择器列选端口和第二列选择器列选端口的电平，实现对待测 MOS 管阵列中全部或部分 MOS 管的阈值电压分布及漂移的监测。

[0081] 为了实现更好的端口扩展，使得可以用较少的端口监测更大规模的 MOS 管阵列，所述方法还可以包括步骤 S01：通过行译码器和列译码器对行选信号和列选信号进行译码，来改变行选择器的行选端口、第一列选择器和第二列选择器的列选端口的电平，以实现对待测 MOS 管阵列中 MOS 管的选中。

[0082] 为了可以通过串口来控制待测 MOS 管阵列中 MOS 管的选定，所述方法还可以包括步骤 S001：通过串并转换单元将串行选择信号转换为行选信号和列选信号。

[0083] 上述第一电压、第二电压、第三电压的取值根据待测 MOS 管阵列中 MOS 管的不同可以采用不同的取值，能够使被选中的 MOS 管和监测管同时处于饱和状态即可。

[0084] 如图 5 所示，本发明的一个实施例的 MOS 管阵列的阈值电压分布监测装置的电路结构如图 5 所示：

[0085] 该电路有六个输入端口：VDD、GND、Vb1、Vb0、D、CP，存在三个输出监测端口：Q6、Q7、OUT，具体的配置如下，VDD 加载第一电压 1.2V，GND 加载地信号，Vb1 加载 700mV 第二电压。Vb0 加载 200mV 第三电压，第一电压、第二电压、第三电压之间的差值均为 500mv，以使得被选中的 MOS 管和监测管同时处于饱和状态。D 是串行的选择信号，CP 是对应的时钟信号。

[0086] P12\_8x8\_2 是 90nm 下的 8x8 待测 PMOS 管阵列，每行的 PMOS 管栅极相连，以便进行行选控制，每列的源级和漏极分别相连，以便进行列选控制。第一列选择器和第二列选择器均为 TG3，TG3 包括列电平端口 IN，列选端口 X0-X7，列通端口 Y0-Y7，第一列选择器传输第一电压 VDD 到被选中的 MOS 管的源极，其他列的 MOS 管源极强制加载低电平 GND；第二列选择器传输被选中的 MOS 管的漏极电压到 OUT 输出端，并与监测管的源极相连，其他列的 MOS 管漏极强制加载低电平 GND；TG2 是行选择器，TG2 包括行电平端口 IN，行选端口 X0-X7，行通端口 Y0-Y7，TG2 传输第二电压 Vb1 到被选中的 MOS 管的栅极，其他行的 MOS 管栅极将强制加载高电平 VDD，以保证未被选中 MOS 管处于强制关闭的状态。

[0087] 行译码器和列译码器均可选用 DC74x138，将 3 位的行选和列选信号转化为 8 端口的控制信号，本电路可以只有一个列译码器，同时控制第一列选择器和第二列选择器，这里

为了方便说明选用了两个列译码器。DC74x138 是基于与非门的典型 3-8 译码器,而与非门,为了保证其良好的导通性,我们采用 CMOS 工艺的与非门,与此同时考虑到减少输入端口的需要,我们去掉了传统 DC74x138 电路附带的使能信号。STOP\_ALL 是由 D 触发器构成的串并转换单元,在时钟信号 CP 的控制下,将串行 D 信号并行转换成行选信号和列选信号,同时留出了两个输出端口 Q6、Q7 用于监测输出电平的正确性。

[0088] 由于待测 MOS 管阵列为 PMOS 管阵列,为了保证 PMOS 管在未选中时严格地关闭,需要未选中的 PMOS 管栅极处于高电平,源极和漏极处于低电平,因此,所述行选择器 TG2 由 8 个强制高电平传输门组成,所述第一列选择器 TG3 和第二列选择器 TG3 均由 8 个强制低电平传输门组成,这样可以极大地减少漏电流,减少传输门在悬空情况下带来的不必要的器件退化效应。其中的强制高电平传输门和强制低电平传输门如图 9 和图 10 所示。

[0089] 有了上述待测 PMOS 管阵列、行列选择器、3-8 译码器、监测管,就可以方便地测量 MOSFET 阈值电压分布的测试阵列结构,但考虑到行列的选中信号各有三个端口,为了减少输入端口,所以我们引入了串并转换单元。具体来说,考虑到工艺的一致性,我们采用的是 CMOS 传输门和 CMOS 反相器构成的 D 触发器结构作为基本单元,通过 D 触发器构成延时电路,实现输入信号的串并转换,再通过由 D 触发器构成的 8 分频电路进行截取,从而得到稳定的行选列选信号。

[0090] 在上述的条件下,被选中的 MOS 管的阈值电压的变化将会从 OUT 端电压的变化所反映出来。同一电压配置下,通过改变 D 端口的输入,可以直接读出 MOS 管阵列的阈值电压的分布,有效地提高了测试效率。

[0091] 图 6 (a)、(b)、(c)、(d) 表明了本发明实施例的监测装置在一定的应力前后,待测 PMOS 管阵列阈值电压的变化情况,以及在 OUT 端电压的变化情况。

[0092] 通过将监测管关闭,合理的配置电平,本监测装置还可以逐个扫描待测 MOS 管阵列中单个 MOS 管的传输特性曲线,从而逐个得出 MOS 管的阈值电压等特性,可以直接验证 OUT 端对阈值电压的预测结果。如图 8 所示,该方法包括以下步骤:

[0093] T1 : 将监测管的栅极接输出端,输出端接地,使得监测管四端的电平均为地电平,监测管处于不工作的状态;

[0094] T2 : 通过第一列选择器传输第一电压到被选中的 MOS 管源极,通过行选择器传输第二电压到被选中的 MOS 管的栅极,通过固定第一电压改变第二电压并测量输出端电流的变化得到 ID-VG 曲线;或者通过固定第二电压改变第一电压并测量输出端电流的变化得到 ID-VD 曲线。

[0095] 同样以 SMIC90nm 下的 1.2V 的工艺为例,监测管的栅极接输出端,输出端接地,这样监测管的四端的电平相等,都等于 0V,从而其处于不工作的状态,剩余的部分是可以选中任何一个待测 MOS 管的阵列,如果对被选中的待测 MOS 管,测 ID-VG 曲线,只需要改变行选电压,即第二电压,测输出端电流的变化即可,输出端电流的变化,即被选中 MOS 管的漏端电流的变化,由于 MOS 管源端电流和漏端电流的绝对值相等,所以,我们可以扫描得出被选中 MOS 管的漏端电流随栅极电压的变化。同样的,也可以固定栅极电压,即第二电压,改变列输入电压,即第一电压,从而进行漏端电压的扫描,得到 ID-VD 曲线。所以,本阵列可以还原到扫描状态测各个待测管的实际参数。

[0096] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通

技术人员，在不脱离本发明的精神和范围的情况下，还可以做出各种变化和变型，因此所有等同的技术方案也属于本发明的范畴，本发明的专利保护范围应由权利要求限定。

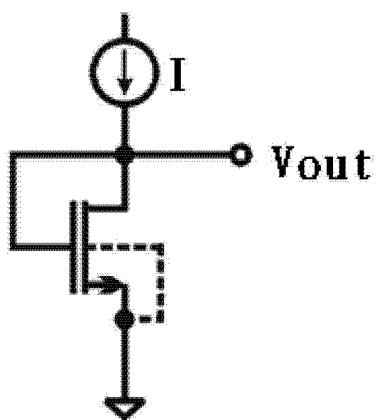


图 1

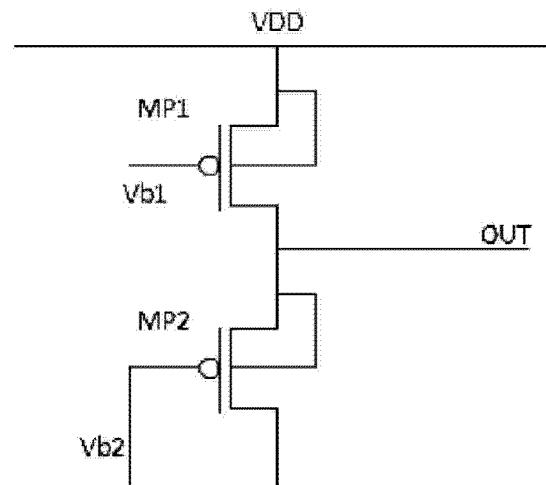


图 2

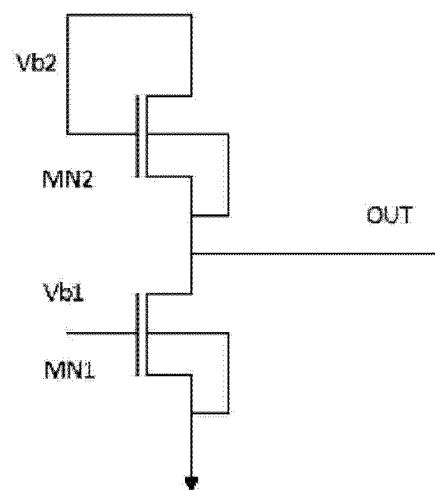


图 3

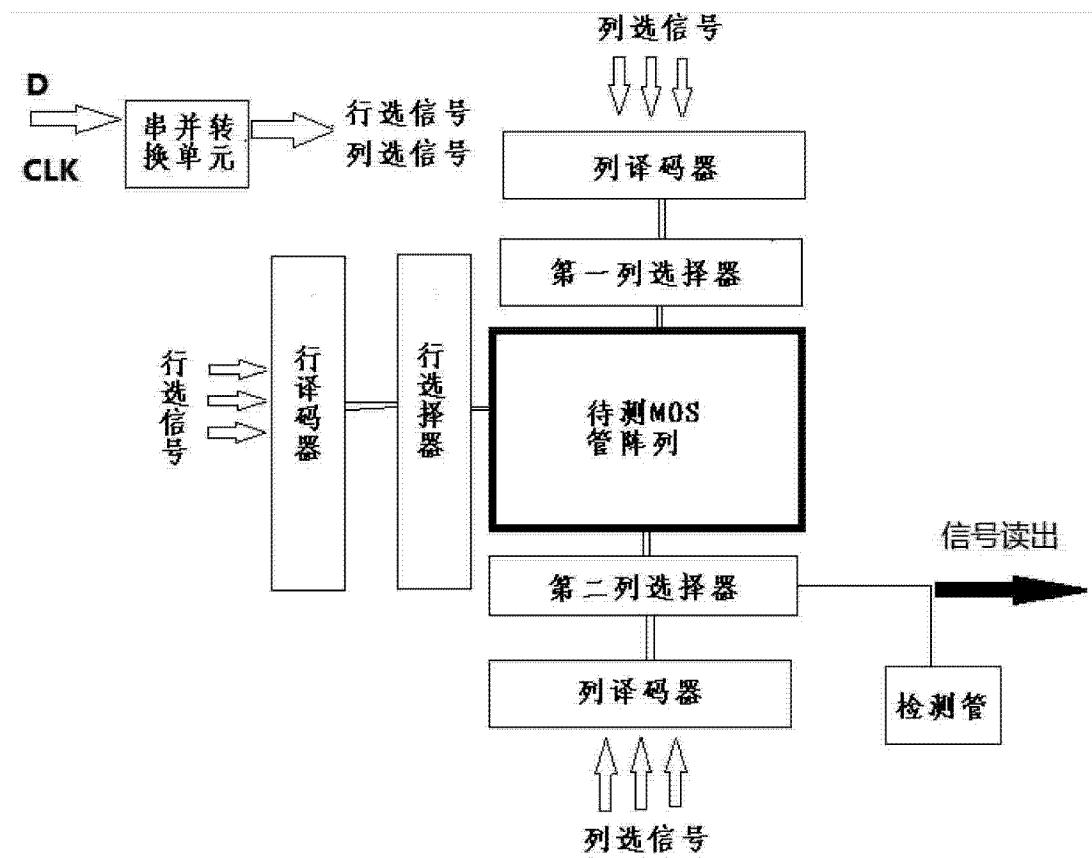


图 4

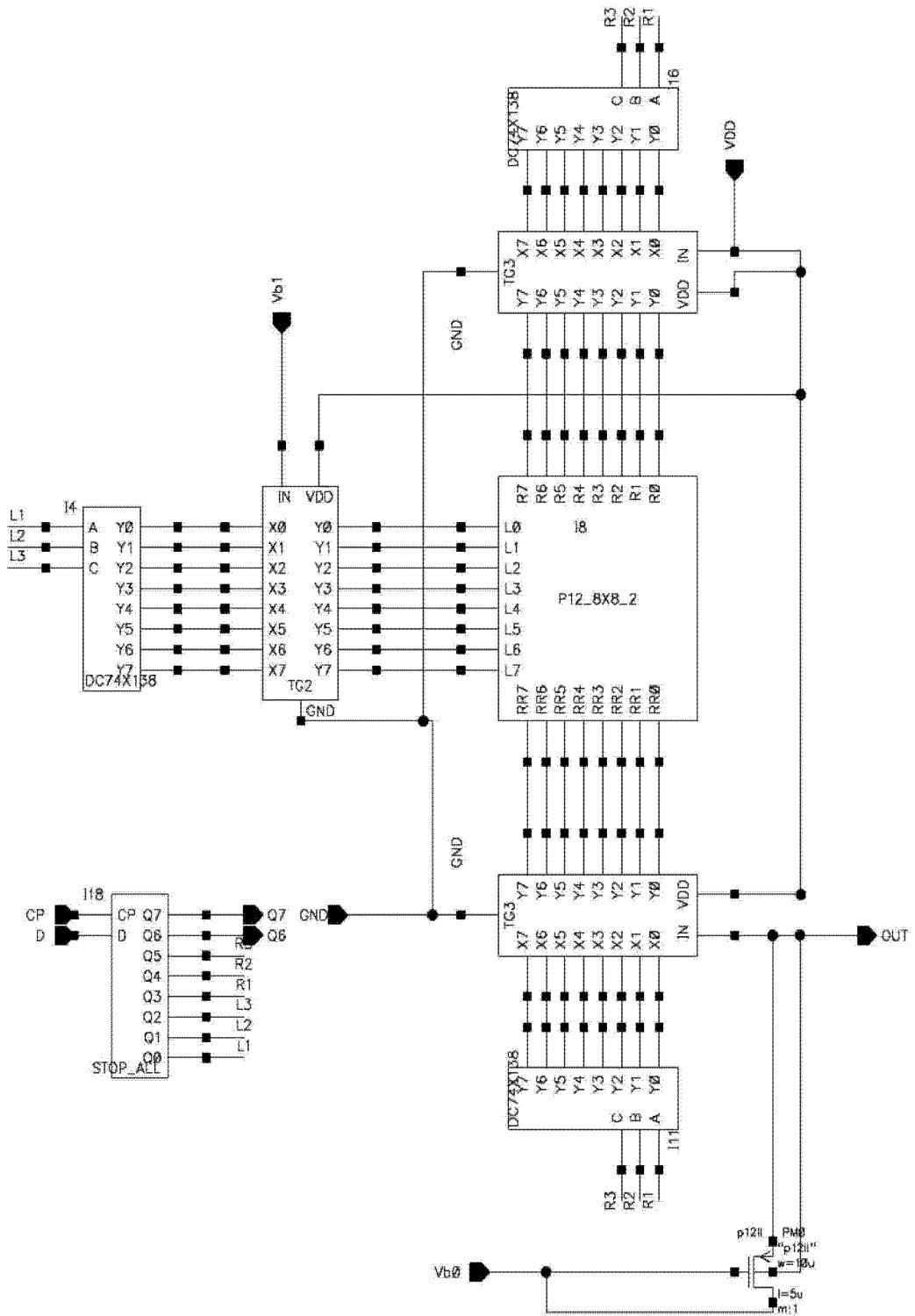


图 5

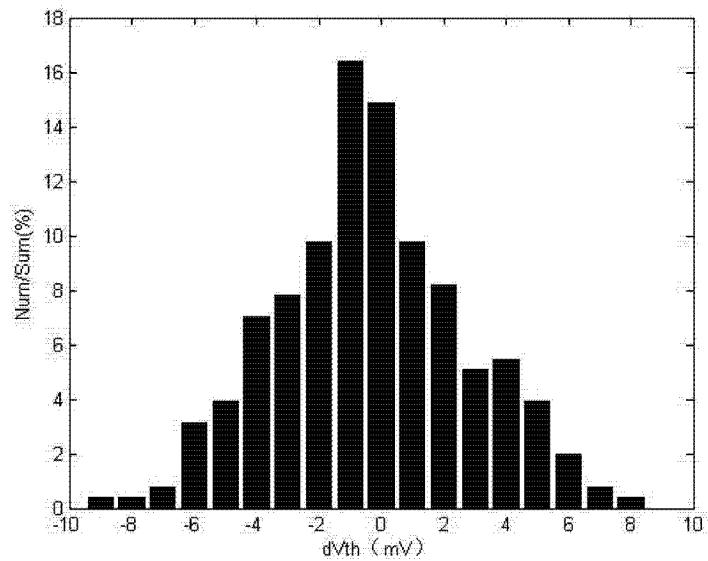


图 6 (a)

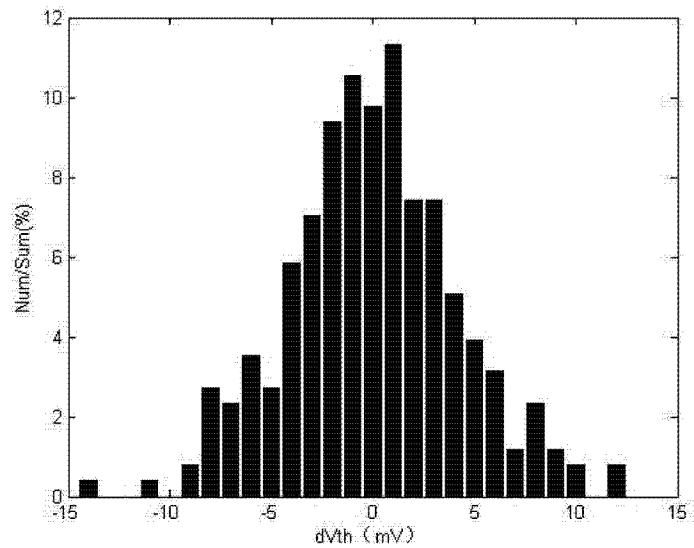


图 6 (b)

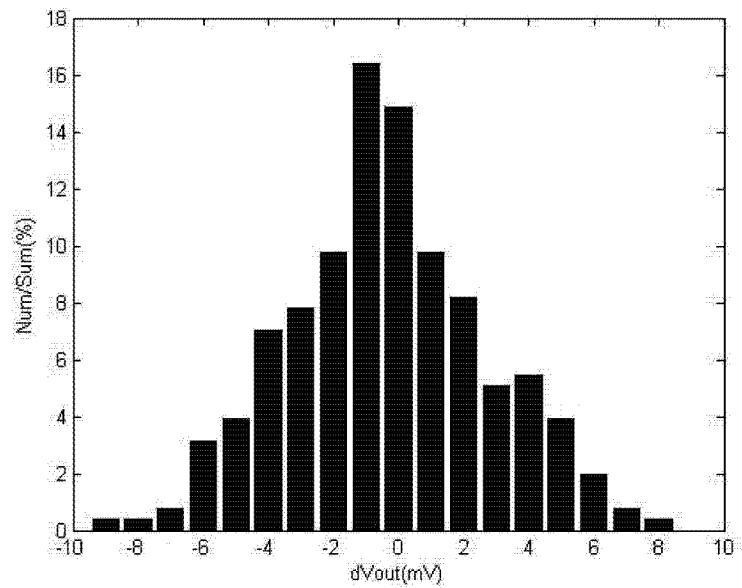


图 6 (c)

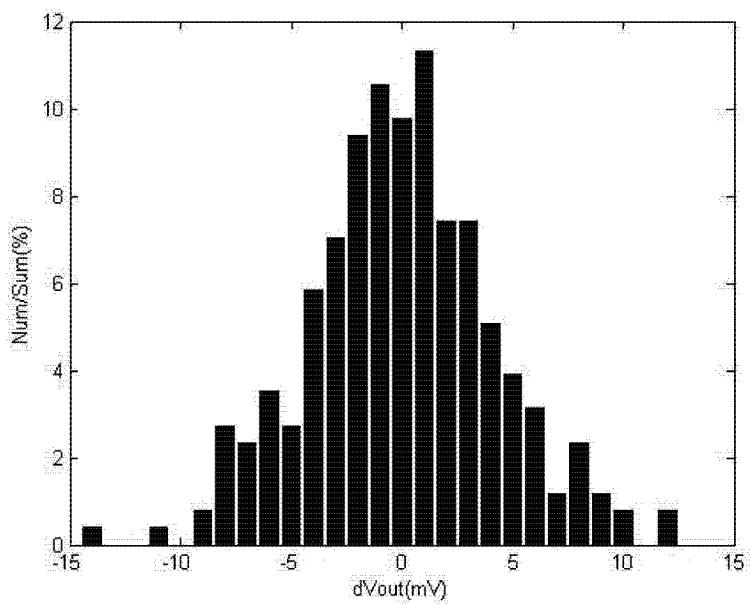


图 6 (d)

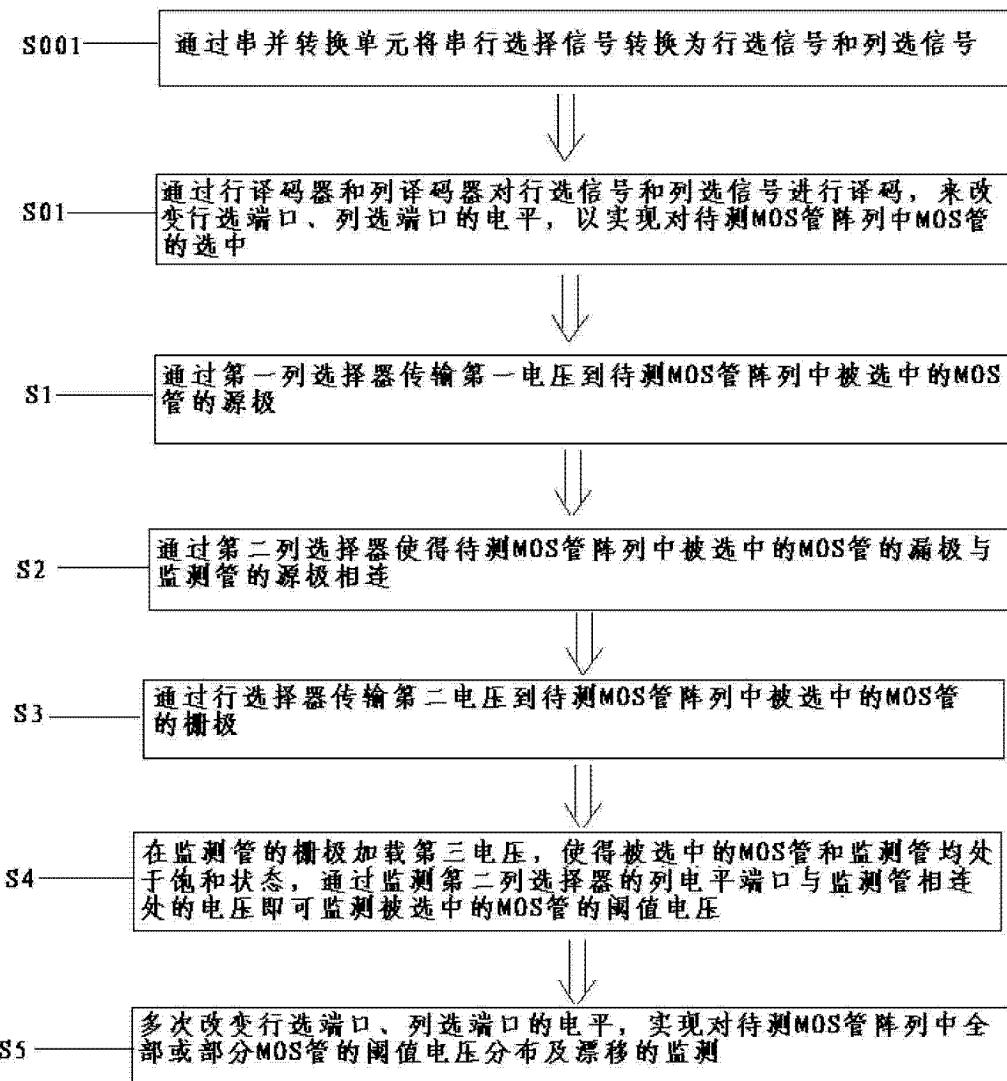


图 7

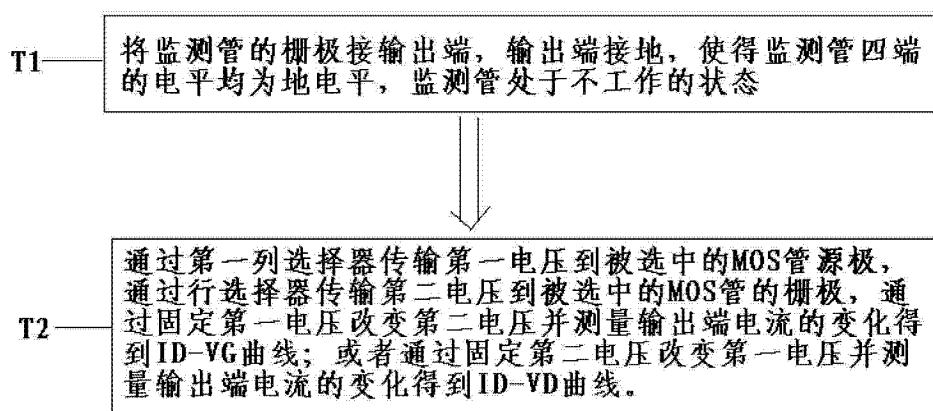


图 8

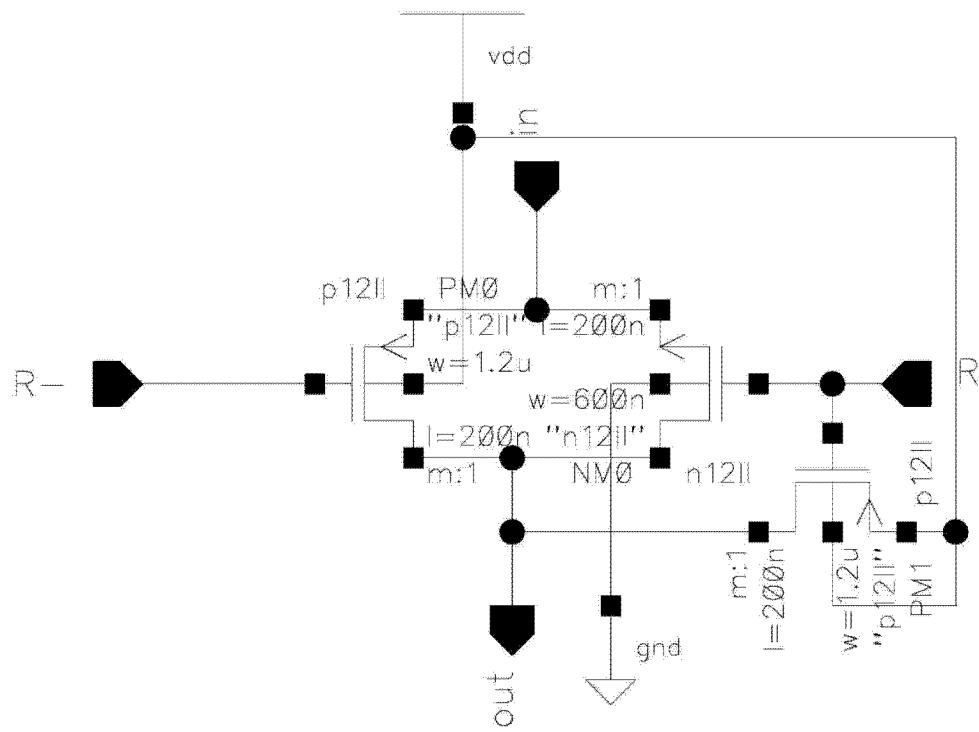


图 9

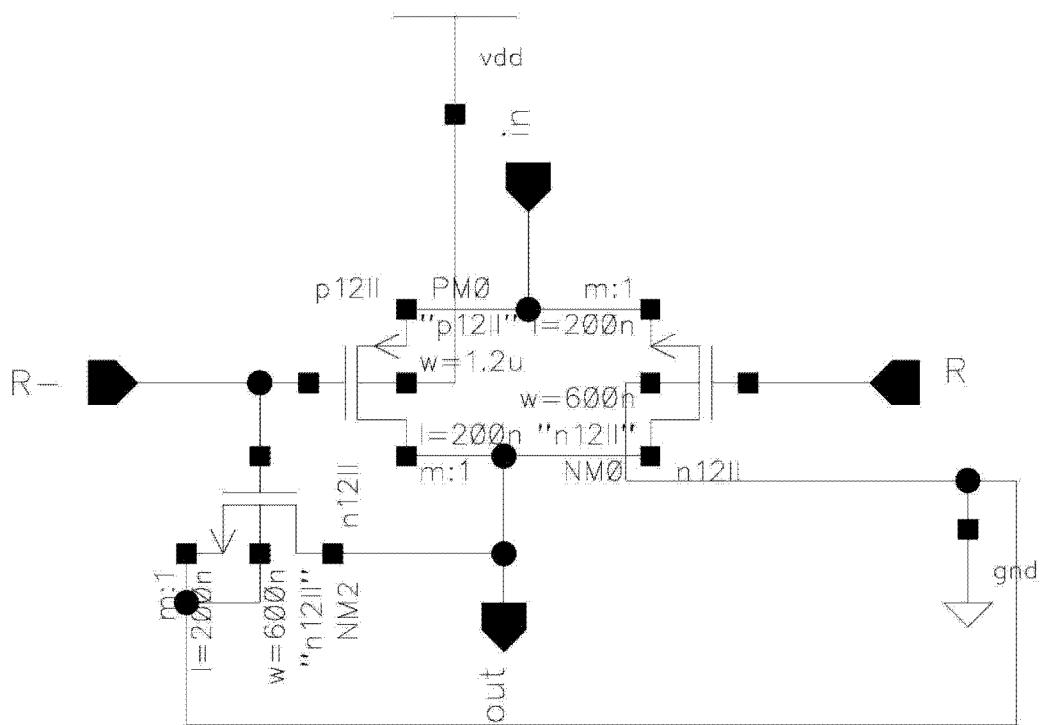


图 10