

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月3日(03.03.2022)



(10) 国際公開番号

WO 2022/044808 A1

(51) 国際特許分類:

H04N 5/369 (2011.01) H04N 5/378 (2011.01)
H04N 5/3745 (2011.01) H04N 1/03 (2006.01)

神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2021/029635

(22) 国際出願日: 2021年8月11日(11.08.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-143006 2020年8月26日(26.08.2020) JP

(72) 発明者: 松本 功 (MATSUMOTO, Isao);
〒2430014 神奈川県厚木市旭町四丁目14
番1号 ソニーセミコンダクタソリューシ
ョンズ株式会社内 Kanagawa (JP).

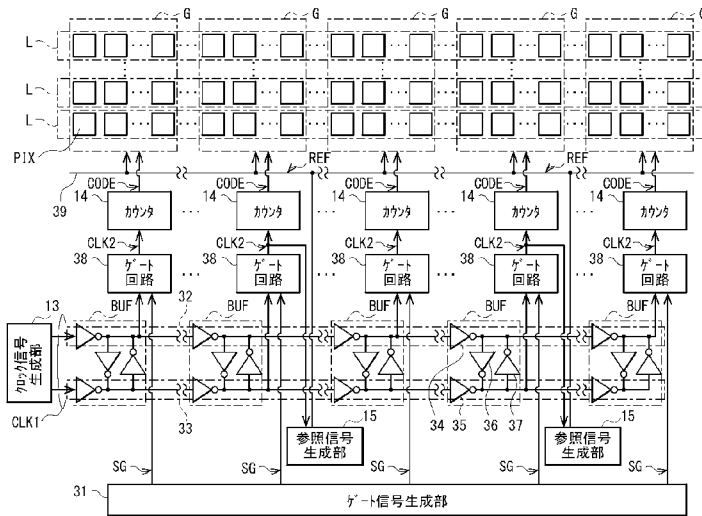
(74) 代理人: 特許業務法人つばさ国際特許
事務所 (TSUBASA PATENT PROFESSIONAL
CORPORATION); 〒1600022 東京都新宿
区新宿1丁目15番9号さわだビ
ル3階 Tokyo (JP).

(71) 出願人: ソニーセミコンダクタソリューシ
ョンズ株式会社 (SONY SEMICONDUCTOR SO-
LUTIONS CORPORATION) [JP/JP]; 〒2430014

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: IMAGE CAPTURING DEVICE

(54) 発明の名称: 撮像装置



- 13 Clock signal generating unit
- 14 Counter
- 15 Reference signal generating unit
- 31 Gate signal generating unit
- 38 Gate circuit

(57) Abstract: An image capturing device according to the present disclosure is provided with: a clock signal generating unit for supplying a first clock signal to a clock signal pathway; a plurality of light receiving pixels which are arranged side by side in a first direction, are grouped into a plurality of pixel groups in the first direction, and each of which includes a light receiving circuit, a comparison circuit for performing a comparison operation on the basis of a pixel signal and a reference signal having a ramp waveform, and a latch circuit for latching a time code on the basis of the comparison result; a plurality of gate circuits, each of which is capable of outputting the signal that is on the clock signal pathway as a second clock signal, and controls whether to output the second clock signal on the basis of a control signal; and a plurality of counters, each of which generates a time code on the basis of the second clock signal supplied from the corresponding gate circuit, and supplies the generated time code to two or more light receiving pixels belonging to the corresponding pixel group.

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の撮像装置は、第1のクロック信号をクロック信号経路に供給するクロック信号生成部と、第1の方向に並設され、第1の方向において複数の画素グループにグループ分けされ、それぞれが、受光回路と、画素信号およびランプ波形を有する参照信号に基づいて比較動作を行う比較回路と、比較結果に基づいて時刻コードをラッチするラッチ回路とを有する複数の受光画素と、それぞれが、クロック信号経路における信号を第2のクロック信号として出力することが可能であり、制御信号に基づいて第2のクロック信号を出力するかどうかを制御する複数のゲート回路と、それぞれが、対応するゲート回路から供給された第2のクロック信号に基づいて時刻コードを生成し、生成した時刻コードを対応する画素グループに属する2以上の受光画素に供給する複数のカウンタとを備える。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本開示は、被写体を撮像する撮像装置に関する。

背景技術

[0002] 撮像装置では、しばしば、画素が受光量に応じた画素信号を生成し、A D (Analog to Digital) 変換回路がその画素信号をデジタルコードに変換する。例えば、特許文献1には、各画素がA D変換を行う撮像装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2016／136448号

発明の概要

[0004] ところで、撮像装置には、例えば、1または複数の画素ラインを有するラインセンサがある。ラインセンサでは、高速動作が望まれる場合がある。

[0005] 高速動作を行うことができる撮像装置を提供することが望ましい。

[0006] 本開示の一実施の形態における撮像装置は、クロック信号生成部と、複数の受光画素と、複数のゲート回路と、複数のカウンタとを備えている。クロック信号生成部は、第1のクロック信号を生成し、第1のクロック信号をクロック信号経路に供給するように構成される。複数の受光画素は、第1の方向に並設され、第1の方向において複数の画素グループにグループ分けされ、それぞれが、受光回路と、比較回路と、ラッチ回路とを有する。受光回路は、受光量に応じた画素信号を生成するように構成される。比較回路は、画素信号およびランプ波形を有する参照信号に基づいて比較動作を行うように構成される。ラッチ回路は、比較回路の比較結果に基づいて時刻コードをラッチするように構成される。複数のゲート回路は、第1の方向に並設され、複数の画素グループにそれぞれ対応して設けられ、それぞれが、クロック信

号経路における信号を第2のクロック信号として出力することが可能であり、制御信号に基づいて第2のクロック信号を出力するかどうかを制御するように構成される。複数のカウンタは、第1の方向に並設され、複数のゲート回路にそれぞれ対応して設けられ、それぞれが、複数のゲート回路のうちの対応するゲート回路から供給された第2のクロック信号に基づいて時刻コードを生成し、生成した時刻コードを、複数の画素グループのうちの対応する画素グループに属する2以上の受光画素に供給するように構成される。

[0007] 本開示の一実施の形態における撮像装置では、第1のクロック信号がクロック信号経路に供給され、複数のゲート回路において、このクロック信号経路における信号が第2のクロック信号として出力される。ゲート回路では、制御信号に基づいて、第2のクロック信号を出力するかどうかを制御される。複数のカウンタでは、対応するゲート回路から供給された第2のクロック信号に基づいて時刻コードが生成される。そして、生成された時刻コードが、対応する画素グループに属する2以上の受光画素に供給される。受光画素では、受光量に応じた画素信号が生成され、画素信号および参照信号に基づいて比較動作が行われ、その比較結果に基づいて時刻コードがラッチされる。

図面の簡単な説明

[0008] [図1]本開示の実施の形態に係る撮像装置を備えた検査システムの一構成例を表す説明図である。

[図2]図1に示した撮像装置の一構成例を表すブロック図である。

[図3]図1に示した撮像装置の一実装例を表す説明図である。

[図4]図2に示した受光画素の一構成例を表す回路図である。

[図5]図1に示した撮像装置における、時刻コードおよび参照信号に係る回路部分の一構成例を表すブロック図である。

[図6]図5に示した参照信号生成部と信号配線との接続例を表す説明図である。

[図7]図2に示した撮像装置におけるTDI処理の一例を表す説明図である。

[図8]図2に示した撮像装置における回路レイアウトの一例を表す説明図である。

[図9]図2に示した撮像装置の一動作例を表すタイミング波形図である。

[図10]図5に示したゲート回路の一動作例を表すタイミング波形図である。

[図11]比較例に係る撮像装置における、時刻コードおよび参照信号に係る回路部分の一構成例を表すブロック図である。

[図12]図11に示した撮像装置の一動作例を表すタイミング波形図である。

[図13]変形例に係る撮像装置における、時刻コードおよび参照信号に係る回路部分の一構成例を表すブロック図である。

[図14]他の変形例に係る撮像装置における、時刻コードおよび参照信号に係る回路部分の一構成例を表すブロック図である。

[図15]他の変形例に係る撮像装置における、時刻コードおよび参照信号に係る回路部分の一構成例を表すブロック図である。

[図16]他の変形例に係る、参照信号生成部と信号配線との接続例を表す説明図である。

[図17]他の変形例に係る撮像装置における回路レイアウトの一例を表す説明図である。

発明を実施するための形態

[0009] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。

[0010] <実施の形態>

[構成例]

図1は、一実施の形態に係る撮像装置（撮像装置1）を用いた検査システム90の一構成例を表すものである。検査システム90は、例えば、ベルトコンベアにより搬送される工業生産品を撮像し、得られた画像を利用して工業生産品の検査を行うように構成される。検査システム90は、ベルトコンベア91と、搬送制御部92と、レンズ系93と、撮像装置1と、検査処理部94とを備えている。

[0011] ベルトコンベア91は、検査の対象である工業生産品を搬送方向Fに沿っ

て搬送するように構成される。この工業生産品は、撮像装置 1 により撮像される被写体 9 である。

[0012] 搬送制御部 9 2 は、このベルトコンベア 9 1 における搬送動作を制御するように構成される。また、搬送制御部 9 2 は、ベルトコンベア 9 1 の搬送速度に応じた同期信号 S Y N C を生成する。この同期信号 S Y N C は、搬送速度に応じた時間間隔で配置された複数のパルスを含む。このパルスのピッチは、この例では、後述するように、撮像装置 1 の撮像面 S において被写体 9 の像が 1 つの画素ライン L だけ進行する時間と同じ時間である。搬送制御部 9 2 は、このような同期信号 S Y N C を撮像装置 1 に供給するようになっている。

[0013] レンズ系 9 3 は、被写体 9 の像を撮像装置 1 の撮像面 S に導くように構成される。レンズ系 9 3 は、この例ではケプラー式のシステムである。

[0014] 撮像装置 1 は、ラインセンサであり、ベルトコンベア 9 1 により搬送される被写体 9 を、レンズ系 9 3 を介して撮像するように構成される。この例では、レンズ系 9 3 はケプラー式のシステムであるので、撮像装置 1 の撮像面 S では、図 1 に示したように、搬送方向 F とは反対の方向に被写体 9 が移動する。撮像装置 1 は、同期信号 S Y N C に含まれる複数のパルスのそれぞれに応じて撮像動作を行う。撮像装置 1 は、複数の画素ライン L を有している。撮像装置 1 は、同期信号 S Y N C に基づいて、この例では、撮像面 S において被写体 9 の像が 1 つの画素ライン L だけ進行する度に撮像動作を行う。そして、撮像装置 1 は、撮像結果を示す画像データ D T を検査処理部 9 4 に供給するようになっている。

[0015] 検査処理部 9 4 は、撮像装置 1 から供給された画像データ D T に基づいて、工業生産品（被写体 9）を検査するように構成される。

[0016] 図 2 は、撮像装置 1 の一構成例を表すものである。撮像装置 1 は、画素アレイ 1 1 と、画素駆動部 1 2 と、クロック信号生成部 1 3 と、複数のカウンタ 1 4 と、2 つの参照信号生成部 1 5 と、信号処理部 1 6 と、タイミング制御部 1 7 とを備えている。

[0017] 画素アレイ 11 は、マトリクス状に配置された複数の受光画素 P1X を有している。複数の受光画素 P1X は、複数の画素ライン L に区分される。この図 2 では、画素ライン L は、横方向に延伸し、縦方向に並設される。画素ライン L の延伸方向における長さは、例えば、数センチメートルにすることができる。画素ライン L の並設方向（縦方向）は、被写体 9 の像が移動する方向である。複数の画素ライン L のそれぞれは、所定数の受光画素 P1X を含む。受光画素 P1X は、蓄積期間において受光量に応じた電荷を蓄積する蓄積動作を行い、その蓄積期間において蓄積された電荷に応じたアナログ信号をデジタル値に変換する AD（Analog to Digital）変換動作を行うように構成される。受光画素 P1X は、2 枚の半導体基板にわたって配置される。

[0018] 図 3 は、撮像装置 1 の一実装例を表すものである。撮像装置 1 は、この例では、2 枚の半導体基板 101、102 に形成される。半導体基板 101 は、撮像装置 1 における撮像面側に配置され、半導体基板 102 は、撮像装置 1 の撮像面側とは反対側に配置される。半導体基板 101、102 は互いに重ね合わされる。半導体基板 101 の配線と、半導体基板 102 の配線とは、配線 103 により接続される。配線 103 は、例えば Cu-Cu などの金属結合などを用いることができる。受光画素 P1X は、これらの 2 枚の半導体基板 101、102 にわたって配置される。

[0019] 図 4 は、受光画素 P1X の一構成例を表すものである。受光画素 P1X は、受光回路 21 と、比較回路 22 と、ラッチ 23 とを有している。

[0020] 受光回路 21 は、受光量に応じた画素電圧 V_{pix} を含む画素信号 SIG を生成するように構成される。受光回路 21 は、半導体基板 101 に配置される。受光回路 21 は、フォトダイオード PD と、排出トランジスタ MN1 と、転送トランジスタ MN2 と、フローティングディフュージョン FD と、リセットトランジスタ MN3 とを有している。排出トランジスタ MN1、転送トランジスタ MN2、およびリセットトランジスタ MN3 は、N 型の MOS（Metal Oxide Semiconductor）トランジスタである。

[0021] フォトダイオード PD は、受光量に応じた量の電荷を生成して内部に蓄積

する光電変換素子である。フォトダイオードPDのアノードは接地され、カソードは排出トランジスタMN1のソースおよび転送トランジスタMN2のソースに接続される。

[0022] 排出トランジスタMN1のゲートには画素駆動部12（図2）から供給された制御信号OFGが供給され、ドレインには電圧VOFGが供給され、ソースはフォトダイオードPDのカソードおよび転送トランジスタMN2のソースに接続される。

[0023] 転送トランジスタMN2のゲートには画素駆動部12（図2）から供給された制御信号TXが供給され、ソースはフォトダイオードPDのカソードおよび排出トランジスタMN1のソースに接続され、ドレインはフローティングディフュージョンFD、リセットトランジスタMN3のソース、および比較回路22におけるトランジスタMN4（後述）のゲートに接続される。

[0024] フローティングディフュージョンFDは、フォトダイオードPDから転送された電荷を蓄積するように構成される。フローティングディフュージョンFDは、例えば、半導体基板101の表面に形成された拡散層を用いて構成される。図4は、フローティングディフュージョンFDを、容量素子のシンボルを用いて示している。

[0025] リセットトランジスタMN3のゲートには画素駆動部12（図2）から供給された制御信号RSTが供給され、ドレインは比較回路22のトランジスタMN4（後述）のドレインに接続され、ソースはフローティングディフュージョンFD、転送トランジスタMN2のドレイン、および比較回路22のトランジスタMN4（後述）のゲートに接続される。

[0026] この構成により、受光回路21では、制御信号OFGに基づいて、排出トランジスタMN1がオン状態になることにより、フォトダイオードPDに蓄積された電荷が排出される。そして、排出トランジスタMN1がオフ状態になることにより、蓄積期間が開始され、フォトダイオードPDに、受光量に応じた量の電荷が蓄積される。そして、蓄積期間が終了した後に、受光回路21は、リセット電圧Vresetおよび画素電圧Vpixを含む画素信号SIGを

比較回路 22 に対して供給する。具体的には、受光回路 21 は、後述するように、フローティングディフュージョン FD の電圧がリセットされた後の P 相 (Pre-charge 相) 期間 TP において、その時のフローティングディフュージョン FD の電圧をリセット電圧 V_{reset} として比較回路 22 に供給する。また、受光回路 21 は、フォトダイオード PD からフローティングディフュージョン FD へ電荷が転送された後の D 相 (Data 相) 期間 TD において、その時のフローティングディフュージョン FD の電圧を画素電圧 V_{pix} として比較回路 22 に供給する。このように、受光回路 21 は、リセット電圧 V_{reset} および画素電圧 V_{pix} を含む画素信号 SIG を比較回路 22 に供給するようになっている。

[0027] 比較回路 22 は、2 つの参照信号生成部 15 (図 2) から供給された参照信号 REF と、受光回路 21 (図 2) から供給された画素信号 SIG とを比較することにより信号 CMP を生成するように構成される。比較回路 22 は、参照信号 REF の電圧が画素信号 SIG の電圧よりも高い場合に信号 CMP を高レベルにし、参照信号 REF の電圧が画素信号 SIG の電圧よりも低い場合に信号 CMP を低レベルにする。参照信号 REF は、後述するように、P 相期間 TP および D 相期間 TD において、時間の経過に応じて電圧レベルが徐々に変化する、いわゆるランプ波形を有する信号である。比較回路 22 は、トランジスタ MN4 ~ MN6 と、トランジスタ MP7, MP8 とを有している。トランジスタ MN4 ~ MN6 は N 型の MOS トランジスタであり、トランジスタ MP7, MP8 は P 型の MOS トランジスタである。比較回路 22 は、2 枚の半導体基板 101, 102 にわたって配置される。具体的には、トランジスタ MN4 ~ MN6 は半導体基板 101 に配置され、トランジスタ MP7, MP8 およびアンプ AMP は半導体基板 102 に配置される。

[0028] トランジスタ MN4 のゲートには画素信号 SIG が供給され、ドレインは受光回路 21 におけるリセットトランジスタ MN3 のドレインに接続されるとともに、半導体基板 101, 102 間の配線 103 を介してトランジスタ

MP 7 のドレインおよびアンプ AMP の入力端子に接続され、ソースはトランジスタ MN 5 のソースおよびトランジスタ MN 6 のドレインに接続される。トランジスタ MN 5 のゲートには、半導体基板 101, 102 間の配線 103 を介して参照信号生成部 15 から参照信号 REF が供給され、ドレインは半導体基板 101, 102 間の配線 103 を介してトランジスタ MP 8 のドレインおよびトランジスタ MP 7, MP 8 のゲートに接続され、ソースはトランジスタ MN 4 のソースおよびトランジスタ MN 6 のドレインに接続される。トランジスタ MN 6 のゲートにはバイアス電圧 V_b が供給され、ドレインはトランジスタ MN 4, MN 5 のソースに接続され、ソースは接地される。トランジスタ MN 4, MN 5 は差動対を構成し、トランジスタ MN 6 は定電流源を構成する。

[0029] トランジスタ MP 7 のゲートはトランジスタ MP 8 のゲートおよびドレインに接続されるとともに半導体基板 101, 102 間の配線 103 を介してトランジスタ MN 5 のドレインに接続され、ソースには電源電圧 V_{DD} が供給され、ドレインはアンプ AMP の入力端子に接続されるとともに半導体基板 101, 102 間の配線 103 を介してトランジスタ MN 4 のドレインおよび受光回路 21 におけるリセットトランジスタ MN 3 のドレインに接続される。トランジスタ MP 8 のゲートはトランジスタ MP 7 のゲートおよびトランジスタ MP 8 のドレインに接続されるとともに半導体基板 101, 102 間の配線 103 を介してトランジスタ MN 5 のドレインに接続され、ソースには電源電圧 V_{DD} が供給され、ドレインはトランジスタ MP 7, MP 8 のゲートに接続されるとともに半導体基板 101, 102 間の配線 103 を介してトランジスタ MN 5 のドレインに接続される。トランジスタ MP 7, MP 8 は、トランジスタ MN 4, MN 5 の能動負荷を構成する。

[0030] アンプ AMP の入力端子はトランジスタ MP 7 のドレインに接続されるとともに半導体基板 101, 102 間の配線 103 を介してリセットトランジスタ MN 3 のドレインおよび受光回路 21 におけるリセットトランジスタ MN 3 のドレインに接続され、出力端子はラッチ 23 に接続される。比較回路

22は、アンプAMPの出力端子から信号CMPを出力するようになっている。

[0031] ラッチ23は、比較回路22から供給された信号CMPに基づいて、カウンタ14（図2）から供給された、時間の経過に応じて変化する時刻コードCODEをラッチするように構成される。ラッチ23は、後述するように、P相期間TPにおいて、信号CMPの遷移タイミングで時刻コードCODEをラッチすることにより、P相期間TPが開始してから信号CMPが遷移するまでの時間（コード値CODE1）を取得する。また、ラッチ23は、D相期間TDにおいて、信号CMPの遷移タイミングで時刻コードCODEをラッチすることにより、D相期間TDが開始してから信号CMPが遷移するまでの時間（コード値CODE2）を取得する。これらの2つのコード値の差（CODE2－CODE1）は、受光量に応じた画素値に対応する。そして、ラッチ23は、2つのコード値CODE1，CODE2を信号処理部16に供給するようになっている。ラッチ23は、半導体基板102に配置される。

[0032] このようにして、受光画素PIXは、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成し、この画素信号SIGに基づいてAD変換を行うことによりコード値CODE1，CODE2を生成するようになっている。

[0033] 画素駆動部12（図2）は、画素アレイ11における複数の受光画素PIXの動作を制御するように構成される。具体的には、画素駆動部12は、制御信号OFG，TX，RSTを生成し、これらの制御信号OFG，TX，RSTを受光回路21に供給することにより、受光画素PIXの動作を制御するようになっている。画素駆動部12は、例えば半導体基板102に配置される。

[0034] クロック信号生成部13は、差動信号であるクロック信号CLK1を生成するように構成される。クロック信号CLK1のクロック周波数は、例えば数GHz程度にすることができる。複数のカウンタ14のそれぞれは、この例ではグレイコードカウンタであり、時間の経過に応じて変化する時刻コー

ドCODEを生成するように構成される。2つの参照信号生成部15のそれぞれは、参照信号REFを生成するように構成される。参照信号REFは、P相期間TPおよびD相期間TDにおいて、時間の経過に応じて電圧レベルが徐々に変化する、いわゆるランプ波形を有する信号である。クロック信号生成部13、複数のカウンタ14、および2つの参照信号生成部15は、例えば半導体基板102に配置される。

[0035] 図5は、撮像装置1における、時刻コードCODEおよび参照信号REFに係る回路部分のより具体的な構成の一例を表すものである。撮像装置1は、複数のクロスカップリングバッファBUFと、ゲート回路38と、ゲート信号生成部31と、信号配線39とを備えている。複数のクロスカップリングバッファBUF、ゲート回路38、ゲート信号生成部31、および信号配線39は、例えば半導体基板102に配置される。

[0036] 画素アレイ11における複数の受光画素PIXは、画素ラインLの延伸方向に沿って、複数の画素グループGにグループ分けされている。複数のカウンタ14は、これらの複数の画素グループGにそれぞれ対応して設けられる。複数のゲート回路38は、複数のカウンタ14にそれぞれ対応して設けられる。

[0037] クロック信号生成部13は、差動信号であるクロック信号CLK1に含まれる互いに極性が異なる2つのクロック信号を、クロック信号経路32、33にそれぞれ供給する。

[0038] 複数のクロスカップリングバッファBUFは、クロック信号経路32、33に設けられる。クロスカップリングバッファBUFは、インバータ34～37を有している。インバータ34はクロック信号経路32に設けられる。インバータ35はクロック信号経路33に設けられる。インバータ36は、そのインバータ34、35の下流に設けられ、入力端子はクロック信号経路32に接続され、出力端子はクロック信号経路33に接続される。インバータ37は、インバータ34、35の下流に設けられ、入力端子はクロック信号経路33に接続され、出力端子はクロック信号経路32に接続される。こ

れにより、撮像装置 1 では、例えば数 GHz のクロック信号を、クロック信号経路 32, 33 に沿った長い距離にわたって伝送させるとともに、クロック信号経路 32, 33 におけるクロック信号のデューティ比を維持することができるようになっている。

[0039] ゲート回路 38 は、クロック信号経路 32 またはクロック信号経路 33 におけるクロック信号を、対応するカウンタ 14 にクロック信号 CLK2 として供給することができるように構成される。複数のゲート回路 38 は、例えば、隣り合うゲート回路 38 が、クロック信号経路 32, 33 のうちの互いに異なるクロック信号経路に接続される。これにより、例えば、クロック信号経路 32, 33 のうちの一方に負荷が集中しないようにすることができる。なお、これに限定されるものではなくゲート回路 38 は、クロック信号経路 32, 33 のうちのどちらに接続されてもよい。また、ゲート回路 38 は、ゲート信号 SG に基づいて、クロック信号 CLK2 をカウンタ 14 に供給するかどうかを制御する。具体的には、ゲート回路 38 は、ゲート信号 SG がアクティブである期間において、クロック信号 CLK2 をカウンタ 14 に供給し、ゲート信号 SG が非アクティブである期間において、カウンタ 14 へのクロック信号 CLK2 の供給を停止するようになっている。

[0040] ゲート信号生成部 31 は、複数のゲート信号 SG を生成するように構成される。ゲート信号生成部 31 は、P 相期間 TP および D 相期間 TD において、複数のゲート信号 SG をともにアクティブにし、それ以外の期間において、複数のゲート信号 SG をともに非アクティブにする。複数のゲート信号 SG の遷移タイミングはほぼ同じである。そして、ゲート信号生成部 31 は、生成した複数のゲート信号 SG を、複数のゲート回路 38 にそれぞれ供給するようになっている。この例では、ゲート信号生成部 31 およびゲート回路 38 は、画素アレイ 11 から見て同じ側に配置される。

[0041] この構成により、ゲート回路 38 は、P 相期間 TP および D 相期間 TD において、カウンタ 14 に対してクロック信号 CLK2 を供給し、カウンタ 14 は、この P 相期間 TP および D 相期間 TD において、クロック信号 CLK

2に基づいて時刻コードCODEを生成し、生成した時刻コードCODEを、そのカウンタ14に対応する画素グループGに属する複数の受光画素PIXに供給するようになっている。

[0042] 2つの参照信号生成部15は、複数のゲート回路38のうちの2つのゲート回路38から供給されたクロック信号CLK2に基づいて、参照信号REFを生成し、生成した参照信号REFを1つの信号配線39に供給する。

[0043] 信号配線39は、画素ラインLの延伸方向に延伸し、2つの参照信号生成部15が生成した参照信号REFを複数の受光画素PIXに伝えるように構成される。

[0044] 図6は、2つの参照信号生成部15と信号配線39との接続例を表すものである。信号配線39は、参照信号生成部15の数（この例では2つ）と同じ数の区分領域（この例では2つの区分領域R1, R2）に区分される。2つの参照信号生成部15は、これらの2つの区分領域R1, R2に対応して設けられ、2つの区分領域R1, R2のうちの対応する区分領域の中央付近において信号配線39に接続される。具体的には、図6において、2つの参照信号生成部15のうちの一方は、信号配線39の延伸方向における左から1/4の位置において信号配線39に接続され、他方は、右から1/4の位置において、信号配線39に接続される。そして、2つの参照信号生成部15は、生成した参照信号REFを1つの信号配線39に供給するようになっている。

[0045] 信号処理部16（図2）は、複数の受光画素PIXのそれぞれが生成したコード値CODE1, CODE2に基づいて所定の画像処理を行うことにより画像データDTを生成するように構成される。所定の画像処理は、例えば、受光画素PIXが生成した2つのコード値CODE1, CODE2に基づいて相関2重サンプリング（CDS ; Correlated Double Sampling）の原理を利用して画素値VALを生成するCDS処理や、複数のライン画像に基づいて画素値VALの加算処理を行うTDI（Time Delay Integration）処理を含む。

[0046] 図7は、1つの画素ラインLに係るライン画像についてのTDI処理の一例を示している。この例では、画素アレイ11に8つの画素ラインLを設けている。この図7では、左から右に向かって、被写体9の像が移動する。よって、一番左に配置された画素ラインLが最上流の画素ラインL1である。

[0047] 撮像装置1は、同期信号SYNCに基づいて、撮像面Sにおいて被写体9の像が1つの画素ラインLだけ進行する度に蓄積期間を設定する。これにより、画素アレイ11は、図7に示したように、順次設定された複数の蓄積期間のそれぞれにおける蓄積結果に基づいて複数の画像（この例では8つの画像PIC1～PIC8）を生成する。画像PIC1～PIC8では、時間の経過に応じて、被写体9の像が1つの画素ラインLを単位として図8における右方向に進行する。例えば、画像PIC1における画素ラインL1に係るライン画像、画像PIC2における画素ラインL2に係るライン画像、画像PIC3における画素ラインL3に係るライン画像、画像PIC4における画素ラインL4に係るライン画像、画像PIC5における画素ラインL5に係るライン画像、画像PIC6における画素ラインL6に係るライン画像、画像PIC7における画素ラインL7に係るライン画像、および画像PIC8における画素ラインL8に係るライン画像は、被写体9における同じ部分を示す画像である。

[0048] 信号処理部16は、画素アレイ11における全ての画素ラインLに基づいて画像データDTを生成する。この例では、信号処理部16は、画像PIC1における最上流の画素ラインL1に係るライン画像、画像PIC2における2番目の画素ラインL2に係るライン画像、画像PIC3における画素ラインL3に係るライン画像、画像PIC4における画素ラインL4に係るライン画像、画像PIC5における画素ラインL5に係るライン画像、画像PIC6における画素ラインL6に係るライン画像、画像PIC7における画素ラインL7に係るライン画像、および画像PIC8における画素ラインL8に係るライン画像に基づいて、画素値VALの加算処理を行うことによりTDI処理を行う。以上の説明では、画像PIC1～PIC8のそれぞれに

において1つの画素ラインLに着目したが、他の画素ラインLについても同様である。このようにして、信号処理部16は、画像データDTを生成する。

[0049] このようにして、信号処理部16は、複数の受光画素PIXのそれぞれが生成したコード値CODE1, CODE2に基づいて画像データDTを生成する。信号処理部16は、例えば半導体基板102に配置される。

[0050] タイミング制御部17は、搬送制御部92（図1）から供給された同期信号SYNCに基づいて、撮像装置1の各ブロックの動作タイミングを制御するように構成される。タイミング制御部17は、例えば半導体基板102に配置される。

[0051] 図8は、撮像装置1における回路レイアウトの一例を表すものである。図3に示したように、撮像装置1は、重ね合わされた2枚の半導体基板101, 102を用いて構成される。

[0052] 半導体基板101には、領域R11Aが設けられる。この領域R11Aには、画素アレイ11における、受光回路21と、比較回路22のトランジスタMN4～MN6とが配置される。

[0053] 半導体基板102には、領域R15, R12, R14, R11B, R17, R16, R18が設けられる。領域R15には2つの参照信号生成部15が配置される。領域R12には画素駆動部12が配置される。領域R14には複数のカウンタ14が配置される。領域R11Bには、画素アレイ11における、比較回路22のトランジスタMP7, MP8およびアンプAMPと、ラッチ23とが配置される。領域R17にはタイミング制御部17が配置される。領域R16には信号処理部16が配置される。領域R18には、撮像装置1と外部との信号のやり取りを行うインタフェース部が配置される。

[0054] ここで、クロック信号生成部13は、本開示における「クロック信号生成部」の一具体例に対応する。クロック信号CLK1は、本開示における「第1のクロック信号」の一具体例に対応する。クロック信号経路32, 33は、本開示における「クロック信号経路」の一具体例に対応する。インバータ34は、本開示における「第1のインバータ」の一具体例に対応する。イン

バータ 35 は、本開示における「第 2 のインバータ」の一具体例に対応する。インバータ 36 は、本開示における「第 3 のインバータ」の一具体例に対応する。インバータ 37 は、本開示における「第 4 のインバータ」の一具体例に対応する。受光画素 P I X は、本開示における「受光画素」の一具体例に対応する。画素グループ G は、本開示における「画素グループ」の一具体例に対応する。受光回路 21 は、本開示における「受光回路」の一具体例に対応する。画素信号 S I G は、本開示における「画素信号」の一具体例に対応する。参照信号 R E F は、本開示における「参照信号」の一具体例に対応する。比較回路 22 は、本開示における「比較回路」の一具体例に対応する。ラッチ 23 は、本開示における「ラッチ回路」の一具体例に対応する。ゲート回路 38 は、本開示における「ゲート回路」の一具体例に対応する。カウンタ 14 は、本開示における「カウンタ」の一具体例に対応する。参照信号生成部 15 は、本開示における「参照信号生成部」の一具体例に対応する。信号配線 39 は、本開示における「信号配線」の一具体例に対応する。ゲート信号生成部 31 は、本開示における「信号生成部」の一具体例に対応する。半導体基板 101 は、本開示における「第 1 の半導体基板」の一具体例に対応する。半導体基板 102 は、本開示における「第 2 の半導体基板」の一具体例に対応する。

[0055] [動作および作用]

続いて、本実施の形態の撮像装置 1 の動作および作用について説明する。

(全体動作概要)

まず、図 1, 2 を参照して、撮像装置 1 の全体動作概要を説明する。タイミング制御部 17 は、搬送制御部 92 (図 1) から供給された同期信号 S Y N C に基づいて、撮像装置 1 の各ブロックの動作タイミングを制御する。画素駆動部 12 は、複数の受光画素 P I X の動作を制御する。クロック信号生成部 13 は、差動信号であるクロック信号 C L K 1 を生成する。複数のカウンタ 14 のそれぞれは、時刻コード C O D E を生成する。2 つの参照信号生成部 15 のそれぞれは、参照信号 R E F を生成する。複数の受光画素 P I X

は、受光量に応じた画素電圧 V_{pix} を含む画素信号 $S \mid G$ を生成し、この画素信号 $S \mid G$ に基づいて、参照信号 REF および時刻コード $CODE$ を用いて AD 変換を行うことによりコード値 $CODE \ 1$, $CODE \ 2$ を生成する。信号処理部 16 は、複数の画素回路 20 のそれぞれが生成したコード値 $CODE \ 1$, $CODE \ 2$ に基づいて所定の画像処理を行うことにより画像データ D を生成する。

[0056] (詳細動作)

画素アレイ 11 における複数の受光画素 $P \mid X$ (図 4) のそれぞれでは、制御信号 OFG に基づいて、排出トランジスタ $MN \ 1$ がオン状態になることにより、フォトダイオード PD に蓄積された電荷が排出される。そして、排出トランジスタ $MN \ 1$ がオフ状態になることにより、蓄積期間が開始され、フォトダイオード PD に、受光量に応じた量の電荷が蓄積される。そして、蓄積期間が終了した後に、受光画素 $P \mid X$ は、リセット電圧 V_{reset} および画素電圧 V_{pix} を含む画素信号 $S \mid G$ に基づいて AD 変換を行う。以下に、この AD 変換について詳細に説明する。

[0057] 図 9 は、ある着目した受光画素 $P \mid X$ における AD 変換の一動作例を表すものであり、(A) は制御信号 RST の波形を示し、(B) は制御信号 TX の波形を示し、(C) はゲート信号 SG の波形を示し、(D) は参照信号 REF の波形を示し、(E) は画素信号 $S \mid G$ の波形を示し、(F) は信号 CM の波形を示す。

[0058] まず、タイミング $t \ 1 \ 1$ において、参照信号生成部 15 は、タイミング制御部 17 からの指示に基づいて、参照信号 REF の電圧をリセット電圧 V_{reset} に変化させる (図 9 (D))。また、このタイミング $t \ 1 \ 1$ において、画素駆動部 12 は、タイミング制御部 17 からの指示に基づいて、制御信号 RST を低レベルから高レベルに変化させる (図 9 (A))。これにより、受光画素 $P \mid X$ では、リセットトランジスタ $MN \ 3$ がオン状態になり、フローティングディフュージョン FD がリセットされ、画素信号 $S \mid G$ の電圧がリセット電圧 V_{reset} になる (図 9 (E))。そして、タイミング $t \ 1 \ 1$ から所

定の時間が経過した後に、画素駆動部 12 は、タイミング制御部 17 からの指示に基づいて、制御信号 RST を高レベルから低レベルに変化させる（図 9（A））。これにより、リセットトランジスタ MN3 はオフ状態になる。

[0059] 次に、タイミング t_{12} において、参照信号生成部 15 は、タイミング制御部 17 からの指示に基づいて、参照信号 REF の電圧をリセット電圧 V_{reset} から電圧 V_1 に変化させる（図 9（D））。これにより、参照信号 REF の電圧は画素信号 SIG の電圧より高くなるので、比較回路 22 は、信号 CMP を高レベルにする（図 9（F））。

[0060] 次に、タイミング $t_{13} \sim t_{15}$ の期間（P 相期間 T_P ）において、受光画素 PIX は、この画素信号 SIG の電圧（リセット電圧 V_{reset} ）に基づいて AD 変換を行う。具体的には、まず、タイミング t_{13} において、ゲート信号生成部 31 は、タイミング制御部 17 からの指示に基づいて、ゲート信号 SG を低レベル（非アクティブ）から高レベル（アクティブ）に変化させる（図 9（C））。これにより、ゲート回路 38 は、カウンタ 14 にクロック信号 CLK2 を供給する。カウンタ 14 は、このクロック信号 CLK2 に基づいて、時刻コード CODE のインクリメント動作を開始する。また、参照信号生成部 15 は、このクロック信号 CLK2 に基づいて、参照信号 REF の電圧を、電圧 V_1 から所定の変化度合いで低下させ始める（図 9（D））。

[0061] そして、タイミング t_{14} において、参照信号 REF の電圧が画素信号 SIG の電圧（リセット電圧 V_{reset} ）を下回る（図 9（D）,（E））。これに応じて、比較回路 22 は、信号 CMP を高レベルから低レベルに変化させる（図 9（F））。ラッチ 23 は、この信号 CMP の遷移に基づいて、時刻コード CODE をラッチする。このタイミング t_{14} においてラッチ 23 においてラッチされた時刻コード CODE のコード値は CODE1 である。このコード値 CODE1 は、タイミング $t_{13} \sim t_{14}$ の時間の長さに対応するコード値であるとともに、リセット電圧 V_{reset} に対応するコード値である。

- [0062] そして、タイミング t_{15} において、P相期間 T_P の終了に伴い、ゲート信号生成部 31 は、タイミング制御部 17 からの指示に基づいて、ゲート信号 S_G を高レベル（アクティブ）から低レベル（非アクティブ）に変化させる（図 9（C））。これにより、ゲート回路 38 は、クロック信号 CLK_2 のカウンタ 14 への供給を停止する。ゲート回路 38 がクロック信号 CLK_2 を出力しなくなるので、カウンタ 14 は、時刻コード $CODE$ のインクリメント動作を停止し、参照信号生成部 15 は、参照信号 REF の電圧の低下を停止させる（図 9（D））。カウンタ 14 は、これ以降の期間において時刻コード $CODE$ を初期値に設定する。そして、タイミング $t_{15} \sim t_{16}$ の期間において、受光画素 PIX は、コード値 $CODE_1$ を信号処理部 16 に供給する。
- [0063] 次に、タイミング t_{16} において、参照信号生成部 15 は、タイミング制御部 17 からの指示に基づいて、参照信号 REF の電圧を電圧 V_1 に変化させる（図 9（D））。これにより、参照信号 REF の電圧は画素信号 S_{IG} の電圧より高くなるので、比較回路 22 は、信号 CMP を低レベルから高レベルに変化させる（図 9（F））。
- [0064] 次に、タイミング t_{17} において、画素駆動部 12 は、制御信号 TX を低レベルから高レベルに変化させる（図 9（B））。これにより、受光画素 PIX では、転送トランジスタ MN_2 がオン状態になり、フォトダイオード PD で発生した電荷がフローティングディフュージョン FD に転送され、画素信号 S_{IG} の電圧が画素電圧 V_{pix} になる（図 9（E））。そして、タイミング t_{17} から所定の時間が経過した後に、画素駆動部 12 は、制御信号 TX を高レベルから低レベルに変化させる（図 9（B））。これにより、転送トランジスタ MN_2 はオフ状態になる。
- [0065] 次に、タイミング $t_{18} \sim t_{20}$ の期間（D相期間 T_D ）において、受光画素 PIX は、この画素信号 S_{IG} の電圧（画素電圧 V_{pix} ）に基づいて AD 変換を行う。具体的には、まず、タイミング t_{18} において、ゲート信号生成部 31 は、タイミング制御部 17 からの指示に基づいて、ゲート信号 S_G

を低レベル（非アクティブ）から高レベル（アクティブ）に変化させる（図 9（C））。これにより、ゲート回路 38 は、カウンタ 14 にクロック信号 CLK 2 を供給する。カウンタ 14 は、このクロック信号 CLK 2 に基づいて、時刻コード CODE のインクリメント動作を開始する。また、参照信号生成部 15 は、このクロック信号 CLK 2 に基づいて、参照信号 REF の電圧を、電圧 V1 から所定の変化度合いで低下させ始める（図 9（D））。

[0066] そして、タイミング t19 において、参照信号 REF の電圧が画素信号 SIG の電圧（リセット電圧 Vreset）を下回る（図 9（D）,（E））。これに応じて、比較回路 22 は、信号 CMP を高レベルから低レベルに変化させる（図 9（F））。ラッチ 23 は、この信号 CMP の遷移に基づいて、時刻コード CODE をラッチする。このタイミング t19 においてラッチ 23 においてラッチされた時刻コード CODE のコード値は CODE2 である。このコード値 CODE2 は、タイミング t18～t19 の時間の長さに対応するコード値であるとともに、画素電圧 Vpix に対応するコード値である。

[0067] そして、タイミング t20 において、D 相期間 TD の終了に伴い、ゲート信号生成部 31 は、タイミング制御部 17 からの指示に基づいて、ゲート信号 SG を高レベル（アクティブ）から低レベル（非アクティブ）に変化させる（図 9（C））。これにより、ゲート回路 38 は、クロック信号 CLK 2 のカウンタ 14 への供給を停止する。ゲート回路 38 がクロック信号 CLK 2 を出力しなくなるので、カウンタ 14 は、時刻コード CODE のインクリメント動作を停止し、参照信号生成部 15 は、参照信号 REF の電圧の低下を停止させる（図 9（D））。カウンタ 14 は、これ以降の期間において時刻コード CODE を初期値に設定する。そして、タイミング t20～t21 の期間において、受光画素 PIX は、コード値 CODE2 を信号処理部 16 に供給する。

[0068] 信号処理部 16 は、複数の受光画素 PIX のそれぞれが生成したコード値 CODE1, CODE2 に基づいて所定の画像処理を行う。例えば、信号処理部 16 は、2 つのコード値 CODE1, CODE2 に基づいて相関 2 重サ

ンプリングの原理を利用して画素値VALを生成する。具体的には、信号処理部16は、例えば、コード値CODE2からコード値CODE1を減算することにより、画素値VALを生成する。また、信号処理部16は、図7に示したようなTDI処理を行う。

[0069] (ゲート回路38の動作)

撮像装置1では、複数のゲート回路38のそれぞれは、クロック信号経路32, 33の様々な位置におけるクロック信号を、クロック信号CLK2として、対応するカウンタ14に供給する。ゲート回路38は、ゲート信号SGに基づいて、クロック信号CLK2をカウンタ14に供給するかどうかを制御する。以下に、この動作について詳細に説明する。

[0070] 図10は、複数のゲート回路38のうちの、クロック信号経路32, 33の位置P1～P6に接続された6つのゲート回路38の一動作例を表すものであり、(A)は6つのゲート回路38に供給されるゲート信号SGの波形を示し、(B)はクロック信号経路32における位置P1～P6でのクロック信号の波形を示し、(C)は位置P1～P6に接続された6つのゲート回路38が出力するクロック信号CLK2の波形を示す。これらの6つの位置P1～P6のうち、位置P1は最上流であり、位置P6は最下流である。位置P1, P2, P3, P4, P5, P6は、クロック信号経路32における上流から下流に向かって、この順にほぼ等間隔で設定される。

[0071] 図10(B)に示したように、クロック信号経路32, 33の位置P2でのクロック信号は、位置P1でのクロック信号よりも遅延している。位置P3～位置P6でのクロック信号についても同様である。撮像装置1では、クロック信号生成部13が生成するクロック信号CLK1の周波数は高くなるほど、クロック信号経路32, 33の位置P1～P6でのクロック信号の位相差が大きくなる。また、同様に、画素ラインLの長さが長くなるほど、クロック信号経路32, 33の位置P1～P6でのクロック信号の位相差が大きくなる。

[0072] タイミングt31～t32の期間において、ゲート信号生成部31は、ゲ

ート信号SGを高レベル（アクティブ）にする（図10（A））。ゲート回路38は、この高レベルであるゲート信号SGに基づいて、クロック信号経路32、33におけるクロック信号をクロック信号CLK2として出力する（図10（B）、（C））。例えば、クロック信号CLK1の周波数は高くなるほど、位置P1～P6に接続された6つのゲート回路38が出力するクロック信号CLK2の位相差が大きくなり、画素ラインLの長さが長くなるほど、クロック信号CLK2の位相差が大きくなる。

[0073] このように、複数のゲート回路38が出力するクロック信号CLK2の位相は、互いに異なる。しかしながら、ゲート信号SGを高レベル（アクティブ）であるタイミングt31～t32の期間における、クロック信号CLK2のエッジの数はほぼ同じである。よって、撮像装置1では、例えば、画素ラインLに属する複数の受光画素PIXにおける受光量が同じである場合には、クロック信号経路32、33のどの位置のクロック信号に基づいてAD変換を行った場合でも、ほぼ同じコード値CODE1、CODE2を得ることができる。これにより、画素ラインLに属する複数の受光画素PIXに基づくライン画像では、ほぼ同じ画素値VALになる。

[0074] このように、撮像装置1では、クロック信号経路32、33に接続された複数のゲート回路38を設けるようにしたので、以下に比較例と対比して説明するように、例えば、クロック信号CLK1の周波数が高い場合や、ラインセンサの長さが長い場合でも、画質が低下するおそれを低減することができる。

[0075] また、撮像装置1では、クロック信号生成部13が差動信号であるクロック信号CLK1を生成し、複数のクロスカップリングバッファBUFを用いて、クロック信号を複数のゲート回路38に供給するようにした。これにより、例えば、クロック信号CLK1の周波数が高い場合や、ラインセンサの長さが長い場合でも、クロック信号のデューティ比が50%から大きくずれるおそれを低減することができる。これにより、例えば、カウンタ14が誤動作するおそれを低減することができるので、画質が低下するおそれを低減

することができる。

[0076] (比較例)

次に、比較例に係る撮像装置 1 R について説明する。本比較例は、クロック信号に基づいて時刻コード CODE および参照信号 REF を生成する構成が、本実施の形態とは異なるものである。

[0077] 図 1 1 は、撮像装置 1 R における、時刻コード CODE および参照信号 REF に係る回路部分のより具体的な構成の一例を表すものである。撮像装置 1 R は、クロック信号生成部 1 3 R と、ゲート回路 3 8 R と、ゲート信号生成部 3 1 R と、複数のバッファ BUF R と、複数のカウンタ 1 4 R と、参照信号生成部 1 5 R とを備えている。この例では、画素グループ G は、図 1 1 における縦方向に並設される複数の受光画素 PIX を含む。

[0078] クロック信号生成部 1 3 R は、単相信号であるクロック信号を生成するように構成される。ゲート回路 3 8 R は、クロック信号生成部 1 3 R が生成したクロック信号をクロック信号経路 3 2 R に供給することができるように構成される。また、ゲート回路 3 8 R は、ゲート信号 SG に基づいて、クロック信号をクロック信号経路 3 2 R に供給するかどうかを制御するようになっている。ゲート信号生成部 3 1 R は、P 相期間 TP および D 相期間 TD においてアクティブであり、それ以外の期間において非アクティブであるゲート信号 SG を生成するように構成される。複数のバッファ BUF R は、クロック信号経路 3 2 R に設けられる。カウンタ 1 4 R は、クロック信号経路 3 2 R におけるクロック信号に基づいて時刻コード CODE を生成し、生成した時刻コード CODE を対応する画素グループ G に属する受光画素 PIX に供給するように構成される。参照信号生成部 1 5 R は、クロック信号経路 3 2 R の最下流に接続され、クロック信号経路 3 2 R におけるクロック信号に基づいて参照信号 REF を生成し、生成した参照信号 REF を信号配線 3 9 を介して複数の受光画素 PIX に供給するように構成される。

[0079] 図 1 2 は、撮像装置 1 R における波形例を表すものであり、(A) はゲート信号 SG の波形を示し、(B) は複数のカウンタ 1 4 R のうちの、クロッ

ク信号経路32Rの位置P1～P6に接続された6つのカウンタ14Rに入力されるクロック信号の波形を示す。

[0080] 図12(B)に示したように、クロック信号経路32Rの位置P2でのクロック信号は、位置P1でのクロック信号よりも遅延している。位置P3～位置P6でのクロック信号についても同様である。複数のカウンタ14Rは、このように位相がずれたクロック信号に基づいて時刻コードCODEを生成する。よって、受光画素PIXでは、時刻コードCODE自体がずれる。具体的には、図11において、左に配置された受光画素PIXでは時刻コードCODEが示す時刻が進み、右に配置された受光画素PIXでは時刻コードCODEが示す時刻が遅れる。

[0081] また、参照信号生成部15Rは、クロック信号経路32Rの最下流におけるクロック信号に基づいて、参照信号REFを生成する。よって、受光画素PIXでは、時刻コードCODEがインクリメントし始めるタイミングと、参照信号REFが変化し始めるタイミングがずれる。具体的には、図11において、左に配置された受光画素PIXでは、時刻コードCODEがインクリメントし始めてから、参照信号REFが変化し始めるまでの時間が長く、右に配置された受光画素PIXでは、時刻コードCODEがインクリメントし始めてから、参照信号REFが変化し始めるまでの時間が短い。

[0082] その結果、撮像装置1Rでは、例えば、画素ラインLに属する複数の受光画素PIXにおける受光量が同じである場合でも、クロック信号経路32Rのどの位置のクロック信号に基づいてAD変換を行うかに応じて、コード値CODE1、CODE2が変化してしまう。これにより、画素ラインLに属する複数の受光画素PIXに基づくライン画像では、いわゆるシェーディングが生じ、画質が低下してしまう。

[0083] また、撮像装置1Rでは、クロック信号経路32Rは、単相信号であるクロック信号を伝えるので、クロック信号のデューティ比が50%からずれてしまう。クロック信号のデューティ比が大きくずれた場合には、そのようなクロック信号が供給されたカウンタ14Rは、正常に動作することができな

いおそれがあり、この場合には画質が低下してしまう。

[0084] 一方、本実施の形態に係る撮像装置 1 では、クロック信号経路 3 2, 3 3 に接続された複数のゲート回路 3 8 を設け、複数のゲート回路 3 8 のそれぞれが、ゲート信号 S G に基づいてカウンタ 1 4 にクロック信号 C L K 2 を供給するようにした。これにより、ゲート信号 S G を高レベル（アクティブ）である期間における、クロック信号 C L K 2 のエッジの数はほぼ同じであるので、複数の受光画素 P I X において、時刻コード C O D E のずれはほとんど生じない。また、参照信号生成部 1 5 は、ゲート回路 3 8 により生成されたクロック信号 C L K 2 に基づいて参照信号 R E F を生成するようにした。よって、受光画素 P I X では、時刻コード C O D E がインクリメントし始めるタイミングと、参照信号 R E F が変化し始めるタイミングのずれを小さくすることができる。よって、撮像装置 1 では、例えば、シェーディングが生じるおそれを低減することができる。その結果、撮像装置 1 では、例えば、クロック信号 C L K 1 の周波数が高い場合や、ラインセンサの長さが長い場合でも、画質が低下するおそれを低減することができる。

[0085] また、本実施の形態に係る撮像装置 1 では、クロック信号経路 3 2, 3 3 が、差動信号であるクロック信号を伝えるようにするとともに、クロック信号経路 3 2, 3 3 に、複数のクロスカップリングバッファ B U F を設けるようにした。これにより、撮像装置 1 では、クロック信号のデューティ比が 5 0 % から大きくずれるおそれを低減することができ、カウンタ 1 4 が誤動作を行うおそれを低減することができる。その結果、撮像装置 1 では、例えば、クロック信号 C L K 1 の周波数が高い場合や、ラインセンサの長さが長い場合でも、画質が低下するおそれを低減することができる。

[0086] このように、撮像装置 1 では、複数の画素グループ G にそれぞれ対応する複数のゲート回路 3 8 を設けるようにした。これらの複数のゲート回路 3 8 は、クロック信号経路 3 2, 3 3 におけるクロック信号をクロック信号 C L K 2 として出力することが可能であり、ゲート信号 S G に基づいてクロック信号 C L K 2 を出力するかどうかを制御するようにした。また、複数のゲー

ト回路 38 にそれぞれ対応する複数のカウンタ 14 を設けるようにした。これらの複数のカウンタ 14 は、対応するゲート回路 38 から供給されたクロック信号 CLK 2 に基づいて時刻コード CODE を生成し、生成した時刻コード CODE を、対応する画素グループ G に属する 2 以上の受光画素 PIX に供給するようにした。これにより、撮像装置 1 では、上述したように、例えば、クロック信号 CLK 1 の周波数が高い場合や、ラインセンサの長さが長い場合でも、例えば、シェーディングが生じるおそれを低減することができる、画質が低下するおそれを低減することができる。これにより、撮像装置 1 では、例えば、高速動作を行うことができるリニアセンサを実現することができる。

[0087] [効果]

以上のように本実施の形態では、複数の画素グループにそれぞれ対応する複数のゲート回路を設けるようにした。これらの複数のゲート回路は、クロック信号経路におけるクロック信号をクロック信号 CLK 2 として出力することが可能であり、ゲート信号に基づいてクロック信号 CLK 2 を出力するかどうかを制御するようにした。また、複数のゲート回路にそれぞれ対応する複数のカウンタを設けるようにした。これらの複数のカウンタは、対応するゲート回路から供給されたクロック信号 CLK 2 に基づいて時刻コードを生成し、生成した時刻コードを、対応する画素グループに属する 2 以上の受光画素に供給するようにした。これにより、例えば、高速動作を行うことができる。

[0088] [変形例 1]

上記実施の形態では、複数のクロスカップリングバッファ BUF を設けたが、これに限定されるものではなく、これに代えて、例えば図 13 に示す撮像装置 1A のように、伝送線路を設けてもよい。撮像装置 1A は、ドライバ DRV と、伝送線路 32A, 33A と、終端抵抗素子 RT とを備えている。ドライバ DRV は、クロック信号生成部 13 が生成した差動信号であるクロック信号 CLK 1 に基づいて、伝送線路 32A, 33A を駆動するように

構成される。伝送線路 32A, 33A は、特性インピーダンスが Z_0 である差動の伝送線路である。終端抵抗素子 RT は、伝送線路 32A, 33A の終端するように構成され、抵抗値は $2 \times Z_0$ に設定される。ゲート回路 38 は、伝送線路 32A, 33A におけるクロック信号を、対応するカウンタ 14 にクロック信号 CLK2 として供給することができる。この場合でも、伝送線路 32A, 33A におけるクロック信号のデューティ比が 50% から大きくずれるおそれを低減することができる。

[0089] [変形例 2]

上記実施の形態では、図 5 に示したように、ゲート信号生成部 31 およびゲート回路 38 を、画素アレイ 11 から見て同じ側に配置したが、これに限定されるものではなく、これに代えて、例えば図 14 に示す撮像装置 1B のように、ゲート信号生成部 31 およびゲート回路 38 を、画素アレイ 11 から見て互いに異なる側に配置してもよい。この例では、ゲート信号生成部 31 は、画素アレイ 11 を貫く信号配線を介して、ゲート信号 SG をゲート回路 38 に供給する。

[0090] 同様に、変形例 1 に係る撮像装置 1A では、図 13 に示したようにゲート信号生成部 31 およびゲート回路 38 を、画素アレイ 11 から見て同じ側に配置したが、これに限定されるものではなく、これに代えて、例えば図 15 に示す撮像装置 1C のように、ゲート信号生成部 31 およびゲート回路 38 を、画素アレイ 11 から見て互いに異なる側に配置してもよい。

[0091] [変形例 3]

上記実施の形態では、図 5, 6 に示したように、2つの参照信号生成部 15 を設けたが、これに限定されるものではなく、任意の数の参照信号生成部 15 を設けることができる。例えば、ラインセンサの長さが長い場合には、その分多くの参照信号生成部 15 を設けることができる。図 16 は、6つの参照信号生成部 15 を設けた場合の一例を表すものである。信号配線 39 は、6つの区分領域 R1 ~ R6 に区分される。6つの参照信号生成部 15 のそれぞれは、6つの区分領域 R1 ~ R6 のうちの対応する区分領域の中央付近

において信号配線 39 に接続される。

[0092] また、信号配線 39 を 6 つに区分するだけでなく、撮像装置の回路レイアウトを 6 つに区分してもよい。図 17 は、半導体基板 102 における回路レイアウトの一例を表すものである。図 8 の例と同様に、半導体基板 102 には、領域 R15, R12, R14, R11B, R17, R16, R18 が設けられる。領域 R15, R12, R14, R11B, R17, R16 は、6 つのユニット U (ユニット U1 ~ U6) に区分される。各ユニット U は、同じレイアウトパターンを有している。これにより、多くのユニット U を配置することにより、長いラインセンサを構成することができる。

[0093] 以上、実施の形態および変形例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0094] 例えば、上記実施の形態等では、グレイコードカウンタを用いてカウンタ 14 を構成したが、これに限定されるものではなく、これに代えて、例えばバイナリパターン発生器を用いてカウンタ 14 を構成してもよい。

[0095] 例えば、上記実施の形態等では、クロック信号生成部 13 は、差動信号であるクロック信号 CLK1 を生成したが、これに限定されるものではなく、例えば、複数のゲート回路に入力されるクロック信号のデューティ比がさほど悪化しない場合には、単相信号であるクロック信号を生成してもよい。

[0096] 例えば、上記実施の形態等では、撮像装置 1 は TDI 処理を行うようにしたが、これに限定されるものではなく、例えば、TDI 処理を行わなくてもよい。この場合には、例えば、画素アレイ 11 には、複数の画素ライン L を有してもよいし、1 つの画素ライン L のみを有してもよい。

[0097] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0098] なお、本技術は以下のような構成とすることができる。以下の構成の本技術によれば、高速動作を実現することができる。

[0099] (1)

第 1 のクロック信号を生成し、前記第 1 のクロック信号をクロック信号経

路に供給するクロック信号生成部と、

第 1 の方向に並設され、前記第 1 の方向において複数の画素グループにグループ分けされ、それぞれが、受光量に応じた画素信号を生成する受光回路と、前記画素信号およびランプ波形を有する参照信号に基づいて比較動作を行う比較回路と、前記比較回路の比較結果に基づいて時刻コードをラッチするラッチ回路とを有する複数の受光画素と、

前記第 1 の方向に並設され、前記複数の画素グループにそれぞれ対応して設けられ、それぞれが、前記クロック信号経路における信号を第 2 のクロック信号として出力することが可能であり、制御信号に基づいて前記第 2 のクロック信号を出力するかどうかを制御する複数のゲート回路と、

前記第 1 の方向に並設され、前記複数のゲート回路にそれぞれ対応して設けられ、それぞれが、複数のゲート回路のうちの対応する前記ゲート回路から供給された前記第 2 のクロック信号に基づいて前記時刻コードを生成し、生成した前記時刻コードを、前記複数の画素グループのうちの対応する前記画素グループに属する 2 以上の受光画素に供給する複数のカウンタと

を備えた撮像装置。

(2)

前記クロック信号経路は、前記第 1 の方向に延伸し、

前記複数のゲート回路は、前記第 1 の方向における、そのゲート回路が設けられた位置で前記クロック信号経路に接続される

前記 (1) に記載の撮像装置。

(3)

前記第 1 のクロック信号は、2つのクロック信号を含む差動信号であり、

前記クロック信号経路は、第 1 のクロック信号経路および第 2 のクロック信号経路を含み、

前記クロック信号生成部は、前記 2つのクロック信号を、前記第 1 のクロック信号経路および前記第 2 のクロック信号経路に供給する

前記 (2) に記載の撮像装置。

(4)

前記第1のクロック信号経路に設けられた第1のインバータと、

前記第2のクロック信号経路に設けられた第2のインバータと、

前記第1のインバータおよび前記第2のインバータの下流に設けられ、前記第1のクロック信号経路に接続された入力端子と、前記第2のクロック信号経路に接続された出力端子とを有する第3のインバータと、

前記第1のインバータおよび前記第2のインバータの下流に設けられ、前記第2のクロック信号経路に接続された入力端子と、前記第1のクロック信号経路に接続された出力端子とを有する第4のインバータと

をさらに備えた

前記(3)に記載の撮像装置。

(5)

前記第1のクロック信号経路および前記第2のクロック信号経路のそれぞれは、伝送線路である

前記(3)に記載の撮像装置。

(6)

前記複数のゲート回路のうちの第1のゲート回路から出力された前記第2のクロック信号に基づいて、前記参照信号を生成する第1の参照信号生成部をさらに備えた

前記(1)から(5)のいずれかに記載の撮像装置。

(7)

前記複数のゲート回路のうちの第2のゲート回路から出力された前記第2のクロック信号に基づいて、前記参照信号を生成する第2の参照信号生成部と、

前記第1の参照信号生成部および前記第2の参照信号生成部が生成した前記参照信号を前記複数の受光画素に伝える信号配線と

をさらに備えた

前記(6)に記載の撮像装置。

(8)

前記複数のゲート回路のうちの2以上である所定数のゲート回路から出力された前記所定数の前記第2のクロック信号に基づいて、前記参照信号をそれぞれ生成する前記所定数の参照信号生成部と、

前記所定数の参照信号生成部が生成した前記参照信号を前記複数の受光画素に伝える信号配線と

をさらに備え、

前記信号配線は、前記第1の方向において、前記所定数の区分領域に区分され、

前記所定数の前記参照信号生成部は、前記所定数の前記区分領域における前記信号配線にそれぞれ接続された

前記(1)から(5)のいずれかに記載の撮像装置。

(9)

複数の前記制御信号を生成する信号生成部をさらに備え、

前記第1の方向と交差する第2の方向において、前記複数のゲート回路および前記信号生成部は、前記複数の受光画素からみて互いに同じ側に設けられた

前記(1)から(8)のいずれかに記載の撮像装置。

(10)

複数の前記制御信号を生成する信号生成部をさらに備え、

前記第1の方向と交差する第2の方向において、前記複数のゲート回路および前記信号生成部は、前記複数の受光画素からみて互いに異なる側に設けられた

前記(1)から(8)のいずれかに記載の撮像装置。

(11)

前記受光回路は、第1の半導体基板に設けられ、

前記ラッチ回路は、前記第1の半導体基板に張り付けられた第2の半導体基板に設けられ、

前記比較回路は、前記第 1 の半導体基板および前記第 2 の半導体基板にわたって設けられた

前記 (1) から (10) のいずれかに記載の撮像装置。

(12)

前記クロック信号生成部、前記複数のゲート回路、および前記複数のカウンタは、前記第 2 の半導体基板に設けられた

前記 (11) に記載の撮像装置。

[0100] 本出願は、日本国特許庁において 2020 年 8 月 26 日に出願された日本特許出願番号 2020-143006 号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0101] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 第1のクロック信号を生成し、前記第1のクロック信号をクロック信号経路に供給するクロック信号生成部と、

第1の方向に並設され、前記第1の方向において複数の画素グループにグループ分けされ、それぞれが、受光量に応じた画素信号を生成する受光回路と、前記画素信号およびランプ波形を有する参照信号に基づいて比較動作を行う比較回路と、前記比較回路の比較結果に基づいて時刻コードをラッチするラッチ回路とを有する複数の受光画素と、

前記第1の方向に並設され、前記複数の画素グループにそれぞれ対応して設けられ、それぞれが、前記クロック信号経路における信号を第2のクロック信号として出力することが可能であり、制御信号に基づいて前記第2のクロック信号を出力するかどうかを制御する複数のゲート回路と、

前記第1の方向に並設され、前記複数のゲート回路にそれぞれ対応して設けられ、それぞれが、複数のゲート回路のうちの対応する前記ゲート回路から供給された前記第2のクロック信号に基づいて前記時刻コードを生成し、生成した前記時刻コードを、前記複数の画素グループのうちの対応する前記画素グループに属する2以上の受光画素に供給する複数のカウンタと

を備えた撮像装置。

[請求項2] 前記クロック信号経路は、前記第1の方向に延伸し、

前記複数のゲート回路は、前記第1の方向における、そのゲート回路が設けられた位置で前記クロック信号経路に接続される

請求項1に記載の撮像装置。

[請求項3] 前記第1のクロック信号は、2つのクロック信号を含む差動信号であり、

前記クロック信号経路は、第1のクロック信号経路および第2のク

ロック信号経路を含み、

前記クロック信号生成部は、前記2つのクロック信号を、前記第1のクロック信号経路および前記第2のクロック信号経路に供給する請求項2に記載の撮像装置。

[請求項4]

前記第1のクロック信号経路に設けられた第1のインバータと、
前記第2のクロック信号経路に設けられた第2のインバータと、
前記第1のインバータおよび前記第2のインバータの下流に設けられ、前記第1のクロック信号経路に接続された入力端子と、前記第2のクロック信号経路に接続された出力端子とを有する第3のインバータと、

前記第1のインバータおよび前記第2のインバータの下流に設けられ、前記第2のクロック信号経路に接続された入力端子と、前記第1のクロック信号経路に接続された出力端子とを有する第4のインバータと

をさらに備えた

請求項3に記載の撮像装置。

[請求項5]

前記第1のクロック信号経路および前記第2のクロック信号経路のそれぞれは、伝送線路である

請求項3に記載の撮像装置。

[請求項6]

前記複数のゲート回路のうちの第1のゲート回路から出力された前記第2のクロック信号に基づいて、前記参照信号を生成する第1の参照信号生成部をさらに備えた

請求項1に記載の撮像装置。

[請求項7]

前記複数のゲート回路のうちの第2のゲート回路から出力された前記第2のクロック信号に基づいて、前記参照信号を生成する第2の参照信号生成部と、

前記第1の参照信号生成部および前記第2の参照信号生成部が生成した前記参照信号を前記複数の受光画素に伝える信号配線と

をさらに備えた

請求項 6 に記載の撮像装置。

[請求項8] 前記複数のゲート回路のうちの 2 以上である所定数のゲート回路から出力された前記所定数の前記第 2 のクロック信号に基づいて、前記参照信号をそれぞれ生成する前記所定数の参照信号生成部と、

前記所定数の参照信号生成部が生成した前記参照信号を前記複数の受光画素に伝える信号配線と

さらに備え、

前記信号配線は、前記第 1 の方向において、前記所定数の区分領域に区分され、

前記所定数の前記参照信号生成部は、前記所定数の前記区分領域における前記信号配線にそれぞれ接続された

請求項 1 に記載の撮像装置。

[請求項9] 複数の前記制御信号を生成する信号生成部をさらに備え、

前記第 1 の方向と交差する第 2 の方向において、前記複数のゲート回路および前記信号生成部は、前記複数の受光画素からみて互いに同じ側に設けられた

請求項 1 に記載の撮像装置。

[請求項10] 複数の前記制御信号を生成する信号生成部をさらに備え、

前記第 1 の方向と交差する第 2 の方向において、前記複数のゲート回路および前記信号生成部は、前記複数の受光画素からみて互いに異なる側に設けられた

請求項 1 に記載の撮像装置。

[請求項11] 前記受光回路は、第 1 の半導体基板に設けられ、

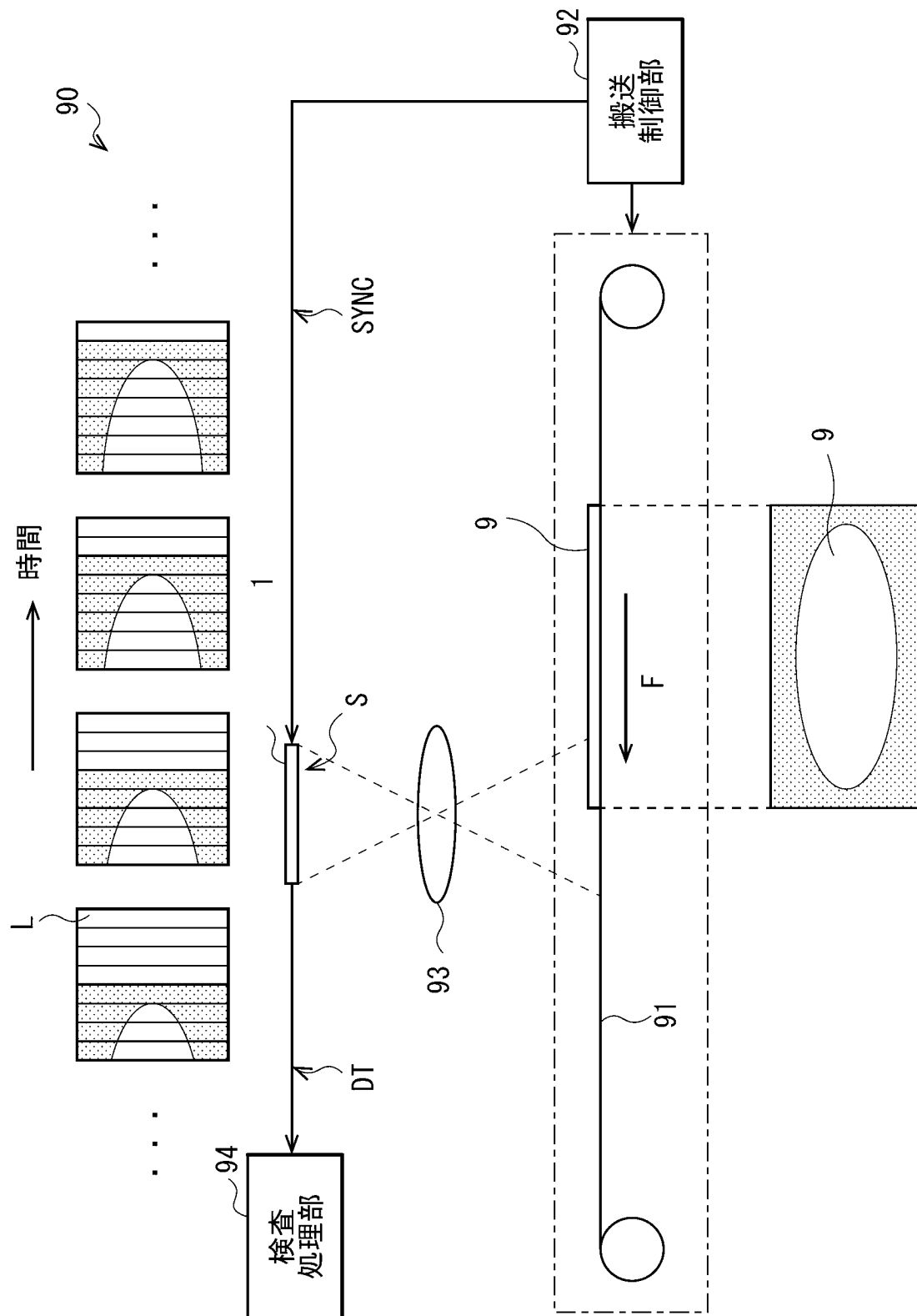
前記ラッチ回路は、前記第 1 の半導体基板に張り付けられた第 2 の半導体基板に設けられ、

前記比較回路は、前記第 1 の半導体基板および前記第 2 の半導体基板にわたって設けられた

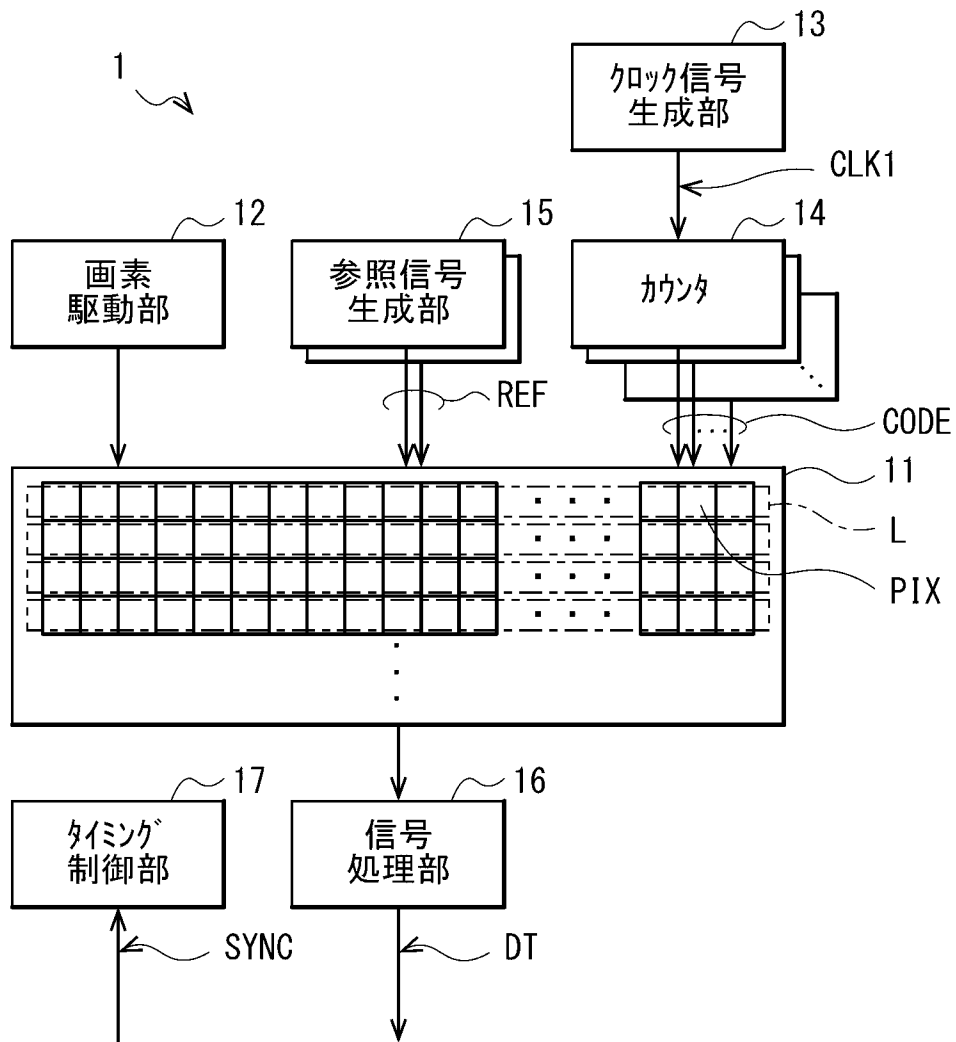
請求項 1 に記載の撮像装置。

- [請求項12] 前記クロック信号生成部、前記複数のゲート回路、および前記複数のカウンタは、前記第 2 の半導体基板に設けられた
- 請求項 1 1 に記載の撮像装置。

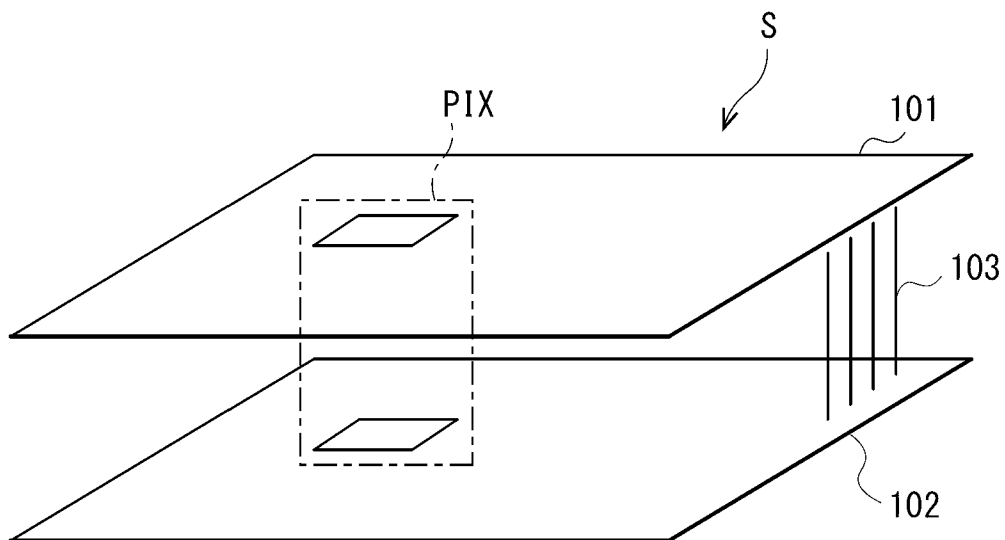
[図1]



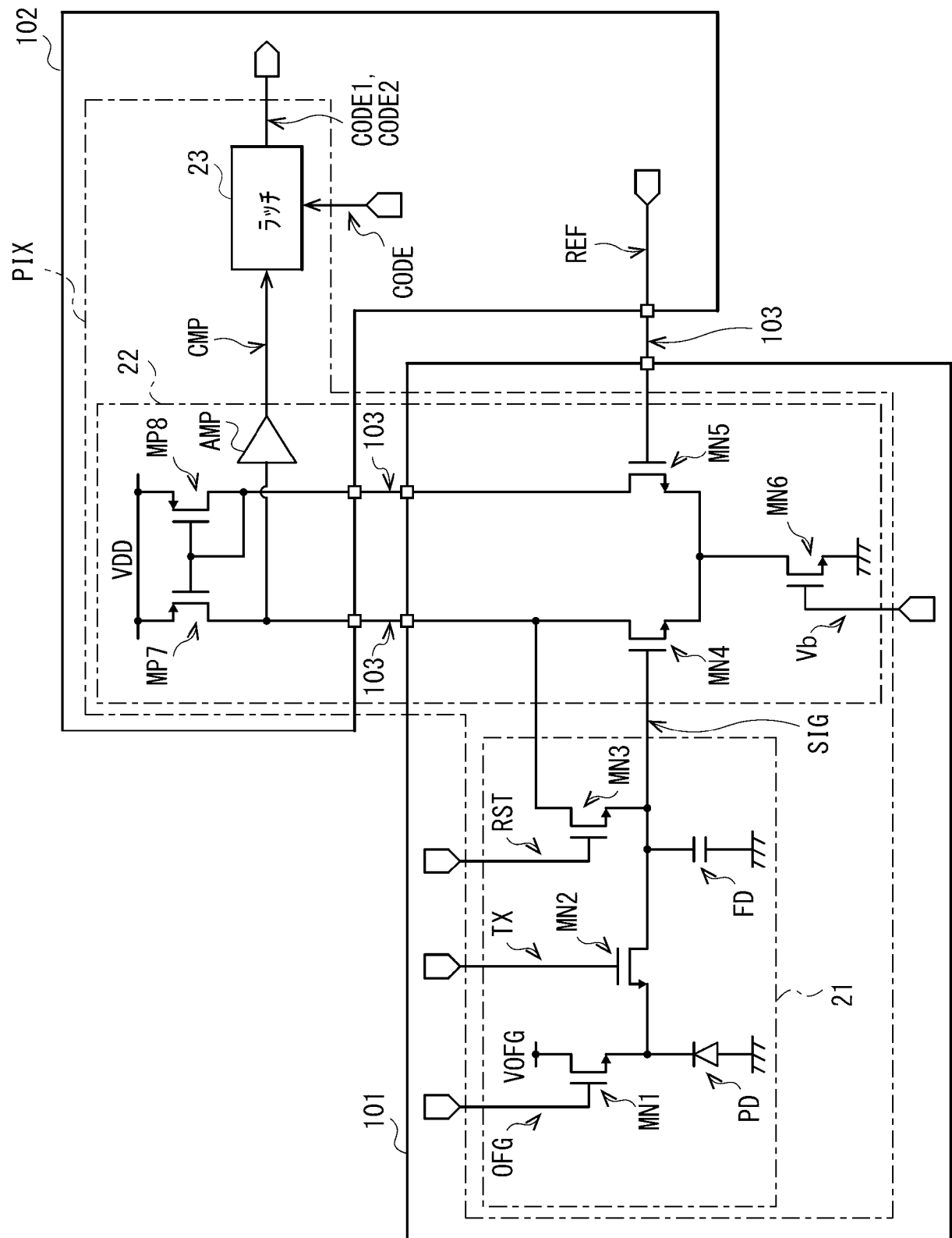
[図2]



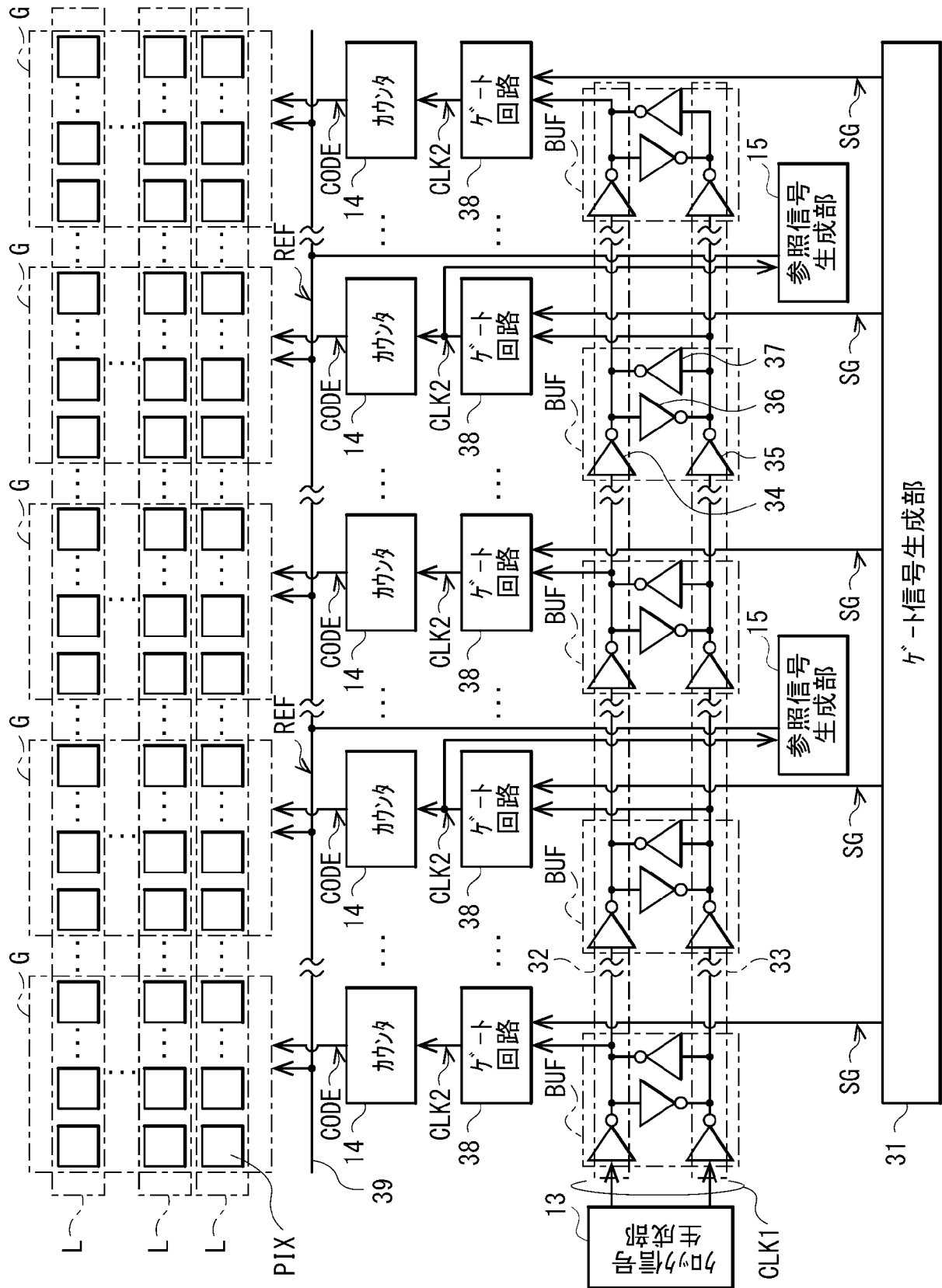
[図3]



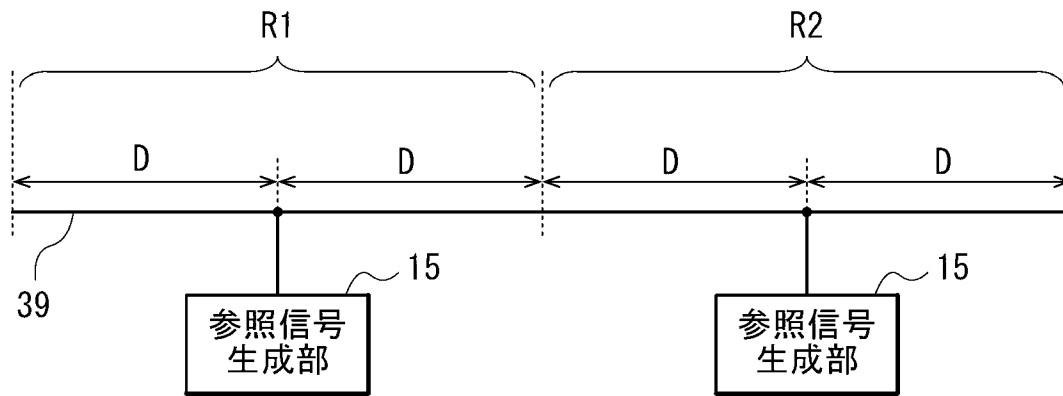
[図4]



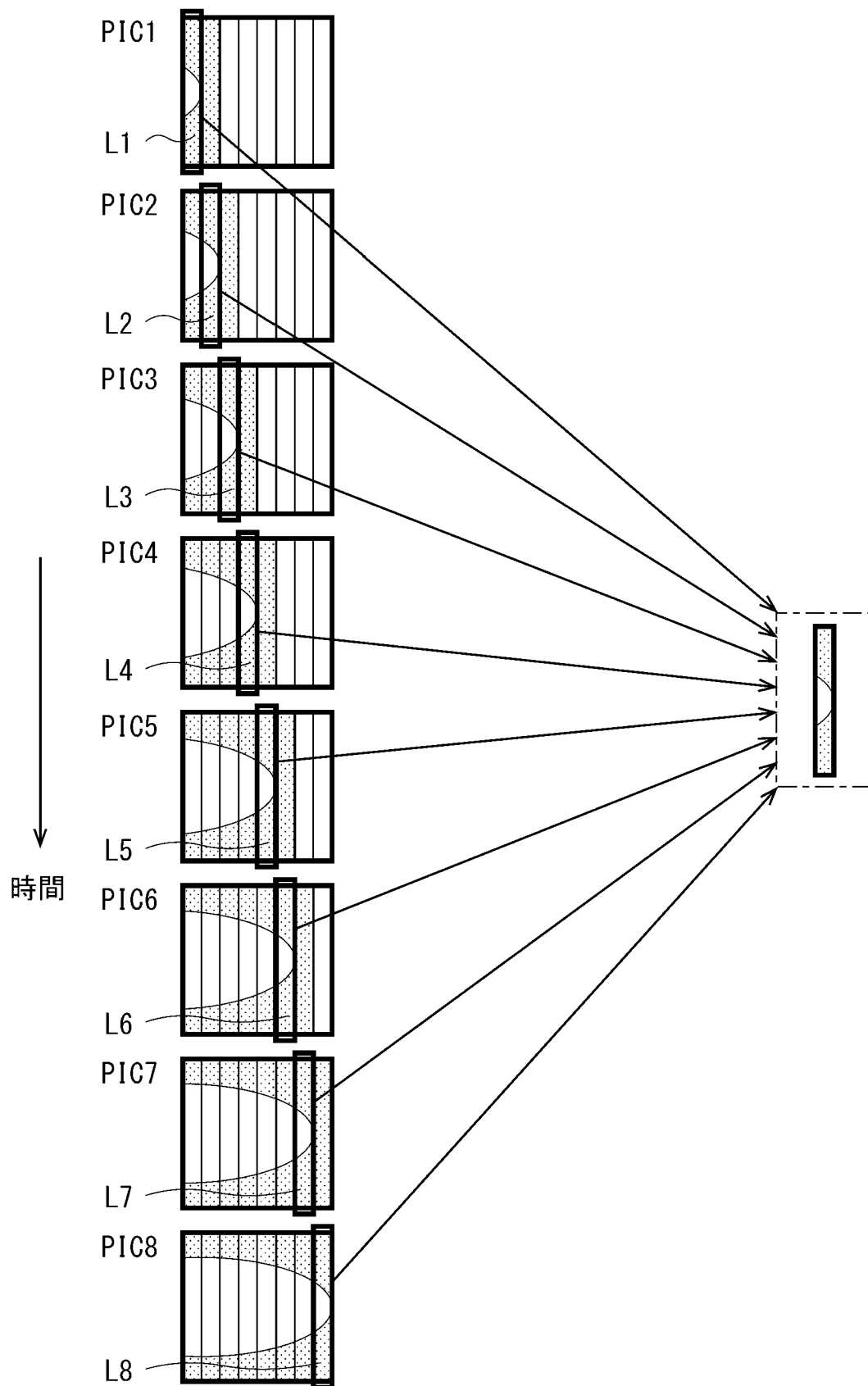
[図5]



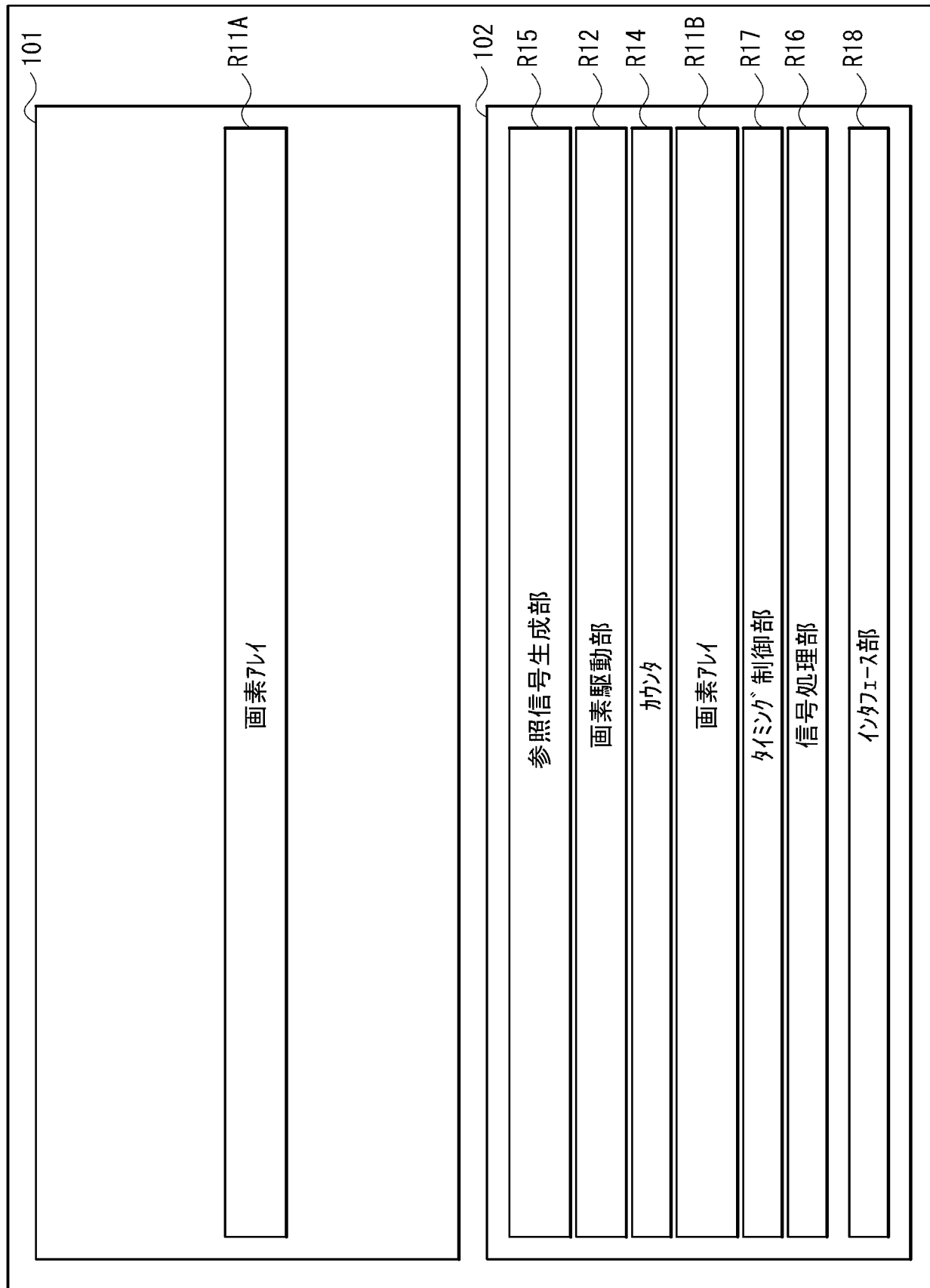
[図6]



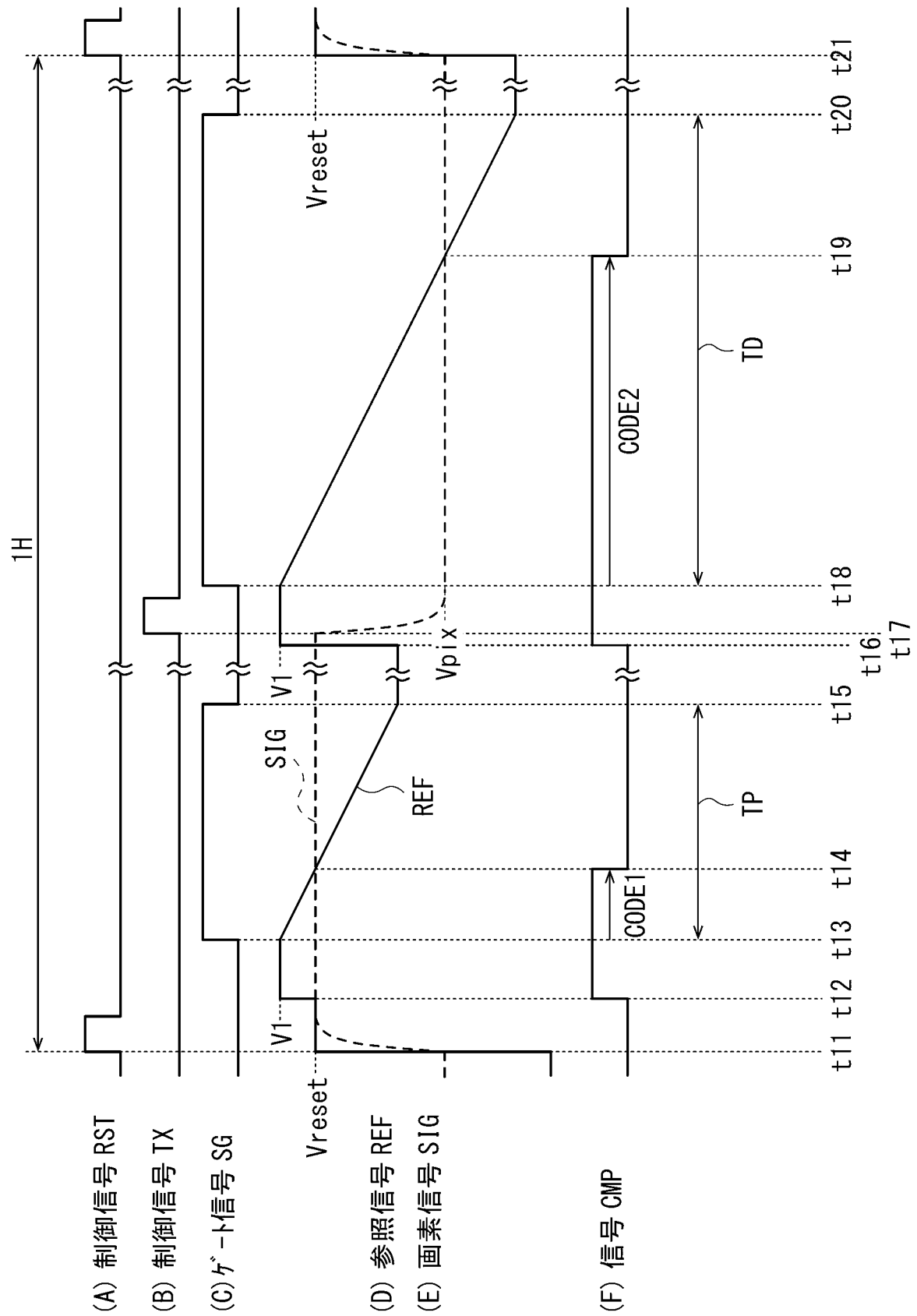
[図7]



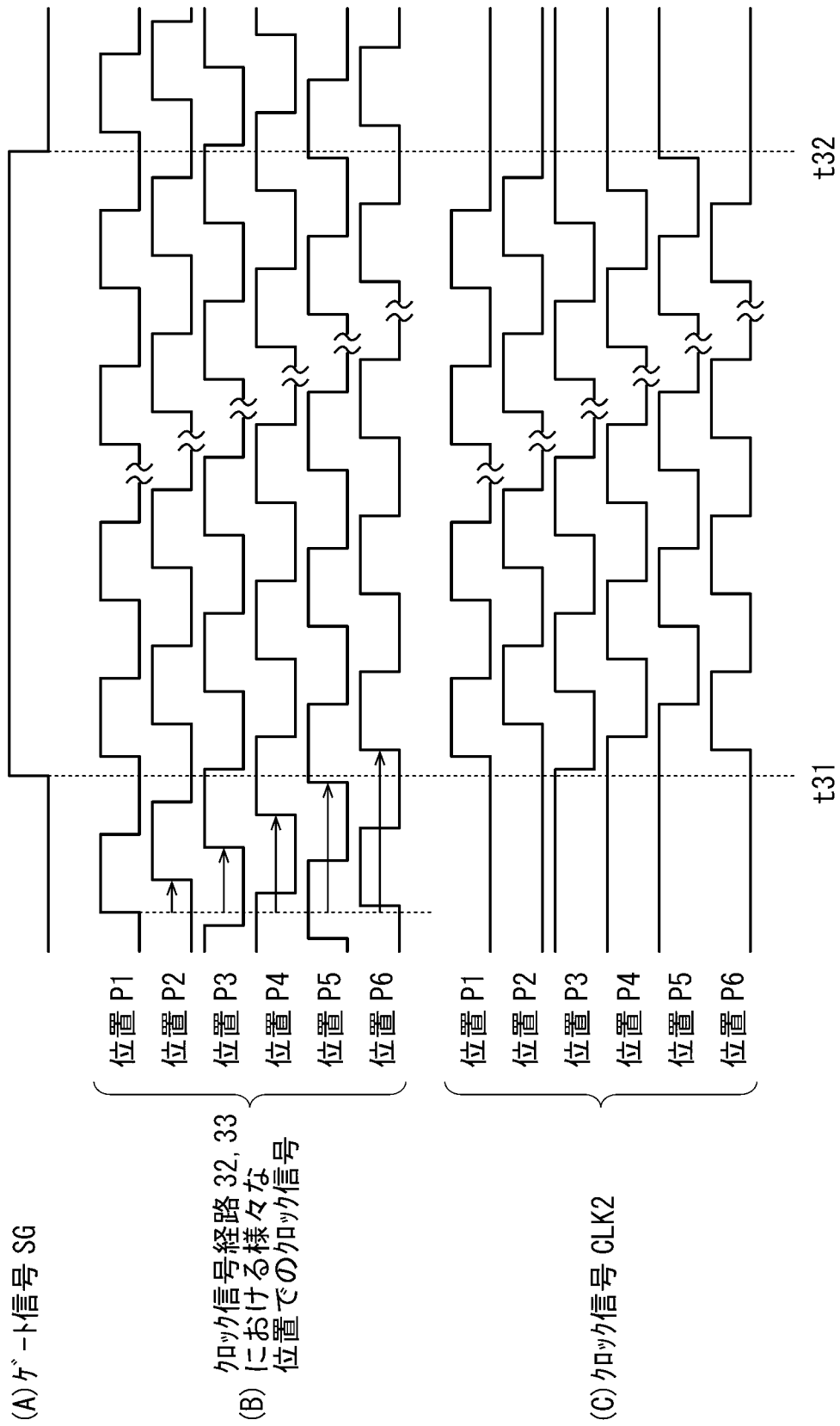
[図8]



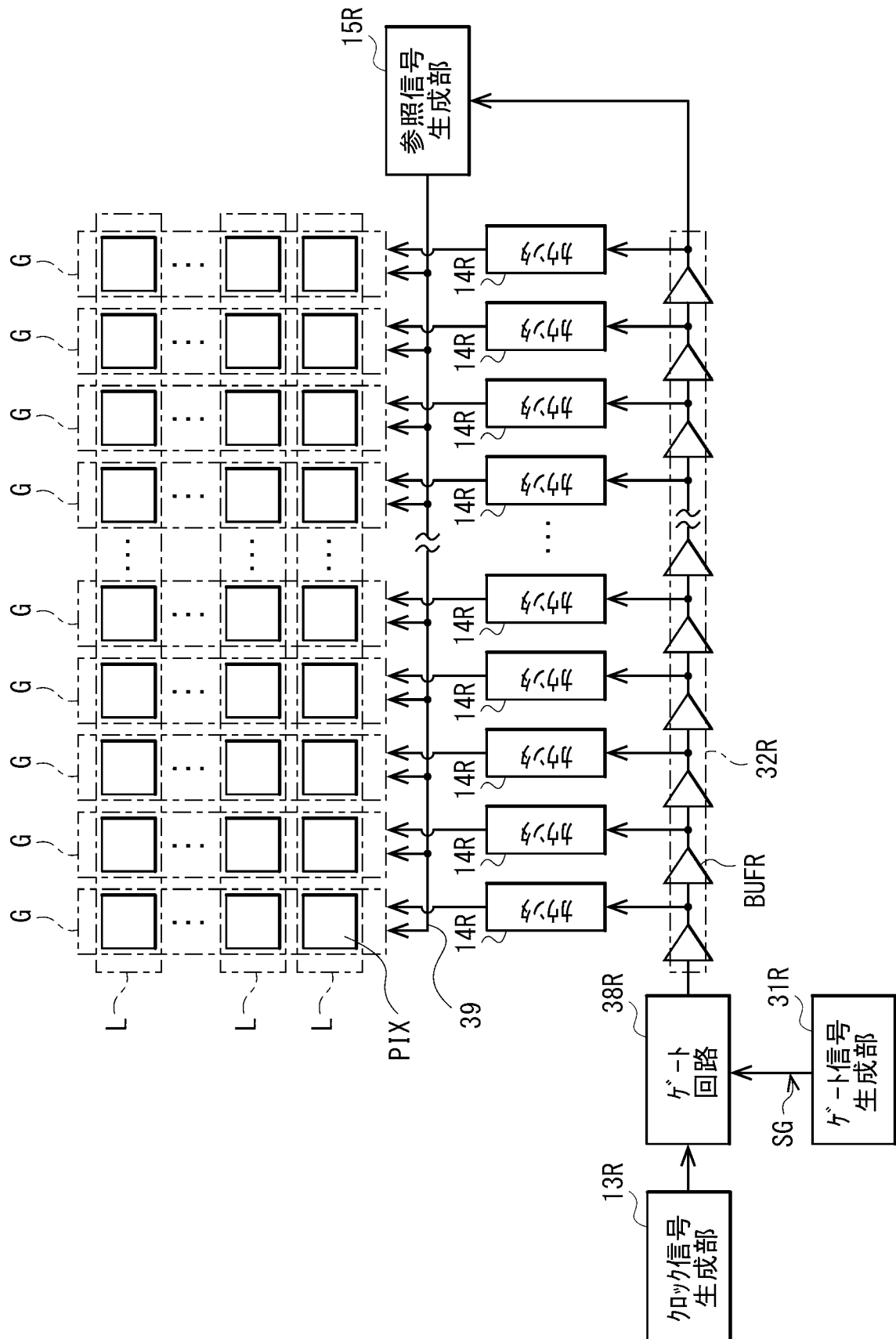
[図9]



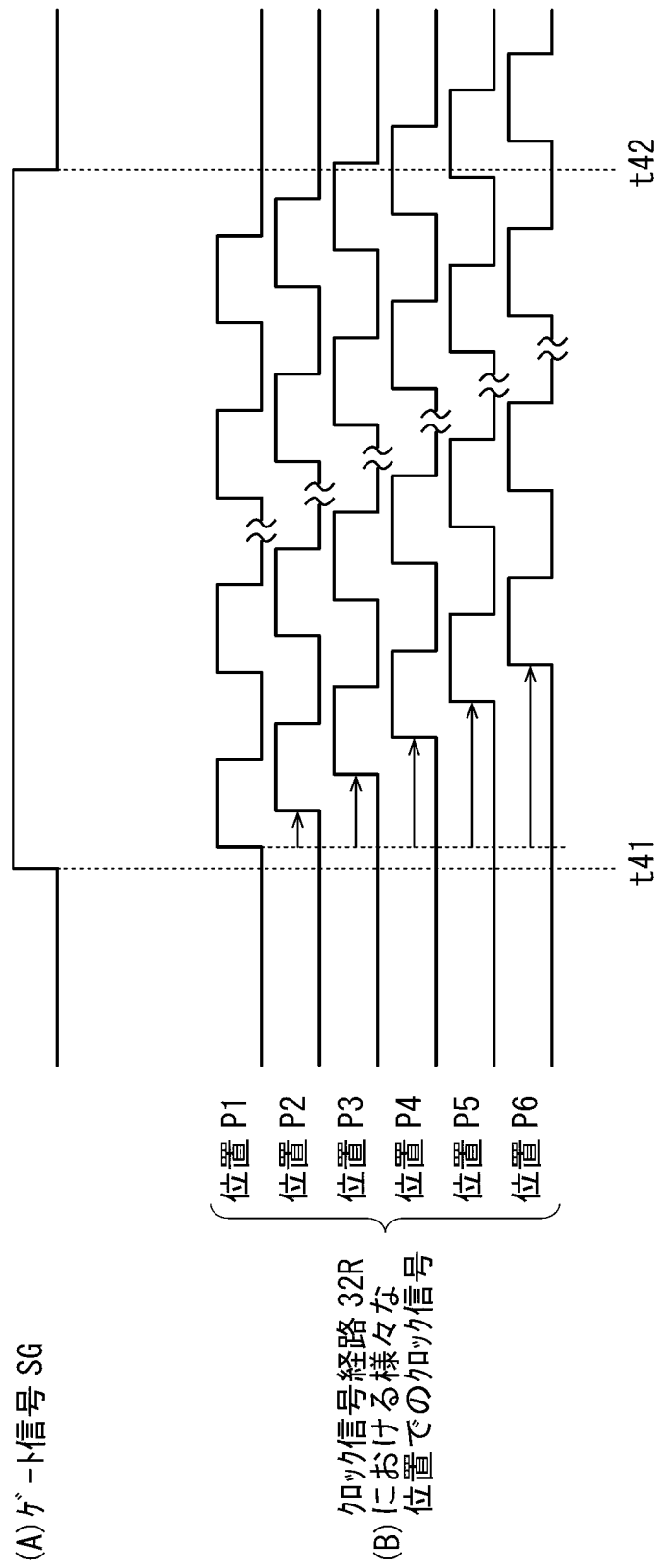
[図10]



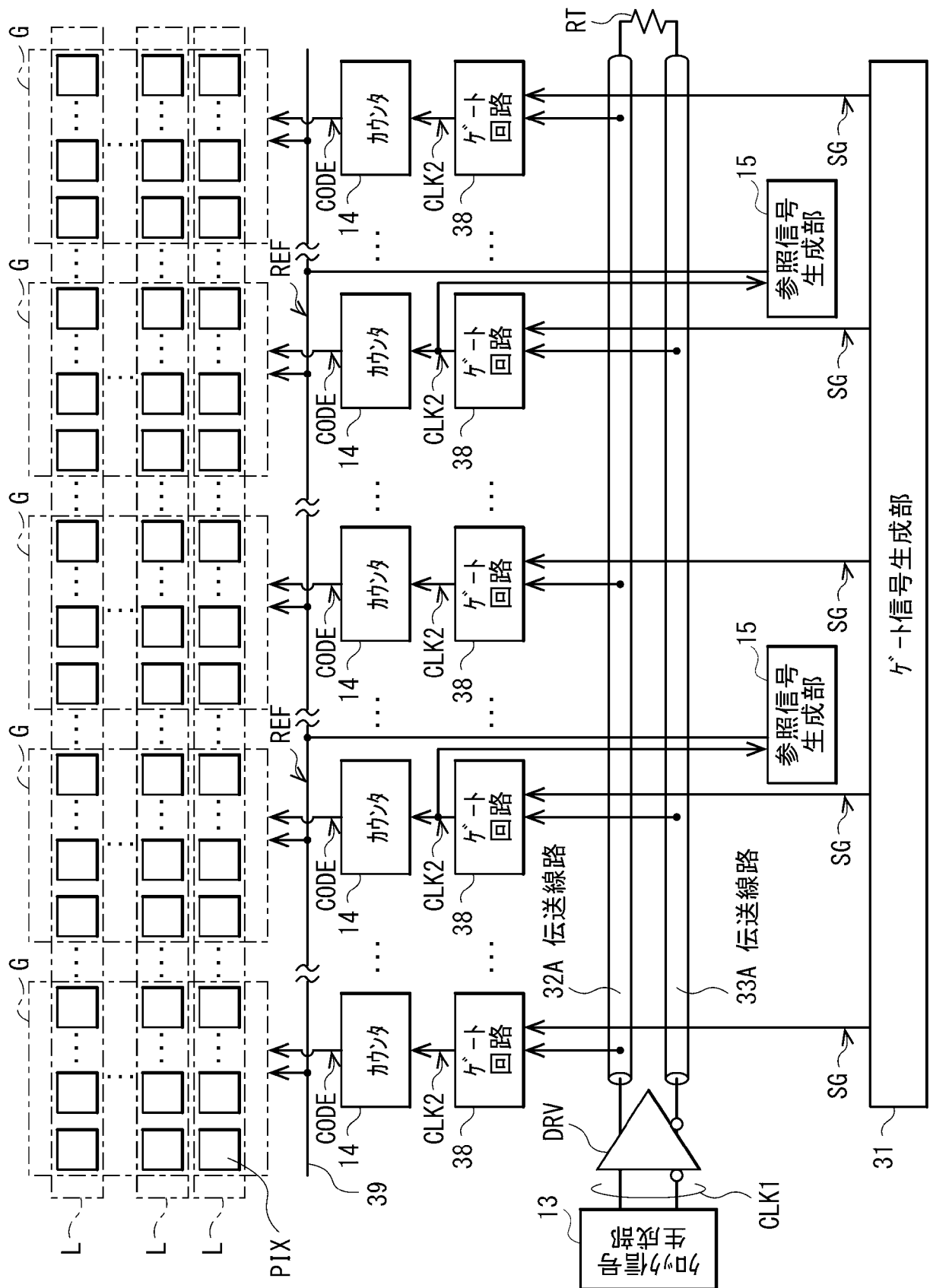
[図11]



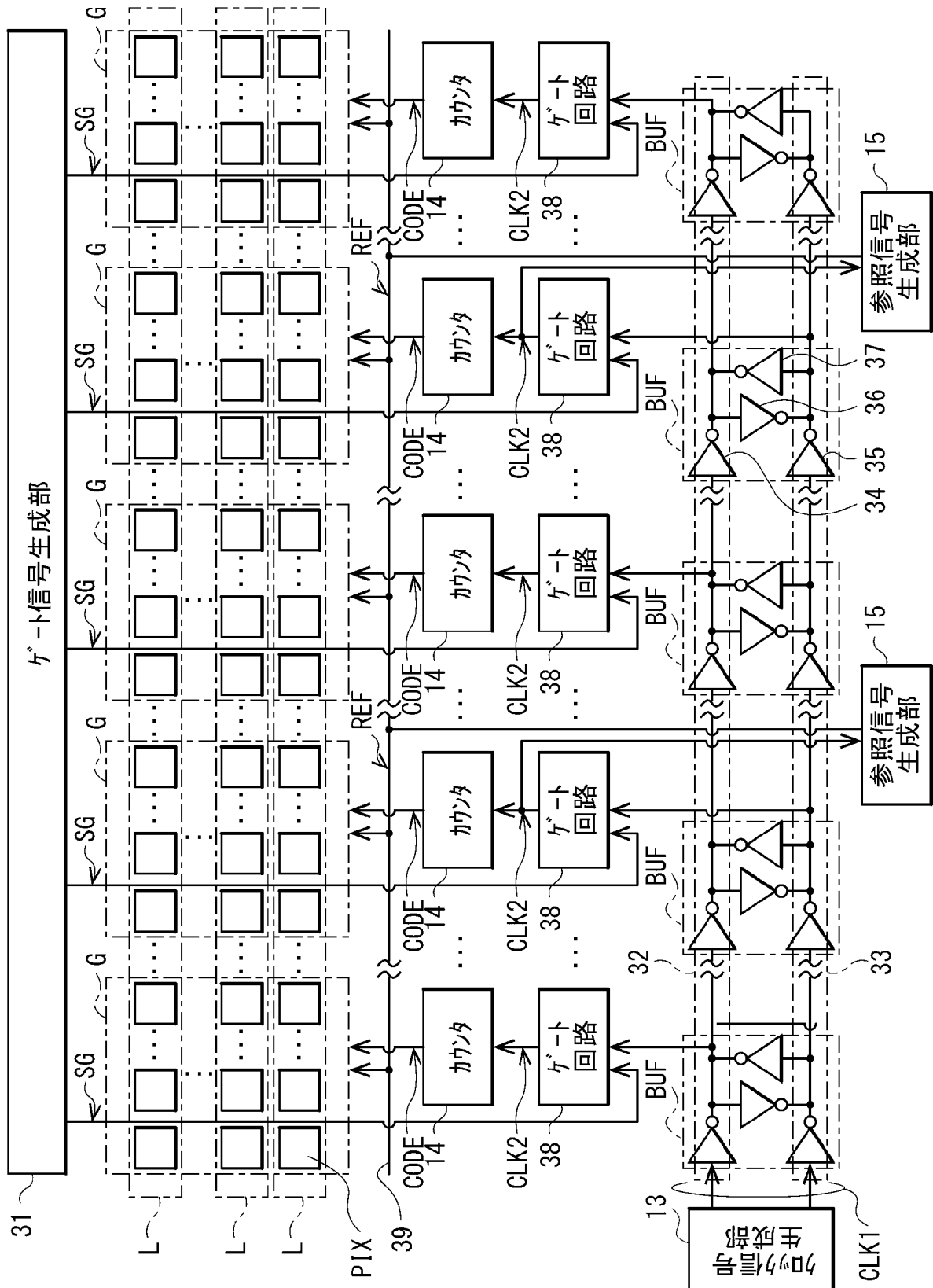
[図12]



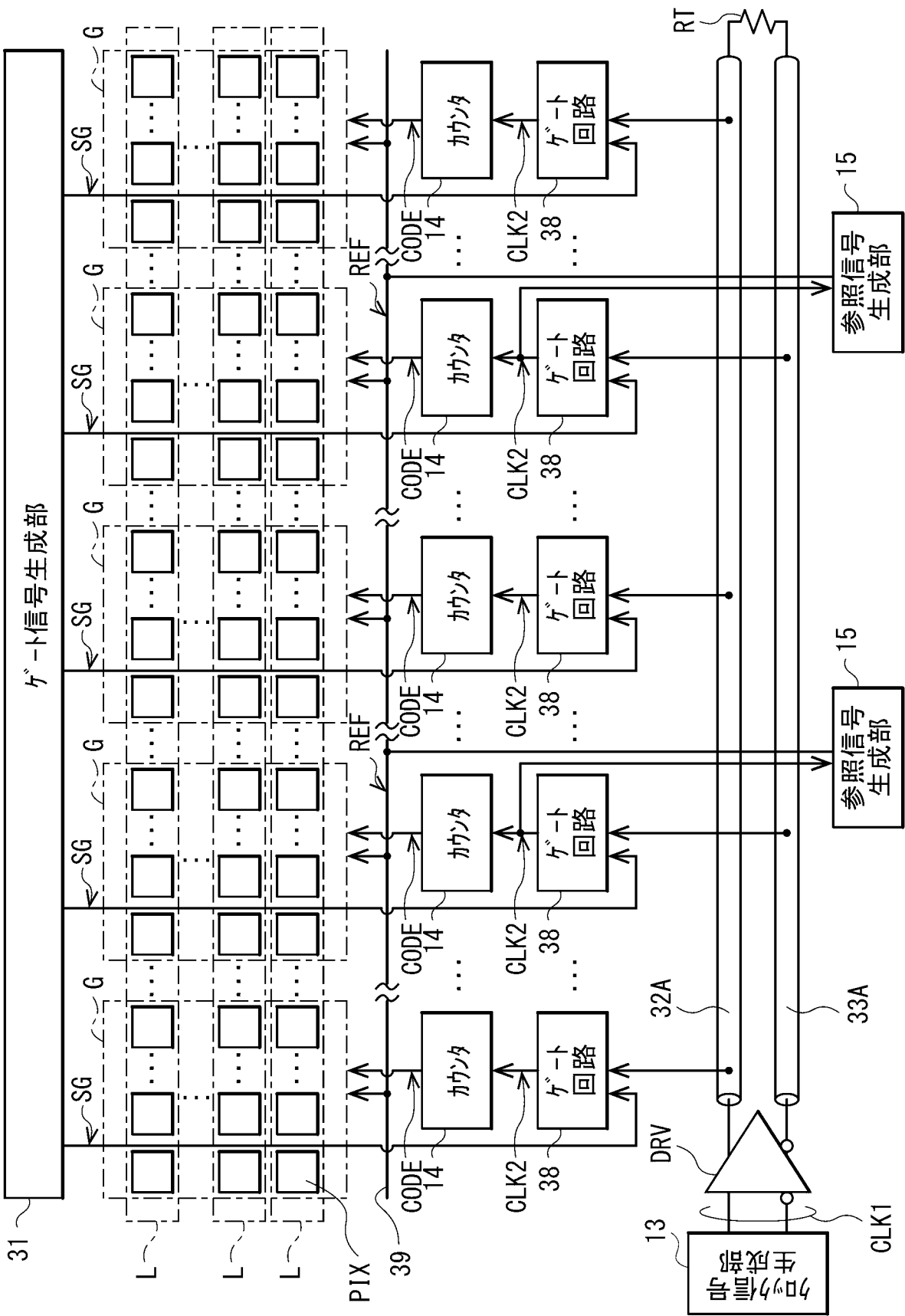
[図13]



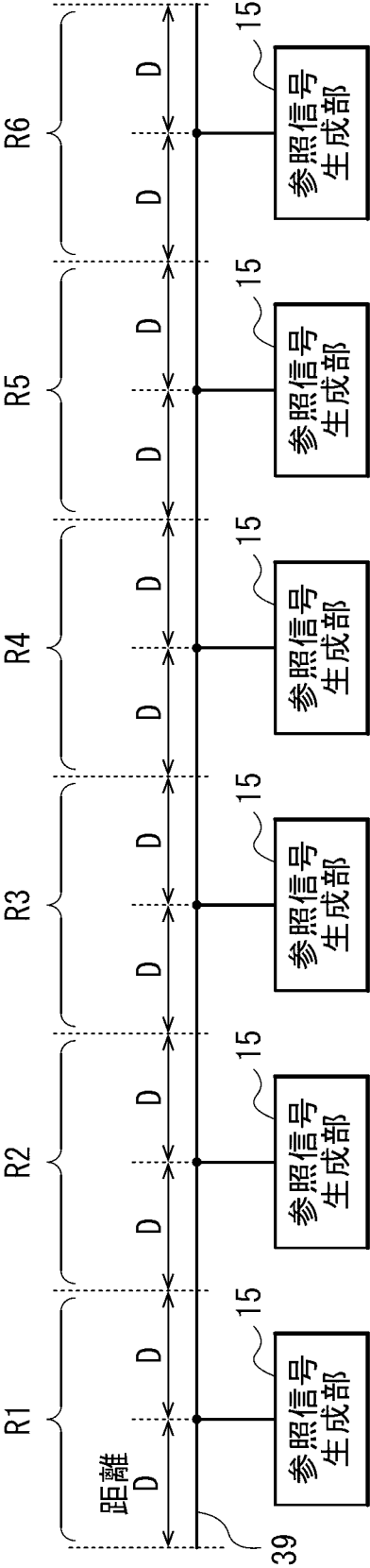
[図14]



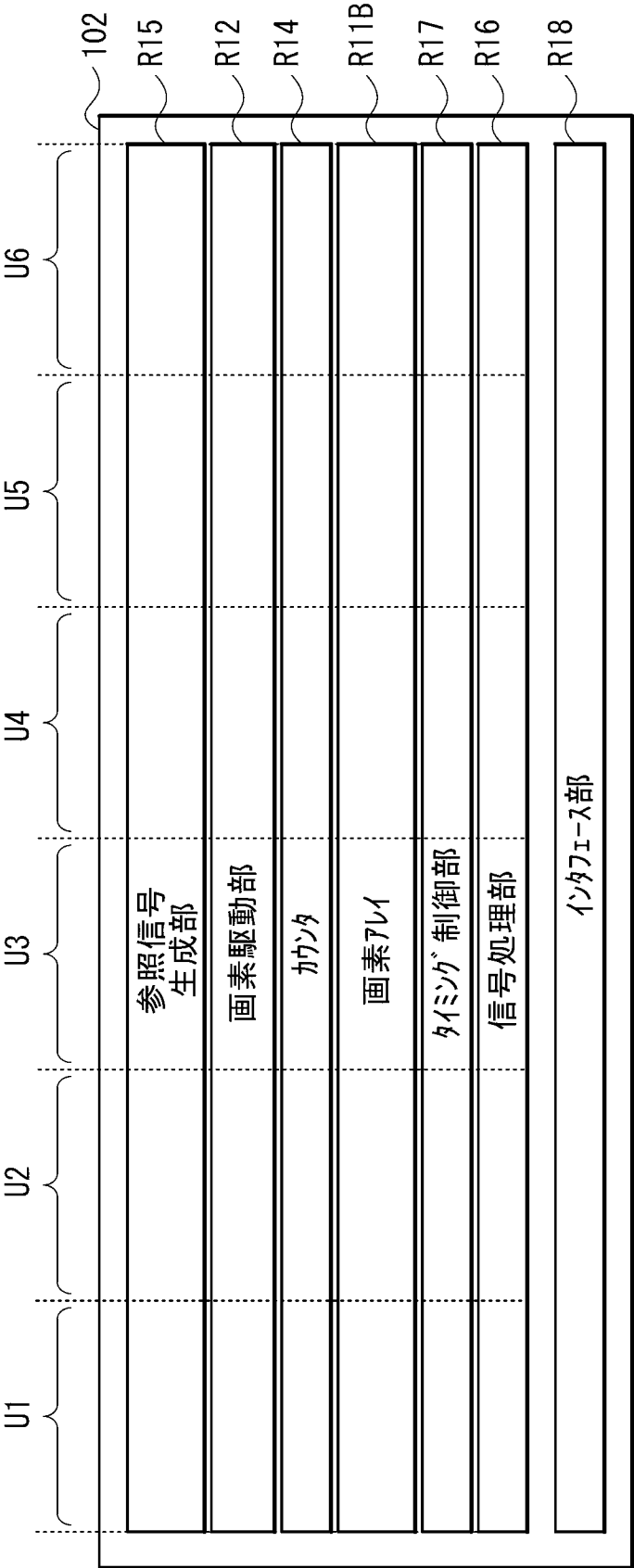
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/029635

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/369**(2011.01)i; **H04N 5/3745**(2011.01)i; **H04N 5/378**(2011.01)i; **H04N 1/03**(2006.01)i

FI: H04N5/378; H04N5/3745; H04N5/369 200; H04N1/03

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/369; H04N5/3745; H04N5/378; H04N1/03

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/136448 A1 (SONY CORP.) 01 September 2016 (2016-09-01) paragraphs [0027]-[0042], [0179], [0211]-[0215], [0239]-[0244], fig. 1, 2, 20, 26, 29	1-12
A	JP 2011-160318 A (SONY CORP.) 18 August 2011 (2011-08-18) paragraphs [0065]-[0068], [0086], fig. 13, 17	1-12
A	JP 2018-74209 A (CANON INC.) 10 May 2018 (2018-05-10) paragraph [0051], fig. 4	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

12 October 2021

Date of mailing of the international search report

16 November 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/029635

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2016/136448	A1	01 September 2016	US 2018/0013412 A1 paragraphs [0085]-[0102], [0255], [0290]-[0295], [0322]- [0327], fig. 1, 2, 20, 26, 29 US 2018/0351540 A1 US 2020/0067498 A1 CN 107409187 A CN 111432146 A	
JP	2011-160318	A	18 August 2011	US 2011/0187907 A1 paragraphs [0191]-[0198], [0228], fig. 13, 17	
JP	2018-74209	A	10 May 2018	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/369(2011.01)i; H04N 5/3745(2011.01)i; H04N 5/378(2011.01)i; H04N 1/03(2006.01)i FI: H04N5/378; H04N5/3745; H04N5/369 200; H04N1/03		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/369; H04N5/3745; H04N5/378; H04N1/03 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2016/136448 A1 (ソニー株式会社) 01.09.2016 (2016-09-01) 段落[0027]-[0042], [0179], [0211]-[0215], [0239]-[0244], 図1-2, 20, 26, 29	1-12
A	JP 2011-160318 A (ソニー株式会社) 18.08.2011 (2011-08-18) 段落[0065]-[0068], [0086], 図13, 17	1-12
A	JP 2018-74209 A (キヤノン株式会社) 10.05.2018 (2018-05-10) 段落[0051], 図4	1-12
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 12.10.2021		国際調査報告の発送日 16.11.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 花田 尚樹 5V 5889 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/029635

引用文献			公表日	パテントファミリー文献	公表日
WO	2016/136448	A1	01.09.2016	US 2018/0013412 A1 段落[0085]-[0102], [0255], [0290]-[0295], [0322]-[0327], 図1-2, 20, 26, 29 US 2018/0351540 A1 US 2020/0067498 A1 CN 107409187 A CN 111432146 A	
JP	2011-160318	A	18.08.2011	US 2011/0187907 A1 段落[0191]-[0198], [0228], 図13, 17	
JP	2018-74209	A	10.05.2018	(ファミリーなし)	