



(21) 申请号 202310036411.5

(22) 申请日 2023.01.09

(65) 同一申请的已公布的文献号

申请公布号 CN 116230552 A

(43) 申请公布日 2023.06.06

(73) 专利权人 圆周率半导体(南通)有限公司

地址 226000 江苏省南通市高新区康富路
898号

(72) 发明人 王海永 徐琛

(74) 专利代理机构 无锡华源专利商标事务所

(普通合伙) 32228

专利代理师 杨民

(51) Int. Cl.

H01L 21/48 (2006.01)

H01L 23/498 (2006.01)

(56) 对比文件

CA 2222857 A1, 1998.06.20

CN 111200903 A, 2020.05.26

审查员 秦晓彤

权利要求书1页 说明书4页 附图5页

(54) 发明名称

一种用于FCBGA的MLO的加工方法及其产品

(57) 摘要

本发明涉及一种用于FCBGA的MLO的加工方法及其产品,包括采用如下步骤:第一次PTH、前处理、第一次压膜、第一次曝光、第一次显影、电镀铜、第一次去膜、第一次闪蚀、压ABF、镭射、除胶、第二次PTH、第二次压膜、第二次曝光、第二次显影、填孔电镀、电金、第二次去膜、第二次闪蚀,加工方法简单。本发明加工方法简单、合理,操作方便,通过将pad引出至外层,使线路至于次外层,以镭射的方式将外层与次外层连通,从而减少探针误扎线路的风险,增加探针与pad的接触面,从而提高测试精度与成功率。

1. 一种用于FCBGA的MLO的加工方法,其特征在于:包括如下步骤:
 - S1、第一次PTH:先在基板(1)上进行PTH处理,附上一层1-3um的铜,作为第一导电层(8);
 - S2、第一次压膜、第一次曝光、第一次显影:在第一导电层(8)上通过压膜工艺形成第一干膜层(9),然后再通过曝光、显影工艺,把需要镀铜的位置露出来;
 - S3、电镀铜:在第一干膜层(9)上露出来的第一导电层(8)上再镀上一层16-20um的第一电镀铜层(2),形成pad;
 - S4、第一次去膜:去掉第一干膜层(9);
 - S5、第一次闪蚀:去掉第一导电层(8);
 - S6、压ABF:在基板(1)上压上一层ABF膜(4);
 - S7、镭射、除胶:通过镭射除去第一电镀铜层(2)接触面上的ABF膜(4);
 - S8、第二次PTH:在第一电镀铜层(2)上和ABF膜(4)上镀上一层第二导电层(6);
 - S9、第二次压膜:在第二导电层(6)上压上一层第二干膜层7;
 - S10、第二次曝光、第二次显影:通过曝光、显影,把需要镀铜的第一电镀铜层(2)露出来;
 - S11、填孔电镀:在第一电镀铜层(2)上镀上一层第二电镀铜层(3);
 - S12、电金:在第二电镀铜层(3)上镀上一层镀金层(5);
 - S13、第二次去膜:去除第二干膜层(7);
 - S14、第二次闪蚀:去掉第二导电层(6)。
2. 如权利要求1所述的一种用于FCBGA的MLO的加工方法,其特征在于:所述S7中第一电镀铜层(2)接触面的开口呈扩张状。
3. 如权利要求1所述的一种用于FCBGA的MLO的加工方法,其特征在于:所述S11中第二电镀铜层(3)延伸出第二干膜层(7)。
4. 如权利要求1所述的一种用于FCBGA的MLO的加工方法,其特征在于:在所述S2之前还包括前处理,前处理对基板(1)做表面清洁和增加铜面粗糙度,为后续压膜做准备。
5. 采用如权利要求1-4任一项的一种用于FCBGA的MLO的加工方法制备而成的MLO,其特征在于,包括基板(1)、连接在基板(1)上下端面的若干块第一电镀铜层(2),所述基板(1)位于第一电镀铜层(2)之外的上下端面上均附着有ABF膜(4),第一电镀铜层(2)上的侧壁上层叠连接有延伸出ABF膜(4)的第二电镀铜层(3)。
6. 如权利要求5所述的一种用于FCBGA的MLO,其特征在于:所述第二电镀铜层(3)延伸出ABF膜(4)的端面上连接有镀金层(5)。
7. 如权利要求5所述的一种用于FCBGA的MLO,其特征在于:所述第二电镀铜层(3)为喇叭状结构。

一种用于FCBGA的MLO的加工方法及其产品

技术领域

[0001] 本发明涉及芯片封装技术领域,尤其是一种用于FCBGA的MLO的加工方法及其产品。

背景技术

[0002] FCBGA(倒装芯片球栅阵列)是一种芯片的封装方式,MLO为基板,在基板加工的过程中,由于油墨在印刷时容易存在油墨不均的情况,使探针测量pad(焊盘)会低于油墨,导致探针无法与pad正常接触;

[0003] 因此现有的技术为在pad上涨铜柱,增加pad的高度,使得pad与探针能够接触到,现有技术缺点:在pad上涨铜柱成功率低,同时容易造成线路短路的风险。

[0004] 为此我们提出一种用于FCBGA的MLO的加工方法及其产品。

发明内容

[0005] 本申请人针对上述现有生产技术中的缺点,提供一种用于FCBGA的MLO的加工方法及其产品,通过将pad引出至外层,使线路至于次外层,以镭射的方式将外层与次外层连通,从而减少探针误扎线路的风险,增加探针与pad的接触面,从而提高测试精度与成功率。

[0006] 本发明所采用的技术方案如下:

[0007] 一种用于FCBGA的MLO的加工方法,包括如下步骤:

[0008] S1、第一次PTH:先在基板上进行PTH处理,附上一层1-3um的铜,作为第一导电层;

[0009] S2、第一次压膜、第一次曝光、第一次显影:在第一导电层上通过压膜工艺形成第一干膜层,然后再通过曝光、显影工艺,把需要镀铜的位置露出来;

[0010] S3、电镀铜:在第一干膜层上露出来的第一导电层上再镀上一层16-20um的第一电镀铜层,形成pad;

[0011] S4、第一次去膜:去掉第一干膜层;

[0012] S5、第一次闪蚀:去掉第一导电层;

[0013] S6、压ABF:在基板上压上一层ABF膜;

[0014] S7、镭射、除胶:通过镭射除去第一电镀铜层接触面上的ABF膜;

[0015] S8、第二次PTH:在第一电镀铜层上和ABF膜上镀上一层第二导电层;

[0016] S9、第二次压膜:在第二导电层上压上一层第二干膜层7;

[0017] S10、第二次曝光、第二次显影:通过曝光、显影,把需要镀铜的第一电镀铜层露出来;

[0018] S11、填孔电镀:在第一电镀铜层上镀上一层第二电镀铜层;

[0019] S12、电金:在第二电镀铜层上镀上一层镀金层;

[0020] S13、第二次去膜:去除第二干膜层;

[0021] S14、第二次闪蚀:去掉第二导电层。

[0022] 其进一步特征在于:

- [0023] 所述S7中第一电镀铜层接触面的开口呈扩张状。
- [0024] 所述S11中第二电镀铜层延伸出第二干膜层。
- [0025] 在所述S2之前还包括前处理,前处理对基板做表面清洁和增加铜面粗糙度,为后续压膜做准备
- [0026] 采用一种用于FCBGA的MLO的加工方法制备而成的MLO,包括基板、连接在基板上下端面的若干块第一电镀铜层,所述基板位于第一电镀铜层之外的上下端面上均附着有ABF膜,第一电镀铜层上的侧壁上层叠连接有延伸出ABF膜的第二电镀铜层。
- [0027] 所述第二电镀铜层延伸出ABF膜的端面上连接有镀金层。
- [0028] 所述第二电镀铜层为喇叭状结构。
- [0029] 本发明的有益效果如下:
- [0030] 本发明加工方法简单、合理,操作方便,通过将pad(第一电镀铜层和第二电镀铜层)引出至外层,使线路至于次外层,以镭射的方式将外层与次外层连通,从而减少探针误扎线路的风险,增加探针与pad的接触面,从而提高测试精度与成功率,同时采用ABF将线路部分盖住,隔绝线路层,无短路风险,保护住线路不受影响。
- [0031] 同时,本发明还具备如下优点:
- [0032] 1.通过设计第二电镀铜层延伸出第二干膜层,能有效解决油墨高于pad的问题。
- [0033] 2.通过将第二电镀铜层的形状设计成喇叭状,增加pad与探针接触面积,从而降低芯片测试难度。
- [0034] 3.通过将pad(第一电镀铜层和第二电镀铜层)引出至外层,保护线路不被探针误扎。
- [0035] 4.采用ABF将线路部分盖住,降低线路被刮断和短路的风险。

附图说明

- [0036] 图1为本发明实施例1中的第一次PTH时基板状态图。
- [0037] 图2为本发明实施例1中的第一次压膜时基板状态图。
- [0038] 图3为本发明实施例1中的第一次曝光、显影时基板状态图。
- [0039] 图4为本发明实施例1中的电镀铜时基板状态图。
- [0040] 图5为本发明实施例1中的第一次去膜时基板状态图。
- [0041] 图6为本发明实施例1中的第一次闪蚀时基板状态图。
- [0042] 图7为本发明实施例1中的压ABF时基板状态图。
- [0043] 图8为本发明实施例1中的镭射时基板状态图。
- [0044] 图9为本发明实施例1中的第二次PTH时基板状态图。
- [0045] 图10为本发明实施例1中的第二次压膜时基板状态图。
- [0046] 图11为本发明实施例1中的第二次曝光、显影时基板状态图。
- [0047] 图12为本发明实施例1中的填孔电镀时基板状态图。
- [0048] 图13为本发明实施例1中的电金时基板状态图。
- [0049] 图14为本发明实施例1中的第二次去膜时基板状态图。
- [0050] 图15为本发明实施例1中的第二次闪蚀时基板状态图。
- [0051] 其中:1、基板;2、第一电镀铜层;3、第二电镀铜层;4、ABF膜;5、镀金层;6、第二导电

层;7、第二干膜层;8、第一导电层;9、第一干膜层。

具体实施方式

[0052] 下面结合附图,说明本发明的具体实施方式。

[0053] 实施例1

[0054] 本实施例公开了一种用于FCBGA的ML0的加工方法及其产品:

[0055] 新技术流程介绍:

[0056] 第一次PTH→前处理→第一次压膜→第一次曝光→第一次显影→电镀铜→

[0057] 第一次去膜→第一次闪蚀→压ABF→镭射→除胶→第二次PTH→第二次压膜→

[0058] 第二次曝光→第二次显影→填孔电镀→电金→第二次去膜→第二次闪蚀。

[0059] 具体包括如下步骤:

[0060] S1、第一次PTH:先在基板1上进行PTH,上一层1-3um的铜,为电镀铜做第一导电层8;(如图1所示);

[0061] S2、前处理、第一次压膜、第一次曝光、第一次显影:对基板1做表面清洁和增加铜面粗糙度,为后续压膜做准备,在第一导电层8上通过压膜工艺形成第一干膜层9,然后再通过曝光、显影工艺,把需要镀铜的位置露出来;(如图2-图3所示);

[0062] S3、电镀铜:在第一干膜层9上露出来的第一导电层8上再镀上一层16-20um的第一电镀铜层2,形成pad(焊盘);(如图4所示);

[0063] S4、第一次去膜:通过去膜工艺把压的第一干膜层9去掉;(如图5所示)

[0064] S5、第一次闪蚀:把第一干膜层9下的第一导电层8通过闪蚀的方法去掉(如图6所示);

[0065] S6、压ABF:在经过S5步骤加工后的基板1上压上一层ABF膜4,将第一电镀铜层2和线路覆盖住(如图7所示);

[0066] S7、镭射、除胶:在第一电镀铜层2上打镭射,将第一电镀铜层2接触面转移至镭射开口面(如图8所示),且开口处呈扩张状;

[0067] S8、第二次PTH:在第一电镀铜层2上和ABF膜4上镀上一层第二导电层6(如图9所示);

[0068] S9、第二次压膜:在第二导电层6上压上一层第二干膜层7(如图10所示);

[0069] S10、第二次曝光、第二次显影:通过曝光、显影,把需要镀铜的第一电镀铜层2露出来(如图11所示);

[0070] S11、填孔电镀:在第一电镀铜层2上镀上一层第二电镀铜层3,在原有的pad上形成向外延伸的pad,使第二电镀铜层3延伸出第二干膜层7部分(如图12所示);

[0071] S12、电金:在第二电镀铜层3上镀上一层镀金层5,为了保证第二电镀铜层3的硬度和防止铜面氧化(如图13所示);

[0072] S13、第二次去膜:去除第二干膜层7(如图14所示);

[0073] S14、第二次闪蚀:把第二干膜层7下的第二导电层6通过闪蚀的方法去掉(如图15所示),从而形成本申请的基板结构。

[0074] 而本技术用将通过将pad(第一电镀铜层2和第二电镀铜层3)引出至外层,使线路至于次外层,以镭射的方式将外层与次外层连通,从而减少探针误扎线路的风险,增加探针

与pad的接触面,从而提高测试精度与成功率。

[0075] 同时采用ABF将线路部分盖住,隔绝线路层,无短路风险,保护住线路不受影响。

[0076] 实施例2

[0077] 如图13所示,本实施例的公开的一种用于FCBGA的ML0是采用本实施例1的加工方法制备而成,其包括基板1、连接在基板1上下端面的若干块第一电镀铜层2,基板1位于第一电镀铜层2之外的上下端面上均附着有ABF膜4,第一电镀铜层2上的侧壁上层叠连接有延伸出ABF膜4的第二电镀铜层3,第二电镀铜层3延伸出ABF膜4的端面上连接有镀金层5,第二电镀铜层3为喇叭状结构。

[0078] 第一电镀铜层2和第二电镀铜层3为基板1上引出的pad,也可以描述为上涨铜柱。

[0079] 具有以下好处:

[0080] 1.通过设计第二电镀铜层3延伸出第二干膜层7,能有效解决油墨高于pad的问题。

[0081] 2.通过将第二电镀铜层3的形状设计成喇叭状,增加pad与探针接触面积,从而降低芯片测试难度。

[0082] 3.通过将pad(第一电镀铜层2和第二电镀铜层3)引出至外层,保护线路不被探针误扎。

[0083] 4.采用ABF将线路部分盖住,降低线路被刮断和短路的风险。

[0084] 以上描述是对本发明的解释,不是对发明的限定,本发明所限定的范围参见权利要求,在本发明的保护范围之内,可以作任何形式的修改。

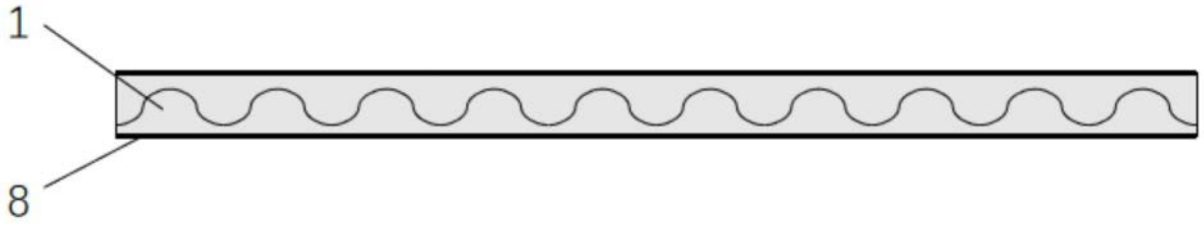


图1

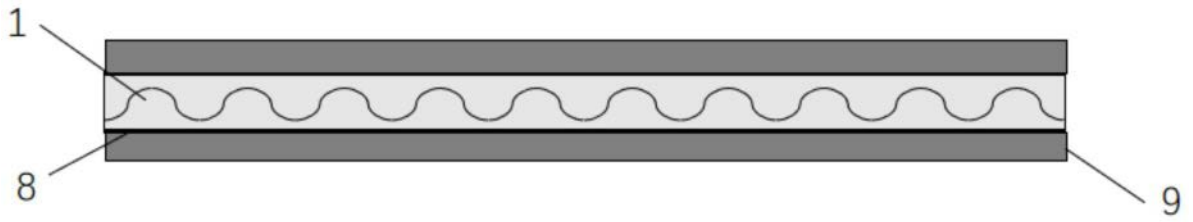


图2

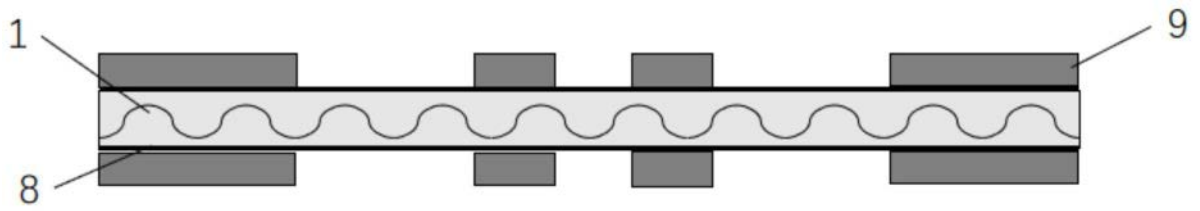


图3

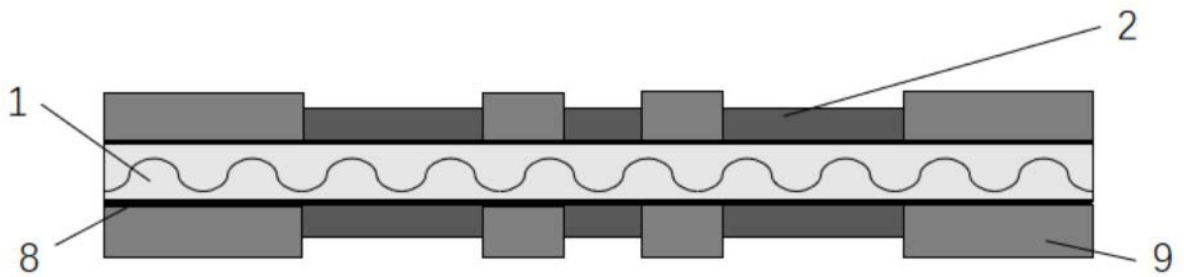


图4

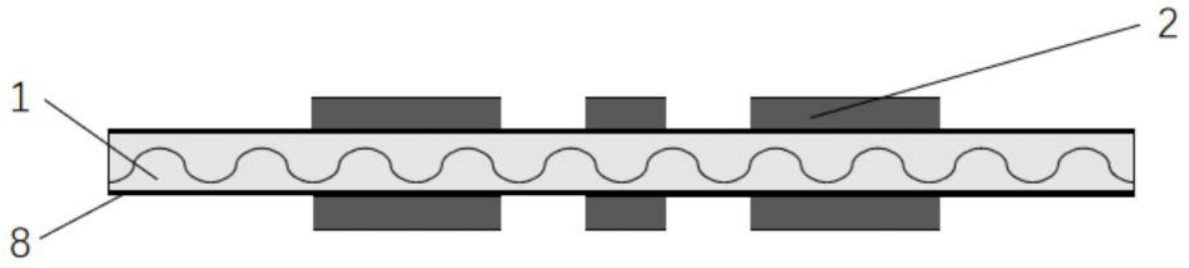


图5

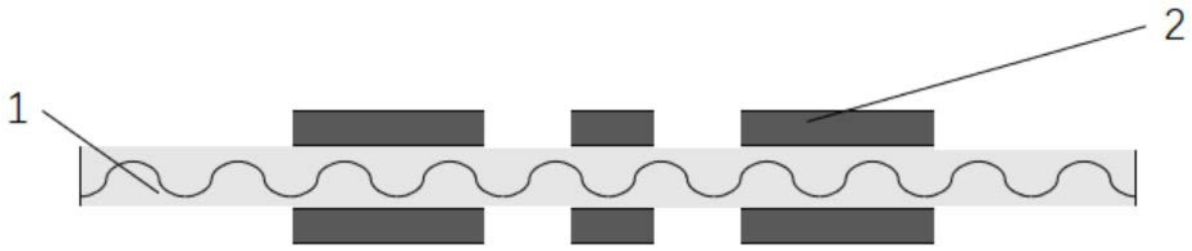


图6

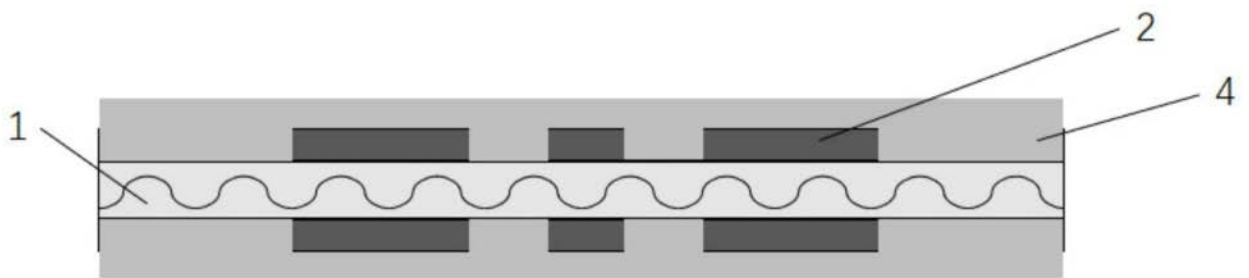


图7

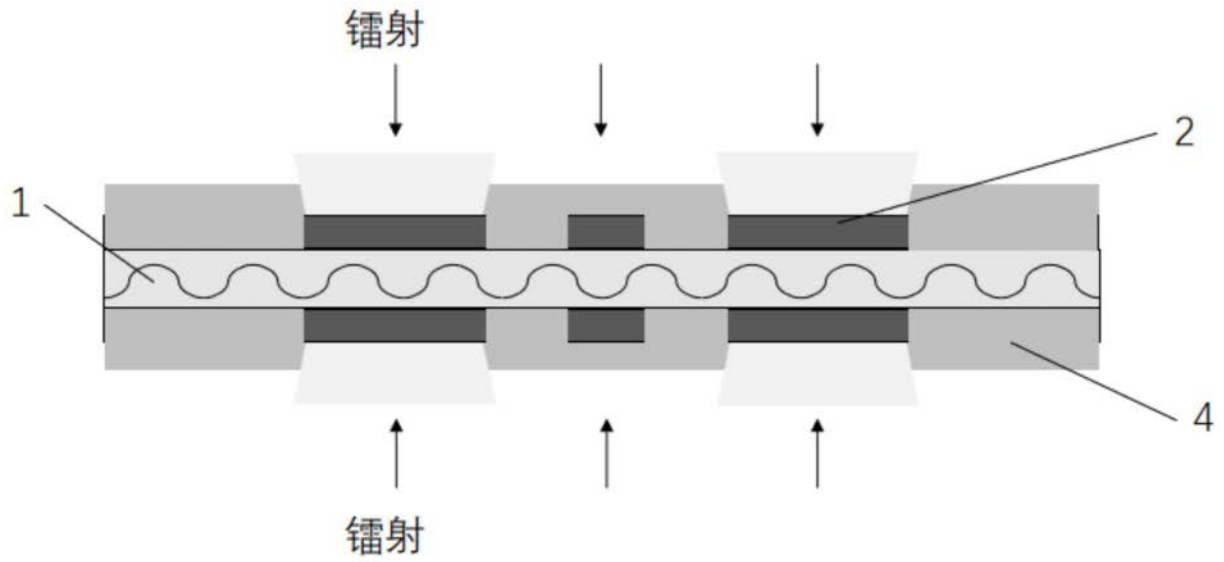


图8

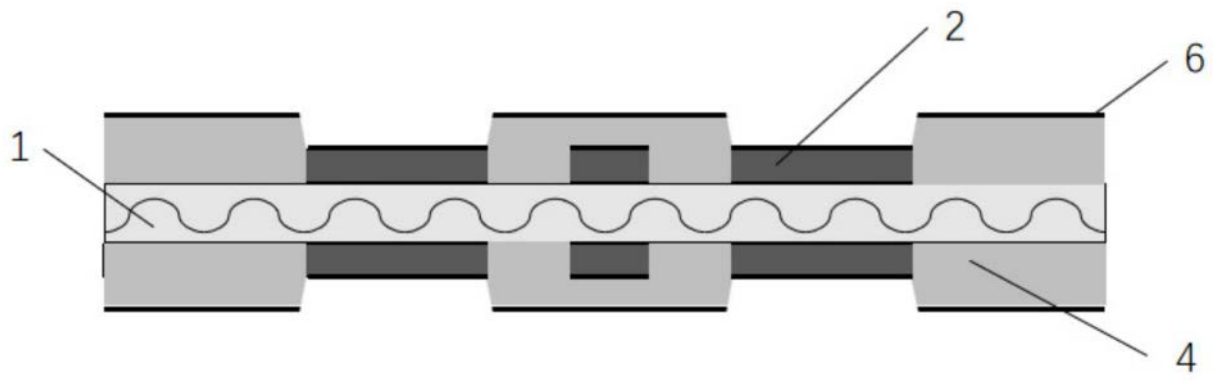


图9

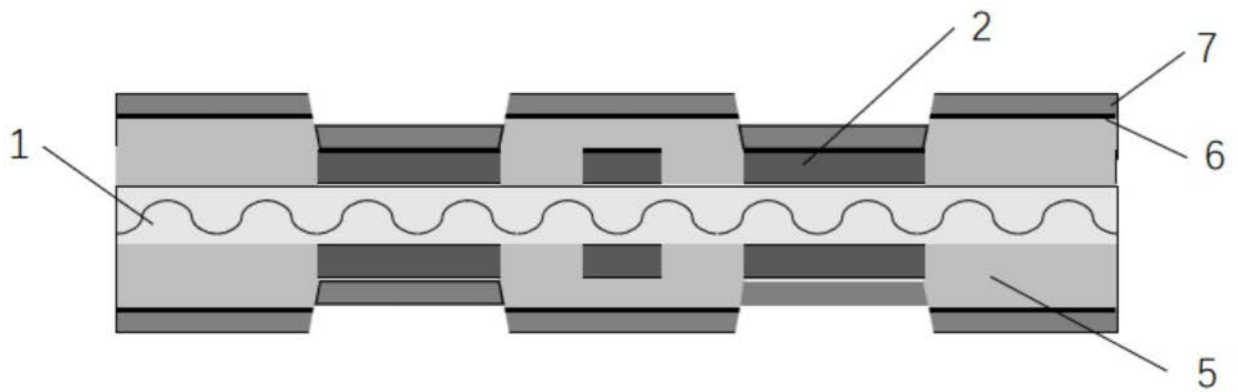


图10

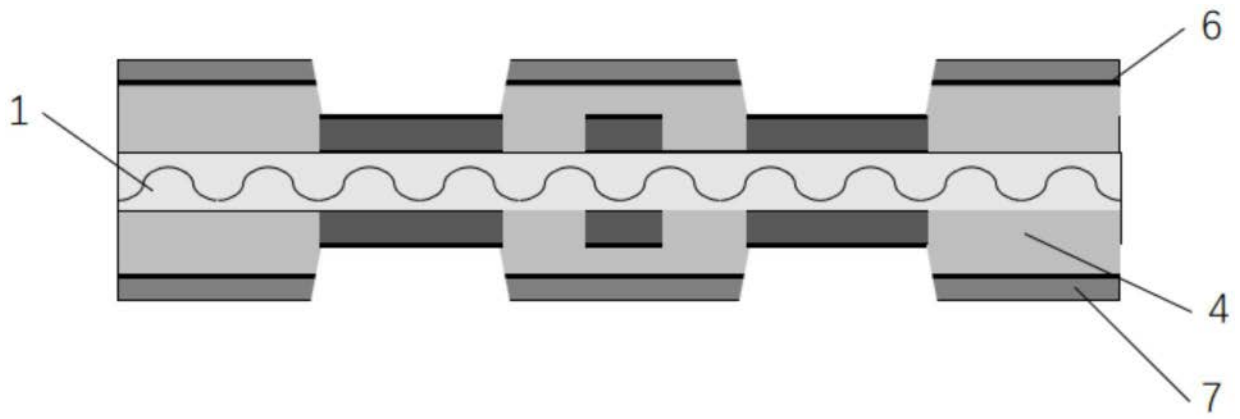


图11

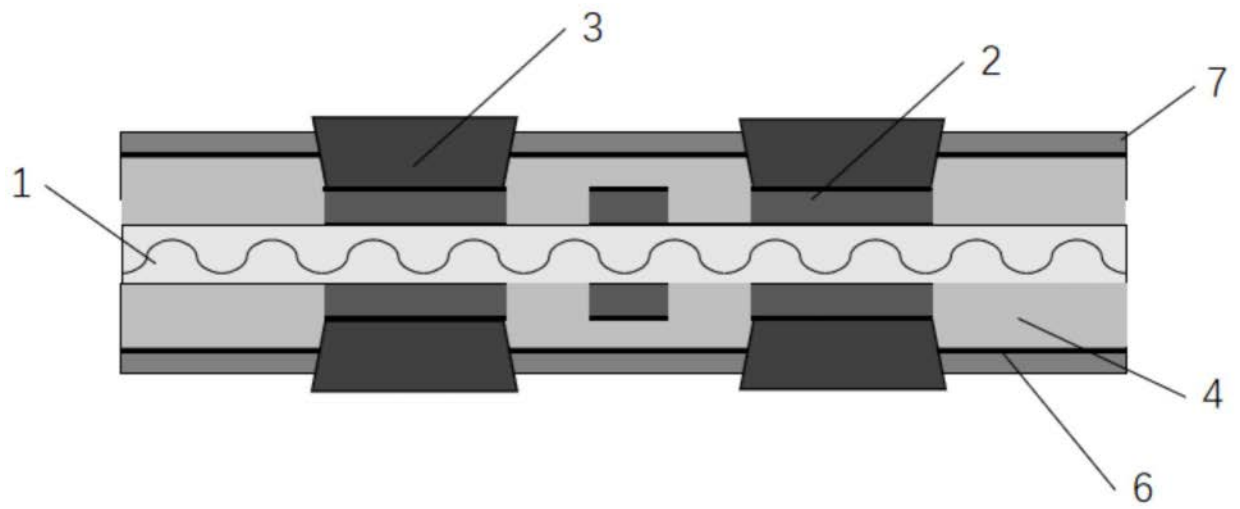


图12

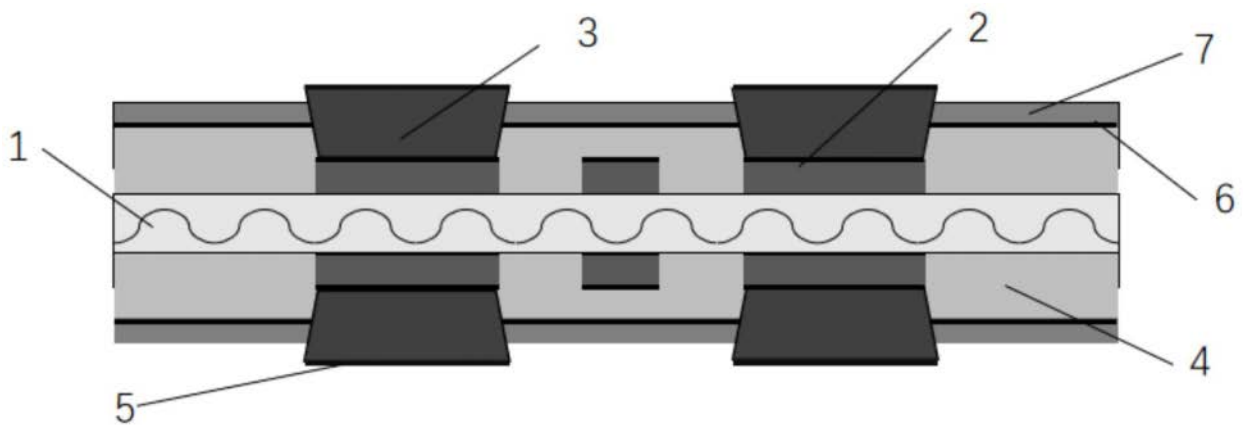


图13

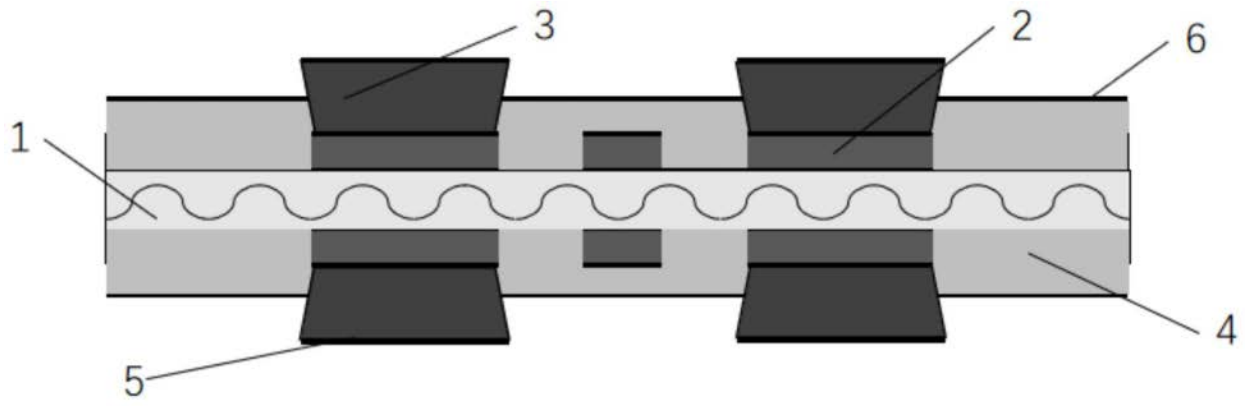


图14

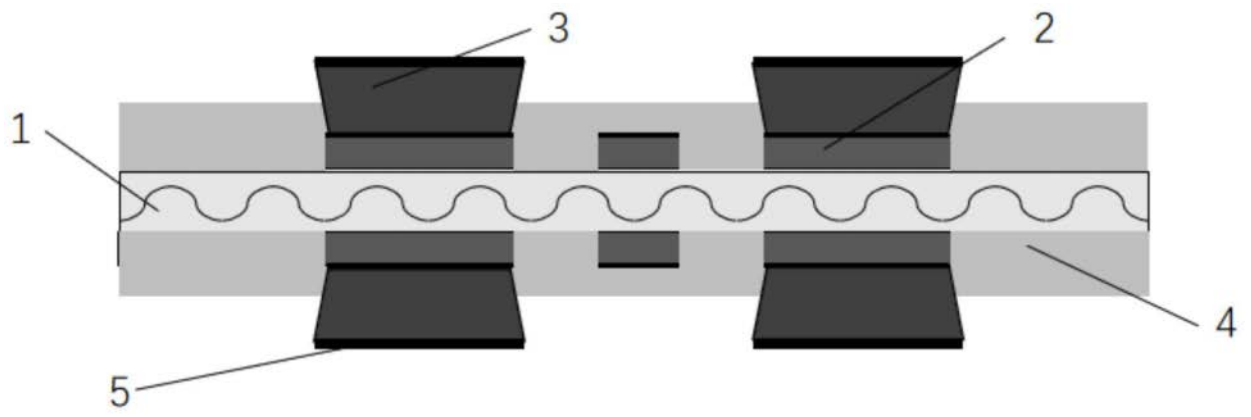


图15