

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 31 日(31.12.2014)



(10) 国際公開番号
WO 2014/208123 A1

- (51) 国際特許分類:
G11C 19/28 (2006.01) *G09G 3/36* (2006.01)
G09G 3/20 (2006.01) *G11C 19/00* (2006.01)
- (21) 国際出願番号: PCT/JP2014/054517
- (22) 国際出願日: 2014 年 2 月 25 日(25.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-136485 2013 年 6 月 28 日(28.06.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 山本 薫(YAMAMOTO Kaoru). 小川 康行(OGAWA Yasuyuki).
- (74) 代理人: 船山 武, 外(FUNAYAMA Takeshi et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

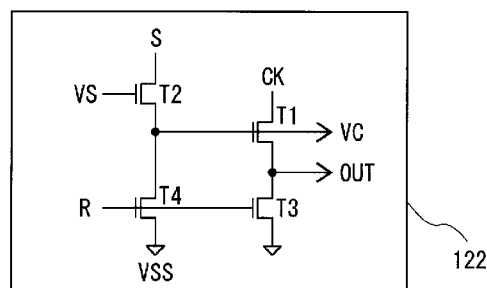
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: UNIT SHIFT REGISTER CIRCUIT, SHIFT REGISTER CIRCUIT, METHOD FOR CONTROLLING UNIT SHIFT REGISTER CIRCUIT, AND DISPLAY DEVICE

(54) 発明の名称: 単位シフトレジスタ回路、シフトレジスタ回路、単位シフトレジスタ回路の制御方法及び表示装置



(57) Abstract: Provided is a unit shift register circuit which constitutes each stage of a shift register circuit, and which includes: an output transistor (T1) in which a predetermined clock signal is input to the drain terminal, and which outputs an output signal (OUT) from the source terminal; and a setting transistor (T2), wherein the transistor (T2) is connected at the source terminal thereof to one gate electrode of the output transistor (T1), an input signal (S) is input to the drain terminal, and an input signal (VS) of higher voltage than the voltage of the input signal (S) is input to the gate electrode during charging of the gate electrode (node (VC)) of the output transistor (T1).

(57) 要約: シフトレジスタ回路の各段を構成する単位シフトレジスタ回路であって、所定のクロック信号 (CK) をドレイン端子に入力し、ソース端子から出力信号 (OUT) を出力する出力用トランジスタ (T1) と、出力用トランジスタ (T1) の 1 ゲート電極にソース端子が接続されたトランジスタ (T2) であって、入力信号 (S) をドレイン端子に入力し、出力用トランジスタ (T1) のゲート電極 (ノード (VC)) を充電する際に入力信号 (S) の電圧より高い電圧となる入力信号 (VS) をゲート電極に入力するセット用トランジスタ (T2) とを備えている。



WO 2014/208123 A1

明 細 書

発明の名称：

単位シフトレジスタ回路、シフトレジスタ回路、単位シフトレジスタ回路
の制御方法及び表示装置

技術分野

[0001] 本発明は、単位シフトレジスタ回路、シフトレジスタ回路、単位シフトレジスタ回路の制御方法及び表示装置に関する。

本願は、2013年6月28日に、日本に出願された特願2013-136485号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 携帯電話などのモバイル機器において、画素TFT（Thin Film Transistor；薄膜トランジスタ）を形成すると同時にガラス基板上に駆動回路を形成する、いわゆるモノリシック回路技術を用いた表示装置が普及してきた。近年はpoly-Si TFTによる回路だけでなく、a-Si（アモルファスシリコン）や酸化インジウムガリウム亜鉛（In-Ga-Zn-O系半導体；インジウム（In）、ガリウム（Ga）、亜鉛（Zn）及び酸素（O）を含む酸化物半導体）等の酸化物半導体を用いたTFTによる回路が使われ始めている。

[0003] 上記のようなモノリシック回路技術を用いて形成した駆動回路は、TFTの閾値電圧が時間の経過や温度に依存して変化する場合がありますことが知られている。特に走査線駆動回路で用いられるシフトレジスタ回路では次のようなことが問題となる場合がある。

[0004] すなわち、シフトレジスタ回路は、走査線を駆動する出力用TFTのゲートをブートストラップにより高電圧に昇圧して動作するが、そのゲート電極をプリチャージし、かつ、ブースト時にリークしないようにするため、ダイオード接続のTFTが用いられている。

ダイオード接続のTFTを用いた場合、プリチャージ電圧はTFTの閾値電

圧分低下した値となる。 $a-Si$ や酸化インジウムガリウム亜鉛等の酸化物半導体を用いたTFETは、ゲート電極に印加される電圧ストレスにより、閾値電圧が変動する特性をもつため、時間経過に従って特性劣化が進み、プリチャージ電圧はその分低下する。プリチャージ電圧が低下していくと、ブートストラップにより昇圧される電圧も低下し、出力用TFETの駆動力が低下し、出力波形がなまったり、さらに劣化がすすむと、出力電圧が低下して、シフトレジスタ動作が不安定となる。この問題は例えば特性劣化を考慮して大きなサイズのTFETを使用すれば解決することができる。ただし、この場合、回路面積が大きくなってしまうという課題が残る。

[0005] このような課題の解決を図ったシフトレジスタ回路の一例が特許文献1に記載されている。特許文献1の図2に記載されているシフトレジスタ回路の夫々の段（以下、本発明の実施形態を含めて「単位シフトレジスタ回路」と呼ぶ）は、その前の段の出力へ接続された第1の入力 R_{n-1} と、その段の出力へ第1のクロック電力線電圧 P_n を結合する駆動トランジスタ T_{drive} と、駆動トランジスタの寄生容量の影響を補償するための補償コンデンサ C_1 と、駆動トランジスタのゲートとその段の出力との間に接続された第1のブートストラップコンデンサ C_2 と、第1の入力 R_{n-1} によって制御され、第1のブートストラップコンデンサ C_2 を充電するための入力トランジスタ T_{in1} （セット用TFET）とを有する。さらに、単位シフトレジスタ回路の夫々の段は、入力トランジスタ T_{in1} のゲートと第1の入力 R_{n-1} との間に接続された第2のブートストラップコンデンサ C_3 を有する、その段の二段前の段の出力 R_{n-2} へ結合された入力部10を有する。特許文献1に記載されている単位シフトレジスタ回路では、2つのブートストラップコンデンサの使用により、回路は閾値電圧のレベル又は変動に敏感ではなくなるので、アモルファスシリコン技術による実施が可能となる。

先行技術文献

特許文献

[0006] 特許文献1：特表2008-508654号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献 1 に記載されている単位シフトレジスタ回路では、第 1 のブートストラップコンデンサ C 2 を充電するためのセット用 T F T のゲートを昇圧するための昇圧回路として、ダイオード接続された入力用 T F T および第 2 のブートストラップコンデンサ C 3 が必要となり、回路素子数が増加するという課題がある。

[0008] 本発明は、上記の事情を考慮してなされたものであり、少ない回路素子数で特性劣化による影響を小さくすることができる単位シフトレジスタ回路、シフトレジスタ回路、単位シフトレジスタ回路の制御方法及び表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 上記課題を解決するため本発明の一態様による単位シフトレジスタ回路は、シフトレジスタ回路の各段を構成する単位シフトレジスタ回路であって、第 1 ゲート電極、第 1 ソース端子及び第 1 ドレイン端子を有し、所定のクロック信号を前記第 1 ドレイン端子に入力し、前記第 1 ソース端子から出力信号を出力する出力用トランジスタと、第 2 ゲート電極、第 2 ソース端子及び第 2 ドレイン端子を有し、前記出力用トランジスタの前記第 1 ゲート電極に前記第 2 ソース端子が接続されたトランジスタであって、第 1 入力信号を前記第 2 ドレイン端子に入力し、前記出力用トランジスタの前記第 1 ゲート電極を充電する際に前記第 1 入力信号の電圧より高い電圧となる第 2 入力信号を前記第 2 ゲート電極に入力するセット用トランジスタとを備える。

[0010] また、本発明の他の態様による単位シフトレジスタ回路は、前記セット用トランジスタが前記出力用トランジスタの前記第 1 ゲート電極を充電する際に、前記第 1 入力信号および前記第 2 入力信号が立ち上がり、前記第 1 ゲート電極を充電後、前記第 1 入力信号の電圧の立ち下がりより先に前記第 2 入力信号の電圧が立ち下がる。

[0011] また、本発明の他の態様による単位シフトレジスタ回路は、前記出力用ト

ランジスタが、前記第 1 ソース端子と前記第 1 ゲート電極間の寄生容量に充電された電圧によって前記第 1 ゲート電圧を昇圧するブートストラップ動作により前記出力信号を昇圧する。

[0012] また、本発明の他の態様による単位シフトレジスタ回路は、前記第 1 入力信号が他の段の前記単位シフトレジスタ回路の出力信号であり、前記第 2 入力信号が他の段の前記単位シフトレジスタ回路の出力用トランジスタの前記第 1 ゲート電極の信号である。

[0013] また、本発明の他の態様による単位シフトレジスタ回路は、前記クロック信号が重なりのある多相クロック信号であって、複数の前記単位シフトレジスタ回路に対して異なる複数相のクロック信号が供給される。

[0014] また、本発明の他の態様による単位シフトレジスタ回路は、前記出力用トランジスタの前記第 1 ゲート電極が、後段の前記単位シフトレジスタ回路の出力信号に応じてリセットされる。

[0015] また、本発明の他の態様による単位シフトレジスタ回路は、前記出力用トランジスタの前記第 1 ゲート電極を前記クロック信号に応じてリセットするリセット回路を備える。

[0016] また、本発明の他の態様による単位シフトレジスタ回路は、前記単位シフトレジスタ回路の出力信号を前記クロック信号に応じてプルダウンするプルダウン回路を備える。

[0017] また、本発明の他の態様による単位シフトレジスタ回路は、前記単位シフトレジスタ回路の出力信号と前記出力用トランジスタの前記第 1 ゲート電極とを該第 1 ゲート電極の電圧に応じてプルダウンするプルダウン回路を備える。

[0018] また、本発明の他の態様による単位シフトレジスタ回路は、前記単位シフトレジスタ回路の出力信号と前記出力用トランジスタの前記第 1 ゲート電極とを所定のクリア信号に応じてプルダウンするプルダウン回路を備える。

[0019] また、本発明の他の態様による単位シフトレジスタ回路は、前記出力用トランジスタの前記第 1 ゲート電極と前記第 1 ソース端子との間に接続された

容量素子を備える。

[0020] また、本発明の他の態様による単位シフトレジスタ回路は、前記セット用トランジスタが、カスコード接続した複数のトランジスタから構成されている。

[0021] また、本発明の他の態様による単位シフトレジスタ回路は、少なくとも前記出力用トランジスタ及び前記セット用トランジスタが、半導体層に酸化物半導体を含む。

[0022] また、本発明の他の態様による単位シフトレジスタ回路は、前記酸化物半導体が、酸化インジウムガリウム亜鉛（ $In-Ga-Zn-O$ 系半導体；インジウム（ In ）、ガリウム（ Ga ）、亜鉛（ Zn ）及び酸素（ O ）を含む酸化物半導体）である。

[0023] また、本発明の他の態様による単位シフトレジスタ回路は、前記酸化物半導体が、結晶性を有する。

[0024] また、本発明の他の態様によるシフトレジスタ回路は、上記に記載の単位シフトレジスタ回路を多段接続したシフトレジスタ回路であって、 $N-1$ 段目の前記単位シフトレジスタ回路の出力信号を、 N 段目の前記単位シフトレジスタ回路の前記第1入力信号とし、 $N-2$ 段目の前記単位シフトレジスタ回路の出力用トランジスタの前記第1ゲート電極の信号を、 N 段目の前記単位シフトレジスタ回路の前記第2入力信号とする。

[0025] また、本発明の他の態様によるシフトレジスタ回路は、各段の前記単位シフトレジスタ回路に対し、前記クロック信号として、4相クロック信号が4分の1周期ずつ周期をずらして順に入力される。

[0026] また、本発明の他の態様による単位シフトレジスタ回路の制御方法は、シフトレジスタ回路の各段を構成する単位シフトレジスタ回路の制御方法であって、前記単位シフトレジスタ回路が、第1ゲート電極、第1ソース端子及び第1ドレイン端子を有し、所定のクロック信号を前記第1ドレイン端子に入力し、前記第1ソース端子から出力信号を出力する出力用トランジスタと、第2ゲート電極、第2ソース端子及び第2ドレイン端子を有し、前記出力

用トランジスタの前記第1ゲート電極に前記第2ソース端子が接続されたトランジスタであって、第1入力信号を前記第2ドレイン端子に入力し、前記第1入力信号と異なる第2入力信号を前記第2ゲート電極に入力するセット用トランジスタとを備え、前記出力用トランジスタの前記第1ゲート電極を充電する際に、前記セット用トランジスタに対し、前記第1入力信号の電圧より高い電圧の第2入力信号を入力する。

[0027] また、本発明の他の態様による表示装置は、複数の画素と、前記複数の画素が接続された複数の走査線と、シフトレジスタ回路の各段を構成する単位シフトレジスタ回路であって、第1ゲート電極、第1ソース端子及び第1ドレイン端子を有し、所定のクロック信号を前記第1ドレイン端子に入力し、前記第1ソース端子から前記各走査線を駆動する出力信号を出力する出力用トランジスタと、第2ゲート電極、第2ソース端子及び第2ドレイン端子を有し、前記出力用トランジスタの前記第1ゲート電極に前記第2ソース端子が接続されたトランジスタであって、第1入力信号を前記第2ドレイン端子に入力し、前記出力用トランジスタの前記第1ゲート電極を充電する際に前記第1入力信号の電圧より高い電圧となる第2入力信号を前記第2ゲート電極に入力するセット用トランジスタとをそれぞれが備える複数の単位シフトレジスタ回路とを備える。

発明の効果

[0028] 本発明の一態様によれば、セット用トランジスタの第2ソース端子と第2ゲート電極に異なる第1入力信号と第2入力信号（ただし、第1入力信号の電圧<第2入力信号の電圧）を入力することで、出力用トランジスタの第1ゲート電極を充電（すなわちプリチャージ）することができる。この場合、ダイオード接続のTFTや第2のブートストラップコンデンサは容易に省略することができる。また、第2入力信号には、例えば他の単位シフトレジスタ回路の出力用トランジスタの第1ゲート電極の信号を用いることができるので、容易に用意することができる。よって、本発明の単位シフトレジスタ回路によれば、少ない回路素子数で特性劣化による影響を容易に小さくする

ことができる。

図面の簡単な説明

[0029] [図1]本発明の一実施形態の液晶表示装置の構成例を示す概念図である。

[図2]本発明によるシフトレジスタ回路の構成例（第1実施形態）を示すブロック図である。

[図3]本発明による単位シフトレジスタ回路の構成例（第1実施形態）を示すブロック図である。

[図4]図3に示した単位シフトレジスタ回路122（第1実施形態）の動作タイミングチャートである。

[図5A]本発明の単位シフトレジスタ回路122（第1実施形態）の効果を説明するための第1の説明図である。

[図5B]本発明の単位シフトレジスタ回路122（第1実施形態）の効果を説明するための第2の説明図である。

[図5C]本発明の単位シフトレジスタ回路122（第1実施形態）の効果を説明するための第3の説明図である。

[図5D]本発明の単位シフトレジスタ回路122（第1実施形態）の効果を説明するための第4の説明図である。

[図6]本発明の単位シフトレジスタ回路122（第1実施形態）の効果を説明するための他の説明図である。

[図7]図3に示した単位シフトレジスタ回路122（第1実施形態）の動作例を説明するための説明図である。

[図8]図4に示した単位シフトレジスタ回路122の動作タイミングチャートに電圧値を追記したチャートである。

[図9]本発明によるシフトレジスタ回路の構成例（第2実施形態）を示すブロック図である。

[図10]図9に示した単位シフトレジスタ回路122aの構成例（第2実施形態）を示すブロック図である。

[図11]図10に示した単位シフトレジスタ回路122a（第2実施形態）の

動作タイミングチャートである。

[図12]本発明の単位シフトレジスタ回路1 2 2 bの構成例（第3実施形態）を示すブロック図である。

[図13]図1 2に示した単位シフトレジスタ回路1 2 2 b（第3実施形態）の動作タイミングチャートである。

[図14]本発明の単位シフトレジスタ回路1 2 2 cの構成例（第4実施形態）を示すブロック図である。

[図15]本発明の単位シフトレジスタ回路1 2 2 dの構成例（第5実施形態）を示すブロック図である。

[図16]本発明の単位シフトレジスタ回路1 2 2 eの構成例（第6実施形態）を示すブロック図である。

[図17]本発明によるシフトレジスタ回路の構成例（第7実施形態）を示すブロック図である。

[図18]図1 7に示した単位シフトレジスタ回路1 2 2 fの構成例（第7実施形態）を示すブロック図である。

[図19]図1 8に示した単位シフトレジスタ回路1 2 2 f（第7実施形態）の動作タイミングチャートである。

[図20]本発明の単位シフトレジスタ回路1 2 2 gの構成例（第8実施形態）を示すブロック図である。

[図21]本発明によるシフトレジスタ回路の構成例（第9実施形態）を示すブロック図である。

[図22]図2 1に示したプリブースト回路1 2 3の構成例（第9実施形態）を示すブロック図である。

[図23]図2 1に示したシフトレジスタ回路1 2 1 h（第9実施形態）の動作タイミングチャートである。

[図24]酸化物半導体を半導体層に含むT F Tの特性の一例を示した特性図（第1 0実施形態の説明図）である。

発明を実施するための形態

[0030] 以下、図面を参照して本発明の実施の形態について説明する。

[0031] 〔第1実施形態〕

まず、図1を用いて本発明の実施形態に係る液晶表示装置の構成例を説明する。図1に示すアクティブマトリクス型の液晶表示装置100には、複数本の信号線SL1、SL2、…、SLmと、複数本の走査線GL1、GL2、…、GLnと、それら複数本の信号線SL1、SL2、…、SLmと複数本の走査線GL1、GL2、…、GLn（総称する場合GLとする）との交差点にそれぞれ対応して設けられた複数個の画素部PIXが含まれている。これらの画素部PIXはマトリクス状に配置されて表示領域110を構成する。各画素部PIXは、対応する交差点を通過する走査線にゲート端子が接続されるとともに、交差点を通過する信号線にソース端子が接続されたスイッチング素子である薄膜トランジスタ（TFT）114や、映像信号を保持するための共通基板Tcomに一端が接続された画素容量115などを含む。また、液晶表示装置100には信号線SL1、SL2、…、SLmを駆動する信号線駆動回路130と走査線GL1、GL2、…、GLnを駆動する走査線駆動回路120とが設けられている。この走査線駆動回路120は、シフトレジスタ回路121を備え、そしてシフトレジスタ回路121は、各走査線GL1、GL2、…、GLnの駆動信号を生成する。

[0032] 次に、図2及び図3を参照して、図1に示したシフトレジスタ回路121の構成例について説明する。図2は、図1に示したシフトレジスタ回路121に含まれる5個の単位シフトレジスタ回路122とその入出力信号線を示している。

[0033] 図2に示した構成例で、シフトレジスタ回路121は、縦続接続（すなわち多段接続）された複数のステージ（段）で構成される。各段を構成する単位シフトレジスタ回路122は、クロック端子CK、セット端子S、セット用トランジスタのゲート電極に接続された端子VS、出力端子OUT、ノードVCに接続された端子VC、及びリセット端子Rを有している。なお、以下の記述では、各端子に入出力される信号名を端子名と同一としたり、各端

子に接続されたノード名を端子名と共通のものとしたりする。図2において、出力端子OUTまたはリセット端子Rに接続された信号線 GL_{n-3} 、 GL_{n-2} 、 GL_{n-1} 、 GL_n 、 GL_{n+1} 、 GL_{n+2} 、 GL_{n+3} 及び GL_{n+4} は、図1に示した複数の走査線GLのうちの連続して並んだ7本の走査線に対応している。また、「 $n-3$ 」、「 n 」等の添え字は、それを出力する単位シフトレジスタ回路122の「段数」を示している。図2に示した例では、中央の単位シフトレジスタ回路122を n 段として、上2つの単位シフトレジスタ回路122を上から順に $n-2$ 段及び $n-1$ 段とし、下2つの単位シフトレジスタ回路122を上から順に $n+1$ 段及び $n+2$ 段としている。また、 n 段に対して、 $n-2$ 段及び $n-1$ 段をそれぞれ前々段（あるいは2段前）及び前段と呼び、そして $n+1$ 段及び $n+2$ 段をそれぞれ1つ後の段、2つ後の段と呼ぶ。また、 $n+1$ 段、 $n+2$ 段等はまとめて n 段の後段であると称する。また、 VC_{n-4} 、 VC_{n-3} 、 VC_{n-2} 、 VC_{n-1} 、 VC_n 、 VC_{n+1} 、 VC_{n+2} 、 VC_{n+3} 、及び VC_{n+4} は、それぞれ $n-4$ 、 $n-3$ 、 $n-2$ 、 $n-1$ 、 n 、 $n+1$ 、 $n+2$ 、 $n+3$ 、及び $n+4$ 段の単位シフトレジスタ回路122の端子VCの出力信号である。

[0034] N 段目の単位シフトレジスタ回路122では、 N 段目の端子Sの入力信号であるS信号として前段の出力 GL_{n-1} が入力され、 N 段目の端子VSの入力信号であるVS信号として前々段の出力 VC_{n-2} が入力され、そして、 N 段目の端子Rの入力信号であるR信号として2つ後の段の出力 GL_{n+2} が入力される。端子CKに入力されるクロック信号CKは4相クロックで、単位シフトレジスタ回路122の4段毎にCK1、CK2、CK3、CK4、CK1、CK2、…の順に接続される。

[0035] 図3に示したように、単位シフトレジスタ回路122は、各走査線を駆動するGL（OUT）に接続されるTFET1（以下、「トランジスタT1」または単に「T1」と呼ぶ（他のTFETについても同様））及びT3と、T1のゲート電極であるノードVCに接続されるトランジスタT2及びT4

で構成されている。T 2 のゲート端子は信号 V S、ドレイン端子は信号 S がそれぞれ接続されている。トランジスタ T 1 ないし T 4 は、Nチャネル型 T F T（薄膜トランジスタ）である。

[0036] T 1 は、出力端子 O U T にパルス信号を出力するための出力トランジスタである。T 1 は、ドレインがクロック端子 C K に接続され、ゲートがノード V C に接続され、ソースが出力端子 O U T に接続されている。T 1 は、図 3 では示していないソース端子とゲート電極間の寄生容量に充電される電圧によってゲート電圧を昇圧するブートストラップ動作により出力信号 O U T を昇圧する動作を行う。

[0037] T 2 は、ゲートが V S 端子に接続され、ドレインがセット端子 S に接続され、ソースがノード V C に接続されている。プリチャージ動作時には、セット端子 S の入力信号よりも高い電圧（例えば T 2 の劣化時にも閾値電圧を確保できる十分高い電圧）が V S 端子に入力され、セット端子 S の入力電圧をそのままノード V C に供給できる。

[0038] T 3 はゲートが R 端子、ドレインが出力端子 O U T、ソースが V S S 端子（すなわち電源電圧 V S S）に接続されている。T 4 はゲートに R 端子、ドレインがノード V C、ソースが V S S 端子に接続されている。電源電圧 V S S は、単位シフトレジスタ回路 1 2 2 の動作において基準となる電圧である。

[0039] なお、図 3 に示した構成と、特許請求の範囲に記載の本発明の構成との関係は次の通りである。トランジスタ T 1 が「出力用トランジスタ」の構成例の 1 つである。トランジスタ T 2 が「セット用トランジスタ」の構成例の 1 つである。セット端子 S に入力される信号 S が「第 1 入力信号」に対応し、そして、端子 V S に入力される信号 V S が「第 2 入力信号」に対応している。

[0040] 次に、図 4 を参照して、図 3 に示した単位シフトレジスタ回路 1 2 2 の動作例について説明する。図 4 は n 段目の単位シフトレジスタ回路 1 2 2 の動作例を示すタイミングチャートである。4 相クロック C K 1 ~ 4 は、4 分の

1 周期ずつずれて順次各段の単位シフトレジスタ回路 1 2 2 に入力され、単位シフトレジスタ回路 1 2 2 を駆動する。図 4 において、クロック信号 C K 1 ~ C K 4 の番号「 $n - 6$ 」~「 $n + 3$ 」は当該パルスがクロック信号として作用する単位シフトレジスタ回路 1 2 2 の段数を示している。すなわち、当該クロック信号 C K によって出力信号 O U T を出力するように選択される単位シフトレジスタ回路 1 2 2 の段数を示している。

[0041] N (= n) 段目の単位シフトレジスタ回路 1 2 2 の駆動は、次のように行われる。

[0042] 図 4 に (1) 及び関連する点線の矢印で示したタイミングでは、前々段の単位シフトレジスタ回路 1 2 2 が動作して、ブーストされたノード V C $n - 2$ (の電圧) が V S 端子に入力される。

[0043] 次に、図 4 に (2) で示したタイミングでは、前段の単位シフトレジスタ回路 1 2 2 が動作して、G L $n - 1$ の出力ノードが S 端子に入力される。

[0044] ここで、図 4 に (3) で示したタイミングでは、V S はブーストされた電圧であり、S からの入力信号をそのままノード V C に充電する。

[0045] 次に、図 4 に (4) で示したタイミングでは、T 1 のゲート電極が充電された状態で、C K 1 のパルスが入ると、ブートストラップ動作により、ノード V C はブーストされて高電位となる。

[0046] ここで、図 4 に (5) で示したタイミングでは、ノード V C が十分高い電圧に昇圧されるので、C K パルスが O U T 端子、つまり G L n に出力される。

[0047] 同時に、図 4 に (6) で示したタイミングでは、出力 O U T は 2 段前の R 端子に入力され、2 段前の単位シフトレジスタ回路 1 2 2 のノード V C をプルダウンする。

[0048] さらに、図 4 に (7) で示したタイミングでは、N + 2 段目の出力 G L $n + 2$ が R 端子に入力され、ノード V C およびノード O U T は V S S に引き下げられる。

[0049] 上記動作では、セット用トランジスタ T 2 が出力用トランジスタ T 1 のゲ

ート電極を充電する際に、入力信号Sおよび入力信号VSが立ち上がり、トランジスタT1のゲート電極を充電後、入力信号Sの電圧の立ち下がりより先に入力信号VSの電圧が立ち下がる。

そのため、ダイオード接続を挿入しなくても他の段への逆流が発生することなく、充電されたゲート電極の電圧低下を防止することができる。

[0050] 次に、図5A～図5D、及び図6を参照して、第1実施形態の効果について説明する。図5A～図5D、及び図6は、本実施形態と、ダイオード接続方式（例えば特許文献1で従来技術として説明されたものと同等の方式）とによる構成及び作用を比較して説明するための説明図である。図5Aは本実施形態による単位シフトレジスタ回路122の構成を、寄生容量であるブースト用コンデンサCbを明示して示した構成図である。図5Aでは図3に示した構成と同一のものには同一の符号を用いている。図5Bは図5Aに示した構成の動作例を示したタイミングチャートである。なお、図5Bは、図4のタイミングチャートと同じものであるが、ダイオード接続方式との比較のために再度掲載してある。図5Cはダイオード接続方式による単位シフトレジスタ回路222の構成例を示した構成図である。この場合、T2は端子Sにドレインとゲートが接続されている。そして、図5Dは図5Cに示した構成の動作例を示したタイミングチャートである。

[0051] 図5C及び図5Dに示したように、ダイオード接続方式では、VCにプリチャージされる電圧がT2の閾値電圧分降下し、さらに、その降下した電圧により、T1がONしてブートストラップがかかるかどうか決まるため、T1およびT2の閾値シフトの影響をうける。この場合、クロック振幅Vck、T1およびT2の閾値電圧をVt1およびVt2とすると、動作条件は、 $V_{ck} - V_{t2} \geq V_{t1}$ となる。

[0052] それに対し、図5A及び図5Bに示したように、本実施形態では、T2による閾値電圧分の電圧降下がないため、T1の閾値にのみ影響される。動作条件は、 $V_{ck} \geq V_{t1}$ である。

[0053] 図6はTF Tの閾値電圧と動作可能なクロックCKの振幅電圧との関係を

示した特性図である。

図6において、横軸はT F Tの閾値電圧を示し、縦軸は動作可能なクロックの振幅電圧（C K振幅電圧の下限值）を示す。T F Tの閾値電圧とC K振幅電圧の下限值との関係は、線分で近似することができる。

ダイオード接続方式では、上述のように動作条件がT 1及びT 2の閾値電圧を用いて表されるため、T F Tの閾値電圧に対して動作可能なC K振幅電圧の下限值は、傾き2以上となる。一方、本実施形態では、上述のように動作条件がT 1の閾値電圧を用いて表されるため、T F Tの閾値電圧に対して動作可能なC K振幅電圧の下限值は、傾き1まで削減される。

[0054] 従って、図6に示す特性図から、T F Tの閾値電圧がシフトした場合、本実施形態のC K振幅電圧の下限值は、ダイオード接続方式におけるC K振幅電圧の下限值に比べて、大きく変化しないことが判る。つまり、本実施形態ではダイオード接続方式に比べて大幅に閾値電圧シフトに対する動作マージンが向上する。

ただし、上記の比較は、理論限界値を比較したものであり、本実施形態とダイオード接続方式でのT F Tは十分な駆動力があるものとする。すなわち、能力不足で動かなくなるということは考慮していない。

[0055] 次に、図7及び図8を参照して、第1実施形態の単位シフトレジスタ回路122の動作電圧の一例について説明する。図7は、図3に示したブロック図に電圧値を追記して示した図である。図8は、図4に示した単位シフトレジスタ回路122の動作タイミングチャートに電圧値を追記したチャートである。

[0056] 例として、C KのH電圧（H I G H（H）レベル電圧）を+10V、C KのL電位（L O W（L）レベル電圧）を-10V、V S Sは-10V、初期のT F Tの閾値は3Vの場合を示した。この場合、ブートストラップ動作において、ノードV Cの電圧は、ブートストラップにより、C Kの振幅分突き上げられる（ここでは突き上げ効率を100%とする）。つまり、V Cは10Vから30Vにブーストされる。よって、そのV Cが入力される後段の単

位シフトレジスタ回路122では、セット動作時（端子Sへの信号S入力時）に、ゲートに30V、端子Sに10Vが入力されるので、T2は線形領域で動作し、ノードVCはT2の閾値の影響なく10Vにプリチャージされる。

[0057] プリチャージ電圧に閾値の影響が出るのは、T2が飽和領域となる場合である。したがって、例えば、 $V_{gs} = 40V$ 、 $V_{ds} = 20V$ のときには、現在の V_{th} が3Vであるので、17V程度のマージンがある。ここで、 V_{gs} はT2のゲートソース間電圧であり、 V_{ds} はドレインソース間電圧である。

[0058] 〔第2実施形態〕

次に、図9から図11を参照して、本発明の第2実施形態について説明する。図9に示したように、第2実施形態のシフトレジスタ回路121aは、図2に示した第1実施形態のシフトレジスタ回路121と比較して、クロック信号CKに係る構成が異なっている。

本実施形態では、シフトレジスタ回路121aには、2種類のクロック信号CKAとCKBとが入力される。なお、シフトレジスタ回路121aは、図1に示した液晶表示装置100内で図1に示したシフトレジスタ回路121に対応する構成であり、走査線GL周辺の回路はシフトレジスタ回路121の場合と同一である。なお、信号及び端子名については各実施形態で同一符号や名称を用いている。

[0059] 図9に示すように、第2実施形態のシフトレジスタ回路121aは、複数の単位シフトレジスタ回路122aが縦続接続された複数のステージで構成される。N段目のS信号に、前段の出力 GL_{n-1} が入力され、N段目のVS信号に、前々段の出力 VC_{n-2} が入力され、そして、N段目のR信号に、2つ後の段の出力 GL_{n+2} が入力される。

[0060] クロック信号CKは4相クロックで、単位シフトレジスタ回路122aの4段毎に $CKA = CK1$ 及び $CKB = CK3$ 、 $CKA = CK2$ 及び $CKB = CK4$ 、 $CKA = CK3$ 及び $CKB = CK1$ 、 $CKA = CK4$ 及び $CKB =$

CK 2の順に接続される。ここでクロック信号CK Aとクロック信号CK Bは互いに逆位相のクロック信号である。

[0061] また、図10に示したように、単位シフトレジスタ回路122aは、各走査線を駆動するGL (OUT) に接続されるT1及びT3と、T1のゲート電極であるノードVCに接続されるT2及びT4で構成されている。また、T2のゲート端子には信号VS、ドレイン端子には信号Sがそれぞれ接続されている。そして、T3のゲート端子にはCK Aと逆位相のCK Bを接続する。第2実施形態では、T3がCK Aと逆位相のCK Bによって出力端子OUT (走査線GL) をプルダウンスするTF Tとして作用する。本実施形態では、CK Aと逆位相のCK BをGLのプルダウンスTF T (=T3) のゲートに接続しているので、非選択中 (すなわちT1が出力信号OUTを出力していない期間)、CK B信号によりOUT端子をプルダウンスするため、GLの浮き上がりなどのノイズが低減される。

[0062] 次に、図11を参照して、図10に示した単位シフトレジスタ回路122aの動作例について説明する。図11はn段目の単位シフトレジスタ回路122aの動作例を示すタイミングチャートである。n段目の単位シフトレジスタ回路122aはCK AがCK 1、CK BがCK 3となり、出力端子OUTは走査線GL nに接続される。

[0063] 図11に示したように、第2実施形態では、CK 3がHレベルとなると、T3がオンし、出力端子OUTはLレベルとなる (n-6、n-2、n+2の各タイミング)。一方、CK 1がHレベルとなって出力端子OUTがHレベルとなる期間 (すなわち選択中) の動作は、第1実施形態 (図4) と同じである。

[0064] 第1実施形態のように、走査線GLをプルダウンスするTF TであるT3を信号Rでリセットする場合、1V期間中 (1垂直走査期間中) に1回しかプルダウンスされない。したがって、トランジスタT1の閾値が低い場合、クロック信号CK (CK A) から出力端子OUT (GL) へのリーク電流により、走査線GLは浮き上がる可能性がある。これに対し、第2実施形態では、

クロック信号CKBをT3のゲートに接続することにより、走査線GLのノイズを抑えられる。

[0065] 〔第3実施形態〕

次に、図12及び図13を参照して、本発明の第3実施形態について説明する。図12に示したように、第3実施形態の単位シフトレジスタ回路122bは、図10に示した第2実施形態の単位シフトレジスタ回路122aと比較して、出力端子OUT及びノードVCをプルダウンするための回路（プルダウン回路）の構成が異なっている。単位シフトレジスタ回路122bを複数用いた場合のシフトレジスタ回路の構成や液晶表示装置の構成は第1実施形態と同様である。クロック信号CKAは第1実施形態のクロック信号CKと同じである。

[0066] 図12に示したように、第3実施形態の単位シフトレジスタ回路122bは、プルダウン回路が、T3、T5、T6及びT7により構成される。T6はドレインとゲートがVDD電源に接続され、ソースがT7のドレインとT5及びT3のゲート（すなわちノードVR）に接続される。T7はソースがVSS電源に接続され、ゲートがノードVCに接続される。T5はドレインがノードVCに接続され、ソースがVSS電源に接続される。そして、T3はドレインが出力端子OUTに接続され、ソースがVSS電源に接続される。

[0067] 図13に示したように、T6およびT7はVR信号を生成する回路であり、T1（出力OUT）の非選択時は、T6を介してVDD電源の電位からT6の閾値電圧分低下した電圧にノードVRがプリチャージされ、ノードVRが接続されるT3及びT5によって、ノードVCおよび出力ノードOUTが常にVSSレベルにプルダウンされる。選択時はプリチャージ動作でノードVCが充電されると、T7がONしてノードVRをVSSレベル近くに引き下げる（図13の（1）のタイミング）。このときのVR電位は、T6とT7のレシオできまり、T6に対して、T7の能力を大きくすることで実現できる。

[0068] 第3実施形態では、ノードVRの直流電圧DCのレベルに応じてプルダウンするので、非選択時に、ノードVCおよびノードGLがフローティングとなる期間をなくすことで、ノイズ耐性を向上させることができる。つまり、CKAのパルスにより、カップリングでノードVCが浮き上がるのを完全に止めることができるので、CKAのノイズがGLに出力されるクロックノイズを抑制できる。

[0069] また、本実施形態ではセット動作時のプリチャージ電圧レベルの閾値電圧による電圧降下を避けられるため、T7のゲート電圧は、劣化後の電圧降下を考慮して大きいサイズにする必要がないため、TFTサイズを小さくすることができる。その分、回路面積を削減できる。

[0070] [第4実施形態]

次に、図14を参照して、本発明の第4実施形態について説明する。図14に示したように、第4実施形態の単位シフトレジスタ回路122cは、図12に示した第3実施形態の単位シフトレジスタ回路122bと比較して、出力端子OUT及びノードVCをプルダウンするための回路（プルダウン回路）の構成が異なっている。単位シフトレジスタ回路122cを複数用いた場合のシフトレジスタ回路の構成や液晶表示装置の構成は第1実施形態と同様である。クロック信号CKAは第1実施形態のクロック信号CKと同じである。

[0071] 図14に示したように、第4実施形態の単位シフトレジスタ回路122cは、第3実施形態のプルダウン回路に加えて、CLR信号（クリア信号）を追加し、CLR信号がゲートに入力されるT8、T9、およびT10を、それぞれ、ノードVC、ノードVRおよびノードOUTに接続する。ここでT8はドレインがノードVC、T9はドレインがノードVR、T10はドレインがノードOUTに接続され、ソースがともにVSS電源に接続されている。この構成によれば、CLR信号＝Hとすることで、ノードVC、ノードVRおよび出力ノードOUT（GL）をプルダウンできる。このCLR信号は、単位シフトレジスタ回路122cの外部から入力する信号である。

[0072] 第4実施形態の単位シフトレジスタ回路122cを複数用いてシフトレジスタ回路を構成した場合、シフトレジスタ回路の全段を一括で初期化することができる。例えば、走査期間の最初にクリアすることで、初期化された状態から動作可能で、予期しない動作や出力を抑えられる。また、走査期間の最後にクリアすることで、回路を初期化し、電荷抜きが行われる。よって、動作休止時の電荷残りによるTFTの劣化を防ぐことができる。

[0073] [第5実施形態]

次に、図15を参照して、本発明の第5実施形態について説明する。図15に示したように、第5実施形態の単位シフトレジスタ回路122dは、図14に示した第4実施形態の単位シフトレジスタ回路122cと比較して、ノードVCとノードOUT(GL)との間、すなわちT1のゲート電極とソース端子間に、容量素子Cb1を設けた点が異なっている。単位シフトレジスタ回路122dを複数用いた場合のシフトレジスタ回路の構成や液晶表示装置の構成は第1実施形態と同様である。クロック信号CKAは第1実施形態のクロック信号CKと同じである。

[0074] 容量Cb1は、ブートストラップ動作時の突き上げ容量として働く。したがって、突き上げ効率が上昇し、駆動力を向上できる。また、非選択動作時は、ノードVCの電位を安定させるように働き（すなわち発振を防止し）、CKAのパルスでカップリングによりノードVCが浮き上がるのを防ぐことが可能である。

[0075] [第6実施形態]

次に、図16を参照して、本発明の第6実施形態について説明する。図16に示したように、第6実施形態の単位シフトレジスタ回路122eは、図10に示した第2実施形態の単位シフトレジスタ回路122aと比較して、セット用トランジスタT2の構成が異なっている。単位シフトレジスタ回路122eを複数用いた場合のシフトレジスタ回路の構成や液晶表示装置の構成は第2実施形態と同様である。

[0076] 第6実施形態の単位シフトレジスタ回路122eでは、第2実施形態にお

けるセット用トランジスタ T_2 をカスコード接続した複数のトランジスタからなるデュアル構成としている点が特徴である。すなわち、第6実施形態の単位シフトレジスタ回路122eでは、セット用トランジスタが、カスコード接続した、すなわち、この場合、互いのゲートを接続するとともに一方のトランジスタのドレインと他方のトランジスタのソースとを接続した、複数のトランジスタ T_{2a} 及び T_{2b} から構成されている。 T_{2a} 及び T_{2b} のゲートに信号 V_S を入力し、 T_{2a} のドレインに信号 S を入力し、 T_{2b} のソースをノード V_C に接続する。

[0077] セット用TFETをデュアルにすることで、動作時、ブートストラップによりノード V_C がブーストされた際に、セット用TFETの V_{DS} 間にかかる電位差を約半分にでき、耐圧向上が可能となる。デュアル構成にすることで駆動力がおちるものの、プリチャージ動作時の V_S 電位は非常に大きいので、十分な駆動力が得られる。

[0078] [第7実施形態]

次に、図17から図19を参照して、本発明の第7実施形態について説明する。図17に示したように、第7実施形態のシフトレジスタ回路121fは、図9に示した第2実施形態のシフトレジスタ回路121aと比較して、リセット端子 R が省略されている点が異なっている。シフトレジスタ回路121fの液晶表示装置内の接続関係は第2実施形態と同様である。

[0079] 図17に示したように、第7実施形態のシフトレジスタ回路121fは、複数の単位シフトレジスタ回路122fが縦続接続された複数のステージで構成される。 N 段目の S 信号に、前段の出力 GL_{n-1} が入力され、 N 段目の V_S 信号に、前々段の出力 $V_{C_{n-2}}$ が入力される。 CK は4相クロックで、シフトレジスタの4段毎に $CK_A = CK_1$ 及び $CK_B = CK_3$ 、 $CK_A = CK_2$ 及び $CK_B = CK_4$ 、 $CK_A = CK_3$ 及び $CK_B = CK_1$ 、 $CK_A = CK_4$ 及び $CK_B = CK_2$ の順に接続される。

[0080] 単位シフトレジスタ回路122fは、各走査線を駆動する GL (OUT) に接続される T_1 及び T_3 と、 T_1 のゲート電極であるノード V_C に接続さ

れるT2及びT4と、ノードVCとOUTの間に接続されるT5で構成されている。T2のゲート端子は信号VS、ドレイン端子は信号Sがそれぞれ接続されている。T3のゲート端子はCKAと逆位相のCKBを接続する。T4のゲート端子はCKB、ドレイン端子は信号Sがそれぞれ接続されている。T5のゲート端子はCKAが接続されている。第2実施形態の回路構成では、リセット用TF TのT4によりノードVCのプルダウンを行っていたが、第7実施形態では、T4およびT5により、ノードVCをリセットする。

[0081] 次に、図19を参照して、図18に示した単位シフトレジスタ回路122fの動作例について説明する。図19はn段目の単位シフトレジスタ回路122fの動作例を示すタイミングチャートである。n段目の単位シフトレジスタ回路122fはCKAがCK1、CKBがCK3となり、出力端子OUTは走査線GLnに接続される。

[0082] T4は、ドレインおよびソースを、それぞれ、S端子およびノードVCに接続し、CKB信号によって、ノードVCをS端子とショートさせる。

[0083] T5は、ドレインおよびソースを、それぞれ、ノードVCおよび出力OUTノードに接続し、CKA信号によって、ノードVCをOUT端子とショートさせる。

[0084] また、T3は、CKB信号によってOUT端子をプルダウンする。

[0085] 第7実施形態によれば、セルフリセットが可能である。すなわち、出力OUTの選択終了直後にCKBがHとなり、T4がONすることで、ノードVCをS端子に接続し、S端子に接続される前段の単位シフトレジスタ回路122fのT3によりプルダウンされる（図19の（1）のタイミング）。

[0086] また、非選択時にCKAがHとなると、T5がONすることで、ノードVCをOUTノードとショートさせる。OUTノードはノードVCに比較してGLの大きな負荷がついているので、CKAとノードVCのカップリング容量が小さくなるので、ノードVCのノイズを抑えることができる。

[0087] また、CKAがLでCKBがHとなると、T4がONすることで、ノードVCをS端子に接続する。この場合、ノードVCが、前段の単位シフトレジ

スタ回路 1 2 2 f の G L に接続されるので電位が固定される。

[0088] 第 7 実施形態では、第 3 実施形態のプルダウン回路にくらべて、少ない素子数でプルダウンが可能となる。

[0089] [第 8 実施形態]

次に、図 2 0 を参照して、本発明の第 8 実施形態について説明する。図 2 0 に示したように、第 8 実施形態の単位シフトレジスタ回路 1 2 2 g は、図 1 8 に示した第 7 実施形態の単位シフトレジスタ回路 1 2 2 f と比較して、プルダウン回路の構成が異なっている。

単位シフトレジスタ回路 1 2 2 f を複数用いた場合のシフトレジスタ回路の構成や液晶表示装置の構成は第 7 実施形態と同様である。

[0090] 図 2 0 に示したように、第 8 実施形態の単位シフトレジスタ回路 1 2 2 g は、図 1 8 に示した第 7 実施形態のシフトレジスタ 1 2 2 f の構成に加えて C L R 信号を追加し、C L R 信号がゲートに入力される T 6 および T 7 を、それぞれ、ノード V C、およびノード O U T に接続する。この構成では、C L R 信号 = H とすることで、ノード V C および出力ノード O U T (G L) をプルダウンできる。

[0091] 第 8 実施形態の単位シフトレジスタ回路 1 2 2 g を複数用いてシフトレジスタ回路を構成した場合、シフトレジスタ回路の全段を一括で初期化することができる。例えば、走査期間の最初にクリアすることで、初期化された状態から動作可能で、予期しない動作や出力を抑えられる。また、走査期間の最後にクリアすることで、回路を初期化し、電荷抜きが行われる。よって、動作休止時の電荷残りによる T F T の劣化を防ぐことができる。

[0092] [第 9 実施形態]

次に、図 2 1 から図 2 3 を参照して、本発明の第 9 実施形態について説明する。図 2 1 に示した第 9 実施形態のシフトレジスタ回路 1 2 1 h は、図 1 に示した液晶表示装置 1 0 0 内では図 1 に示したシフトレジスタ回路 1 2 1 に対応する構成であり、走査線 G L 周辺の回路はシフトレジスタ回路 1 2 1 の場合と同一である。

[0093] 図21に示したシフトレジスタ回路121hは、2個のプリブースト回路123と、図14に示した単位シフトレジスタ回路122c複数個とが縦続接続された複数のステージで構成される。複数の単位シフトレジスタ回路122cでは、N段目のS信号に、前段の出力 GL_{n-1} が入力され、N段目のVS信号に、前々段の出力 VC_{n-2} が入力され、そして、N段目のR信号に、2つ後の段の出力 GL_{n+2} が入力される。CK信号は4相クロックで、単位シフトレジスタ回路122cの4段毎にCK1、CK2、CK3、CK4の順に接続される。各プリブースト回路123には、S1端子、S2端子、DVC端子、CK端子及びCLR端子が設けられている。2個のプリブースト回路123では、S1入力に信号SP1が入力され、S2入力に信号SP2が入力される。1段目のプリブースト回路123のノードDVC（信号DVC1）が1段目の単位シフトレジスタ回路122cのVS入力に接続される。2段目のプリブースト回路123のノードDVC（信号DVC2）が2段目の単位シフトレジスタ回路122cのVS入力に接続される。すなわち、最初の2段の単位シフトレジスタ回路122cのVS端子に、2段のプリブースト回路123でブーストされたDVC信号が順次入力される。また、1段目の単位シフトレジスタ回路122cのS入力には信号SP2が接続される。信号SP1及びSP2は、図23に示すように、シフトレジスタ回路121hの動作開始時に生成されるパルス信号である。

[0094] 単位シフトレジスタ回路122cは、図14に示した第4実施形態と同じ回路で構成されている。

[0095] プリブースト回路123は、単位シフトレジスタ回路122cの1段目および2段目に入力されるVS信号を生成するためのプリブースト回路である。図22に示したように、プリブースト回路123は、S1端子がT21のドレインとゲートにダイオード接続されており、S1入力される電圧に対して、T21の閾値電圧分降下した値をソースからノードDVCにセットするよう動作する。T22は初期化用のTF Tで、CLR信号をゲートに接続し、ドレインをノードDVCに接続し、ソースをVSS電源に接続し、CLR

信号がHでノードDVCをVSSレベルにリセットする。T23はゲートにCKが入力されており、ドレインがノードDVCに接続され、ソースがVSS電源に接続され、CK信号がHでノードDVCをVSSレベルにリセットする。コンデンサCpはノードDVCを昇圧するための容量素子である。コンデンサCpの一端はノードDVCに接続され、他端は端子SP2に接続されている。

[0096] 次に、図23を参照して、図21に示したシフトレジスタ回路121hにおいて、初段用のブースト信号の生成を信号SP1および信号SP2によって行う場合の動作例について説明する。

[0097] 図23のタイミング(1)では、信号SP1が立ち上がると、2つのプリブースト回路123のDVC1およびDVC2がプリチャージされる。

[0098] 図23のタイミング(2)では、信号SP2が立ち上がると、プリブースト回路123の昇圧用容量Cpに接続されているため、SP2の振幅分、DVC1およびDVC2がブーストされる。

[0099] 図23のタイミング(3)では、走査線GL1を駆動するための1段目の単位シフトレジスタ回路122cには、S端子にSP2が、VS端子にDVC1が接続されており、DVC1はタイミング(2)のブースト動作により高い電圧にブーストされているので、ノードVC1はS端子に接続されたSP2の電位にプリチャージされる。

[0100] 図23のタイミング(4)では、走査線GL2を駆動するための2段目の単位シフトレジスタ回路122cには、S端子にGL1が、VS端子にDVC2が接続されており、DVC2はタイミング(2)のブースト動作により高い電圧にブーストされているので、ノードVC2はS端子に接続されたGL1の電位にプリチャージされる。

[0101] その後は順次走査線GLが立ちあがる。

[0102] 第9実施形態によれば、プリブースト回路123により、初段のセット信号から閾値の影響なくプリチャージ可能なため、十分な動作マージンがえられる。

[0103] 〔第10実施形態〕

第10実施形態は、上述した単位シフトレジスタ回路121a～121gやプリブースト回路123内のTFTの半導体層の材料に特徴を有する。すなわち、上記各実施形態で用いるTFTは、半導体層に酸化物半導体を含むものとしてすることができる。

[0104] その場合、酸化物半導体層は、例えば、 In-Ga-Zn-O 系の半導体層である。酸化物半導体層は、例えば In-Ga-Zn-O 系の半導体を含む。ここで、 In-Ga-Zn-O 系半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga および Zn の割合（組成比）は特に限定されず、例えば $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等を含む。本実施形態では、例えば In 、 Ga および Zn を $1:1:1$ の割合で含む In-Ga-Zn-O 系半導体膜を用いる。

[0105] In-Ga-Zn-O 系半導体層を有するTFTは、高い移動度（ a-SiTFT に比べ20倍超）および低いリーク電流（ a-SiTFT に比べ100分の1未満）を有しているので、駆動TFTおよび画素TFTとして好適に用いられる。 In-Ga-Zn-O 系半導体層を有するTFTを用いれば、表示装置の消費電力を大幅に削減することが可能になる（図24参照）。図24はゲート電圧とドレイン・ソース電流との対応関係を示した特性図である。

[0106] In-Ga-Zn-O 系半導体は、アモルファスでもよいし、結晶質部分を含み、結晶性を有していてもよい。結晶質 In-Ga-Zn-O 系半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系半導体が好ましい。このような In-Ga-Zn-O 系半導体の結晶構造は、例えば、特開2012-134475号公報に開示されている。参考のために、特開2012-134475号公報の開示内容の全てを本明細書に援用する。

[0107] 酸化物半導体層は、 In-Ga-Zn-O 系半導体の代わりに、他の酸化

物半導体を含んでいてもよい。例えばZn-O系半導体(ZnO)、In-Zn-O系半導体(IZO(登録商標))、Zn-Ti-O系半導体(ZTO)、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO(酸化カドニウム)、Mg-Zn-O系半導体、In-Sn-Zn-O系半導体(例えばIn₂O₃-SnO₂-ZnO)、In-Ga-Sn-O系半導体などを含んでいてもよい。

[0108] 以上のように、本発明の各実施形態によれば、セット用トランジスタT₂のソース端子(第2ソース端子)とゲート端子(第2ゲート電極)とに異なるS入力(第1入力信号)とVS入力(第2入力信号(ただし、第1入力信号の電圧<第2入力信号の電圧))を入力することで、出力用トランジスタT₁のゲート端子(第1ゲート電極)を充電(すなわちプリチャージ)することができる。この場合、ダイオード接続のTFTや第2のブートストラップコンデンサは容易に省略することができる。また、VS入力(第2入力信号)には、例えば他の単位シフトレジスタ回路の出力用トランジスタT₁のゲート(第1ゲート電極)の信号を用いることができるので、容易に用意することができる。よって、本発明の単位シフトレジスタ回路によれば、少ない回路素子数で特性劣化による影響を容易に小さくすることができる。

[0109] なお、本発明の実施の形態は、上記のものに限定されない。例えば、上記各実施形態の構成を組み合わせたり、上記各実施形態内における構成の一部を省略したりする変更を適宜行うことができる。

産業上の利用可能性

[0110] 本発明は、少ない回路素子数で特性劣化による影響を小さくすることができる単位シフトレジスタ回路などに適用することができる。

符号の説明

[0111] 100 液晶表示装置 110 表示領域 120 走査線駆動回路 121、121a、121f、121h シフトレジスタ回路 130 信号線駆動回路 PIX 画素 GL1~GLn 走査線 122、122a~122g 単位シフトレジスタ回路 T1~T10 TFT Cb1 容量素

子

請求の範囲

- [請求項1] シフトレジスタ回路の各段を構成する単位シフトレジスタ回路であって、
- 第1ゲート電極、第1ソース端子及び第1ドレイン端子を有し、所定のクロック信号を前記第1ドレイン端子に入力し、前記第1ソース端子から出力信号を出力する出力用トランジスタと、
- 第2ゲート電極、第2ソース端子及び第2ドレイン端子を有し、前記出力用トランジスタの前記第1ゲート電極に前記第2ソース端子が接続されたトランジスタであって、第1入力信号を前記第2ドレイン端子に入力し、前記出力用トランジスタの前記第1ゲート電極を充電する際に前記第1入力信号の電圧より高い電圧となる第2入力信号を前記第2ゲート電極に入力するセット用トランジスタと
- を備える単位シフトレジスタ回路。
- [請求項2] 前記セット用トランジスタが前記出力用トランジスタの前記第1ゲート電極を充電する際に、前記第1入力信号および前記第2入力信号が立ち上がり、前記第1ゲート電極を充電後、前記第1入力信号の電圧の立ち下がりより先に前記第2入力信号の電圧が立ち下がる請求項1に記載の単位シフトレジスタ回路。
- [請求項3] 前記出力用トランジスタが、前記第1ソース端子と前記第1ゲート電極間の寄生容量に充電された電圧によって前記第1ゲート電圧を昇圧するブートストラップ動作により前記出力信号を昇圧する請求項1又は2に記載の単位シフトレジスタ回路。
- [請求項4] 前記第1入力信号が他の段の前記単位シフトレジスタ回路の出力信号であり、
- 前記第2入力信号が他の段の前記単位シフトレジスタ回路の出力用トランジスタの前記第1ゲート電極の信号である請求項1から3のいずれか1項に記載の単位シフトレジスタ回路。
- [請求項5] 前記クロック信号が重なりのある多相クロック信号であって、複数

の前記単位シフトレジスタ回路に対して異なる複数相のクロック信号が供給される請求項4項に記載の単位シフトレジスタ回路。

[請求項6] 前記出力用トランジスタの前記第1ゲート電極が、後段の前記単位シフトレジスタ回路の出力信号に応じてリセットされる請求項1から5のいずれか1項に記載の単位シフトレジスタ回路。

[請求項7] 前記出力用トランジスタの前記第1ゲート電極を前記クロック信号に応じてリセットするリセット回路を備える請求項1から5のいずれか1項に記載の単位シフトレジスタ回路。

[請求項8] 前記単位シフトレジスタ回路の出力信号を前記クロック信号に応じてプルダウンするプルダウン回路を備える請求項1から7のいずれか1項に記載の単位シフトレジスタ回路。

[請求項9] 前記単位シフトレジスタ回路の出力信号と前記出力用トランジスタの前記第1ゲート電極とを該第1ゲート電極の電圧に応じてプルダウンするプルダウン回路を備える請求項1から7のいずれか1項に記載の単位シフトレジスタ回路。

[請求項10] 前記単位シフトレジスタ回路の出力信号と前記出力用トランジスタの前記第1ゲート電極とを所定のクリア信号に応じてプルダウンするプルダウン回路を備える請求項1から9のいずれか1項に記載の単位シフトレジスタ回路。

[請求項11] 前記出力用トランジスタの前記第1ゲート電極と前記第1ソース端子との間に接続された容量素子を備える請求項1から10のいずれか1項に記載の単位シフトレジスタ回路。

[請求項12] 前記セット用トランジスタが、カスコード接続した複数のトランジスタから構成されている請求項1から11のいずれか1項に記載の単位シフトレジスタ回路。

[請求項13] 少なくとも前記出力用トランジスタ及び前記セット用トランジスタが、半導体層に酸化物半導体を含む請求項1から12のいずれか1項に記載の単位シフトレジスタ回路。

- [請求項14] 前記酸化物半導体が、酸化インジウムガリウム亜鉛（ In-Ga-Zn-O 系半導体；インジウム（ In ）、ガリウム（ Ga ）、亜鉛（ Zn ）及び酸素（ O ）を含む酸化物半導体）である請求項13に記載の単位シフトレジスタ回路。
- [請求項15] 前記酸化物半導体が、結晶性を有する請求項14に記載の単位シフトレジスタ回路。
- [請求項16] 請求項1から15のいずれか1項に記載の単位シフトレジスタ回路を多段接続したシフトレジスタ回路であって、
N-1段目の前記単位シフトレジスタ回路の出力信号を、N段目の前記単位シフトレジスタ回路の前記第1入力信号とし、
N-2段目の前記単位シフトレジスタ回路の出力用トランジスタの前記第1ゲート電極の信号を、N段目の前記単位シフトレジスタ回路の前記第2入力信号とするシフトレジスタ回路。
- [請求項17] 各段の前記単位シフトレジスタ回路に対し、前記クロック信号として、4相クロック信号が4分の1周期ずつ周期をずらして順に入力される請求項16に記載のシフトレジスタ回路。
- [請求項18] シフトレジスタ回路の各段を構成する単位シフトレジスタ回路の制御方法であって、
前記単位シフトレジスタ回路が、
第1ゲート電極、第1ソース端子及び第1ドレイン端子を有し、所定のクロック信号を前記第1ドレイン端子に入力し、前記第1ソース端子から出力信号を出力する出力用トランジスタと、
第2ゲート電極、第2ソース端子及び第2ドレイン端子を有し、前記出力用トランジスタの前記第1ゲート電極に前記第2ソース端子が接続されたトランジスタであって、第1入力信号を前記第2ドレイン端子に入力し、前記第1入力信号と異なる第2入力信号を前記第2ゲート電極に入力するセット用トランジスタと
を備え、

前記出力用トランジスタの前記第1ゲート電極を充電する際に、前記セット用トランジスタに対し、前記第1入力信号の電圧より高い電圧の第2入力信号を入力する単位シフトレジスタ回路の制御方法。

[請求項19]

複数の画素と、

前記複数の画素が接続された複数の走査線と、

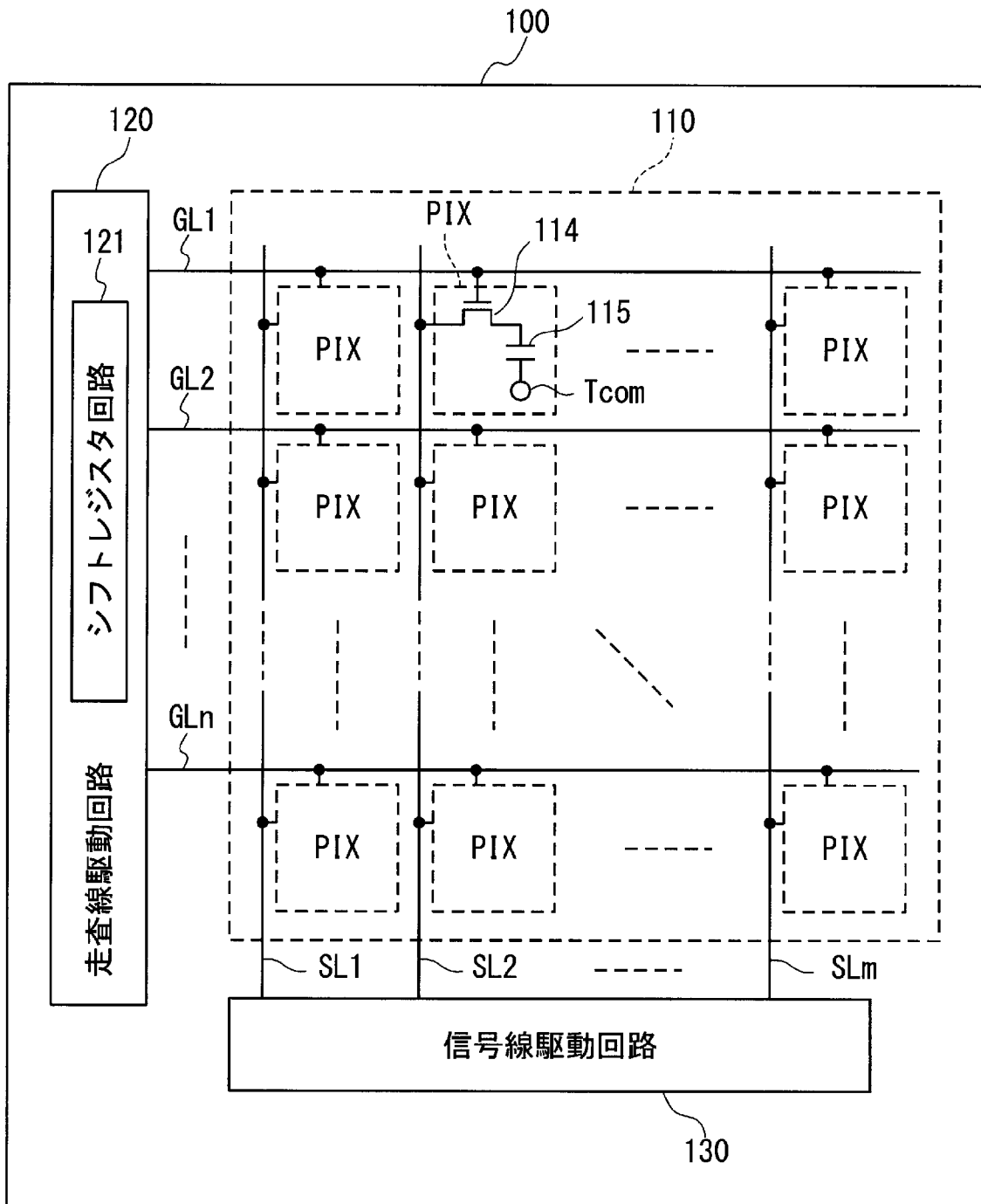
シフトレジスタ回路の各段を構成する単位シフトレジスタ回路であって、

第1ゲート電極、第1ソース端子及び第1ドレイン端子を有し、所定のクロック信号を前記第1ドレイン端子に入力し、前記第1ソース端子から前記各走査線を駆動する出力信号を出力する出力用トランジスタと、

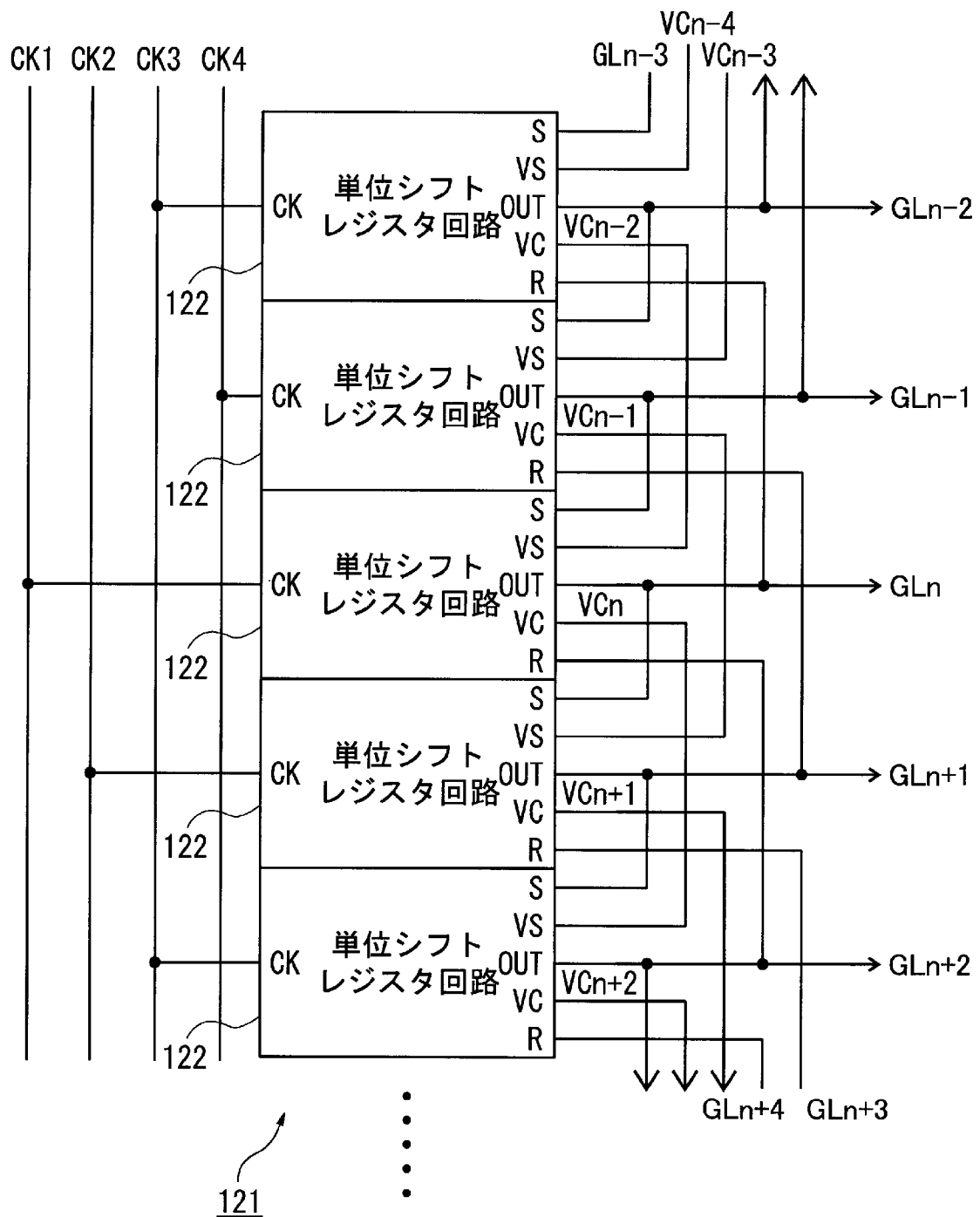
第2ゲート電極、第2ソース端子及び第2ドレイン端子を有し、前記出力用トランジスタの前記第1ゲート電極に前記第2ソース端子が接続されたトランジスタであって、第1入力信号を前記第2ドレイン端子に入力し、前記出力用トランジスタの前記第1ゲート電極を充電する際に前記第1入力信号の電圧より高い電圧となる第2入力信号を前記第2ゲート電極に入力するセット用トランジスタと

をそれぞれが備える複数の単位シフトレジスタ回路と
を備える表示装置。

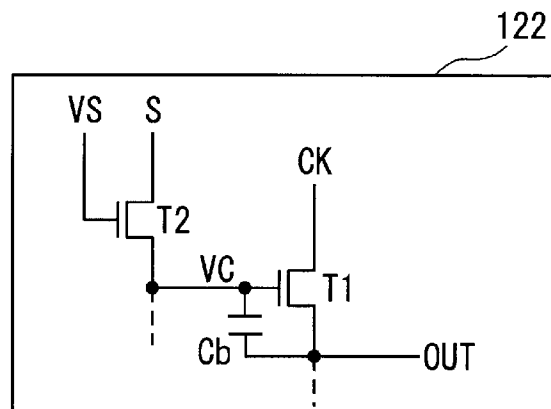
[図1]



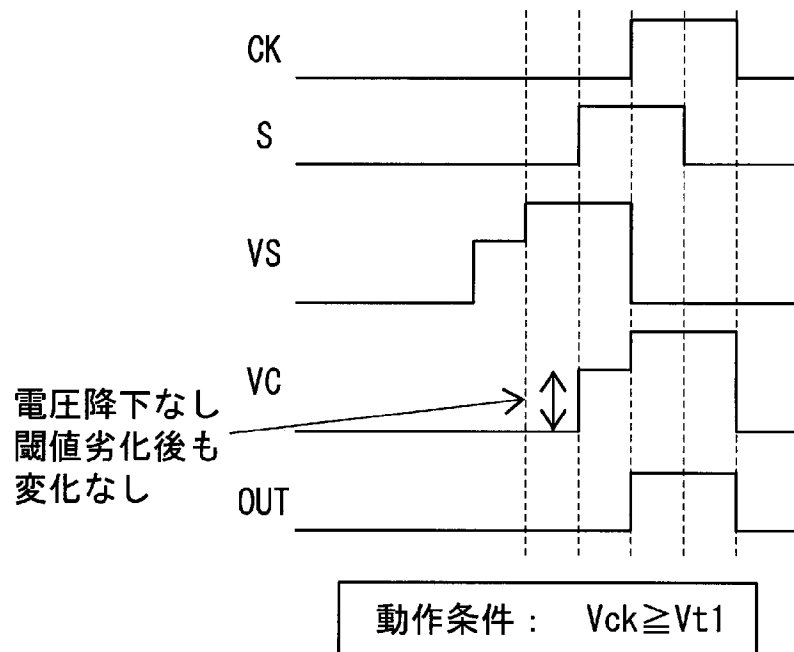
[図2]



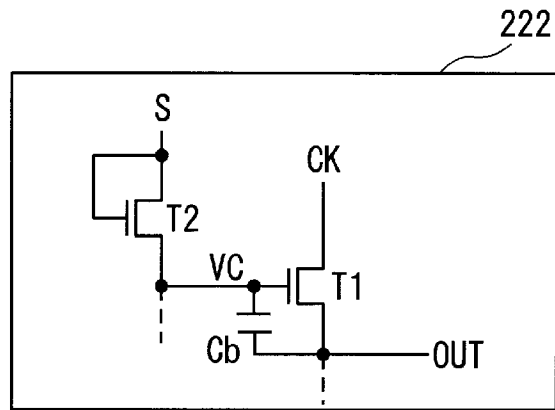
[図5A]



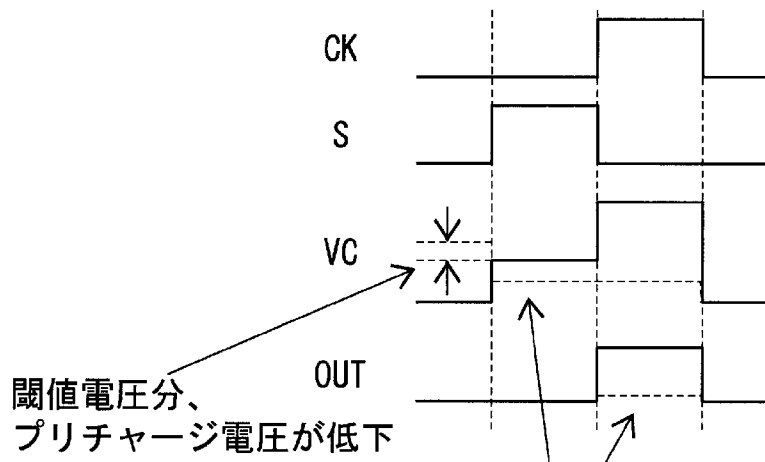
[図5B]



[図5C]



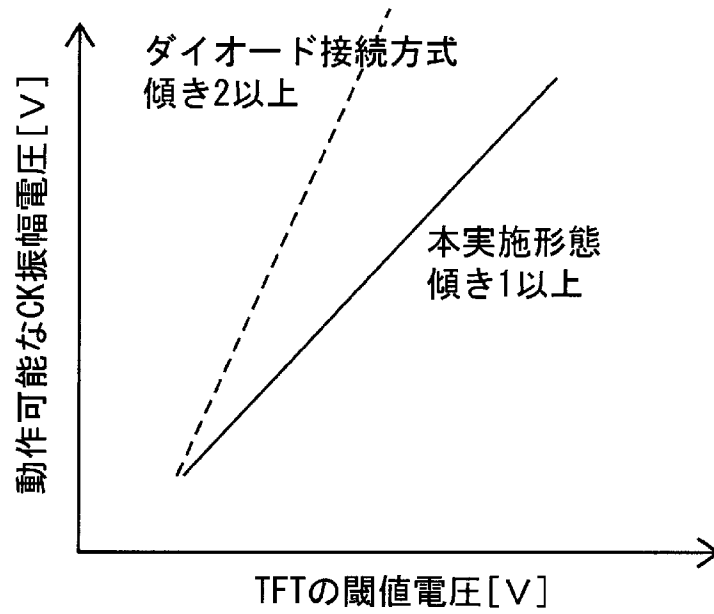
[図5D]



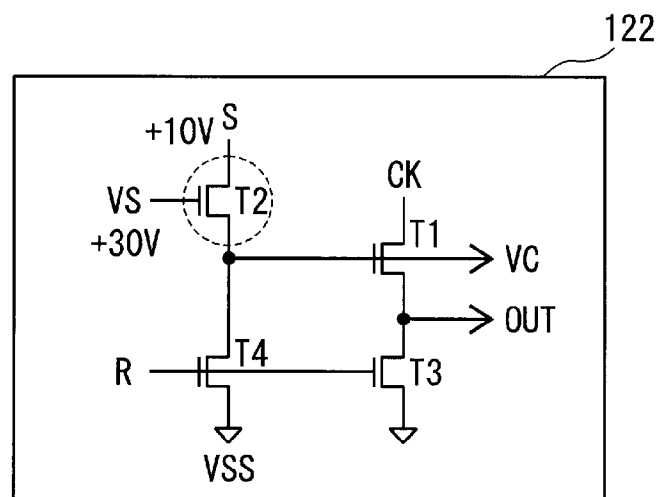
閾値劣化後プリチャージ電圧が低下し
T1がONしなくなると、ブーストされなくなる

動作条件： $V_{ck} - V_{t2} \geq V_{t1}$

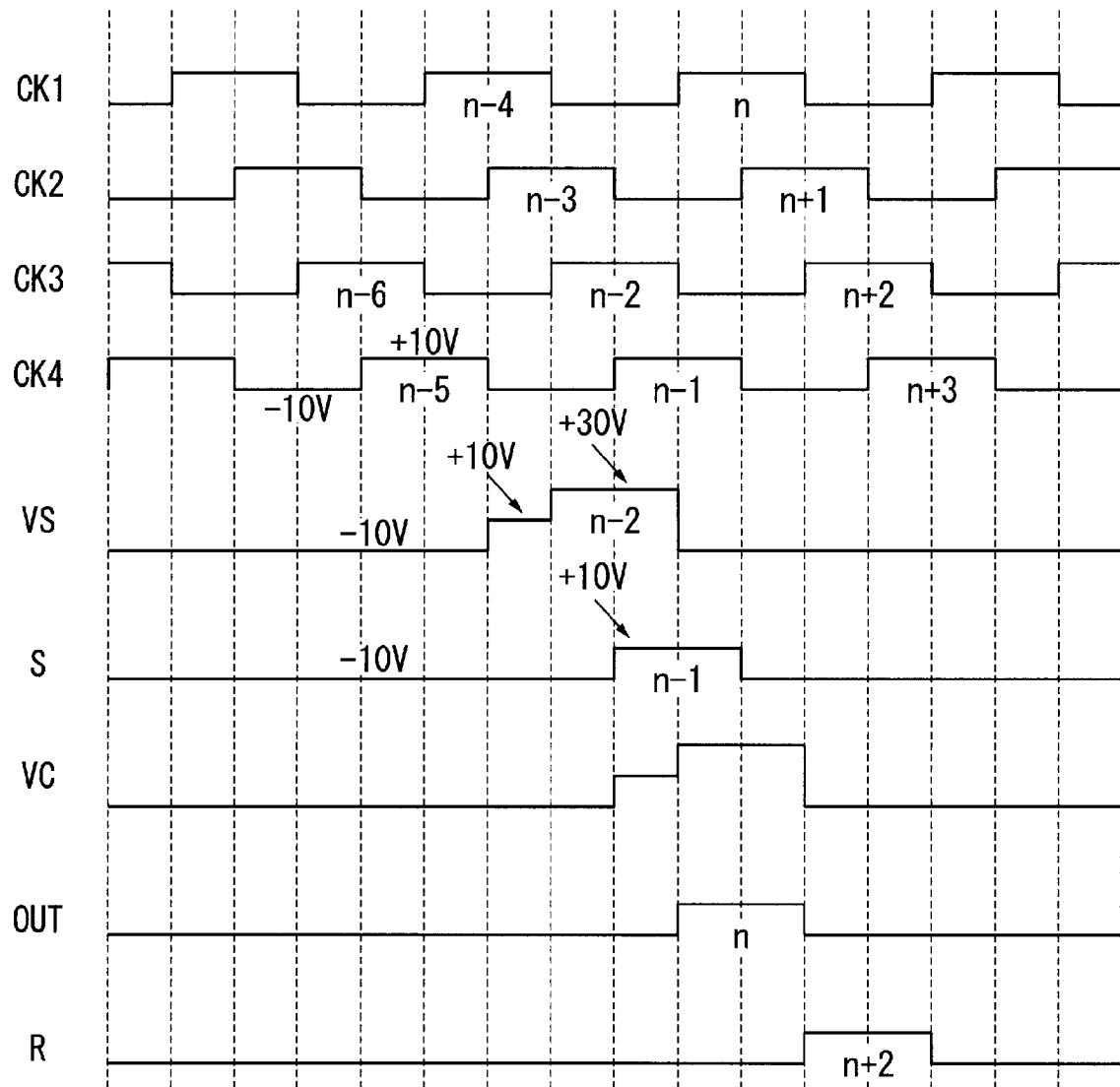
[図6]



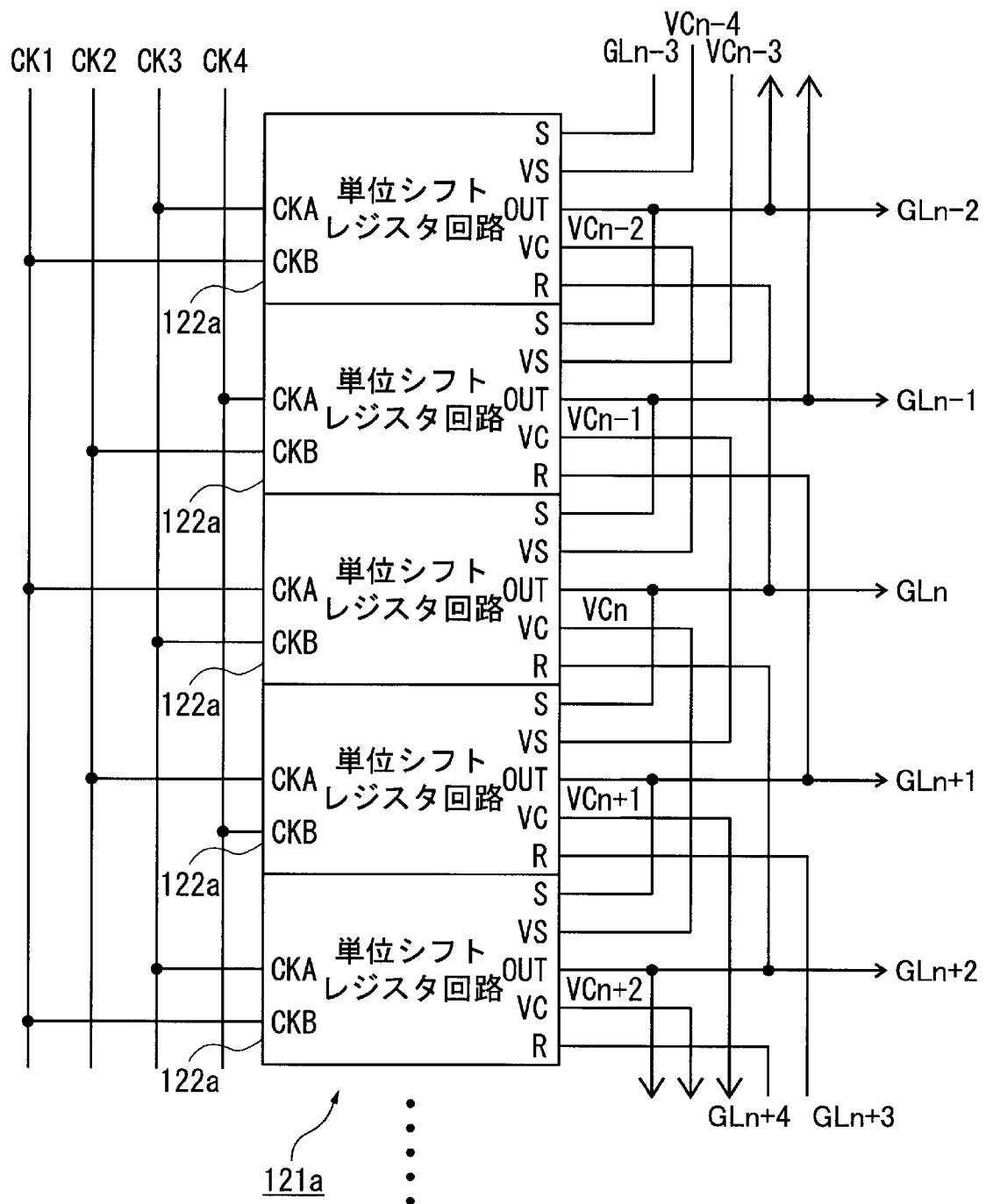
[図7]



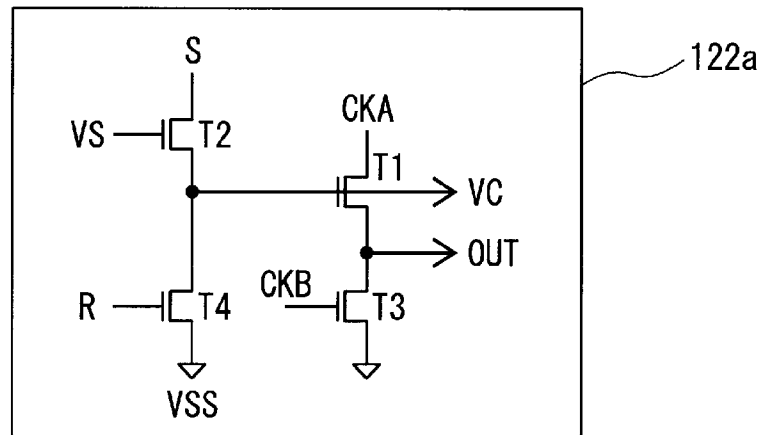
[図8]



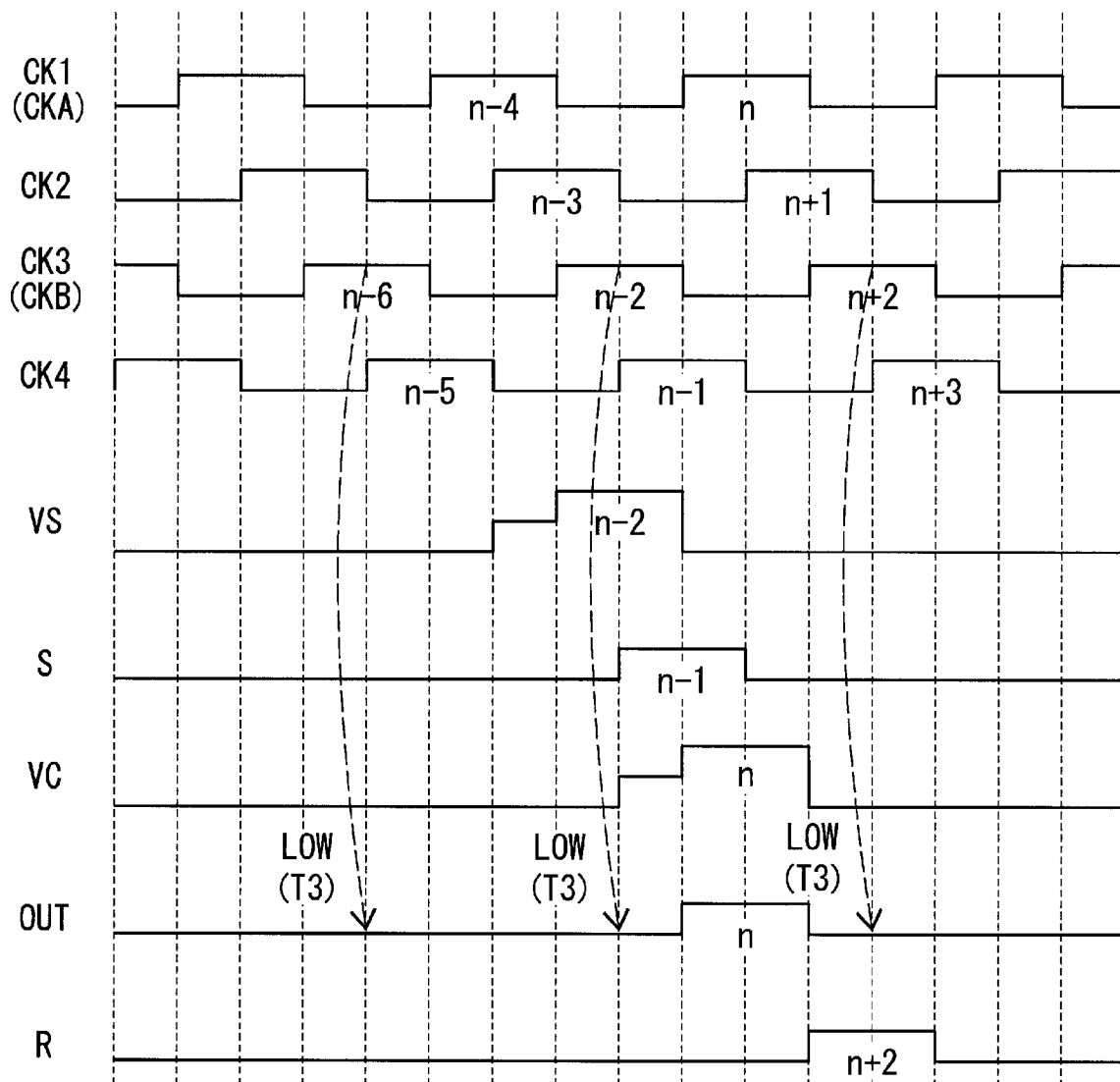
[図9]



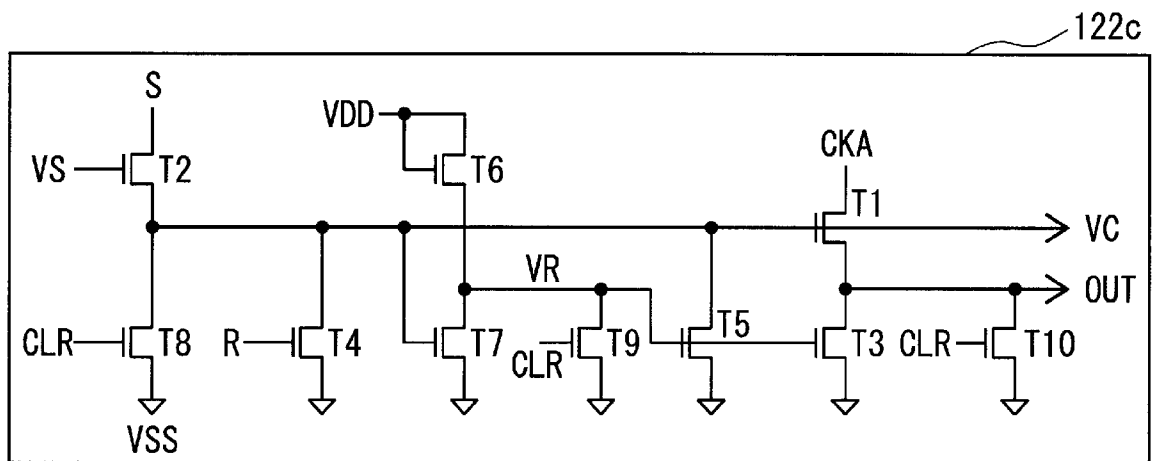
[図10]



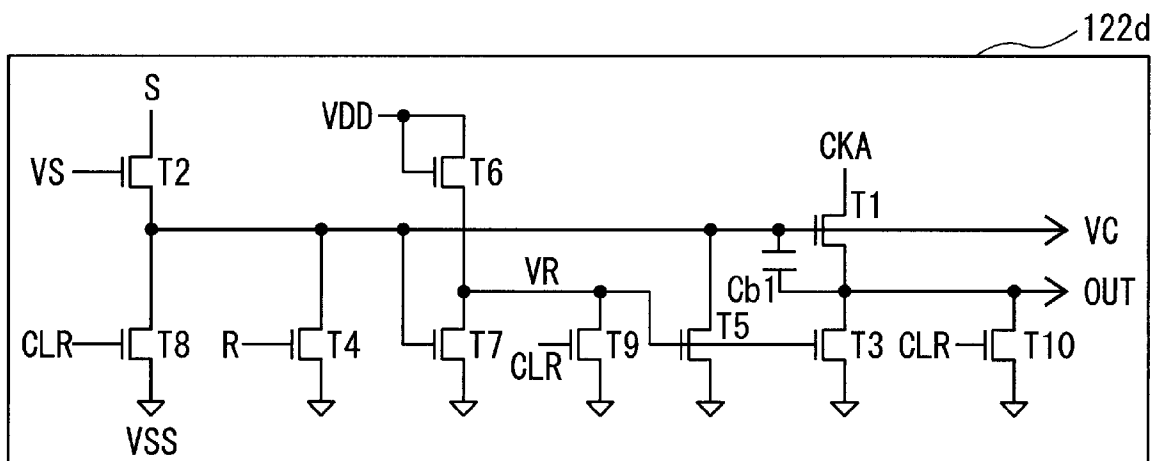
[図11]



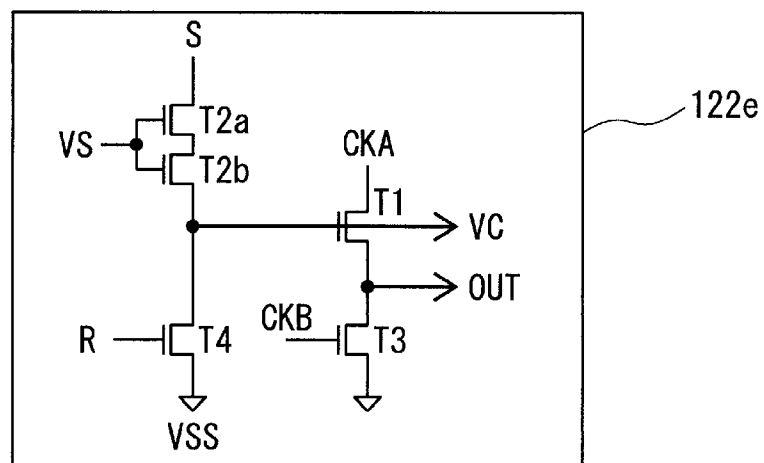
[図14]



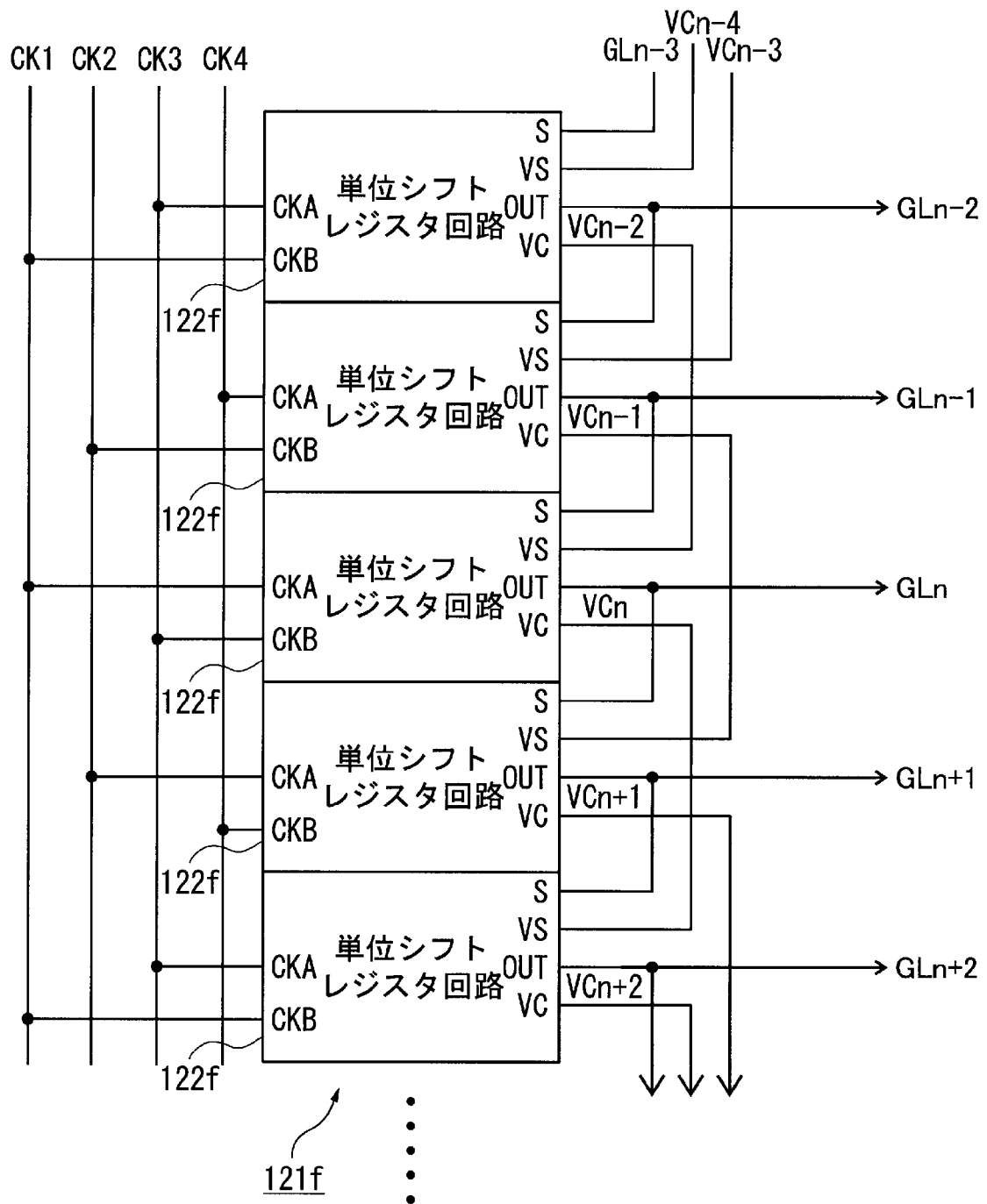
[図15]



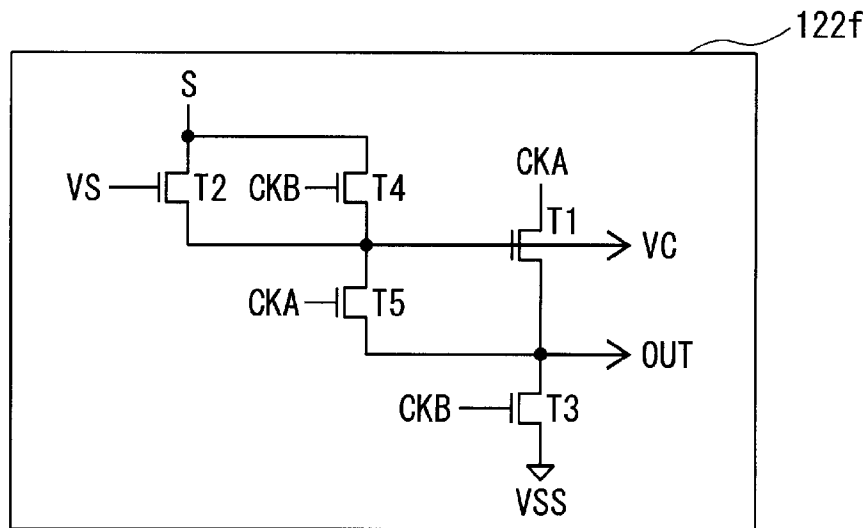
[図16]



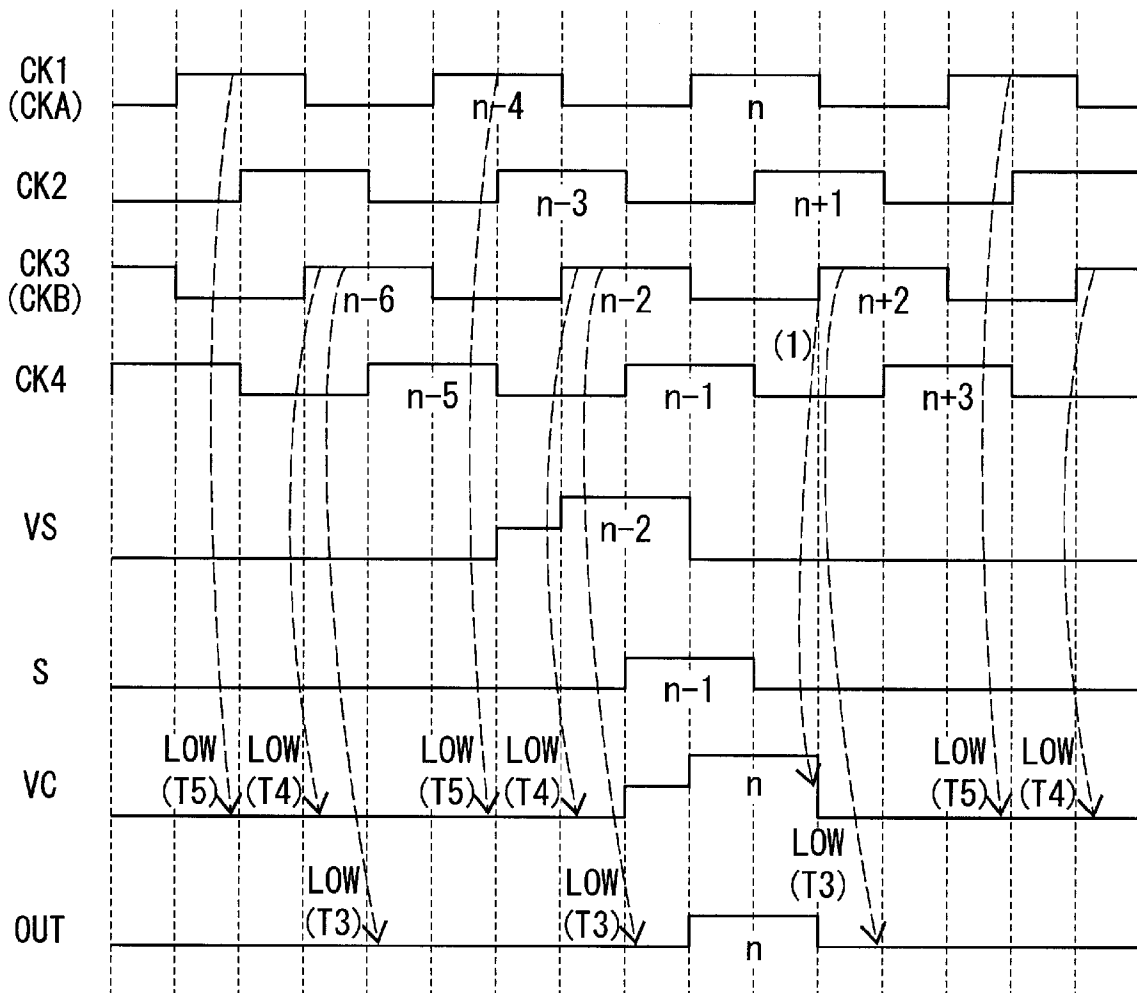
[図17]



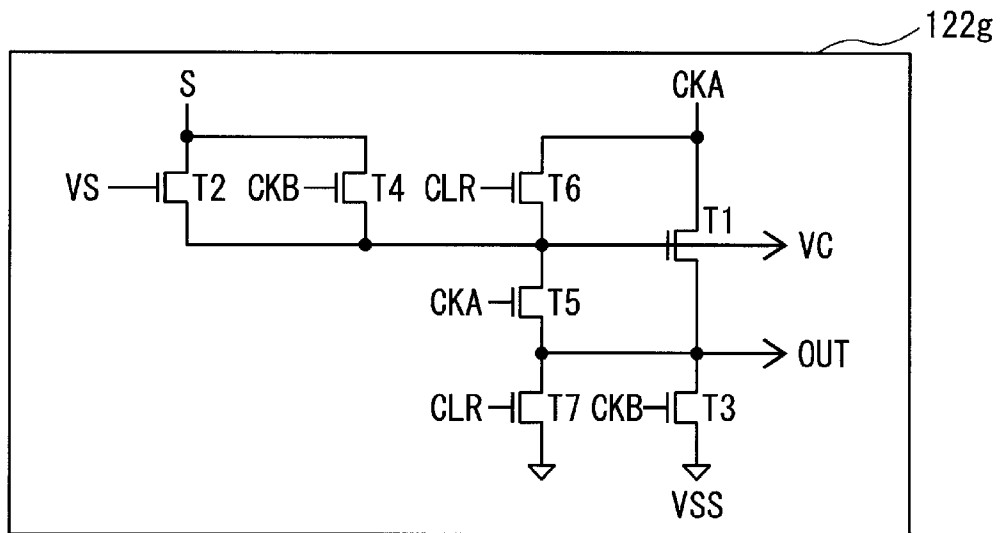
[図18]



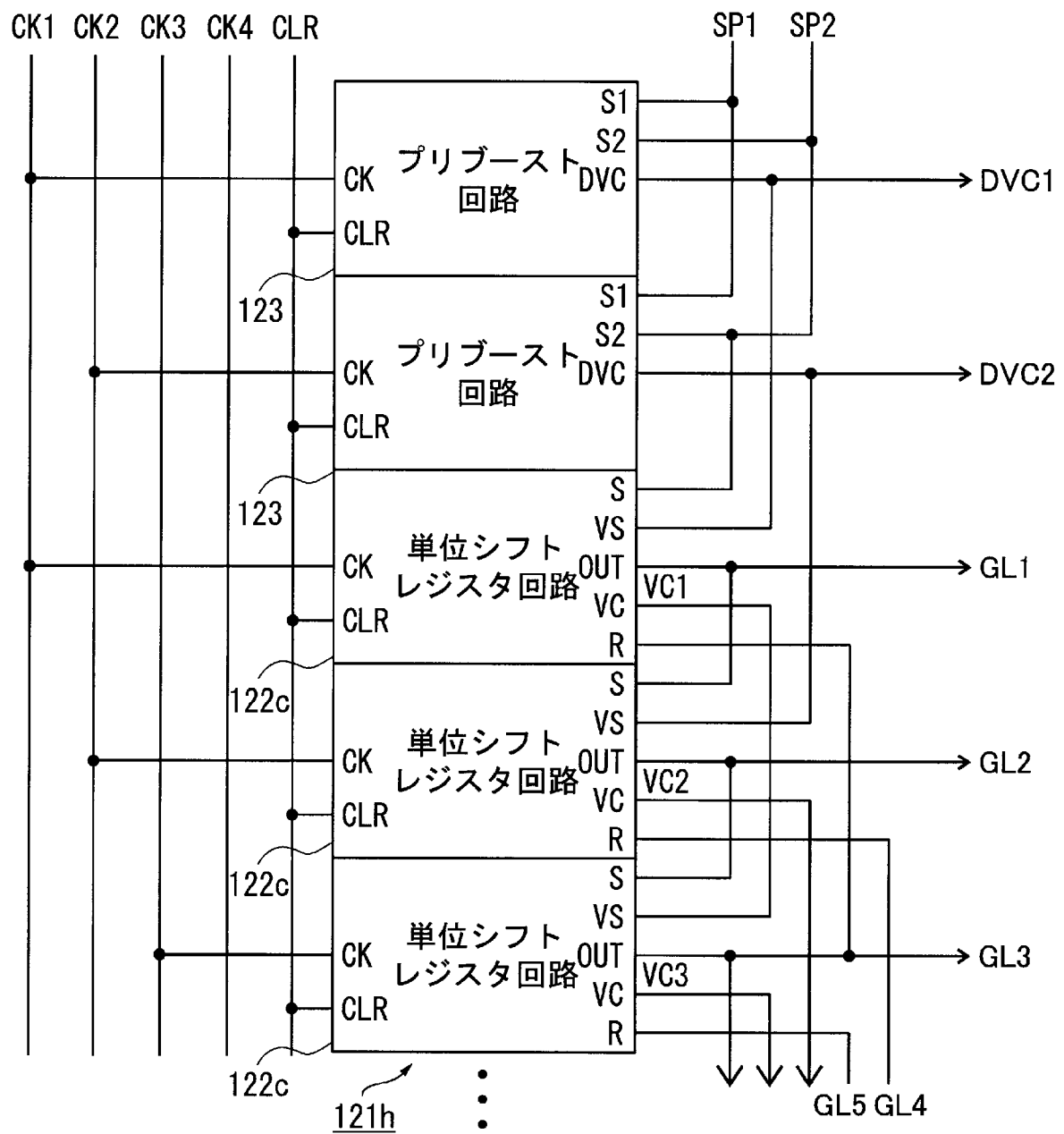
[図19]



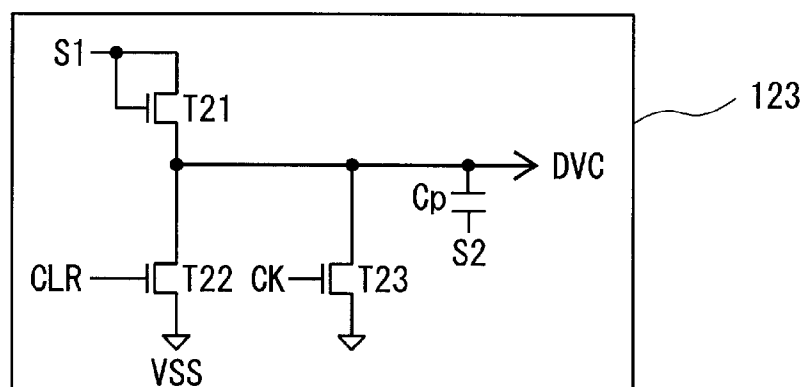
[図20]



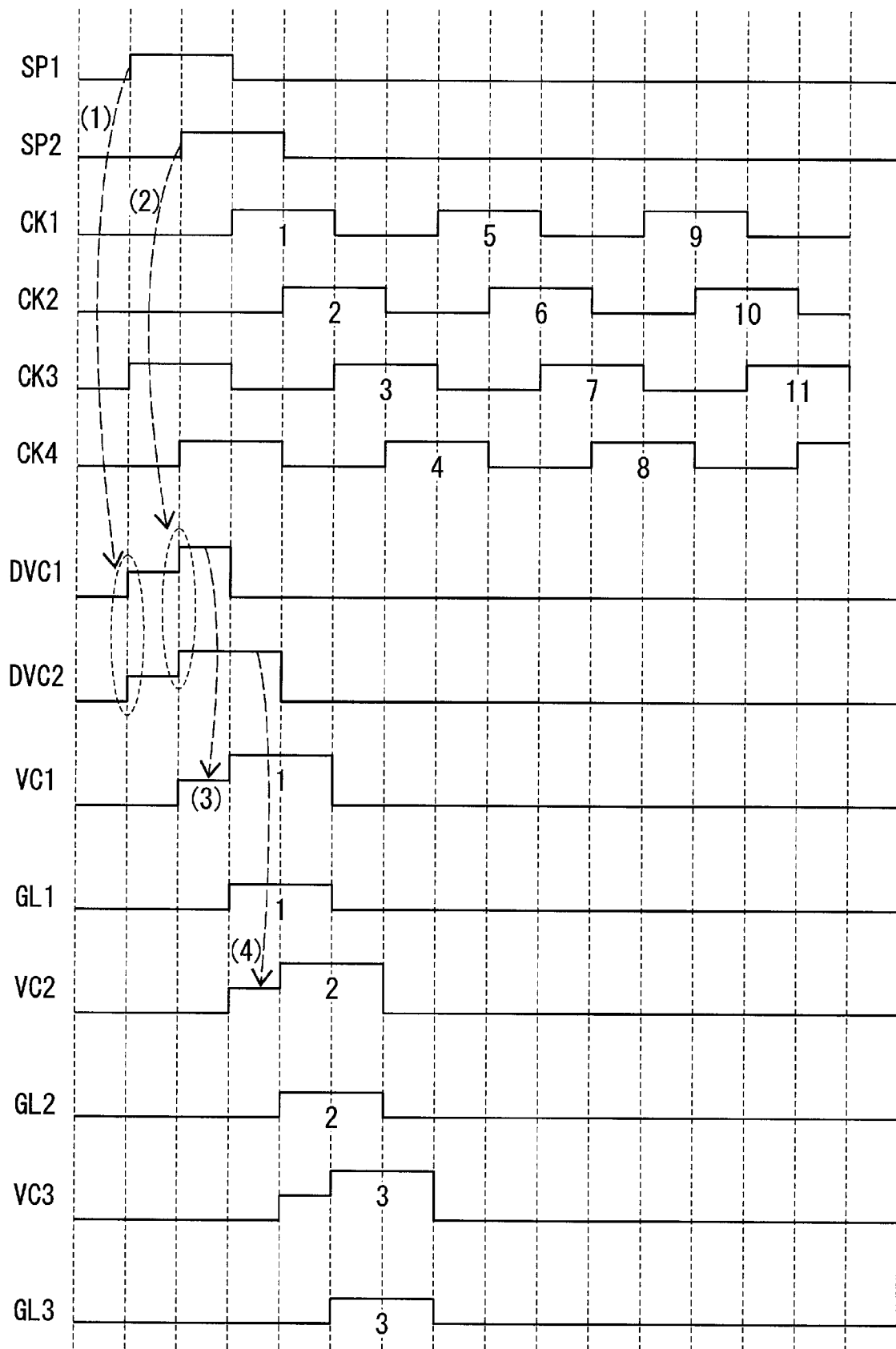
[図21]



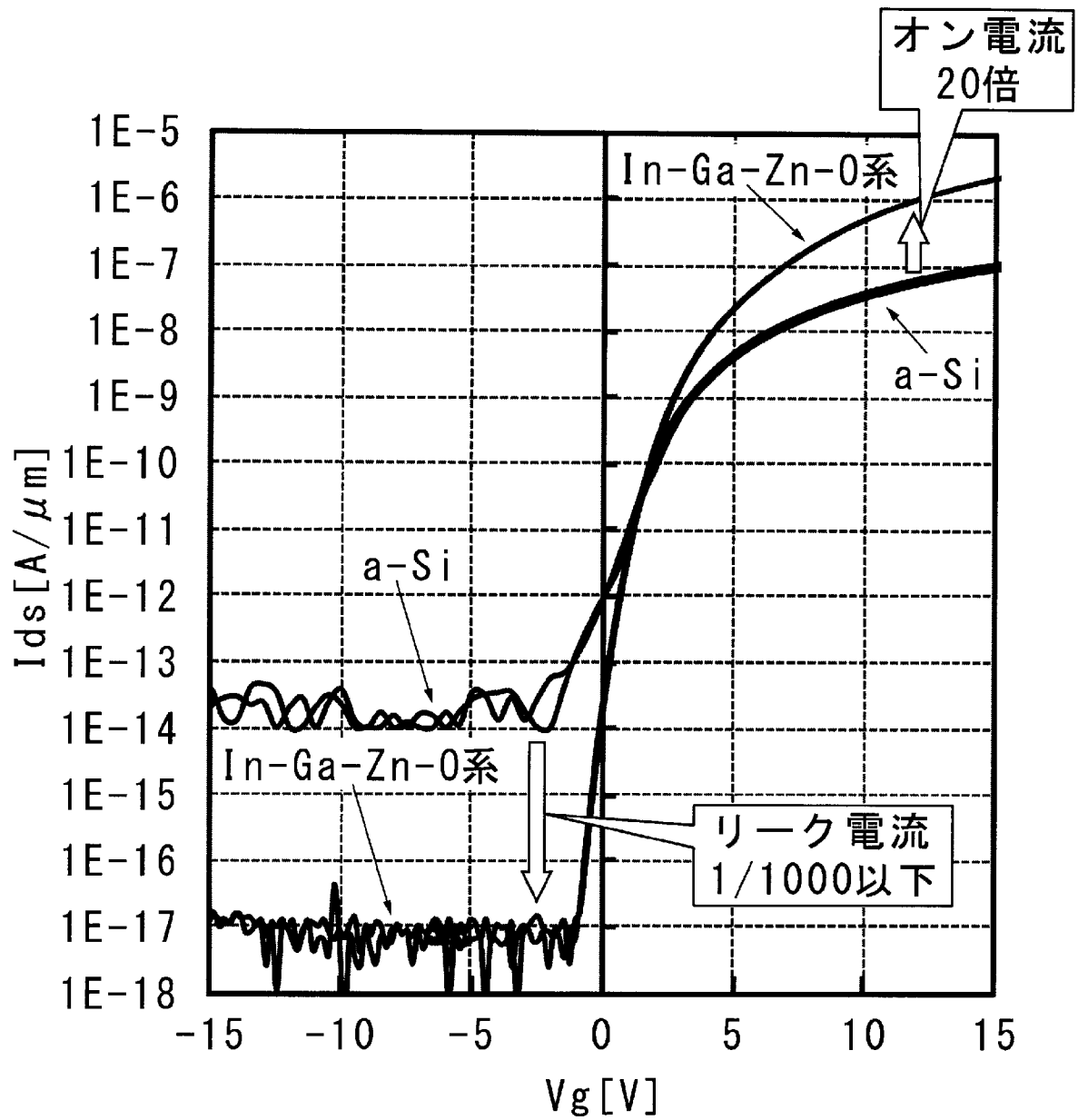
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054517

A. CLASSIFICATION OF SUBJECT MATTER

G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-250303 A (Semiconductor Energy Laboratory Co., Ltd.), 04 November 2010 (04.11.2010), paragraphs [0072] to [0082]; fig. 2 to 7 & US 2010/0245304 A1 & CN 101847387 A & KR 10-2010-0108231 A	1-15, 18-19 16-17
Y A	JP 2011-70761 A (Beijing Boe Optoelectronics Technology Co., Ltd.), 07 April 2011 (07.04.2011), paragraphs [0015] to [0017]; fig. 5 & US 2011/0075790 A1 & CN 102034553 A & KR 10-2011-0033807 A	1-15, 18-19 16-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 May, 2014 (27.05.14)

Date of mailing of the international search report
10 June, 2014 (10.06.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054517

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-199851 A (Semiconductor Energy Laboratory Co., Ltd.), 06 October 2011 (06.10.2011), paragraph [0036]; fig. 1 & US 2011/0204928 A1 & WO 2011/105180 A1 & CN 102763332 A & KR 10-2012-0140662 A	1-19
A	JP 2003-101406 A (Matsushita Electric Industrial Co., Ltd.), 04 April 2003 (04.04.2003), entire text; all drawings & US 2003/0052848 A1	1-19
A	JP 2003-242797 A (Matsushita Electric Industrial Co., Ltd.), 29 August 2003 (29.08.2003), entire text; all drawings (Family: none)	1-19
A	JP 2003-249848 A (Matsushita Electric Industrial Co., Ltd.), 05 September 2003 (05.09.2003), entire text; all drawings (Family: none)	1-19

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C19/28, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-250303 A（株式会社半導体エネルギー研究所）2010.11.04, 段落【0072】-【0082】，第2-7図 & US 2010/0245304 A1 & CN 101847387 A & KR 10-2010-0108231 A	1-15, 18-19 16-17
Y A	JP 2011-70761 A（北京京東方光電科技有限公司）2011.04.07, 段落【0015】-【0017】，第5図 & US 2011/0075790 A1 & CN 102034553 A & KR 10-2011-0033807 A	1-15, 18-19 16-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 5 . 2 0 1 4

国際調査報告の発送日

1 0 . 0 6 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

堀田 和義

5 U

8 8 4 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-199851 A (株式会社半導体エネルギー研究所) 2011. 10. 06, 段落【0036】，第1図 & US 2011/0204928 A1 & WO 2011/105180 A1 & CN 102763332 A & KR 10-2012-0140662 A	1-19
A	JP 2003-101406 A (松下電器産業株式会社) 2003. 04. 04, 全文，全図 & US 2003/0052848 A1	1-19
A	JP 2003-242797 A (松下電器産業株式会社) 2003. 08. 29, 全文，全図 (ファミリーなし)	1-19
A	JP 2003-249848 A (松下電器産業株式会社) 2003. 09. 05, 全文，全図 (ファミリーなし)	1-19