

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4670403号  
(P4670403)

(45) 発行日 平成23年4月13日(2011.4.13)

(24) 登録日 平成23年1月28日(2011.1.28)

(51) Int.Cl.		F I			
<b>GO6T</b>	<b>3/40</b>	<b>(2006.01)</b>	GO6T	3/40	C
<b>HO4N</b>	<b>1/393</b>	<b>(2006.01)</b>	GO6T	3/40	D
			HO4N	1/393	

請求項の数 4 (全 28 頁)

(21) 出願番号	特願2005-63494 (P2005-63494)	(73) 特許権者	000002369
(22) 出願日	平成17年3月8日(2005.3.8)		セイコーエプソン株式会社
(65) 公開番号	特開2006-251862 (P2006-251862A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成18年9月21日(2006.9.21)	(74) 代理人	100090479
審査請求日	平成20年2月22日(2008.2.22)		弁理士 井上 一
		(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(74) 代理人	100101649
			弁理士 伊奈 達也
		(74) 代理人	100104710
			弁理士 竹腰 昇

最終頁に続く

(54) 【発明の名称】 画像処理装置、画像処理方法、表示コントローラ及び電子機器

(57) 【特許請求の範囲】

【請求項1】

入力画像の拡大及び縮小処理を行うための画像処理装置であって、  
前記入力画像を拡大又は縮小する倍率の逆数が設定される倍率レジスタと、  
前記倍率の逆数を累積加算するアキュムレータと、  
前記アキュムレータの累積加算結果の小数部の少なくとも一部に対応した係数が設定される係数ルックアップテーブルと、

前記係数ルックアップテーブルの前記係数に基づいて画像の拡大又は縮小処理を乗算器及び加算器を用いて行うフィルタ演算部とを含み、

前記倍率の逆数の整数部が0のとき、前記フィルタ演算部が、入力画像に対して行われた拡大処理後の画像の画素データを出力し、

前記倍率の逆数の整数部が0ではないとき、前記前記アキュムレータが、前記アキュムレータの累積加算結果に基づいて、前記入力画像を構成する画素単位に間引きすべきか否かを指定するバリッド信号を出力すると共に、前記フィルタ演算部が、前記入力画像に対して行われた縮小処理後の画像の画素データを出力し、

前記フィルタ演算部は、前記入力画像の拡大及び縮小処理を前記乗算器及び加算器を共通化してシームレスに行うことを特徴とする画像処理装置。

【請求項2】

請求項1において、  
前記フィルタ演算部が、

10

20

前記入力画像の画素データと前記係数ルックアップテーブルの前記係数とに基づいて積和演算を行って前記拡大処理又は縮小処理後の画素データを生成し、

前記倍率の逆数の整数部が0の場合であって前記累積加算結果の整数部が0ではないとき、

前記累積加算結果の整数部をデクリメントすると共に、前記フィルタ演算部の処理対象の画素データを更新し、該更新後の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記拡大処理後の画像の画素データを生成し、

前記倍率の逆数の整数部が0の場合であって前記累積加算結果の整数部が0のとき、

前記フィルタ演算部の処理対象の画素データを更新することなく、前回の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記拡大処理後の画像の画素データを生成し、

前記倍率の逆数の整数部が0でない場合であって前記累積加算結果の整数部が0ではないとき、

前記累積加算結果の整数部をデクリメントすると共に、前記フィルタ演算部の出力を更新せず、

前記倍率の逆数の整数部が0でない場合であって前記累積加算結果の整数部が0のとき、

前記倍率の逆数と前記アキュムレータの出力との加算結果の整数部をデクリメントすると共に、前記フィルタ演算部の処理対象の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記縮小処理後の画像の画素データを生成することを特徴とする画像処理装置。

#### 【請求項3】

入力画像の画素データが入力される画素データ入力インタフェースと、

前記画素データ入力インタフェースを介して入力された前記入力画像の拡大又は縮小処理を行う第1のスケーラ回路と、

前記第1のスケーラ回路の処理後のデータを保存するフレームバッファと、

前記フレームバッファから読み出された画素データにより表される画像の拡大又は縮小処理を行う第2のスケーラ回路と、

前記第2のスケーラ回路の処理後のデータを、表示パネルを駆動する表示ドライバに出力するためのインタフェース処理を行うドライバインタフェースとを含み、

前記第1及び第2のスケーラ回路の少なくとも1つは、

画像の水平方向の画素データに対して拡大又は縮小処理を行う水平方向画像処理部と、前記画像の垂直方向の画素データに対して拡大又は縮小処理を行う垂直方向画像処理部とを含み、

前記水平方向画像処理部及び前記垂直方向画像処理部の少なくとも1つは、

請求項1又は2記載の画像処理装置を含むことを特徴とする表示コントローラ。

#### 【請求項4】

表示パネルと、

請求項3記載の表示コントローラと、

前記表示コントローラによって供給される画像データに基づいて前記表示パネルを駆動する表示ドライバとを含むことを特徴とする電子機器。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、画像処理装置、画像処理方法、表示コントローラ及び電子機器に関する。

#### 【背景技術】

#### 【0002】

携帯電話機等のカメラモジュールを内蔵する携帯型の電子機器においては、カメラモジュールが取り込んだ画像を液晶表示(Liquid Crystal Display: LCD)パネル等の電気光学装置の画面に表示させることができるようになっている。この際、電気光学装置の画

10

20

30

40

50

面サイズや、取り込んだ画像のデータを保存するメモリ容量を考慮して、取り込んだ画像のサイズが拡大されたり、縮小されたりする。

【 0 0 0 3 】

このような画像の拡大及び縮小を行う画像処理装置が、例えば特許文献 1 に開示されている。この画像処理装置では、処理前の画像の画素数を除数、処理後の画像の画素数を被除数として、画像の拡大又は縮小の倍率が求められる。そして、得られた倍率の逆数を累積加算することにより、処理後の画像の画素毎の線形補間のための補間係数が求められる。

【特許文献 1】特開平 9 - 3 2 6 9 5 8 号公報

【発明の開示】

10

【発明が解決しようとする課題】

【 0 0 0 4 】

しかしながら従来 of 画像処理装置では、拡大処理又は縮小処理後の画像の画素データに着目すると、元画像の 1 つの画素データがそのまま用いられるものと、元画像の複数の画素データから補間されたものとが混在する場合がある。

【 0 0 0 5 】

図 1 9 に、従来 of 画像処理装置における拡大処理又は縮小処理後の画像の一例を模式的に示す。

【 0 0 0 6 】

図 1 9 では、例えば画像の水平方向に拡大処理又は縮小処理された場合 of 処理後の画像の一例を示している。即ち、図 1 9 では、処理後の画像 of 画素データに着目すると、元画像 of 1 つ of 画素データがそのまま用いられるものと、元画像 of 複数の画素データから補間されたものとが混在している。そして、周期的に元画像 of 1 つ of 画素データがそのまま用いられる場合、補間処理が施されていない画素が強調されてしまい、処理後の画像に縞模様が現れてしまう。その結果、処理後の画像 of 劣化を招いてしまう。

20

【 0 0 0 7 】

従って、処理後の画像 of 画素データに着目すると、すべての画素データが元画像 of 複数の画素データから補間されたものとするための機能を、画像処理装置が有することが望ましい。

【 0 0 0 8 】

30

また従来 of 画像処理装置では、処理前と処理後の画像 of 画素数を設定するようにしていたため、倍率 of 逆数を求めるために割り算器が必要となり、回路規模が大きくなる。

【 0 0 0 9 】

更に従来 of 画像処理装置では、倍率 of 逆数 of 累積加算結果を、画素カウンタ of カウント値と比較する必要がある。そのため、電気光学装置 of 画面サイズ of 拡大に伴い、画素カウンタで用いる必要なビット数が増加してしまう。更に画素カウンタ of ビット数が定まってしまうため、画像サイズ of 上限が固定化されてしまい、電気光学装置 of 画面サイズ of 拡大に対応できなくなる場合がある。

【 0 0 1 0 】

更にまた従来 of 画像処理装置では、その制御を行うためのファームウェア (ソフトウェア) において、上述 of 処理前と処理後の画像 of 画素数 of 他に、画像 of 拡大又は縮小を指定する動作モードを設定する必要がある。このような画像処理装置を制御する場合、ファームウェアはエラー処理についても指定する必要があるため、ファームウェア of コード量を増加させてしまう。

40

【 0 0 1 1 】

図 2 0 ( A ) に、従来 of 画像処理装置 of 制御を行うためのファームウェア of コード of 一例を示す。

【 0 0 1 2 】

入力画像を指定するパラメータ、出力画像を指定するパラメータ、及び倍率 of 他に、拡大又は縮小を指定する動作 of モードを指定する必要がある場合、画像処理装置に拡大処理

50

を指示するフローと縮小処理を指示するフローのそれぞれに、エラー処理を盛り込む必要がある。このため、ファームウェアのコード量を増加させてしまう。

【0013】

これに対して、画像処理装置に、画像の拡大又は縮小を指定する動作モードを設定する必要がない場合には、該画像処理装置を制御するファームウェアのコード量を大幅に削減できる。

【0014】

図20(B)に、画像の拡大又は縮小を指定する動作モードを設定する必要がない画像処理装置の制御を行うためのファームウェアのコードの一例を示す。

【0015】

この場合、入力画像を指定するパラメータ、出力画像を指定するパラメータ、及び倍率のみを指定できればよいので、図20(A)に示すような各フローにエラー処理を盛り込むことなく、図20(B)に示すようにファームウェアのコード量を小さくできる。

【0016】

このように画像処理装置は、倍率を変更する度に動作モードを指定する必要がなく、設定された倍率に応じて画像の拡大及び縮小処理をシームレス(seamless)に実行できることが望ましい。

【0017】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、元画像の画素データをそのまま用いる画素と元画像の画素データから補間された画素とが混在することで劣化する画像の生成を回避できる画像処理装置、画像処理方法、表示コントローラ及び電子機器を提供することにある。

【0018】

また本発明の第2の目的は、回路規模を削減すると共に、拡大又は縮小を指定することなく、設定された倍率に応じて画像の拡大及び縮小処理を実行できる画像処理装置、画像処理方法、表示コントローラ及び電子機器を提供することにある。

【課題を解決するための手段】

【0019】

上記課題を解決するために本発明は、  
入力画像の拡大及び縮小処理を行うための画像処理装置であって、  
前記入力画像を拡大又は縮小する倍率の逆数が設定される倍率レジスタと、  
前記倍率の逆数を累積加算するアキュムレータと、  
前記アキュムレータの初期値が設定される初期値設定レジスタと、  
前記倍率の逆数に基づいて画像の拡大又は縮小処理を行うシームレス画素処理部とを含み、

前記アキュムレータが、  
前記初期値に前記倍率の逆数を加算した後に前記倍率の逆数を累積加算し、  
前記倍率の逆数の整数部が0のとき、前記シームレス画素処理部が、入力画像に対して行われた拡大処理後の画像の画素データを出力し、

前記倍率の逆数の整数部が0ではないとき、前記シームレス画素処理部が、前記アキュムレータの累積加算結果に基づいて、前記入力画像を構成する画素単位に間引きすべきか否かを指定するパリティ信号を出力すると共に、前記入力画像に対して行われた縮小処理後の画像の画素データを出力する画像処理装置に係する。

【0020】

本発明によれば、初期値を設定可能にすることで、該初期値を基準に倍率の逆数が累積加算される結果を該初期値に応じて変更できるので、例えば周期的に現れる、補間処理が施されていない画素の強調に起因した処理後の画素の劣化を防止できるようになる。

【0021】

また本発明によれば、画像の拡大処理間及び縮小処理を行うために、倍率を求める目的で、処理前と処理後の画像の画素数を設定する必要がなくなるため、割り算器を省略する

10

20

30

40

50

構成を採用できるようになる。更に、画像の拡大又は縮小処理を行うために累積加算される倍率の逆数の整数部に基づいて、画像の拡大処理又は縮小処理を行うことができる。従って、画像処理装置に対して拡大又は縮小を指定することなく、設定された倍率に応じて画像の拡大及び縮小処理をシームレスに実行できるようになる。このため、例えば図20(B)に示すように、画像処理装置を制御するためのファームウェアのコード量を削減できるようになる。

【0022】

更にまた縮小処理時において、画素単位に間引きすべきか否かを示すバリッド信号を出力できるようになるため、画像処理装置の後段の装置は、該バリッド信号に基づいて画素を容易に間引きすることが可能となる。そして、画像処理装置が縮小処理後の画素データを求めると共にバリッド信号を生成するため、縮小処理後の画素データを求めた後、別の手段でバリッド信号を生成する必要がなくなる。

10

【0023】

また本発明に係る画像処理装置では、前記シームレス画素処理部が、前記入力画像の画素データと前記アキュムレータの出力とに基づいて積和演算を行って前記拡大処理又は縮小処理後の画素データを生成するフィルタ演算部を含み、前記倍率の逆数の整数部が0の場合であって前記累積加算結果の整数部が0ではないとき、

前記フィルタ演算部の処理対象の画素データを更新し、該更新後の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記拡大処理後の画像の画素データを生成し、

20

前記倍率の逆数の整数部が0の場合であって前記累積加算結果の整数部が0のとき、前記フィルタ演算部の処理対象の画素データを更新することなく、前回の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記拡大処理後の画像の画素データを生成し、

前記倍率の逆数の整数部が0でない場合であって前記累積加算結果の整数部が0ではないとき、

前記累積加算結果の整数部をデクリメントすると共に、前記フィルタ演算部の出力を更新せず、

30

前記倍率の逆数の整数部が0でない場合であって前記累積加算結果の整数部が0のとき、

前記倍率の逆数と前記アキュムレータの出力との加算結果の整数部をデクリメントすると共に、前記フィルタ演算部の処理対象の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記縮小処理後の画像の画素データを生成することができる。

【0024】

本発明によれば、上記の効果に加えて、倍率の逆数の累積加算結果に基づく画像の拡大処理及び縮小処理を、ほぼ同じリソースで実現できるため、画像処理装置に対して拡大又は縮小を指定する必要がなく、設定された倍率に応じて画像の拡大及び縮小処理をシームレスに実行できる。

40

【0025】

また本発明によれば、倍率の逆数の累積加算結果を、画素カウンタのカウント値と比較する必要がなくなる。そのため電気光学装置の画面サイズの拡大に伴い、画素カウンタで用いる必要なビット数が増加してしまう。更に画素カウンタのビット数が定まってしまうため、画像サイズの上限が固定化されてしまい、電気光学装置の画面サイズの拡大に対応できなくなる事態を回避できる。

【0026】

また本発明は、入力画像の拡大及び縮小処理を行うための画像処理装置であって、

50

前記入力画像を拡大又は縮小する倍率の逆数が設定される倍率レジスタと、  
 前記倍率の逆数を累積加算するアキュムレータと、  
 前記アキュムレータの初期値が設定される初期値設定レジスタと、  
 前記倍率の逆数に基づいて画像の拡大又は縮小処理を行うシームレス画素処理部とを含み、

前記アキュムレータが、  
 前記初期値に前記倍率の逆数を加算した後に前記倍率の逆数を累積加算し、  
 前記倍率の逆数の整数部が0のとき、前記シームレス画素処理部が、入力画像に対して行われた拡大処理後の画像の画素データを出力し、

前記倍率の逆数の整数部が0ではないとき、前記シームレス画素処理部が、前記入力画像に対して行われた縮小処理後の画像の画素データを出力する画像処理装置に係する。

【0027】

本発明によれば、初期値を設定可能にすることで、該初期値を基準に倍率の逆数が累積加算される結果を該初期値に応じて変更できるので、例えば周期的に現れる、補間処理が施されていない画素の強調に起因した処理後の画素の劣化を防止できるようになる。

【0028】

また本発明によれば、画像の拡大処理間及び縮小処理を行うために、倍率を求める目的で、処理前と処理後の画像の画素数を設定する必要がなくなるため、割り算器を省略する構成を採用できるようになる。更に、画像の拡大又は縮小処理を行うために累積加算される倍率の逆数の整数部に基づいて、画像の拡大処理又は縮小処理を行うことができる。従って、画像処理装置に対して拡大又は縮小を指定することなく、設定された倍率に応じて画像の拡大及び縮小処理をシームレスに実行できるようになる。このため、例えば図20(B)に示すように、画像処理装置を制御するためのファームウェアのコード量を削減できるようになる。

【0029】

また本発明は、  
 入力画像の拡大及び縮小処理を行うための画像処理方法であって、  
 前記入力画像を拡大又は縮小する倍率の逆数を倍率レジスタに設定すると共に、初期値設定レジスタに初期値を設定し、

前記初期値に前記倍率の逆数を加算した後に前記倍率の逆数を累積加算し、  
 前記倍率レジスタに設定された前記倍率の逆数の整数部が0のとき、前記入力画像に対して行われた拡大処理後の画像の画素データを出力し、

前記倍率の逆数の整数部が0ではないとき、前記累積加算結果に基づいて、前記入力画像を構成する画素単位に間引きすべきか否かを指定すると共に、前記入力画像に対して行われた縮小処理後の画像の画素データを出力する画像処理方法に係する。

【0030】

また本発明に係る画像処理方法では、  
 前記倍率の逆数の整数部が0の場合であって前記累積加算結果の整数部が0ではないとき、

処理対象の画素データを更新し、該更新後の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記拡大処理後の画像の画素データを生成し、

前記倍率の逆数の整数部が0の場合であって前記累積加算結果の整数部が0のとき、  
 処理対象の画素データを更新することなく、前回の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記拡大処理後の画像の画素データを生成し、

前記倍率の逆数の整数部が0でない場合であって前記累積加算結果の整数部が0ではないとき、

前記累積加算結果をデクリメントし、

前記倍率の逆数の整数部が0でない場合であって前記累積加算結果の整数部が0のとき

10

20

30

40

50

前記倍率の逆数をデクリメントした値を前記累積加算結果に加算すると共に、処理対象の画素データと前記累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って前記縮小処理後の画素データを生成することができる。

【0031】

また本発明は、  
入力画像の画素データが入力される画素データ入力インタフェースと、  
前記画素データ入力インタフェースを介して入力された前記入力画像の拡大又は縮小処理を行う第1のスケーラ回路と、

前記第1のスケーラ回路の処理後のデータを保存するフレームバッファと、

前記フレームバッファから読み出された画素データにより表される画像の拡大又は縮小処理を行う第2のスケーラ回路と、

前記第2のスケーラ回路の処理後のデータを、表示パネルを駆動する表示ドライバに出力するためのインタフェース処理を行うドライバインタフェースとを含み、

前記第1及び第2のスケーラ回路の少なくとも1つは、

画像の水平方向の画素データに対して拡大又は縮小処理を行う水平方向画像処理部と、  
前記画像の垂直方向の画素データに対して拡大又は縮小処理を行う垂直方向画像処理部とを含み、

前記水平方向画像処理部及び前記垂直方向画像処理部の少なくとも1つは、

上記のいずれか記載の画像処理装置を含む表示コントローラに係る。

【0032】

本発明によれば、元画像の画素データをそのまま用いる画素と元画像の画素データから補間された画素とが混在することで劣化する画像の生成を回避できる表示コントローラを提供できる。

【0033】

また本発明によれば、回路規模を削減すると共に、拡大又は縮小を指定することなく、設定された倍率に応じて画像の拡大及び縮小処理を実行できる表示コントローラを提供できる。

【0034】

また本発明は、  
表示パネルと、  
上記記載の表示コントローラと、  
前記表示コントローラによって供給される画像データに基づいて前記表示パネルを駆動する表示ドライバとを含む電子機器に係る。

【0035】

本発明によれば、元画像の画素データをそのまま用いる画素と元画像の画素データから補間された画素とが混在することで劣化する画像の生成を回避できる電子機器を提供できる。

【0036】

また本発明によれば、回路規模を削減すると共に、拡大又は縮小を指定することなく、設定された倍率に応じて画像の拡大及び縮小処理を実行できる電子機器を提供できる。

【発明を実施するための最良の形態】

【0037】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0038】

1. 画像処理装置

図1に、本実施形態における画像処理装置の構成の概要のブロック図を示す。

【0039】

10

20

30

40

50

この画像処理装置 100 は、入力画像の画素データに対し、画像の拡大処理及び縮小処理を行う。より具体的には、画像処理装置 100 は、倍率設定レジスタ 10 とシームレス画素処理部 20 とを含む。倍率設定レジスタ 10 には、入力画像を拡大又は縮小する倍率の逆数が設定される。シームレス画素処理部 20 は、拡大又は縮小を指定されることなく、倍率設定レジスタ 10 に設定された倍率の逆数に応じて、入力画像の画素データに対して拡大処理又は縮小処理を行い、処理後の画素データを出力する。

#### 【0040】

倍率設定レジスタ 10 に設定された倍率の逆数の整数部が 0 のとき、シームレス画素処理部 20 が、入力画像に対して行われた拡大処理後の画像の画素データを出力する。また倍率の逆数の整数部が 0 ではないとき、シームレス画素処理部 20 が、入力画像に対して行われた縮小処理後の画像の画素データを出力する。

10

#### 【0041】

こうすることで、画像処理装置 100 を制御するためのファームウェアは、倍率を指定する一方で、画像の拡大又は縮小を指定する動作モードを設定する必要がなくなる。そのため、図 20 (B) に示すようにファームウェアのコード量を大幅に削減できる。

#### 【0042】

また画像処理装置 100 のシームレス画素処理部 20 は、倍率の逆数を累積加算するアキュムレータ 30、アキュムレータ 30 の初期値が設定される初期値設定レジスタ 32 とを含むことができる。アキュムレータ 30 は、初期値設定レジスタ 32 に設定された初期値に、倍率設定レジスタ 10 に設定された倍率の逆数を加算し、その加算結果に倍率の逆数を累積加算していく。そして、シームレス画素処理部 20 (アキュムレータ 30) は、縮小処理時において、アキュムレータ 30 の累積加算結果に基づいて、入力画像を構成する画素単位に間引きすべきか否かを指定するバリッド信号 valid を出力することができる。

20

#### 【0043】

図 2 に、処理後の画素データとバリッド信号 valid との関係の一例を示す。

#### 【0044】

バリッド信号 valid は、各画素の画素データ毎に H レベル又は L レベルに変化する。例えばバリッド信号 valid が H レベルの期間の画素データが有効であることを示し、バリッド信号 valid が L レベルの期間の画素データが無効であることを示す。従って、画像処理装置 100 から、処理後の画素データ及びバリッド信号 valid を受けた回路では、バリッド信号 valid に基づいて、各画素の画素データについて、縮小処理によって間引きすべきか否かを判断できる。そのため、該回路では、バリッド信号 valid に基づいて、間引きすべきであると判断された画素データを、処理後の画素データから間引くことができる。

30

#### 【0045】

図 1 において、シームレス画素処理部 20 は、更にフィルタ演算部 40 を含むことができる。フィルタ演算部 40 は、アキュムレータ 30 の累積加算結果に対応したフィルタ係数を用いて、入力画像の画素データに対してフィルタ処理を行う。フィルタ処理後の画素データが、拡大又は縮小処理後の画素データとなる。即ち、フィルタ演算部 40 は、拡大又は縮小処理後の画素の画素データに対して、1 又は複数の画素間を補間するためにフィルタ処理を行う。そのため、シームレス画素処理部 20 は、更に係数ルックアップテーブル (look-up table: LUT) 50 を含むことが望ましい。この係数 LUT 50 には、フィルタ処理を行うためのフィルタ係数を予め設定しておく。そして、アキュムレータ 30 の累積加算結果に対応したフィルタ係数が係数 LUT 50 から読み出されるようにすることで、フィルタ演算部 40 のフィルタ処理後の画像の画質劣化を防止できるようになる。

40

#### 【0046】

##### 1.1 画像の拡大処理と縮小処理

ここで本実施形態における画像の拡大処理と縮小処理の内容について、具体的に説明する。

50

## 【 0 0 4 7 】

図 3 に、本実施形態における画像の拡大処理及び縮小処理の説明図を示す。

## 【 0 0 4 8 】

図 3 では、初期値設定レジスタ 3 2 に設定される初期値が「 0 」の場合を示す。また図 3 では、画像の水平方向（水平走査方向）に元画像の画素が並ぶ場合に、これらの画素に対して処理を行う場合について説明するが、画像の垂直方向（垂直走査方向）に元画像の画素が並ぶ場合に、これらの画素に対して処理を行う場合も同様である。

## 【 0 0 4 9 】

図 3 では、各画素間のドットピッチが正規化された状態で、元画像の水平方向の画素  $P_1$ 、 $P_2$ 、 $P_3$ 、 $P_4$ 、 $P_5$ 、・・・が並ぶ。即ち、元画像の水平方向の画素の各画素間の距離が 1 であるものとする。

10

## 【 0 0 5 0 】

拡大処理においては、元画像の画素  $P_1$ 、 $P_2$ 、・・・に対し、拡大処理後の画像の画素  $P_{z1}$ 、 $P_{z2}$ 、・・・が生成される。拡大処理後の画像の画素  $P_{z1}$ 、 $P_{z2}$ 、・・・は、間引きされることはない。

## 【 0 0 5 1 】

一方、縮小処理においては、元画像の画素  $P_1$ 、 $P_2$ 、・・・に対し、拡大処理後の画像の画素  $P_{s1}$ 、 $P_{s2}$ 、・・・が生成される。縮小処理後の画像の画素  $P_{s1}$ 、 $P_{s2}$ 、・・・のいずれかは間引きされるため、処理後の画像の画素  $P_{s1}$ 、 $P_{s2}$ 、・・・のそれぞれに対して間引きすべきか否かが指定される。この結果、図 2 に示すバリッド信号 valid が生成される。

20

## 【 0 0 5 2 】

ここで、元画像を 1.5 倍に拡大処理する場合について説明する。この場合、倍率の逆数が  $2/3 (= 1/1.5)$  となる。

## 【 0 0 5 3 】

例えば、拡大処理後の画像の画素  $P_{z1}$  を元画像の画素  $P_1$  と一致させる。即ち、画素  $P_{z1}$  の位置が 0 となり、画素  $P_{z1}$  の画素データは、元画像の画素  $P_1$  の画素データとなる。この画素データは、RGB の各色成分の階調データを含むデータであったり、輝度成分及び 2 つの色差成分を含むデータであったりする。

## 【 0 0 5 4 】

その後、画素  $P_{z1}$  の付与値に  $2/3$  を累積加算していく。

30

## 【 0 0 5 5 】

この結果、まず画素  $P_{z2}$  の付与値から 1 を減算した値が、画素  $P_{z2}$  の位置となる。即ち、画素  $P_{z2}$  の位置は、元画像の画素  $P_1$ 、 $P_2$  の間となる。このため、画素  $P_{z2}$  は補間画素として、その画素データは、例えば画素  $P_1$ 、 $P_2$  の画素データを補間した値となる。

## 【 0 0 5 6 】

図 4 に、補間画素の画素データの説明図を示す。

## 【 0 0 5 7 】

図 4 では、元画像に対する処理後の補間画素  $P_c$  の位置が元画像の画素  $P_a$ 、 $P_b$  の間となった場合に補間画素  $P_c$  の画素データを求めるものとする。補間画素  $P_c$  の位置が、画素  $P_a$  から距離  $d$  ( $0 < d < 1$ ) だけ離れているものとする。画素  $P_a$ 、 $P_b$  間のドットピッチが正規化されているため、補間画素  $P_c$  の位置は画素  $P_b$  から距離  $(1 - d)$  だけ離れることになる。

40

## 【 0 0 5 8 】

ここで、画素  $P$  の画素データを  $D(P)$  と表すと、補間画素  $P_c$  の画素データ  $D(P_c)$  は、次の式で求められる。

## 【 0 0 5 9 】

$$D(P_c) = (1 - d) \times D(P_a) + d \times D(P_b) \quad \cdots (1)$$

従って、補間画素の画素データは、補間係数としての  $d$  と元画像の画素データとの積和

50

演算により求められる。

【0060】

なお、ドットピッチが正規化されているため、距離  $d$  は、補間画素  $P_c$  の位置を求めるために逆数の倍率を累積加算した結果の小数部に相当する。この小数部は、画素データの補間処理を行う際に、補間係数に関連付けられる。

【0061】

ここでは、処理後の画像の画素の画素データが、元画像の2点の画素の画素データで補間されるものとして説明するが、元画像の3点以上の画素の画素データで補間されてもよい。

【0062】

このように補間画素の画素データが求められるので、図3における画素  $P_{z2}$  の画素データ  $D(P_{z2})$  は、元画像の画素  $P_1$ 、 $P_2$  の画素データから、次の式で求められる。

【0063】

$$D(P_{z2}) = (1 - 2/3) \times D(P_1) + 2/3 \times D(P_2) \quad \dots (2)$$

続いて、画素  $P_{z3}$  の付与値は、 $2/3 + 2/3 = 1 + 1/3$  となるので、画素  $P_{z3}$  の画素データ  $D(P_{z3})$  は、元画像の画素  $P_2$ 、 $P_3$  の画素データから次の式で求められる。

【0064】

$$D(P_{z3}) = (1 - 1/3) \times D(P_2) + 1/3 \times D(P_3) \quad \dots (3)$$

以降、同様にして、画素  $P_{z4}$  の画素データは、元画像の画素  $P_3$  の画素データとなり、画素  $P_{z5}$  の画素データは元画像の画素  $P_3$ 、 $P_4$  の画素データで補間された値となる。

【0065】

以上のように、画素間のドットピッチを正規化した状態で、元画像の画素の画素データと、倍率の逆数を累積加算した結果の小数部に対応した係数とに基づいて、拡大処理後の画像の画素データを生成することができる。

【0066】

次に、元画像を  $2/3$  倍に縮小処理する場合について説明する。この場合、倍率の逆数が  $1.5 (= 1 / (2/3))$  となる。

【0067】

例えば、縮小処理後の画像の画素  $P_{s1}$  を元画像の画素  $P_1$  と一致させる。即ち、画素  $P_{s1}$  の位置が  $0$  となり、画素  $P_{s1}$  の画素データは、元画像の画素  $P_1$  の画素データとなる。

【0068】

その後、画素  $P_{s1}$  の付与値を  $1$  だけ減算、若しくは  $(1.5 - 1)$  を加算していく。縮小処理の場合、逆数の倍率が  $1$  より大きい値となるため、処理後の画素の付与値をデクリメントする毎に、次の画素間で補間される。その結果、処理後の画素の付与値の整数部が  $0$  のとき、当該処理後の画素を有効とし、上述のように元画像の画素の画素データで補間される。そして、次の補間画素を求めるために、当該画素の付与値に  $(1.5 - 1)$  を加算する。

【0069】

一方、処理後の画素の付与値の整数部が  $1$  のとき、当該処理後の画素を無効とし、次の補間画素を求めるために、当該画素の付与値を  $1$  だけ減算する。

【0070】

従って、図3では、まず画素  $P_{s1}$  の付与値が  $0$  で、当該画素が有効となるため、画素  $P_{s1}$  の付与値に  $(1.5 - 1)$  が加算される。この結果、画素  $P_{s2}$  の付与値が  $0.5$  となり、この値が画素  $P_{s2}$  の位置となる。即ち、画素  $P_{s2}$  の位置は、元画像の画素  $P_2$ 、 $P_3$  の間となる。このため、画素  $P_{s2}$  は補間画素として、その画素データは、例えば画素  $P_2$ 、 $P_3$  の画素データを補間した値となる。ここでは、図4において、 $d$  が  $0.5$  である場合に相当する。

10

20

30

40

50

## 【 0 0 7 1 】

続いて、画素  $P_{S_3}$  の付与値が、 $1.0 (= 0.5 + 1.5 - 1)$  となる。この付与値の整数部が 1 となるため、画素  $P_{S_3}$  は間引きされる。

## 【 0 0 7 2 】

そして、画素  $P_{S_4}$  の付与値が、 $0.0 (= 1.0 - 1)$  となる。このため、画素  $P_{S_4}$  が有効となる。

## 【 0 0 7 3 】

以上のように、画素間のドットピッチを正規化した状態で、処理後の画素の付与値をデクリメントしながら、倍率の逆数を累積加算していくことで、縮小処理後の画像の画素データを生成すると共に処理後の画素データを間引きすべきか否かを判断することができる。

10

## 【 0 0 7 4 】

図 5 に、初期値設定レジスタ 32 に初期値が設定された場合の本実施形態における画像の拡大処理及び縮小処理の説明図を示す。

## 【 0 0 7 5 】

但し、図 5 において、図 3 と同一部分には同一符号を付し、適宜説明を省略する。図 5 では、初期値設定レジスタ 32 に設定された初期値  $IV$  が、「 $1/6$ 」であるものとする。また図 5 では、画像の水平方向（水平走査方向）に元画像の画素が並ぶ場合に、これらの画素に対して処理を行う場合について説明するが、画像の垂直方向（垂直走査方向）に元画像の画素が並ぶ場合に、これらの画素に対して処理を行う場合も同様である。

20

## 【 0 0 7 6 】

ここで、元画像を  $1.5$  倍に拡大処理する場合について説明する。この場合、倍率の逆数が  $2/3 (= 1/1.5)$  となる。

## 【 0 0 7 7 】

例えば、拡大処理後の画像の画素  $P_{Z_1}$  の位置が  $1/6$  となり、画素  $P_{Z_1}$  の位置は、元画像の画素  $P_1$ 、 $P_2$  の間となる。このため、画素  $P_{Z_1}$  は補間画素として、その画素データは、例えば画素  $P_1$ 、 $P_2$  の画素データを補間した値となる。

## 【 0 0 7 8 】

その後、画素  $P_{Z_1}$  の付与値に  $2/3$  を累積加算していく。

## 【 0 0 7 9 】

この結果、画素  $P_{Z_2}$  の位置が  $5/6$  となり、画素  $P_{Z_2}$  の位置は、元画像の画素  $P_1$ 、 $P_2$  の間となる。このため、画素  $P_{Z_2}$  は補間画素として、その画素データは、例えば画素  $P_1$ 、 $P_2$  の画素データを補間した値となる。

30

## 【 0 0 8 0 】

続いて、画素  $P_{Z_2}$  の付与値に  $2/3$  を累積加算する。この結果、画素  $P_{Z_3}$  の位置が  $3/2$  となり、画素  $P_{Z_3}$  の位置は、元画像の画素  $P_2$ 、 $P_3$  の間となる。従って、画素  $P_{Z_3}$  の付与値から 1 を減算した値が、画素  $P_{Z_3}$  の位置となる。このため、画素  $P_{Z_3}$  は補間画素として、その画素データは、例えば画素  $P_2$ 、 $P_3$  の画素データを補間した値となる。

## 【 0 0 8 1 】

画素  $P_{Z_4}$ 、 $P_{Z_5}$  も同様に、元画像の画素データにより補間される。

40

## 【 0 0 8 2 】

次に、元画像を  $2/3$  倍に縮小処理する場合について説明する。この場合、倍率の逆数が  $1.5 (= 1/(2/3))$  となる。

## 【 0 0 8 3 】

例えば、縮小処理後の画像の画素  $P_{S_1}$  の位置が  $1/6$  となり、画素  $P_{S_1}$  の画素データは、元画像の画素  $P_1$ 、 $P_2$  により補間される画素データとなる。

## 【 0 0 8 4 】

その後、画素  $P_{S_1}$  の付与値を 1 だけ減算、若しくは  $(1.5 - 1)$  を加算していく。

## 【 0 0 8 5 】

50

従って、図5では、画素 $P_{S_1}$ の付与値が $1/6$ で、当該画素が有効となるため、画素 $P_{S_1}$ の付与値に $(1.5 - 1)$ が加算される。この結果、画素 $P_{S_2}$ の付与値が $2/3$ となり、この値が画素 $P_{S_2}$ の位置となる。即ち、画素 $P_{S_2}$ の位置は、元画像の画素 $P_2$ 、 $P_3$ の間となる。このため、画素 $P_{S_2}$ は補間画素として、その画素データは、例えば画素 $P_2$ 、 $P_3$ の画素データを補間した値となる。

【0086】

続いて、画素 $P_{S_3}$ の付与値が、 $7/6$ となる。この付与値の整数部が1となるため、画素 $P_{S_3}$ は間引きされる。

【0087】

そして、画素 $P_{S_4}$ の付与値が、 $1/6 (= 7/6 - 1)$ となる。このため、画素 $P_{S_4}$ が有効となる。

10

【0088】

以上のように、累積加算を行う際に初期値を与えることで、拡大処理後又は縮小処理後の画像の各画素データの補間比率を変化させることができるようになる。この結果、図19に示すように、処理後の画像において、元画像の1つの画素データがそのまま用いられるものと、元画像の複数の画素データから補間されたものが混在する事態を回避できる。その結果、処理後の画像に縞模様が現れてしまうのを防ぎ、処理後の画像の劣化を防止できるようになる。

【0089】

以下では、このような画像の拡大処理及び縮小処理を実現する画像処理装置100のハードウェア構成例について説明する。

20

【0090】

#### 1.2 アク्यूムレータ

図6に、図1のアク्यूムレータ30の構成例のブロック図を示す。

【0091】

ここでは、図7に示すように倍率設定レジスタ10が12ビット構成であり、上位3ビットに整数部のデータが設定され、下位9ビットに小数部のデータが設定されるものとする。

【0092】

アク्यूムレータ30は、モード判定部60を含む。モード判定部60は、倍率設定レジスタ10に設定された12ビットのデータのうち上位3ビットの設定値に応じたモード信号MODEを出力する。より具体的には、モード判定部60は、該上位3ビットの設定値が0のとき、モード信号MODEをLレベルにして、拡大処理を行う拡大処理モードを指定する。一方、モード判定部60は、該上位3ビットの設定値が0ではないとき、モード信号MODEをHレベルにして、縮小処理を行う縮小処理モードを指定する。

30

【0093】

またアク्यूムレータ30は、12ビット構成の倍率アク्यूムレータレジスタ62を含む。この倍率アク्यूムレータレジスタ62には、初期値設定レジスタ32からの初期値IV[11:0]が、初期化時にロードされるようになっている。そして倍率アク्यूムレータレジスタ62には、図示しない画素クロック又はラインクロックの変化点に同期して、倍率の逆数の累積加算結果が取り込まれる。画素クロックは、水平方向に並ぶ画素単位のクロックであり、ラインクロックは、1水平走査期間を1ラインとするライン単位のクロックである。

40

【0094】

加算器64は、倍率設定レジスタ10に設定された倍率の逆数と倍率アク्यूムレータレジスタ62に保存された値HACCum[8:0]とを加算して、AccAddData[11:0]として出力する。AccAddData[9]とモード信号MODEとの論理和演算結果が、シフトイネーブル信号ShiftEnableとして出力される。従って、縮小処理モードでは、シフトイネーブル信号ShiftEnableがHレベルに固定される。このシフトイネーブル信号ShiftEnableは、フィルタ演算部40の処理対象となる画素データを更新するためのシフト動作のイネーブル制御のための

50

信号である。従って、拡大処理モードでは、累積加算結果であるHACCum[11:0]の整数部が0ではないとき、シフトイネーブル信号ShiftEnableがHレベルとなって、フィルタ演算部の処理対象の画素データを更新し、HACCum[11:0]の整数部が0のとき、シフトイネーブル信号ShiftEnableがLレベルとなって、フィルタ演算部の処理対象の画素データを更新しない。

【0095】

AccAddData[8:0]の9ビットデータは、上位ビット付加部66において「000」が上位3ビットに付加されて12ビットデータとして出力される。

【0096】

一方、倍率アキュムレータレジスタ62に保存された値HACCum[11:9]は、下位ビット付加部68において、「000000000」が下位ビットに付加されて12ビットデータとして出力される。この12ビットデータは、加算器70において、AccAddData[11:0]と加算された後、デクリメンタ72において、加算器70の加算結果の整数部の値がデクリメントされて、セクタ74に供給される。

10

【0097】

倍率アキュムレータレジスタ62に保存された値HACCum[11:0]は、デクリメンタ76において、HACCum[11:0]の整数部の値がデクリメントされてセクタ74に供給される。

【0098】

整数部解析部78は、倍率アキュムレータレジスタ62に保存された値HACCum[11:9]が0か否かを検出する。より具体的には整数部解析部78が、HACCum[11:9]が0であることを検出したときHレベルの検出信号を出力し、HACCum[11:9]が0ではないことを検出したときLレベルの検出信号を出力する。この検出信号とモード信号MODEの反転信号との論理和演算結果が、バリッド信号validとして出力される。従って、拡大処理モードでは、バリッド信号validがHレベルに固定される。なおHACCum[8:6]が、係数LUT50のアドレスLUTadrとなる。図6では、3ビットのみが係数LUT50のアドレスとして生成されるが、このビット数に限定されるものではない。従って、累積加算結果の小数部の少なくとも一部に基づいて係数LUT50のアドレスを生成できればよい。

20

【0099】

また整数部解析部78からの検出信号は、セクタ74の選択制御信号となる。即ち、セクタ74は、整数部解析部78の検出信号がLレベルのとき、デクリメンタ76の出力を選択出力する。一方、セクタ74は、整数部解析部78の検出信号がHレベルのとき、デクリメンタ72の出力を選択出力する。従って、縮小処理モードでは、HACCum[11:9]が0でなくなるまで、倍率アキュムレータレジスタ62に保存された値の整数部をデクリメントしていくことになる。このようなセクタ74の出力は、セクタ80に供給される。

30

【0100】

セクタ80は、モード信号MODEがLレベルのとき、上位ビット付加部66の出力を選択出力する。セクタ80は、モード信号MODEがHレベルのとき、セクタ74の出力を選択出力する。そしてセクタ80の出力が、倍率アキュムレータレジスタ62に保存される。

40

【0101】

次に、図6に示すアキュムレータ30の動作について説明する。

【0102】

図8に、図6のアキュムレータ30の拡大処理モードの動作を模式的に示す。

【0103】

図8において、図6と同一部分には同一符号を付し適宜説明を省略する。

【0104】

倍率設定レジスタ10に設定された倍率の逆数の整数部が0のとき、上述のようにモード信号MODEがLレベルとなる。加算器64は、倍率の逆数と倍率アキュムレータレジスタ62に保存された値HACCum[8:0]とを加算する。その加算結果の第9ビット(HACCum[9]

50

)により、シフトイネーブル信号ShiftEnableが生成される。HACCum[9]に基づいてシフトイネーブル信号ShiftEnableを生成するのは、拡大処理モードでは累積加算される倍率の逆数が1より小さいため、累積加算結果の整数部の最下位ビットを参照すれば、累積加算結果の整数部が0であるか否かを判断できるからである。

【0105】

なお、加算結果は、再び倍率アキュムレータレジスタ62に保存される。そして、倍率アキュムレータレジスタ62に保存された値のうちHACCum[8:6]が、係数LUT50に設定された係数を指定するためのアドレスLUTadrとして出力される。

【0106】

図9に、図6のアキュムレータ30の縮小処理モードの動作を模式的に示す。

10

【0107】

図9において、図6と同一部分には同一符号を付し適宜説明を省略する。

【0108】

倍率設定レジスタ10に設定された倍率の逆数の整数部が0ではないとき、上述のようにモード信号MODEがHレベルとなる。加算器64、70により、倍率の逆数と倍率アキュムレータレジスタ62に保存された値HACCum[11:0]とが加算される。この加算結果の整数部の値は、デクリメンタ72によりデクリメントされる。一方、倍率アキュムレータレジスタ62に保存された値HACCum[11:0]の整数部の値は、デクリメンタ76によりデクリメントされる。そして、倍率アキュムレータレジスタ62に保存された値HACCum[11:9]が0か否かに応じてデクリメンタ72、76のいずれかの出力が選択されて、再び倍率アキュムレータレジスタ62に取り込まれる。

20

【0109】

倍率アキュムレータレジスタ62のHACCum[8:6]は、係数LUT50のアドレスLUTadrとして出力される。また、倍率アキュムレータレジスタ62のHACCum[11:9]に基づいて、バリッド信号validが出力される。

【0110】

従って、縮小処理モードでは、倍率アキュムレータレジスタ62における累積加算結果に基づいて、画素単位に間引きすべきか否かを指定するバリッド信号validを出力することができる。

【0111】

1.3 係数LUT

図10に、図1の係数LUT50の構成例のブロック図を示す。

30

【0112】

係数LUT50は、アドレスデコーダ52と、係数メモリ54とを含むことができる。アドレスデコーダ52は、アキュムレータ30からのアドレスLUTadrをデコードし、係数メモリ54のいずれかの記憶領域を指定する。係数メモリ54は、例えば8(=2<sup>3</sup>)組の係数群を保持し、アドレスデコーダ52により指定された係数群をフィルタ演算部40に対して出力する。

【0113】

図10では、係数メモリ54が8組の係数群を保持するものとして説明したが、本実施形態が組数に限定されるものではないことは言うまでもない。

40

【0114】

1.4 フィルタ演算部

図11に、図1のアキュムレータ30、係数LUT50及びフィルタ演算部40の構成例のブロック図を示す。

【0115】

図11において、図1、図6及び図10と同一部分には同一符号を付し、適宜説明を省略する。図11では、フィルタ演算部40が4タップのフィルタ処理を行うものとするが、本実施形態がタップ数に限定されるものではない。

【0116】

50

フィルタ演算部40は、データバッファと4つのフリップフロップ(Flip-Flop: FF)とを含む。4つのフリップフロップは直列接続されたシフトレジスタを構成し、各フリップフロップにはクロックCLK(画素クロック又はラインクロック)が共通に供給される。そして、アキュムレータ30からのシフトイネーブル信号ShiftEnableがHレベルになると、データバッファから画素データを読み出し、クロックCLKに同期してシフト動作を行う。

【0117】

各フリップフロップの出力は、それぞれ乗算器に入力される。係数LUT50は、アキュムレータ30からのアドレスLUTAdrに対応した係数群h0、h1、h2、h3を出力する。アドレスLUTAdrに対応して出力された係数群の各係数は、各乗算器に供給される。

10

【0118】

各乗算器の出力は加算器に供給され、該加算器の出力が補間後の画素データとなる。この補間後の画素データは、拡大処理又は縮小処理後の画素データである。

【0119】

ここで、各フリップフロップの出力をg0、g1、g2、g3、加算器の出力をD(P)とすると、D(P)は次式で表される。

【0120】

$$D(P) = g_0 \times h_0 + g_1 \times h_1 + g_2 \times h_2 + g_3 \times h_3 \quad \dots (4)$$

そして、画像処理装置100は、倍率設定レジスタ10に設定された倍率の逆数の整数部が0の場合には入力画像の画素データに対して拡大処理を行い、該倍率の逆数の整数部が0ではない場合には入力画像の画素データに対して縮小処理を行うことができる。

20

【0121】

図12に、本実施形態における画像処理装置100の拡大処理の一例の説明図である。

【0122】

図12では、拡大の倍率が2.5(倍率の逆数が0.4)で初期値が0の例を示している。拡大処理では、処理後のすべての画素が有効である。

【0123】

即ち、画像処理装置100は、倍率の逆数の整数部が0の場合であってアキュムレータ30の累積加算結果の整数部が0ではないとき、図6及び図8で説明したようにシフトイネーブル信号ShiftEnableをHレベルに変化させて、図11のフィルタ演算部40のシフトレジスタのシフト動作を行わせる。こうすることで、フィルタ演算部40の処理対象の画素データを更新できる。そして、該更新後の画素データとアキュムレータ30の累積加算結果の小数部の少なくとも一部(図8のHACCum[8:6])に対応した係数との積和演算を行って拡大処理後の画像の画素データを生成することができる。

30

【0124】

また画像処理装置100は、倍率の逆数の整数部が0の場合であってアキュムレータ30の累積加算結果の整数部が0のとき、図6及び図8で説明したようにシフトイネーブル信号ShiftEnableをLレベルに変化させて、図11のフィルタ演算部40のシフトレジスタのシフト動作をディセーブル状態に設定する。こうすることで、フィルタ演算部40の処理対象の画素データを更新させずに済む。そして、フィルタ演算部40で前回用いられた画素データとアキュムレータ30の累積加算結果の小数部の少なくとも一部(図8のHACCum[8:6])に対応した係数との積和演算を行って拡大処理後の画像の画素データを生成することができる。

40

【0125】

従って、図12では、累積加算結果が1.2、1.0の場合(E1、E2、E3、E4)に、シフトイネーブル信号ShiftEnableをHレベルに変化させ、シフト動作後の画素データに対して補間後の画素データを生成している。そして、その他の場合に、シフトイネーブル信号ShiftEnableをLレベルに変化させ、前回の処理対象の画素データに対して、新たな補間画素の位置に対応した係数を用いて補間後の画素データを生成している。

【0126】

50

なお、初期値を0以外の値に設定することで、補間画素の位置を変更できることは言うまでもない。

【0127】

図13に、本実施形態における画像処理装置100の縮小処理の一例の説明図である。

【0128】

図13では、縮小の倍率が0.4（倍率の逆数が2.5）で初期値が0の例を示している。縮小処理では、シフトイネーブル信号ShiftEnableは常にHレベルとなる。

【0129】

即ち、画像処理装置100は、倍率の逆数の整数部が0でない場合であってアキュムレータ30の累積加算結果の整数部が0ではないとき、バリッド信号validをLレベル変化させて当該処理後の画素を間引き対象とし、図9に示すようにデクリメンタ76により累積加算結果（その整数部）をデクリメントするのみで、フィルタ演算部40の出力を更新しない。

【0130】

また画像処理装置100は、倍率の逆数の整数部が0でない場合であってアキュムレータ30の累積加算結果の整数部が0のとき、倍率の逆数と累積加算結果（アキュムレータ30の出力）との加算結果の整数部をデクリメンタ72によりデクリメントする。そして、フィルタ演算部40の処理対象の画素データと累積加算結果の小数部の少なくとも一部に対応した係数との積和演算を行って縮小処理後の画像の画素データを生成することができる。

【0131】

従って、図13では、累積加算結果が1.5、2.0、1.0の場合（F1、F2、F3）に、バリッド信号validをLレベルに変化させる。そして、その他の場合、バリッド信号validをHレベルに変化させ、シフト動作後の画素データに対して補間後の画素データを生成している。

【0132】

なお、初期値を0以外の値に設定することで、補間画素の位置を変更できることは言うまでもない。

【0133】

以上のように、本実施形態における画像処理装置100は、倍率設定レジスタ10に設定された倍率の逆数に応じて、入力画像を拡大処理又は縮小処理した画像の画素データを生成することができる。そしてこの画像処理装置100は、倍率の逆数を求めるための割り算器を不要にできる。また、倍率の逆数の累積加算結果を、画素カウンタのカウント値と比較する必要がなくなる。そのため、画素カウンタで用いるビット数が増加してしまうことがなくなり、画素カウンタのビット数に制限されることなく、電気光学装置の画面サイズの拡大に対応できるようになる。

【0134】

2. 表示コントローラ

次に、本実施形態における画像処理装置100が適用される表示コントローラについて説明する。

【0135】

図14に、本実施形態における画像処理装置100が適用される表示コントローラの構成例のブロック図を示す。

【0136】

表示コントローラ200は、カメラインタフェース（Interface：I/F）（広義には画素データ入力I/F）210と、第1及び第2のスケーラ回路220、230と、フレームバッファ240と、RGBI/F（広義には出力I/F）250とを含む。

カメラI/F210には、入力画像の画素データが入力される。より具体的には、カメラI/F210には、CCDカメラやCMOSカメラを内蔵するカメラモジュールからの画像の画素データが入力される。そしてカメラI/F210は、該画素データのインタフ

10

20

30

40

50

エース処理（カメラモジュールとの間の受信処理や、信号のバッファリング）を行い、インタフェース処理後の画素データを第1のスケーラ回路220に出力する。

【0137】

第1のスケーラ回路220は、カメラI/F210からの入力画像の画素データに対して拡大又は縮小処理を行う。

【0138】

フレームバッファ240は、例えばRGBI/F250に接続される表示ドライバが駆動する電気光学装置の少なくとも1フレーム（1画面）分の画素データを記憶する。第1のスケーラ回路220の処理後のデータは、このフレームバッファ240に保存される。

【0139】

第2のスケーラ回路230は、フレームバッファ240から読み出された画素データにより表される画像の拡大又は縮小処理を行う。

【0140】

RGBI/F250は、第2のスケーラ回路230の処理後のデータを出力するためのインタフェース処理を行う。RGBI/F250は、第2のスケーラ回路230からの画素データのインタフェース処理（表示ドライバとの間の送信処理や、信号のバッファリング）を行い、インタフェース処理後のRGB形式の画素データを図示しない表示ドライバに出力する。RGBI/F250は、例えば同期信号発生回路を含み、電気光学装置を駆動するための表示用の同期信号（1フレームの走査期間である1垂直走査期間を規定する垂直同期信号VSYNC、1水平走査期間を規定する水平同期信号HSYNC、ドットクロックDCLK等）を生成し、該同期信号を表示ドライバに供給することができる。このときRGBI/F250は、各フレームの画素データを垂直同期信号に同期させ、且つ各画素データをドットクロックに同期させて出力する。

【0141】

そして、第1及び第2のスケーラ回路220、230の少なくとも1つは、画像の水平方向の画素データに対して拡大又は縮小処理を行う水平方向画像処理部と、画像の垂直方向の画素データに対して拡大又は縮小処理を行う垂直方向画像処理部とを含む。更に水平方向画像処理部及び垂直方向画像処理部の少なくとも1つは、本実施形態における画像処理装置100を含む。

【0142】

なお表示コントローラ200は、第2のスケーラ回路230の出力をYUV形式に変換した画素データを、RGB形式の画素データと同様に出力できるようになっている。そのため、表示コントローラ200は、YUVI/F270を含むことができる。YUVI/F270は、第2のスケーラ回路230からの画素データのインタフェース処理（CRT装置との間の送信処理や、信号のバッファリング）を行い、インタフェース処理後のYUV形式の画素データを図示しないCRT装置に出力する。

【0143】

また表示コントローラ200は、フレームバッファ240の保存データに対して圧縮処理又は伸張処理を行うJPEG回路280を含むことができる。JPEG回路280は、フレームバッファ240の保存データを読み出して、JPEG規格に従った圧縮処理又は伸張処理を行い、処理後のデータをフレームバッファ240に書き戻すことができる。

【0144】

更に表示コントローラ200は、ホストI/F290を含むことができる。ホストI/F290には、図示しないホストからのデータが入力される。このとき、ホストI/F290は、インタフェース処理（ホストとの間の受信処理や、信号のバッファリング）を行い、インタフェース処理後のデータをフレームバッファ240に供給する。また、フレームバッファ240から読み出されたデータを、ホストI/F290を介してホストに供給できるようになっている。この場合、ホストI/F290は、インタフェース処理（ホストとの間の送信処理や、信号のバッファリング）を行い、インタフェース処理後のデータをホストに出力する。

10

20

30

40

50

## 【 0 1 4 5 】

図 1 5 に、図 1 4 の第 1 のスケーラ回路 2 2 0 の構成例のブロック図を示す。

## 【 0 1 4 6 】

図 1 5 において、図 1 4 と同一部分には同一符号を付し、適宜説明を省略する。図 1 5 の第 1 のスケーラ回路 2 2 0 の各部は、システムクロックに同期して動作する。カメラ I / F 2 1 0 を介して外部入力データとして入力された画素データは、カメラ I / F 2 1 0 からの外部クロックに同期して入力バッファ 3 0 0 にバッファリングされる。

## 【 0 1 4 7 】

クロック生成回路 3 0 2 は、システムクロックをピクセルシフトに基づいてマスク制御されるシフトクロックと、該システムクロックをピクセルバリッドに基づいてマスク制御されるピクセルクロックとを生成する。

10

## 【 0 1 4 8 】

第 1 のスケーラ回路 2 2 0 は、入力画像の垂直方向の画素データに対して拡大又は縮小処理を行う垂直方向画像処理部 3 1 0 と、該入力画像の水平方向の画素データに対して拡大又は縮小処理を行う水平方向画像処理部 3 2 0 とを含む。

## 【 0 1 4 9 】

垂直方向画像処理部 3 1 0 は、垂直倍率設定レジスタ（図示せず）と、垂直スケーリング回路 3 1 2 と、垂直アキュムレータ回路 3 1 4 とを含む。垂直倍率設定レジスタ（図示せず）は、図 1 の倍率設定レジスタ 1 0 の機能を有する。垂直スケーリング回路 3 1 2 は、図 1 の係数 L U T 5 0 及びフィルタ演算部 4 0 の機能を有する。垂直アキュムレータ回路 3 1 4 は、図 1 のアキュムレータ 3 0 の機能を有する。図示しないホストが、垂直倍率設定レジスタに、画像の垂直方向の倍率の逆数を設定する。また図示しないホストが、垂直アキュムレータ回路 3 1 4 の累積加算の初期値を、図示しない垂直アキュムレータ回路用初期値設定レジスタに設定する。この初期値が垂直アキュムレータ回路 3 1 4 に供給される。

20

## 【 0 1 5 0 】

水平方向画像処理部 3 2 0 は、水平倍率設定レジスタ（図示せず）と、水平スケーリング回路 3 2 2 と、水平アキュムレータ回路 3 2 4 とを含む。水平倍率設定レジスタ（図示せず）は、図 1 の倍率設定レジスタ 1 0 の機能を有する。水平スケーリング回路 3 2 2 は、図 1 の係数 L U T 5 0 及びフィルタ演算部 4 0 の機能を有する。水平アキュムレータ回路 3 2 4 は、図 1 のアキュムレータ 3 0 の機能を有する。図示しないホストが、水平倍率設定レジスタに、画像の水平方向の倍率の逆数を設定する。また図示しないホストが、水平アキュムレータ回路 3 2 4 の累積加算の初期値を、図示しない水平アキュムレータ回路用初期値設定レジスタに設定する。この初期値が水平アキュムレータ回路 3 2 4 に供給される。

30

## 【 0 1 5 1 】

垂直アキュムレータ回路 3 1 4 は、垂直倍率設定レジスタに設定された倍率の逆数を累積加算し、係数 L U T のアドレスである垂直補間座標と、バリッド信号 valid に相当するラインバリッドと、シフトイネーブル信号 ShiftEnable に相当するラインシフトを出力する。垂直スケーリング回路 3 1 2 は、垂直補間座標に対応する係数と、入力バッファ 3 0 0 からの画素データとの積和演算を行い、水平スケーリング回路 3 2 2 に対して出力する。また垂直スケーリング回路 3 1 2 は、ラインバリッドをラインイネーブルとして水平スケーリング回路 3 2 2 に出力する。

40

## 【 0 1 5 2 】

水平アキュムレータ回路 3 2 4 は、水平倍率設定レジスタに設定された倍率の逆数を累積加算し、係数 L U T のアドレスである水平補間座標と、バリッド信号 valid に相当するピクセルバリッドと、シフトイネーブル信号 ShiftEnable に相当するピクセルシフトを出力する。

## 【 0 1 5 3 】

図 1 6 に、ピクセルクロック、ピクセルバリッド及び画素データとの関係を示す。図 1

50

6では、拡大処理時のピクセルクロック及び画素データの関係と、縮小処理時のピクセルクロック、ピクセルバリッド及び画素データの関係とを示している。

【0154】

図15において、水平スケーリング回路322は、水平補間座標に対応する係数と、垂直スケーリング回路312からの出力データとの積和演算を行い、演算結果を出力バッファ304に出力する。また水平スケーリング回路322は、ピクセルバリッドをラインイネーブルとして出力バッファ304に出力する。

【0155】

出力バッファ304には、ピクセルクロックに同期して、水平スケーリング回路322からの出力データが格納される。このとき、ラインイネーブルがアクティブのデータのみが、出力バッファ304に格納される。

10

【0156】

こうすることで、垂直方向画像処理部310で縮小処理時に有効（拡大処理時は常に有効）にされた画素データに対して、水平方向画像処理部320が拡大処理又は縮小処理を行うことができる。そして、水平方向画像処理部320で縮小処理時に有効（拡大処理時は常に有効）にされた画素データのみが、出力バッファ304に格納される。

【0157】

なおアドレス生成回路306は、フレームバッファ240の書き込みアドレスを生成すると共に、垂直アキュムレータ回路314からのラインバリッドと、水平アキュムレータ回路324からのピクセルバリッドとに基づいて、フレームバッファ240へのライ

20

トイネーブルを生成することができる。

【0158】

この結果、出力バッファ340に格納された画素データが、フレームバッファ240に保存される。

【0159】

図17に、図14の第2のスケーラ回路230の構成例のブロック図を示す。

【0160】

図17において、図14と同一部分には同一符号を付し、適宜説明を省略する。図17の第2のスケーラ回路230の各部は、システムクロックに同期して動作する。

【0161】

アドレス生成回路400によって生成されたアドレスに基づいてフレームバッファ240から読み出されたデータは、入力バッファ402にバッファリングされる。

30

【0162】

クロック生成回路404は、システムクロックをピクセルシフトに基づいてマスク制御されるシフトクロックと、該システムクロックをピクセルバリッドに基づいてマスク制御されるピクセルクロックとを生成する。

【0163】

第2のスケーラ回路230は、入力画像（フレームバッファ240に格納された画素データにより表される画像）の垂直方向の画素データに対して拡大又は縮小処理を行う垂直方向画像処理部410と、該入力画像の水平方向の画素データに対して拡大又は縮小処理を行う水平方向画像処理部420とを含む。

40

【0164】

垂直方向画像処理部410は、垂直倍率設定レジスタ（図示せず）と、垂直スケーリング回路412と、垂直アキュムレータ回路414とを含む。垂直倍率設定レジスタ（図示せず）は、図1の倍率設定レジスタ10の機能を有する。垂直スケーリング回路412は、図1の係数LUT50及びフィルタ演算部40の機能を有する。垂直アキュムレータ回路414は、図1のアキュムレータ30の機能を有する。図示しないホストが、垂直倍率設定レジスタに、画像の垂直方向の倍率の逆数を設定する。また図示しないホストが、垂直アキュムレータ回路414の累積加算の初期値を、図示しない垂直アキュムレータ回路用初期値設定レジスタに設定する。この初期値が垂直アキュムレータ回路4

50

14に供給される。

【0165】

水平方向画像処理部420は、水平倍率設定レジスタ(図示せず)と、水平スケーリング回路422と、水平アキュムレータ回路424とを含む。水平倍率設定レジスタ(図示せず)は、図1の倍率設定レジスタ10の機能を有する。水平スケーリング回路422は、図1の係数LUT50及びフィルタ演算部40の機能を有する。水平アキュムレータ回路424は、図1のアキュムレータ30の機能を有する。図示しないホストが、水平倍率設定レジスタに、画像の水平方向の倍率の逆数を設定する。また図示しないホストが、水平アキュムレータ回路424の累積加算の初期値を、図示しない水平アキュムレータ回路用初期値設定レジスタに設定する。この初期値が水平アキュムレータ回路424に供給される。

10

【0166】

垂直方向画像処理部410の機能は、図15の垂直方向画像処理部310と同様であるため説明を省略する。水平方向画像処理部420の機能は、図15の水平方向画像処理部320と同様であるため説明を省略する。

【0167】

垂直アキュムレータ回路414からのラインシフトは、アドレス生成回路400に供給される。水平アキュムレータ回路424からのピクセルシフトは、アドレス生成回路400に供給される。アドレス生成回路400は、ラインシフト及びピクセルシフトに基づいてフレームバッファ240の読み出しアドレスを生成する。

20

【0168】

水平スケーリング回路422は、水平補間座標に対応する係数と、垂直スケーリング回路412からの出力データとの積和演算を行い、演算結果を出力バッファ406に出力する。

【0169】

出力バッファ406には、ピクセルクロックに同期して、水平スケーリング回路422からの出力データが格納される。このとき、ラインイネーブルがアクティブのデータのみが、出力バッファ406に格納される。

【0170】

こうすることで、垂直方向画像処理部410で縮小処理時に有効(拡大処理時は常に有効)にされた画素データに対して、水平方向画像処理部420が拡大処理又は縮小処理を行うことができる。そして、水平方向画像処理部420で縮小処理時に有効(拡大処理時は常に有効)にされた画素データのみが、出力バッファ406に格納される。

30

【0171】

この結果、出力バッファ406に格納された画素データが、RGBI/F250又はYUVI/F270に出力される。

【0172】

3. 電子機器

図18に、本実施形態における電子機器の構成例のブロック図を示す。ここでは、電子機器として、携帯電話機の構成例のブロック図を示す。

40

【0173】

携帯電話機700は、図17の表示コントローラ200を含む。携帯電話機700は、カメラモジュール710を含む。カメラモジュール710は、CCDカメラを含み、CCDカメラで撮像した画像のデータを表示コントローラ200に供給する。

【0174】

携帯電話機700は、表示パネル630を含む。表示パネル630として、液晶表示パネルを採用できる。この場合、表示パネル630は、表示ドライバ620によって駆動される。表示パネル630は、複数の走査線、複数のデータ線、複数の画素を含む。表示ドライバ620は、複数の走査線の1又は複数本単位で走査線を選択する走査ドライバの機能を有すると共に、画素データに対応した電圧を複数のデータ線に供給するデータドライ

50

パの機能を有する。

【0175】

表示コントローラ200は、表示ドライバ620に接続され、表示ドライバ620に対してRGBフォーマットの画素データを供給する。画素データのRGBフォーマットとYUVフォーマットの間の変換は、表示コントローラ200内で行うことができる。

【0176】

ホスト720は、表示コントローラ200に接続される。ホスト720は、表示コントローラ200を制御する。またホスト720は、アンテナ722を介して受信された画素データを、変復調部730で復調した後、表示コントローラ200に供給できる。表示コントローラ200は、この画素データに基づき、表示ドライバ620により表示パネル630に表示させる。

10

【0177】

ホスト720は、カメラモジュール710で生成された画素データを変復調部730で変調した後、アンテナ722を介して他の通信装置への送信を指示できる。

【0178】

ホスト720は、操作入力部740からの操作情報に基づいて画素データの送受信処理、カメラモジュール710の撮像、表示パネルの表示処理を行う。

【0179】

なお、図18では、表示パネル630として液晶表示パネルを例に説明したが、これに限定されるものではない。表示パネル630は、エレクトロクミネッセンス、プラズマディスプレイ装置であってもよく、これらを駆動する表示ドライバに画素データを供給する表示コントローラに適用できる。また表示コントローラ200が、YUV形式の画素データを、図示しない出力端子を介して接続されるCRT装置に対して出力してもよい。

20

【0180】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0181】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

30

【図面の簡単な説明】

【0182】

【図1】本実施形態における画像処理装置の構成の概要のブロック図。

【図2】処理後の画素データとバリッド信号との関係の一例を示す図。

【図3】本実施形態における画像の拡大処理及び縮小処理の説明図。

【図4】補間画素の画素データの説明図。

【図5】本実施形態における画像の拡大処理及び縮小処理の他の例の説明図。

【図6】図1のアキュムレータの構成例のブロック図。

【図7】倍率設定レジスタの設定データの整数部及び小数部の説明図。

【図8】図6のアキュムレータの拡大処理モードの動作を模式的に示す図。

40

【図9】図6のアキュムレータの縮小処理モードの動作を模式的に示す図。

【図10】図1の係数LUTの構成例のブロック図。

【図11】図1のアキュムレータ、係数LUT及びフィルタ演算部の構成例のブロック図。

【図12】本実施形態における画像処理装置の拡大処理の一例の説明図。

【図13】本実施形態における画像処理装置の縮小処理の一例の説明図。

【図14】本実施形態における画像処理装置が適用される表示コントローラの構成例のブロック図。

【図15】図14の第1のスケーラ回路の構成例のブロック図。

【図16】ピクセルクロック、ピクセルバリッド及び画素データとの関係を示す図。

50

【図17】図14の第2のスケーラ回路の構成例のブロック図。

【図18】本実施形態における電子機器の構成例のブロック図。

【図19】従来の画像処理装置における拡大処理又は縮小処理後の画像の一例の模式図。  
本実施形態における電子機器の構成例のブロック図。

【図20】図20(A)、図20(B)はファームウェアのコードの一例の説明図。

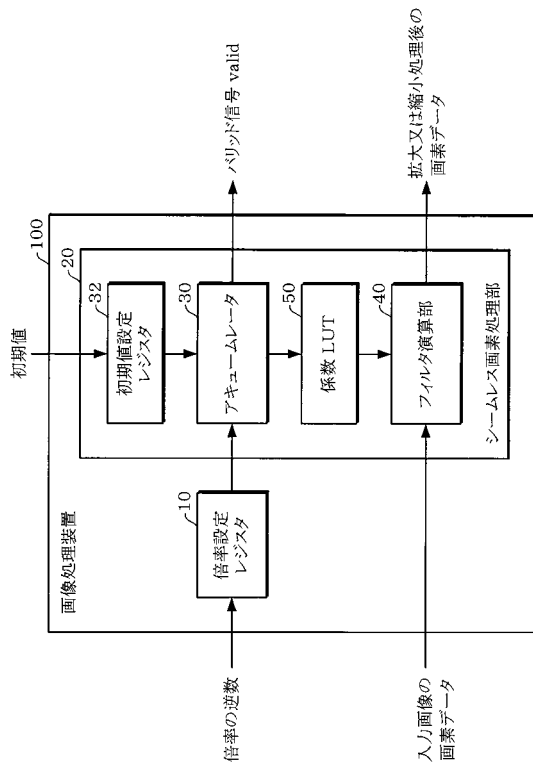
【符号の説明】

【0183】

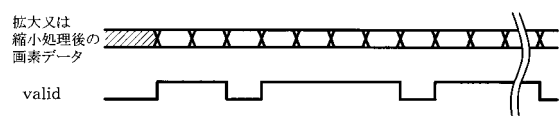
- 10 倍率設定レジスタ、 20 シームレス画素処理部、 30 アキュムレータ、
- 32 初期値設定レジスタ、 40 フィルタ演算部、 50 係数LUT、
- 60 モード判定部、 62 倍率アキュムレータレジスタ、 64、70 加算器、
- 66 上位ビット付加部、 68 下位ビット付加部、 72、76 デクリメンタ、
- 74、80 セレクタ、 78 整数解析部、 100 画像処理装置、
- 200 表示コントローラ、 210 カメラI/F、 220 第1のスケーラ回路、
- 230 第2のスケーラ回路、 240 フレームバッファ、 250 RGBI/F、
- 270 YUVI/F、 280 JPEG回路、 290 ホストI/F

10

【図1】

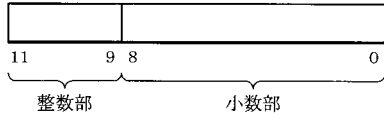


【図2】

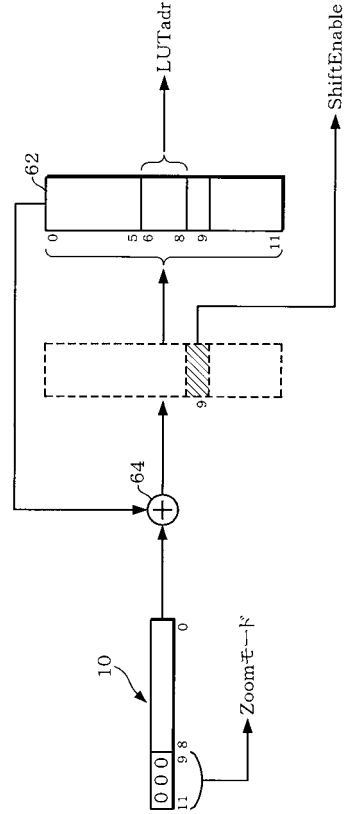




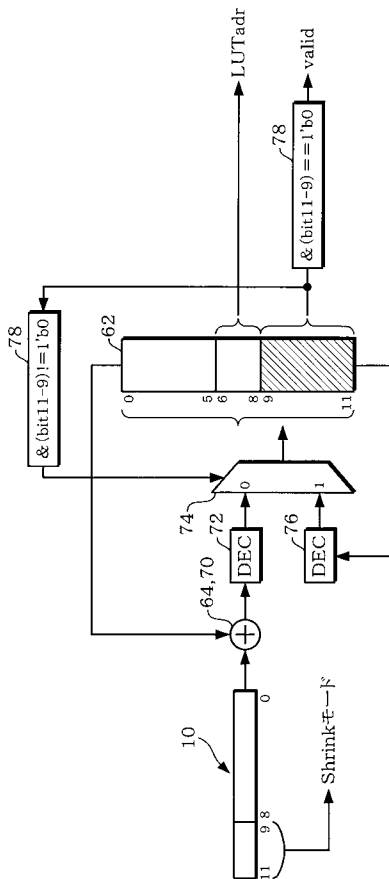
【図7】



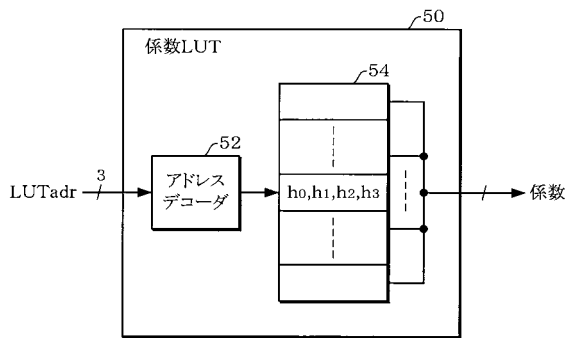
【図8】



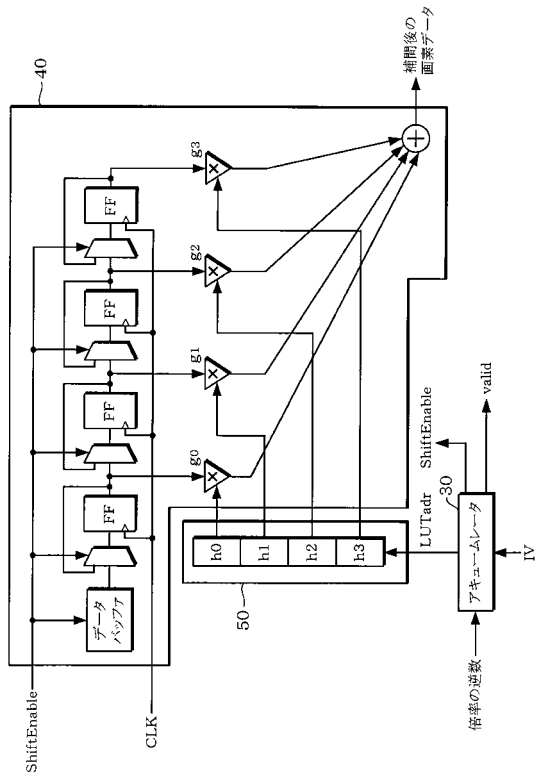
【図9】



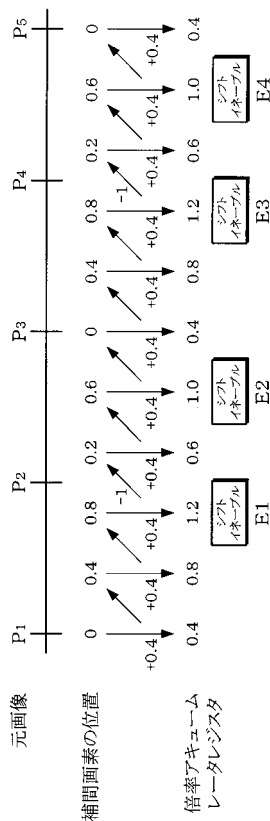
【図10】



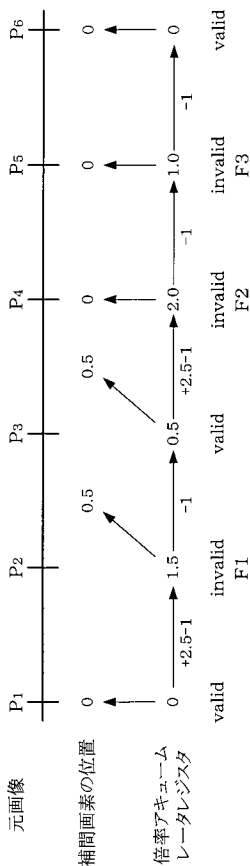
【図11】



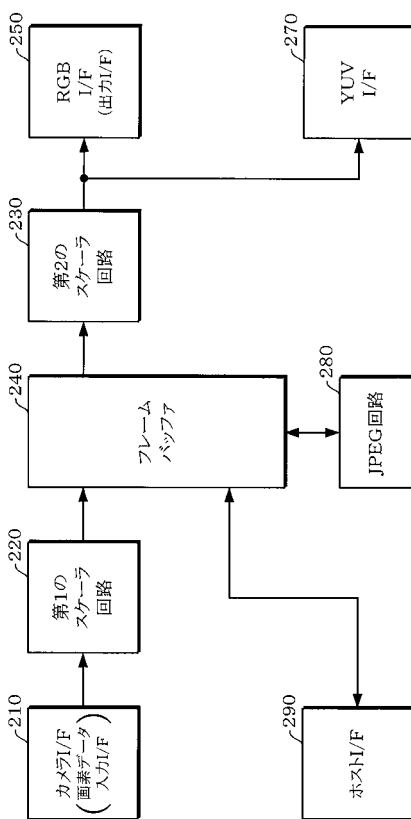
【図12】



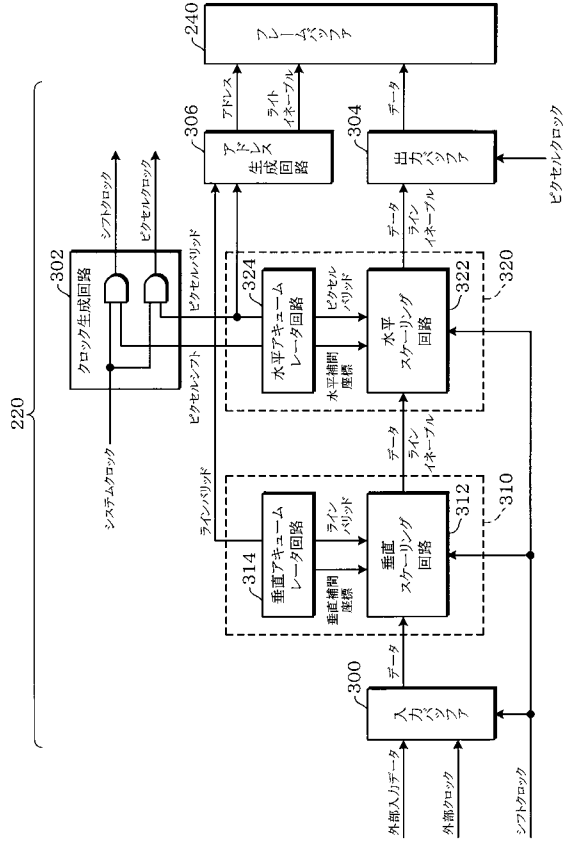
【図13】



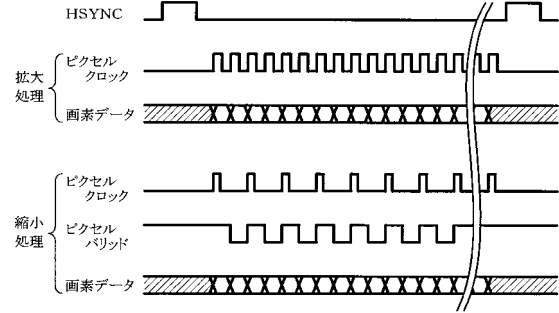
【図14】



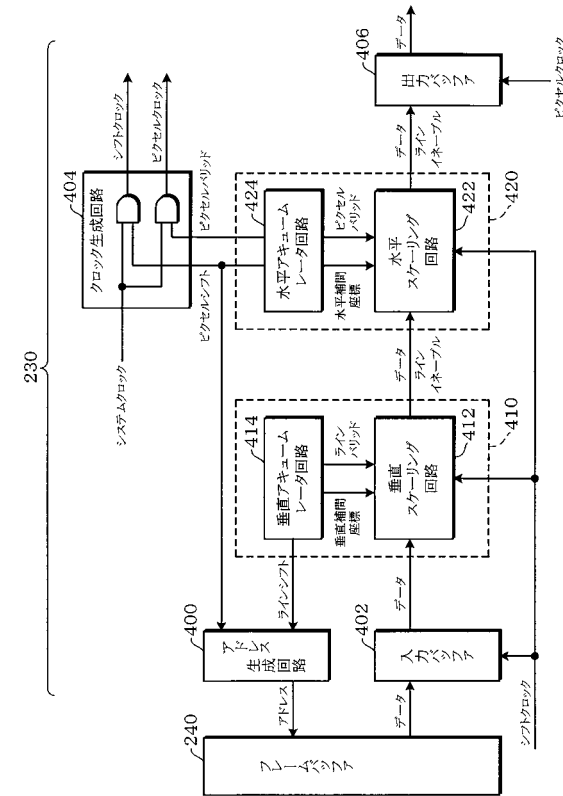
【図15】



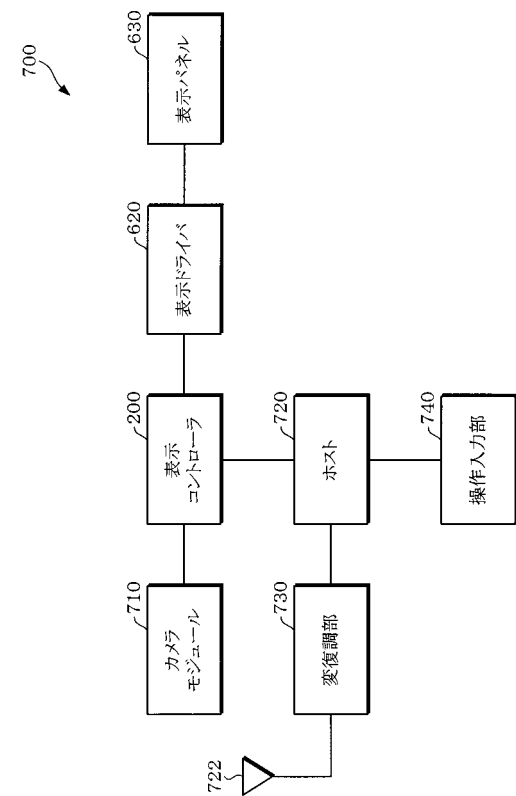
【図16】



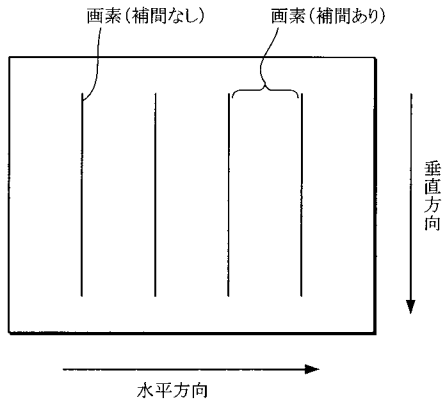
【図17】



【図18】



【図 19】



【図 20】

(A)

```
resize(入力画像, 出力画像, 倍率, モード){  
  if(拡大){  
    if(倍率<1) Error  
    else func1( )  
    :  
  }  
  if(縮小){  
    if(倍率>1) Error  
    else func2( )  
    :  
  }  
}
```

(B)

```
resize(入力画像, 出力画像, 倍率)
```

---

フロントページの続き

(72)発明者 林 禎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 広 島 明芳

(56)参考文献 特開平09-326958(JP,A)  
特開平05-075846(JP,A)  
特開2003-143398(JP,A)  
特開平10-312457(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06T 3/00 - 3/60

H04N 1/393