

DESCRIÇÃO
DA
PATENTE DE INVENÇÃO

N.º 94.400

REQUERENTE: INTERNATIONAL BUSINESS MACHINES CORPORATION,
norte-americana, estabelecida em Armonk, N.Y.
10504, Estados Unidos da América.

EPÍGRAFE: "SISTEMA MICROCOMPUTADOR QUE INCLUI UM CIRCUITO
DE REPOSIÇÃO DO MICROPROCESSADOR"

INVENTORES: Ralph M. Begun, residente nos E.U.A..

Reivindicação do direito de prioridade ao abrigo do artigo 4º da Convenção de Paris
de 20 de Março de 1883.

E.U.A., em 19 de Junho de 1989, sob o Nº de série
07/367,653.

Descrição referente à patente de invenção de INTERNATIONAL BUSINESS MACHINES CORPORATION, norte-americana, industrial e comercial, estabelecida em Armonk, N.Y. 10504, Estados Unidos da América, (inventor: Ralph M. Begun, residente nos E.U. A.), para: "SISTEMA MICROCOMPUTADOR QUE INCLUI UM CIRCUITO DE REPOSIÇÃO DO MICROPROCESSADOR".

Descrição

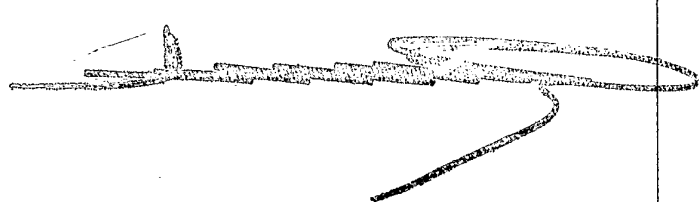
FUNDAMENTO DA INVENÇÃO

1. Campo da invenção

A presente invenção refere-se em geral a sistemas de computador baseados em microprocessadores e, mais particularmente, a circuitos de reposição para tais sistemas computadores.

2. Técnica relacionada

Os microprocessadores, tais como o Intel 386 (TM) e o i486 (TM), incluem uma entrada de reposição para permitir que o microprocessador seja inicializado num estado conhecido ou definido quando se liga a alimentação de energia ao microprocessador. (386 e i486 são marcas comerciais da Intel Corporation). Um computador que utiliza um microprocessador Intel 386 e os circuitos de reposição de energia está representado na fig. 1 como computador (10). Antes de discutir estes circuitos de reposição de energia, é vantajoso descrever o computador (10) em termos gerais.



O computador (10) é um computador com linha omnibus dual, que inclui o microprocessador atrás referido, agora designado por microprocessador (100). O microprocessador (100) inclui uma entrada de reposição representada na fig. 1 com a designação RESET. O microprocessador (100) está acoplado, através de uma linha omnibus local CPU (105), a uma memória tampão (110) que acopla a minha omnibus local CPU (105) a uma linha omnibus local (115) do sistema. A linha omnibus local do sistema (115) está acoplada, através de um retentor/memória tampão/descodificador (120), a uma linha omnibus planar de I/O (entrada/saída) (125), à qual estão ligados dispositivos periféricos, tais como (130). A linha omnibus local do sistema (115) está também acoplada, através de uma memória tampão (140) e de uma linha omnibus (145) de microcanais (TM), aos alvéolos ou ranhuras (150) MICRO CHANNEL nas quais podem inserir-se vários cartões de adaptadores (Micro Channel é uma marca comercial da International Business Machines Corporation). Um controlador (155) do acesso directo à memória (DMA) está acoplado à linha omnibus local do sistema (115), para facilitar o acesso directo à memória (135), sem a intervenção do microprocessador (100). O computador (10) inclui, além disso, um circuito (160) de controlo das linhas omnibus e distribuição de tempos, que está acoplado à linha omnibus local do sistema (115) para permitir controlar e distribuir tempos para a linha omnibus (115). Um ponto central de arbitragem (165) está acoplado ao circuito (160) controlador da linha omnibus e de distribuição de tempos e aos alvéolos dos MICRO CHANNELS (150). O ponto central de arbitragem (165) determina qual a entidade funcional que obtém o acesso à linha omnibus (145) dos MICRO CHANNELS, ou sejam o microprocessador (100), um controlador ou director de linha omnibus para um dos alvéolos dos MICRO CHANNELS ou o controlador DMA (155), por exemplo.

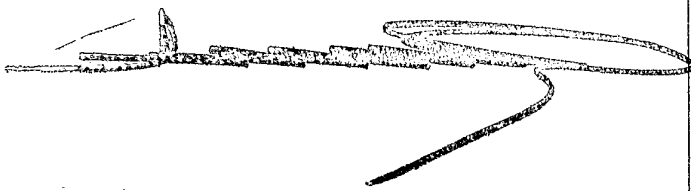
Uma memória "cache" (170) é acoplada à linha omnibus local CPU (105) e ao microprocessador (100), como está representado. Para controlar o funcionamento da memória "cache" (170), um controlador de memória "cache" Intel 82385 (175) está acoplado à linha omnibus local CPU (105) e à linha omnibus local do sistema (115). Quando o computador (10) está a ser designado



como computador com linha omnibus dual, as duas linhas omnibus que estão a designar-se são a linha omnibus local CPU (105) e a linha omnibus local do sistema (115). Cada uma das linhas omnibus (105) e (115) inclui linhas omnibus respectivas de endereços, de dados e de comando. Para facilitar o processamento de operações em vírgula flutuante, à linha omnibus local da CPU está acoplado um coprocessador matemático (180).

Como atrás foi mencionado, o microprocessador (100) inclui uma entrada de reposição, designada por RESET. O microprocessador (100) inclui além disso uma entrada de relógio, designada por CLK2, para a qual se proporciona uma frequência de relógio dupla (2X) da frequência de relógio interna do microprocessador. A frequência do relógio interno do processador (100) é definida como sendo igual a 1X. Um circuito (100A) de divisão por dois e de correcção de fase está incluído no interior do microprocessador (100) de modo que o sinal CLK2 ou sinal de relógio 2X (por exemplo a 50 MHz) proporcionado à entrada CLK2 do relógio é dividido por dois para 1X (ou 25 MHz, por exemplo) para uso interno no microprocessador (100). Proporciona-se um circuito gerador do sinal CLK2, ou oscilador de relógio (185), para gerar o sinal de relógio CLK2. O circuito de geração de CLK2 (185) inclui uma saída CLK2 que está acoplada à LÓGICA DE REPOSIÇÃO (190), a um circuito de divisão por 2 (195), a um circuito (160) de controlo e distribuição de tempos, a um controlador da memória "cache" (175), ao microprocessador (100) e ao coprocessador (180), para proporcionar aos mesmos informação de sinais de relógio. A lógica de reposição (180) inclui uma saída RESET, que está acoplada à entrada RESET do microprocessador, do coprocessador matemático (180), do controlador da memória "cache" (175) e do circuito (160) de controlo das linhas omnibus e distribuição de tempos, para proporcionar um impulso de reposição apropriado para esses dispositivos quando se desejar a reposição do sistema. A partir da fig. 1 vê-se que o circuito (195) divisor por 2 divide o sinal de relógio CLK2 por 2 para produzir um sinal de relógio externo designado por CLK, que é proporcionado ao circuito (190) da lógica de reposição e ao circuito (160) de controlo de linhas omnibus e distribuição de tempos. Faz-se notar que o sinal de relógio exterior CLK gerado na saída do circuito divi-

1

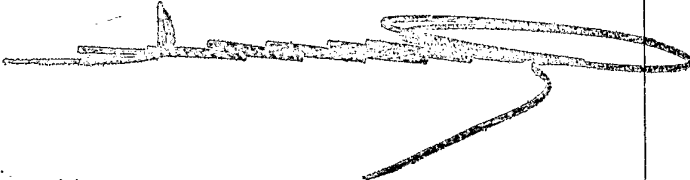


sor (185) apresenta uma frequência substancialmente igual à frequência de relógio interna 1X do microprocessador (100). Por esta razão, o sinal CLK é, em alternativa, designado por sinal de relógio exterior 1X.

Vai agora apresentar-se uma vista geral do funcionamento do microprocessador 386, relativamente às operações de relógio. Como atrás se mencionou, o microprocessador 386 opera a partir de uma entrada do relógio externo duplo, ou relógio 2X. Assim, um microprocessador 386 de 20 MHz exige um sinal de relógio externo de 40 MHz na sua entrada CLK2 e um microprocessador 386 de 25 MHz exige um sinal de relógio de 50 MHz na sua entrada CLK2.

Internamente, o microprocessador 386 gera o seu próprio relógio "uma vez" (1X) dividindo por dois o sinal na entrada CLK2. Este sinal de relógio interno 1X é usado no interior do microprocessador 386 para determinar as distribuições de tempos das várias operações lógicas internas, incluindo operações que aparecem como saídas do microprocessador. Este sinal de relógio 1X é também usado internamente ao microprocessador 386 para determinar o tempo de amostragem apropriado das entradas exteriores. As relações temporais deste sinal de relógio 1X com o sinal de relógio CLK2 estão representadas na fig. 2, na qual o sinal de relógio interno 1X está representado na sua parte inferior. As relações temporais relativamente a este relógio 1X estão documentadas pela Intel no 80836 Hardkare Manual. O sinal de relógio interno 1X é usado para determinar a fase apropriada de sinal CLK2, visto que são necessárias múltiplas fases CLK2 para completar um ciclo da linha omnibus do microprocessador 386.

O sistema de computador típico baseado num microprocessador 386 gerará, externamente ao microprocessador 386, o seu próprio sinal de relógio exterior 1X, visto que não há qualquer saída de relógio 1X proveniente do microprocessador 386. Como se vê na fig. 1, este sinal de relógio 1X externo é gerado no computador (10) na saída CLK do circuito divisor (195) como sinal CLK. Este sinal de relógio externo 1X ou sinal CLK é usado pela lógica exterior para monitorar ou explorar o microprocessador 386 e para controlar as entradas necessárias para o micropro

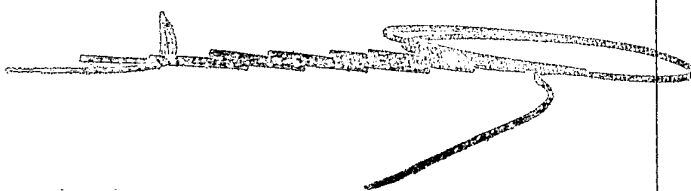


cessador 386.

Os dois relógios 1X gerados separadamente, designadamente o relógio 1X interno e o relógio 1X externo (CLK no divisor (195)), podem diferir, de maneira indesejável, nas suas fases, a menos que se proporcionem certos meios para conseguir a sincronização do relógio 1X interno e do relógio 1X externo durante a ligação da energia ao microprocessador (100). Esta acção de sincronização necessária é tipicamente proporcionada por geração do sinal RESET que é fornecido à entrada RESET do microprocessador (100). A lógica externa, designadamente a lógica de reposição (190) dispara a frente activa do sinal RESET relativamente ao relógio 1X gerado externamente. Isto é, há uma relação conhecida e fixa entre a frente activa do sinal RESET e o sinal de relógio 1X gerado externamente. O sinal RESET é explorado pelo microprocessador 386 em cada flanco ascendente de CLK2. A informação de exploração de RESET resultante é usada pelo circuito interno de divisão por 2 e de correcção de fase (100A) para alterar a fase do relógio 1X interno, se for necessário levar o relógio 1X interno ao sincronismo com o relógio 1X externo.

Para proporcionar ao utilizador do computador uma passagem ao nível superior de um tipo de computador (10), proporciona-se um cartão-filho (não representado), que inclui o microprocessador (100), o coprocessador (180), o controlador da memória "cache" (175), a memória "cache" (170) e os circuitos de reposição associados. Este cartão-filho será designado também por um complexo processador. O cartão-filho encaixa-se num cartão plano ou cartão-mãe que contém os restantes componentes e dispositivos do computador (10) representado na fig. 1. Deste modo, pode encaixar-se um cartão-filho contendo uma configuração do microprocessador diferente da originalmente proporcionada com o computador no cartão planar para melhorar a eficácia do computador. Um exemplo de um computador que utiliza uma tal disposição de cartão-filho é o computador IBM Personal System/2 Model 70 A21. (Personal System/2 é uma marca registada da International Business Machines Corporation).

A tecnologia dos microprocessadores avançou para



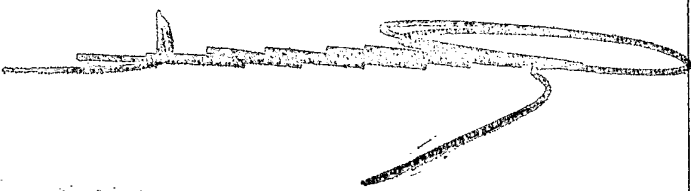
além do nível do computador (10) baseado no 386 atrás descrito. Mais especificamente, a Intel Corporation introduziu recentemente o microprocessador i486 que oferece benefícios significativos da eficácia do processador, incorporando um microprocessador, um coprocessador "cache" e um controlador da memória "cache" numa única micropastilha.

Infelizmente, encontrou-se um certo número de dificuldades quando se tentou equipar um computador existente, tal como o computador (10), com um microprocessador i486. Recordar-se-á que o computador (10) inclui um relógio externo 2X (CLK2) e o microprocessador 386 do computador (10) inclui um perno CLK2 ao qual é proporcionado o sinal de relógio 2X. O microprocessador 386 inclui ainda um circuito interno divisor por 2, para produzir um relógio interno 1X. Pelo contrário, o microprocessador i486 não usa a mesma solução de ajustamento da fase do relógio interno através do terminal RESET do microprocessador como o faz o microprocessador 386, mas antes pelo contrário o microprocessador i486 emprega um perno de relógio 1X único. Isto significa que um i486 de 25 MHz opera a partir de uma entrada de relógio de 25 MHz. Ainda em contraste com o microprocessador 386, o microprocessador i486 usa um circuito de duplicação da frequência para gerar um relógio interno 2X.

Devido a esta disposição, o microprocessador i486 admite que o fasamento apropriado está implícito na entrada do perno "uma vez" (1 X) CLK para o i486. Assim, o microprocessador i486 não explora a sua entrada RESET para obter a correcção da fase do relógio. Esta diferença do fasamento RESET/CLK entre o microprocessador 386 e o microprocessador i486 faz com que haja dificuldades de sincronização do relógio 1X numa aplicação em que o progresso de um processador de um microprocessador 386 para um microprocessador i486, quando se pretender uma alteração mínima nos restantes circuitos do computador (10) ou outro computador.

BREVE SUMÁRIO DA INVENÇÃO

Por conseguinte, um objecto da presente invenção consiste em proporcionar um circuito de reposição que permite a um microprocessador i486 operar num computador que utilizava



originariamente um microprocessador 386.

Outro objecto da presente invenção consiste em proporcionar um circuito de reposição que exija uma alteração mínima dos circuitos de um computador com microprocessador, quando esse computador for aperfeiçoado ou redesenhado para acomodar um microprocessador i486.

Segundo a presente invenção, proporciona-se um sistema computador que inclui uma entrada de reposição e que, além disso, apresenta uma entrada de relógio para a qual é proporcionado um sinal de relógio. O sistema computador inclui um circuito de reposição do microprocessador que é capaz de gerar um sinal de reposição do microprocessador. O circuito de reposição do microprocessador inclui um detector de erro de fase para detectar o erro de fase entre o sinal de relógio e o sinal de reposição. O circuito de reposição inclui ainda um corrector do erro de fase, acoplado aos meios de detecção do erro de fase, para ajustar a fase do sinal de relógio, se o erro de fase for detectado, de modo que se minimize substancialmente esse erro de fase. O circuito de reposição também inclui um regenerador do sinal de reposição para proporcionar um novo sinal de reposição na entrada de reposição do microprocessador quando a fase do sinal de relógio for ajustada.

As características da presente invenção, que se pensa serem novas são apresentadas especificamente nas reivindicações anexas. Mas a invenção propriamente dita, tanto a sua estrutura como o seu modo de funcionamento, podem entender-se melhor com referência à descrição seguinte e aos desenhos anexas.

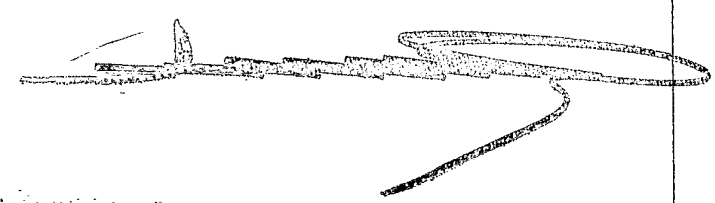
BREVE DESCRIÇÃO DOS DESENHOS

Nos desenhos anexas, as figuras representam:

A fig. 1, um esquema de blocos de um computador convencional com linha omnibus dual;

A fig. 2, um diagrama de tempos que mostra a relação entre o sinal de relógio interno 1X e o sinal de relógio externo 2X (CLK2);

A fig. 3, um esquema de blocos de nível elevado



do sistema de computador segundo a presente invenção;

A fig. 4, um esquema de blocos de baixo nível, mais pormenorizado, da parte do circuito de reposição do sistema de computador da fig. 3;

A fig. 5, um diagrama de tempos que mostra o funcionamento do circuito de reposição da fig. 4, quando não se verifica qualquer erro de fase;

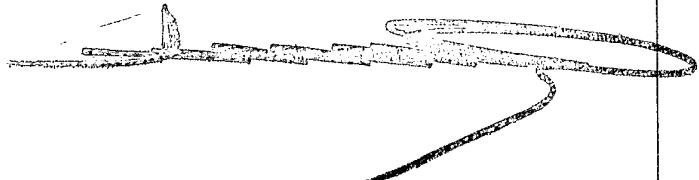
A fig. 6, um diagrama de tempos que mostra o funcionamento do circuito de reposição quando se verifica um erro de fase; e

A fig. 7, um diagrama de tempos que utiliza um eixo de tempos com os tempos comprimidos para mostrar o funcionamento do circuito de reposição da fig. 4.

DESCRIÇÃO PORMENORIZADA DA INVENÇÃO

A fig. 3 é um esquema de blocos de nível elevado que ilustra o sistema de computador segundo a presente invenção, como sistema de computador (200). O sistema de computador (200) tem elementos em comum com o sistema de computador (10) da fig. 1, com a excepção da modificação representada na fig. 3 e que vai agora discutir-se. Utilizam-se os mesmos números de referência para indicar os elementos iguais nas fig. 3 e 1.

Na forma de realização preferida da presente invenção, o sistema de computador (200) inclui um microprocessador i486, designado por microprocessador (205), que possui uma entrada de relógio $1X$ designada por CPUCLK e uma entrada de reposição designada por MPRESET, como se mostra na fig. 3. A frequência do relógio interno do microprocessador (205) é definida por forma a ser igual a $1X$ e a frequência do sinal de relógio fornecida à entrada CPUCLK é também $1X$. O microprocessador (205) está acoplado à linha omnibus local (105) da CPU, como está representado. A saída CLK2 do circuito (185) de geração do sinal de relógio CLK2 está acoplada à entrada CPUCLK do microprocessador (205), através de um circuito divisor por dois e de correcção da fase. A saída CLK2 do circuito de geração CLK2 está também acoplada a uma entrada de base de tempo ou entrada de reló-



gio (DCLK2, CLK2C) da entrada de um circuito verificador da fase (215), através de um circuito de atraso (212). Deste modo, proporciona-se, na base de tempo para o verificador de fase, uma versão atrasada no tempo do sinal de relógio CLK2, designadamente o sinal DCLK2, que é produzido na saída DCLK2 do circuito de atraso temporal (212). A saída DCLK2 do circuito (212) de atraso está também acoplada a uma entrada de base de tempo do circuito lógico de reposição (190), de modo tal que se proporciona a mesma informação de relógio ou de base de tempo atrasada DCLK2, ao verificador de fase (215) e à lógica de reposição (190).

O circuito verificador de fase (215) inclui entradas de fase (215A) e (215B) e uma saída de erro de fase designada por PHERR, na qual é gerado um sinal de erro de fase PHERR que representa o erro de fase entre os sinais (atrás descritos), que são fornecidos às entradas de fase (215A) e (215B). A saída CPUCLK do circuito (210) de divisão por 2 com correcção de fase está acoplada através de um circuito de atraso (217) à entrada de fase (215A) do verificador de fase (215), de modo tal que se proporciona à entrada de fase (215A) uma versão atrasada do sinal CPUCLK (DCLK) produzido na saída do circuito de atraso (217).

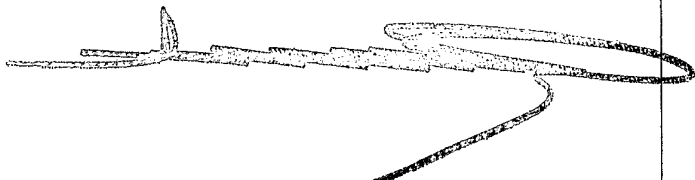
A saída RESET do circuito (190) da lógica RESET está acoplada à outra entrada de fase (215B) do verificador de fase (215) para proporcionar à mesma informação de fase do impulso de reposição. Fornecendo os sinais DCLK e RESET às entradas de fase (215A) e (215B) deste modo, permite-se que o verificador de fase (215) compare a fase do sinal CPUCLK atrasado (DCLK) com a fase implícita do sinal RESET. Se o verificador de fase (215) detectar um erro de fase entre o sinal DCLK e o sinal RESET, então o verificador de fase (215) gera um sinal de erro de fase PHERR na saída PHERR do verificador de fase (215). Este erro de fase indica que há uma relação de fase indesejável entre o sinal CPUCLK (tal como é representado por DCLK) e o sinal CLK proporcionado pelo divisor (195). A saída PHERR do verificador de fase (215) está acoplada à entrada PHERR do circuito (210) divisor por 2 com correcção da fase para proporcionar à



mesma o sinal PHERR. O sinal PHERR é também fornecido à entrada PHERR de um circuito (220) gerador da regeneração da reposição, que será discutido mais adiante.

Embora o verificador de fase (215) verifique a fase do sinal CPUCLK (tal como é representado por DCLK) relativamente ao sinal RESET, ele efectivamente verifica a fase do sinal CPUCLK (relógio interno do microprocessador) relativamente à fase do sinal de relógio externo CLK gerado na saída do divisor (195). Isso é assim porque o flanco descendente do sinal RESET gerado pela lógica de reposição (190) contém informação de relógio relativamente ao sinal exterior de relógio CLK, visto que a lógica de reposição (190) segue a convenção de tempos anterior compatível com o microprocessador (386).

Se o verificador de fase (215) determinar que existe um erro de fase entre o sinal CPULCLK atrasado (DCLK) e o sinal RESET, por exemplo durante a ligação da energia ao microprocessador (205), então gera-se um sinal PHERR que acciona o circuito (210) de divisão por 2 com correcção de fase para levar o sinal CPUCLK atrasado (DCLK) a ficar em fase com o sinal RESET. Desta maneira, a fase do sinal CPUCLK é ajustada e corrigida. Contudo, quando se verifica um tal ajuste da fase, é violada a especificação de estabilidade do relógio t_{1a} do microprocessador i486, como se descreve com mais pormenor mais adiante. Quando se verificar uma tal violação da especificação, então o circuito de regeneração da reposição (220) regenera ou produz um novo impulso do sinal de reposição (NEWRESET) que é proporcionado à entrada MPRESET do microprocessador (205) para repor o microprocessador (205). Como se vê na fig. 3, a saída RESET da lógica RESET (190) é acoplada à entrada RESET do circuito (220) de regeneração de RESET para proporcionar o sinal RESET à mesma. O circuito de regeneração da reposição (220) inclui uma saída RCLK que é acoplada a uma entrada de um elemento de distribuição de tempos (225), tal como o elemento (225) que inclui uma saída RCNT6, incluindo esse elemento de distribuição de tempos (225) uma saída RCNT6 que é re-acoplada ao circuito de regeneração de reposição (220), como será explicado mais tarde. A saída PHERR do verificador de fase (215) é acoplada a uma entrada PHERR do circuito de

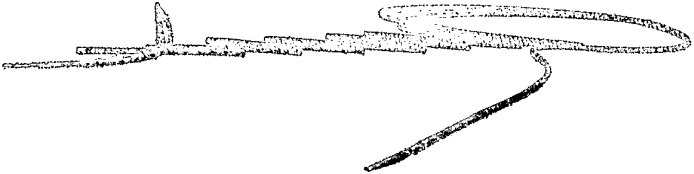


regeneração de reposição (220) para informar o circuito de regeneração da reposição (220) sobre quando é necessário o sinal de reposição. Deste modo, o circuito de regeneração (220) é informado de quando é necessário gerar o impulso NEWRESET. Faz-se notar que o fornecimento deste impulso NEWRESET à entrada RESET do microprocessador (205) tem como resultado desejavelmente o retorno do microprocessador (205) a um estado conhecido.

A fig. 4 é um esquema de blocos de nível mais baixo, mais pormenorizado, mostrando a parte dos circuitos de reposição do sistema de computador (200) baseado num microprocessador. Comparando os esquemas das fig. 3 e 4, notar-se-á que alguns sinais, entradas e saídas foram designados com outros nomes, como se explica a seguir ou pode ver-se nas designações na fig. 4. Isso foi feito para facilitar a realização prática da parte restante do circuito em lógica de matrizes programáveis (PAL), como se explicará mais adiante. (PAL - Programmable Array Logic - é uma marca comercial da Monolithic Memories, Inc.). Os sinais que são gerados e usados internamente nos vários blocos da fig. 4 estão representados entre parênteses.

Os sinais utilizados na parte dos circuitos de reposição da fig. 4 são os mesmos que os sinais na parte de circuitos de reposição da fig. 3, excepto para as diferenças aqui discutidas a seguir. O sinal CLK2 gerado na saída do gerador (185) do sinal de relógio CLK2 é também designado por CLK2ALSO. O sinal DCLK2 produzido na saída do elemento de atraso (212) é, em alternativa, designado por CLK2A, CLK2B e CLK2C. O sinal CPUCLK produzido na saída do circuito (210) de divisão por 2 com correcção de fase é também designado por CLK e CLKX. O Sinal RESET gerado pela lógica de reposição (190) está representado com mais pormenor nos circuitos de reposição da fig. 4, ao incluir um sinal CPURESET que é fornecido à lógica de regeneração da reposição (220) e ainda um sinal CACHERESSET que é proporcionado para a lógica de regeneração da reposição (220) e para o verificador de fase (215).

Uma versão atrasada DPHERR do sinal do erro de fase PHERR é gerada internamente no circuito (210) de divisão por 2 e correcção de fase, como se mostra na fig. 4 e está indicado



entre parênteses. Um sinal **CRSEBTSYNC** é gerado internamente no verificador de fase (215) e é fornecido ao elemento de temporização (225). O **CRSEBTSYNC** é uma versão atrasada e invertida do sinal **CACHERESSET** gerado pela lógica de reposição (190).

Numa forma de realização da presente invenção, o elemento de temporização (225) é um contador 74LS590 fabricado pela Texas Instruments, Inc. Este elemento de temporização é usado para determinar a duração dos impulsos necessários **NEWRESSET**, sendo essa duração dos impulsos de cerca de 1 ms.

Proporciona-se um sinal de entrada **BHOLD** para o circuito de regeneração da reposição (220), como se vê na fig. 4. O **BHOLD** é usado como um sinal de temporização acessível, com um impulso de 15,6 em 15,6 micro-segundos, e é usado para gerar os impulsos de relógio para o contador do elemento de temporização (225). O **RCLK** é derivado do **BHOLD** e é proporcionado ao elemento de temporização (225), como será descrito mais adiante.

O circuito (210) de divisão por 2 com correção de fase, o circuito de atraso (217) e o circuito de atraso (212) são convenientemente fabricados num primeiro dispositivo programável PAL, como se especifica nas entradas e saídas PAL e nas equações lógicas dadas a seguir. Nas equações lógicas seguintes, os símbolos têm o significado a seguir designado:

<u>SÍMBOLO</u>	<u>DEFINIÇÃO</u>
/	Negação
:=	Um termo registado, igual a
=	Um termo combinatório, igual a
&	"E" lógico
+	"OU" lógico

O primeiro dispositivo PAL define-se como apresentando os seguintes pernos de entrada:

<u>PERNO DE ENTRADA</u>	<u>COMENTÁRIO</u>
CLK2	- Oscilador TTL 50 MHz
CLKALSO	- Oscilador TTL 50 MHz
PHERR	- Erro de fase.

O primeiro dispositivo PAL é definido como tendo

os seguintes pernos de saída:

PERNO DE SAÍDA	COMENTÁRIO
CLK2A	- CLK2 com memória tampão 50 MHz
DCLK	- Relógio de 25 MHz para i486 e PALS
DPHERR	- Impulso de erro de fase
CLKX	- Relógio de 25 MHz para i486 e PALS
CLK2G	- CLK2 com memória tampão de 50 MHz
CLK2B	- CLK2 com memória tampão de 50 MHz

As equações lógicas seguintes descrevem a realização lógica no interior do primeiro dispositivo PAL:

```
CLK2A = CLK2ALSO
CLK2B = CLK2ALSO
CLK2G = CLK2ALSO
!CLK := (CLK & PHERR)
      #(CLK & !PHERR & !DPHERR)
!CLKX := (CLK & PHERR)
      #(CLK & !PHERR & !DPHERR)
!DPHERR := (!PHERR & CLK)
        #(!DPHERR & !CLK)
DCLK = CLK
```

O verificador de fase (215) e a lógica de regeneração da reposição (220) são convenientemente fabricadas num segundo dispositivo PAL, como se especifica com as entradas, saídas e equações lógicas do PAL. Por conseguinte, o segundo dispositivo PAL é definido como apresentando os seguintes pernos de entrada:

PERNO DE ENTRADA	COMENTÁRIO
CLK2G	- CLK2 TTL MHz
DCLK	- Relógio CPU de atraso 25 MHz
CACHERESET	- Impulso de reposição da memória "cache"
CPURESET	- Impulso de reposição CPU
HOLD	- Pedido de retenção da CPU
RCNT6	- bit 6 do contador de reposição

O segundo dispositivo PAL é definido como apresen

tando os seguintes pernos de saída:

PERNO DE SAÍDA	COMENTÁRIO
NEWRESET	- novo CPURESET, INCLUINDO o fasamento
RCLK	- relógio do contador de reposição
PHERR	- impulso do erro de fase
CRESETSYNC	- CACHERESSET atrasado e invertido
RCNTSYNC	- versão amostrada da entrada RCNT6

As equações lógicas seguintes descrevem a realização lógica no interior do segundo dispositivo PAL.

```
!CRESETSYNC := CACHERESSET
NEWRESET := CPURESET
            # !PHERR & !CACHERESSET
            # NEWRESET & !RCNTSYNC & CRESETSYNC
            & !PHERR
!PHERR := DCLK & !CRESETSYNC & !CACHERESSET
            # !PHERR & !RCNTSYNC & !CACHERESSET
            # !PHERR & !DCLK
!RCLK := !DCLK & !PHERR & CRESETSYNC & HOLD
            # RCLK & !DCLK & CACHERESSET
            # !RCLK & DCLK
RCNTSYNC := RCNT6 & !DCLK
            # RCNTSYNC & DCLK
```

Na fig. 5 está representado um diagrama de tempos que mostra o funcionamento dos circuitos da fig. 4, ilustrando os sinais CLK2/CLK2ALSO, CACHERESSET, RCNT6, CLK2C, CRESETSYNC, PHERR, DPHERR, CLK/CLKX/, CPUCLK, DCLK, NEWRESET, RCLK, CLK2A; BHOLD e CPURESET, desses circuitos de reposição num eixo de tempos comum. A fig. 5 ilustra o caso em que não ocorre qualquer erro de fase, visto observando o sinal PHERR consistentemente no nível elevado.

A fig. 6 é um diagrama de tempos que mostra o funcionamento dos circuitos de reposição da fig. 4, ilustrando os sinais CLK2/CLK2ALSO, CACHERESSET, RCNT6, CLK2C, CRESETSYNC, PHERR, DPHERR, CLK/CLKX/, CPUCLK, DCLK, NEWRESET, RCLK, CLK2A, BHOLD e CPURESET de tais circuitos num eixo dos tempos comum. A fig. 6 ilustra o caso em que se verifica um erro de fase, tal como se

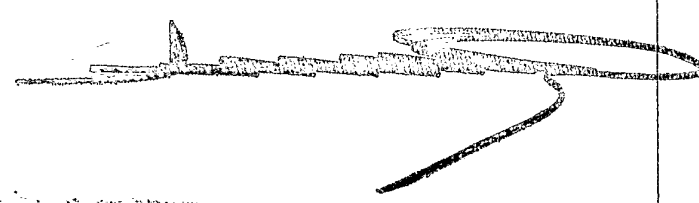


se observa no flanco descendente do sinal PHERR em (300). Os circuitos de reposição corrigem este erro de fase, como se vê no impulso CLK alongado, em (305).

A fig. 7 é um diagrama de tempos que mostra o funcionamento dos circuitos de reposição da fig. 4 ilustrando os sinais CLK2/CLK2ALSO, CACHERESET, RCNT6, CLK2C; CRESETSYNO, PHERR, DPHERR, CLK/CLKX/, CPUCLK, DCLK, NEWRESET, RCLK, CLK2A, BHOLD e CPURESET de tal circuito de reposição num eixo dos tempos comum, num intervalo de tempo maior que o dos diagramas de tempos das fig. 5 e 6, mediante uma compressão do eixo dos tempos. O diagrama de tempos da fig. 7 ilustra como os sinais RCLK e BHOLD funcionam para definir a temporização do contador no interior do elemento de temporização (225). O sinal RCNT6 proporciona o sinal de retorno a partir deste contador. Como se ilustra na Fig. 7, por conveniência de representação, os impulsos BHOLD sucedem-se com uma taxa menor que a referida atrás de 15,6 microssegundos e o RCLK é contado aqui apenas em duas contagens, em vez de 27 contagens, como sucede na prática actual, numa forma de realização da presente invenção.

O que se segue é um resumo do funcionamento da parte dos circuitos de reposição do sistema de computador (200) das fig. 3 e 4. Quando se liga inicialmente a energia ao computador (200) ou quando a lógica de reposição (190) for de outro modo instruída para gerar um impulso de reposição, a lógica de reposição (190) gera um impulso de reposição inicial designado por RESET. O impulso de reposição inicial RESET é fornecido ao circuito de regeneração da reposição (220) que passa este impulso RESET inicial para o microprocessador (205), através da linha NEWRESET, que é depois usada para transmitir o impulso NEWRESET para o microprocessador (205). Assim, o impulso RESET inicial faz com que o microprocessador (205) execute uma operação interna de reposição do microprocessador. Este impulso RESET inicial é também fornecido ao verificador de fase (215), que utiliza este impulso RESET da maneira descrita adiante na discussão do verificador de fase (215).

A lógica proporcionada nos circuitos de reposição efectua uma operação de divisão por 2, no divisor/corrector de

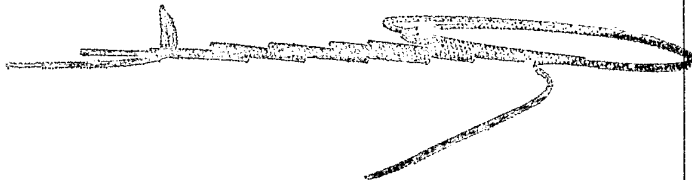


fase (210), no sinal de relógio CLK2 do circuito gerador de CLK2, que apresenta uma frequência de relógio 2X para proporcionar ao microprocessador (205) um sinal de relógio apropriado que apresenta uma frequência de relógio 1X na sua entrada CPUCLK. O verificador de fase (215) determina então se ocorre um erro de fase entre o sinal CPUCLK e o sinal RESET gerado pela lógica de reposição (190). (O sinal RESET transporta indícios da fase do sinal de relógio externo CLK 1X). Um tal erro de fase é típico quando se liga a alimentação ao microprocessador. Se for detectado esse erro de fase, então a fase do sinal CPUCLK é corrigido pelo divisor/corrector de fase (210). Porém, quando a fase do sinal CPUCLK for assim corrigido e deslocado, é violada a especificação de distribuição de tempos Intel para a estabilidade do relógio i486 (a especificação t_{1a} é 0,1% da variação máxima entre impulsos de relógio CPUCLK adjacentes).

Se for necessário um deslocamento de fase correctivo CPUCLK, então o circuito de regeneração da reposição (220) gera um novo impulso de reposição NEWRESET que é fornecido à entrada NPRESET do microprocessador (205) para repor o microprocessador num estado conhecido. Por outras palavras, se for necessário um deslocamento de fase CPUCLK devido a um erro de fase detectado, a entrada NPRESET do microprocessador (205) é reactivada, isto é, colocada no seu estado activo, e mantida nele durante um intervalo de reposição completo (aproximadamente 1 ms), limpando assim quaisquer erros internos para o processador (205) produzidos pelo erro de fase CPUCLK.

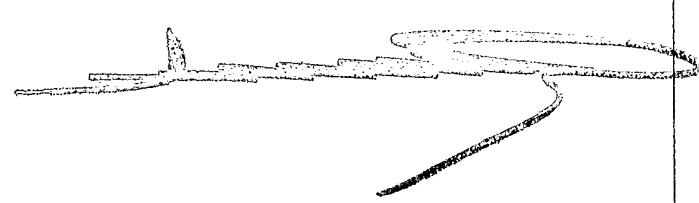
Vão agora discutir-se pormenores operacionais adicionais do circuito das fig. 3 e 4, juntamente com um resumo dos vários sinais ou termos utilizados no circuito de reposição da fig. 4. Os termos de saída CPUCLKA, CPUCLKB e CPUCLKC representados na fig. 4 são versões atrasadas do sinal de relógio CLK2 proveniente do gerador de CLK2 (185). Os termos são usados para compensar os atrasos temporais resultantes do divisor/corrector de fase (210). O elemento de atraso temporal (212) usado para gerar estes termos assegura um desvio mínimo dos requisitos de tempos no restante dos circuitos do sistema.

CLK e CLKX na fig. 4 são versões duplicadas do si



nal dividido por 2 ou sinal 1X CPUCLK, que é usado para fornecer impulsos de relógio ao microprocessador (205). DCLK é uma versão atrasada no tempo do CPUCLK, sendo tal sinal DCLK uma entrada para o verificador de fase (215), como já foi descrito. DPHERR é um termo lógico usado internamente para o divisor/corrector de fase (210) para o ajustamento da fase apropriada de CPUCLK, CLK e CLKX. Faz-se notar que a saída PHERR tornar-se activa (nível baixo) se for detectado um erro de fase entre o sinal CPUCLK (tal como é representado por DCLK) e o sinal RESET (CACHERESSET) proporcionado ao verificador de fase (215). Como se discutiu atrás, o sinal de erro de fase PHERR é utilizado no circuito de regeneração da reposição (220) para tornar o sinal NEWRESET activo (nível elevado) na entrada NPRESET do microprocessador (205), repõe assim o microprocessador (205) num estado conhecido.

Como se vê na fig. 3, o ponto central de arbitragem inclui uma saída de pedido de retenção da linha omnibus BHOLD. Quando se detectar o referido erro de fase, conforme os tempos do sinal BHOLD, a saída RCLK será levada para o nível baixo, seguindo o estado do sinal BHOLD (invertido). O sinal BHOLD, representado na fig. 4 como sendo fornecido à lógica de regeneração da reposição (220), é usado como um sinal de fixação de tempos. Nesta forma de realização particular da presente invenção, na qual CPUCLK apresenta uma frequência de 25 MHz, os impulsos do sinal BHOLD são activados uma vez em cada 15,6 microsegundos, aproximadamente. Estes impulsos BHOLD são aplicados à saída RCLK da lógica de regeneração da reposição (220). Esta acção, por sua vez, incrementa o contador 7418590 no elemento de temporização (225) uma vez em cada 15,6 microssegundos, aproximadamente. Este contador incrementa 27 unidades de contagem, tendo um total de cerca de 1 ms, antes de se activar o bit nº 27 do contador ligado a RONT6. Quando este bit RONT6 do temporizador se activa, ele é utilizado para desactivar o sinal NEWRESET, cuja geração se descreveu mais atrás. Deste modo, a duração do impulso NEWRESET é controlada e ajustada. Depois de NEWRESET se tornar inactivo, quer o microprocessador (205), quer o restante do sistema do computador (200) é sincronizado e pode começar o



funcionamento do sistema computador (200).

Os termos CRDSETSYNC e RCNTSYNC são usados internamente no interior da realização lógica PAL do circuito de reposição das fig. 3 e 4. Adicionalmente, CRDSETSYNC é usado externamente para limpar o contador 74LS590 para o seu valor de contagem zero inicial.

Embora se tenha descrito um aparelho com circuito de reposição do sistema de computador, compreender-se-á que pode também descrever-se um processo para a reposição de um microprocessador. Tal processo é usado num sistema de computador que inclui um microprocessador, tal como um microprocessador que apresenta uma entrada de reposição e ainda uma entrada de relógio à qual pode fornecer-se um sinal de relógio. O sistema de computador no qual se realiza praticamente o processo é capaz de gerar um sinal de reposição do microprocessador. Mais especificamente, descreve-se um processo para a reposição de um microprocessador num tal sistema, o qual inclui a fase de detectar um erro de fase entre o referido sinal de relógio e o sinal de reposição. O processo inclui além disso a fase de ajustar a fase do sinal de relógio, se for detectado um erro de fase, de modo a minimizar substancialmente o erro de fase. O processo também inclui a fase de proporcionar um novo sinal de reposição para a entrada de reposição do microprocessador na eventualidade de a fase do sinal de relógio ser ajustada.

No que precede, descreveu-se um aparelho e um processo para a reposição da entrada de reposição num sistema de computador baseado num microprocessador. O aparelho e o processo descritos proporcionam circuitos de reposição que, numa forma de realização da presente invenção, permitem que um microprocessador i486 opere num computador que originalmente empregava um microprocessador 386. O aparelho e o processo proporcionam circuitos de reposição que exigem alterações mínimas nos circuitos de um sistema de computador com microprocessador quando esse computador for melhorado com um microprocessador i486. Numa forma de realização segundo a presente invenção, o aparelho e o processo desejavelmente vencem as dificuldades de distribuição de tempos para a reposição que se verificam num sistema de

computador no qual se pretende o progresso de um microprocessador 386 para um microprocessador 486.

Embora se tenham apresentado, a título de ilustração, apenas certas características específicas da presente invenção, ocorrerão aos entendidos na matéria muitas modificações e alterações. Deve portanto entender-se que se pretende que as reivindicações anexas cubram todas essas modificações e alterações que caiam dentro do verdadeiro espírito da presente invenção.

REIVINDICAÇÕES

- 1ª -

Circuito de reposição do microprocessador num sistema computador que inclui um microprocessador, tendo o referido microprocessador uma entrada de reposição e ainda apresentando uma entrada de sinais de relógio na qual podem aplicar-se sinais de relógio, sendo o referido sistema susceptível de gerar um sinal de reposição do microprocessador, caracterizado por compreender:

meios de detecção de erros de fase para detectar um erro de fase entre o referido sinal de relógio e o referido sinal de reposição;

meios de correcção de erro de fase, acoplados aos referidos meios de detecção de erros de fase, para ajustar a fase do referido sinal de relógio se for detectado um erro de fase de modo a minimizar substancialmente o referido erro de fase, e

meios de regeneração do sinal de reposição para proporcionar um novo sinal de reposição para a entrada de reposição do referido sinal de relógio.

- 2ª -

Circuito de reposição do microprocessador num sistema computador que inclui um microprocessador, apresentando o referido microprocessador uma entrada de reposição e apresen-

= 19 =



tando além disso uma entrada de relógio para a qual se proporciona um sinal de relógio, caracterizado por compreender:

meios de geração do sinal de reposição para gerar um sinal de reposição inicial;

meios de detecção de erros de fase para detectar um erro de fase entre o referido sinal de relógio e o referido sinal de reposição inicial;

meios de correcção de erros de fase, acoplados aos referidos meios de detecção de fase para ajustar a fase do referido sinal de relógio de modo a minimizar substancialmente o referido erro de fase, e

meios de regeneração do sinal de reposição, acoplados à entrada do sinal de relógio do referido microprocessador, para proporcionar um novo sinal de reposição para a entrada de reposição do referido microprocessador sempre que se ajusta a fase do referido sinal de relógio.

- 3^a -

Circuito de reposição do microprocessador num sistema computador que inclui um microprocessador, apresentando o referido microprocessador uma entrada de reposição e apresentando ainda uma entrada do sinal de relógio que responde a um sinal de relógio 1X, sendo o referido sistema susceptível de gerar um sinal de reposição do microprocessador, sendo o referido sistema ainda susceptível de gerar um sinal de relógio 2X, caracterizado por compreender:

meios divisores para dividir o referido sinal de relógio 2X por 2 exteriormente ao microprocessador para produzir o referido sinal de relógio 1X;

meios para fornecer o referido sinal de relógio 1X à entrada do sinal de relógio do referido microprocessador;

meios de detecção de erros de fase, sensíveis ao referido sinal de relógio 1X, para detectar um erro de fase entre o referido sinal de relógio 1X e o referido sinal de reposição;

meios de correcção dos erros de fase, acoplados aos referidos meios de detecção dos erros de fase, para ajustar a fase do referido sinal de relógio 1X se se detectar um erro de fase, de modo a minimizar substancialmente o referido erro de fase, e

meios de regeneração, sensíveis aos referidos meios de correcção dos erros de fase, para proporcionar um novo sinal de reposição para a entrada de reposição do referido microprocessador sempre que se ajusta a fase do referido sinal de relógio 1K.

- 49 -

Sistema computador, caracterizado por compreender um microprocessador que inclui uma entrada de reposição e apresentando ainda uma entrada do sinal de relógio sensível a um sinal de relógio 1K;

meios de memória, acoplados ao referido microprocessador, para neles armazenar informações;

uma linha omnibus que acopla o referido microprocessador aos referidos meios de memória;

meios geradores de um sinal de reposição para gerar um sinal de reposição inicial;

meios geradores de sinal de relógio para gerar um sinal de relógio 2K;

meios divisores para dividir o referido sinal de relógio 2K por 2, exteriores ao referido microprocessador para produzir o referido sinal de relógio 1K;

meios para fornecer o referido sinal de relógio 1K à entrada do sinal de relógio do referido microprocessador;

meios de detecção de erros de fase, sensíveis ao referido sinal de relógio 1K, para detectar um erro de fase entre o referido sinal de relógio 1K e o referido sinal de reposição;

meios de correcção de fase, acoplados aos referidos meios de detecção de erros, para ajustar a fase do referido sinal de relógio 1K se for detectado um erro de fase de modo a minimizar substancialmente o referido erro de fase, e

meios de regeneração, sensíveis aos referidos meios de correcção dos erros, para proporcionar um novo sinal de reposição para a entrada de reposição do referido microprocessador sempre que a fase do referido sinal de relógio 1K for ajustado.

- 50 -

Processo para a reposição do microprocessador num sistema computador que inclui um microprocessador, apresentando



o referido microprocessador uma entrada de reposição para a qual se proporciona um sinal de relógio, sendo o referido sistema susceptível de gerar um sinal de reposição do microprocessador, caracterizado por compreender as fases de:

detectar um erro de fase entre o referido sinal de relógio e o referido sinal de reposição;

ajustar a fase do referido sinal de relógio se se detectar um erro de fase, de modo a minimizar substancialmente o referido erro de fase; e

proporcionar um novo sinal de reposição para a referida entrada de reposição do referido microprocessador sempre que se ajusta a fase do referido sinal de relógio.

- 68 -

Processo para a reposição do microprocessador de um sistema computador que inclui um microprocessador, apresentando o referido microprocessador uma entrada de reposição e apresentando ainda uma entrada de sinal de relógio sensível a um sinal de relógio $1X$, sendo o referido sistema susceptível de gerar um sinal de reposição do microprocessador, caracterizado por compreender as fases de:

gerar um sinal de relógio $2X$;

dividir o referido sinal de relógio $2X$ por 2, exteriormente ao referido microprocessador, para produzir o referido sinal de relógio $1X$;

proporcionar o referido sinal de relógio $1X$ para a entrada de relógio do referido microprocessador;

detectar um erro de fase entre o referido sinal de relógio $1X$ e o referido sinal de reposição;

ajustar a fase do referido sinal de relógio $1X$ se se detectar um erro de fase, de modo a minimizar substancialmente o referido erro de fase; e

proporcionar um novo sinal de reposição para a referida entrada de reposição do referido microprocessador sempre que se ajusta a fase do referido sinal de relógio.

A requerente reivindica a prioridade do pedido

•
•
•



RESUMO

"SISTEMA MICROCOMPUTADOR QUE INCLUI UM CIRCUITO DE REPOSIÇÃO DO MICROPROCESSADOR"

A invenção refere-se a um sistema computador baseado num microprocessador que inclui um circuito de reposição que tem um detector de erros de fase para detectar um erro de fase entre um sinal de reposição inicial e um sinal de relógio proporcionado à entrada do relógio do microprocessador. O circuito de reposição inclui além disso um corrector do erro de fase para ajustar a fase do sinal de relógio, se for detectado um erro de fase, de modo a minimizar substancialmente o erro de fase. O circuito de reposição inclui um regenerador do sinal de reposição para proporcionar um novo sinal de reposição para a entrada de reposição do microprocessador quando a fase do sinal de relógio é ajustado.

Figura 3

•
•
•

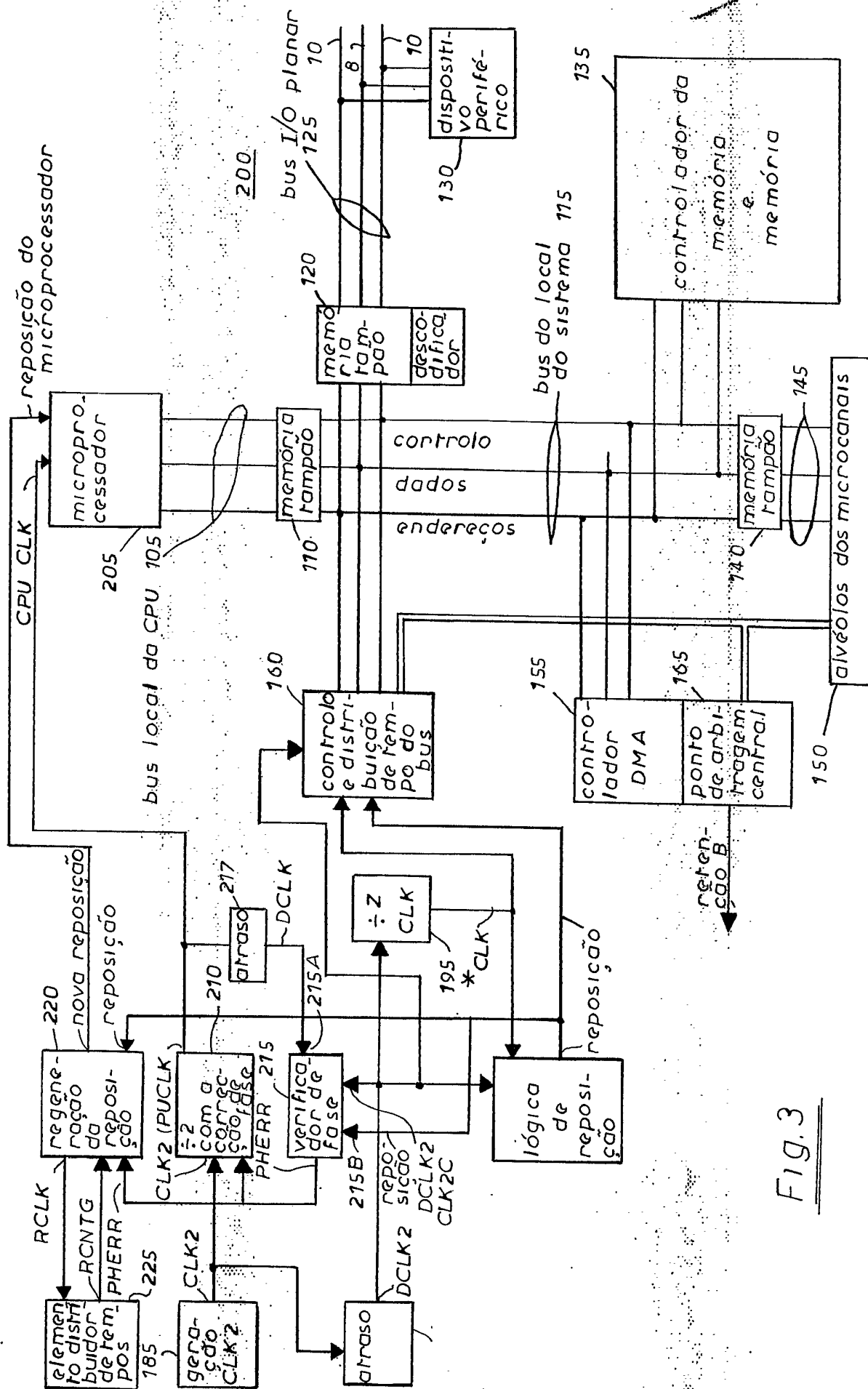


Fig. 3