



# [12] 发明专利说明书

[21] ZL 专利号 98120117.2

[45] 授权公告日 2004 年 3 月 31 日

[11] 授权公告号 CN 1144367C

[22] 申请日 1998.10.5 [21] 申请号 98120117.2  
 [30] 优先权  
 [32] 1997.10.3 [33] JP [31] 287743/1997  
 [71] 专利权人 恩益禧电子股份有限公司  
 地址 日本神奈川县  
 [72] 发明人 佐伯贵范  
 审查员 张 璇

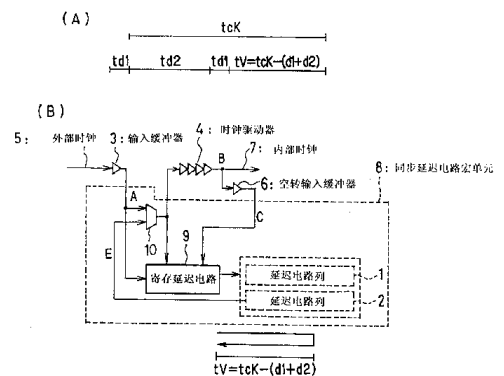
[74] 专利代理机构 中科专利商标代理有限责任公  
 司  
 代理人 黄永奎

权利要求书 2 页 说明书 14 页 附图 16 页

[54] 发明名称 同步延迟电路

[57] 摘要

一种同步延迟电路，包括让一定间隔的脉冲或者脉冲沿通行的第一延迟电路列(1)、按照和脉冲或者脉冲沿在第一延迟电路列中通行的长度成比例的长度让脉冲或者脉冲沿通行的第二延迟电路列(2)，以及存储并再现时钟驱动器的延迟时间的寄存延迟电路(9)，在时钟周期中  $t_{cK}$  中通过在寄存延迟电路(9)和延迟电路列(1)中行进，就不需要时钟驱动器的空转而获得  $t_{cK} - (t_{d1} + t_{d2})$  的延迟量。该电路不需要在布线设计变更时空转时钟驱动器，从而提高了设计效率和精度。



1. 一种同步延迟电路，由输入缓冲器接收外部时钟，并将时钟驱动器  
5 输出的内部时钟与所述外部时钟同步，所述同步延迟电路包括：

第一延迟电路列，在固定时间周期使得时钟脉冲通行；

第二延迟电路列，与所述第一延迟电路列连接，并使脉冲按照与所述  
第一延迟电路列中通行的长度成比例的长度通行；

与所述第一延迟电路列连接的寄存延迟装置，从所述输入缓冲器和所  
10 述时钟驱动器的输出端接收所述时钟脉冲，用于存储在时钟驱动器中行进  
的时钟脉冲的周期，所述寄存延迟装置通过把所述时钟驱动器的延迟时间  
 $td_2$  和所述输入缓冲器的延迟时间  $td_1$  相加获得的延迟时间延迟来自所述  
输入缓冲器的所述时钟，以便将延迟的时钟脉冲供给到所述第一延迟电路  
列；

15 切换电路，与输入缓冲器的输出端、时钟驱动器的输入端和第二延迟  
电路列的输出端连接，用于从所述输入缓冲器和所述第二延迟电路列的输出  
信号中选择一个所述时钟脉冲，以把选择的时钟脉冲供给到所述时钟驱动  
器作为时钟信号，

其中，从所述寄存延迟装置输出的时钟脉冲在所述第一延迟电路列中  
20 行进在经过了从时钟周期  $t_{cK}$  中减去  $(td_1+td_2)$  的时间后的时刻，所述时钟  
脉冲被传送到所述第二延迟电路列，所述时钟在所述第二延迟电路列中行  
进时间  $t_{cK}-(td_1+td_2)$  后，所述时钟从所述第二延迟电路列被输出，并通过  
所述切换电路输入到所述时钟驱动器，因此，输入到所述输入缓冲器的外  
部时钟与从所述时钟驱动器中输出的所述内部时钟同步。

25 2. 根据权利要求 1 所述的同步延迟电路，其特征是所述寄存延迟装置  
包括通行一定间隔时钟脉冲的第三延迟电路列，按照和时钟脉冲在所述第  
三延迟电路列中通行的长度成比例的长度通行时钟脉冲的第四延迟电路  
列；

还包括向所述第三延迟电路列输入供给所述时钟驱动器的信号并且行

进，在行进到所述时钟驱动器的延迟时间  $t_{d2}$  的时刻存储该位置，选择所述第四延迟电路列的所述位置对应的输入端子的装置；

- 将来自所述输入缓冲器的时钟信号输入到所述第四延迟电路列的所选择的输入端子上，在所述第四延迟电路列中行进并输出的信号通过一个和
- 5 所述输入缓冲器等价的空转输入缓冲器输入到所述第一延迟电路列中。

## 同步延迟电路

### 技术领域

本发明涉及一种半导体集成电路，特别涉及时钟信号的控制电路。

### 背景技术

在短时间的同步时间内除去时钟脉冲相位差的同步延迟电路，从电路构成的单纯性和消费电流的多少考虑，一般采用高速时钟同步电路。作为同步延迟电路的现有技术，例如可参照下列文献：

[1]特开平 8-237091 号公报；

[2]Toshio Yamada 等，“Capacitance Coupled Bus With Negative Delay Circuit for High Speed and Low Power(10GB/s<500mW) Synchronous DRAMs.”，1996 Symp. On VLSI Circ. pp.112~113；

[3]Jin-Man Han 等，“Skew Minimization Technique for 256M-bit Synchronous DRAM and Beyond.” 1996 Symp. On VLSI Circ. pp.192~193；

[4]Richard B. Watson 等，“Clock Buffer Chip With Absolute Delay Regulation Over Procrss and Environment Variation.” Proc. of IEEE 1992 CICC(Custum Integrated Circuits Conference) 25.2；

[5]Yoshihiro Okajima 等，“Digital Delay Locked Loop and Design Technique for High-Speed Synchronous Interface.” IEICE TRANS. ELECTRON., Vol. E79-C, No.6 June 1996 pp.798~807。

图 9 为表示现有的同步延迟电路的基本构成。参照图 9，现有的同步延迟电路是由用于测定一定时间差的延迟电路列 901 和再现所测定的延迟时间的延迟电路列 902 的二组(二个)延迟电路列、输入缓冲器 903、具有将时钟驱动器 904 的各延迟时间  $td_1$ 、 $td_2$  相加的延迟时间  $td_1+td_2$  的空转延迟电路 905 所构成。为了让空转延迟电路 905 的延迟时间与输

入缓冲器 903、时钟驱动器 904 的延迟时间  $td_1$ 、 $td_2$  相等，如图 9 所示，多采用和输入缓冲器的电路完全相同的空转输入缓冲器 905A 和空转时钟驱动器 905B 构成空转延迟电路 905。

下面说明有关现有的同步延迟电路的分类。延迟电路列 901 和延迟电路列 902 由具有相同延迟时间的延迟电路列所构成。延迟电路列 901 和延迟电路列 902 的目的在于由延迟电路列 901 测定一定的期间，而由延迟电路列 902 再现。即在要测定的期间中，让信号通过延迟电路列 901，在延迟电路列 902 中如果也让信号通过与在延迟电路列 901 中所通过的延迟单元数相同数目的延迟单元数，即可实现和所测定期间相同的期间的再现。

为了达成在延迟电路列 902 中让信号通过与在延迟电路列 901 中所通过的延迟单元数相同数目的延迟单元数，其方式根据延迟电路列 901 和延迟电路列 902 的朝向可以分为二类。进一步，根据确定延迟电路列 902 的长度的方法，即是选择端部还是选择整个通路的不同又可以分为二类。这样，总共可以分为四类。

即是说，如果按照延迟电路列 901 和延迟电路列 902 的朝向分类，可以分为，如图 12、13 所示，延迟电路列 901 和延迟电路列 902 的朝向相同，确定延迟电路列 902 单元数，在延迟电路列 902 的输出端一侧确定延迟电路列 902 的长度的方式，和如图 10、11 所示，延迟电路列 901 和延迟电路列 902 的朝向相反，确定延迟电路列 902 单元数，在延迟电路列 902 的输入端一侧确定延迟电路列 902 的长度的方式。

还有，关于是通过选择端部还是选择整个通路来确定延迟电路列 902 的长度，可以分为，如图 10、11 所示选择端部的方式，和如图 12、13 所示选择整个通路的方式。

图 10 相当于与特开平 8-237091 号公报所记载的方式，图 11 相当于文献[5] (IEICE TRANS. ELECTRON., Vol. E79-C, No.6 June 1996 pp. 798~807) 所记载的方式，图 12 相当于文献[2] (1996 Symp. On VLSI Circ. pp.112~113) 所记载的方式，图 13 相当于文献[2] (1996 Symp. On VLSI Circ. pp. 192~193)、文献[4] (Proc. of IEEE 1992 CICC 25.2) 所记载的方式。

下面说明现有的同步延迟电路的动作。

用图 14 和图 15 进行说明除去时钟脉冲相位差的动作。

(1) 不采用同步式延迟电路时的时钟脉冲延迟：

如图 14 所示，在不采用同步式延迟电路中，外部时钟 906 经过输入缓冲器 903、时钟驱动器 904 后作为内部时钟 907 利用。这时，外部时钟和内部时钟之间延迟时间差为输入缓冲器 903 的延迟时间  $td1$ 、时钟驱动器 904 的延迟时间  $td2$  之和。即  $td1+td2$  为时钟脉冲相位差。

(2) 采用同步式延迟电路时除去时钟延迟的原理：

为了有效地消除时钟脉冲相位差，同步延迟电路利用了时钟脉冲按每隔一时钟周期  $t_{cK}$  输入一次的性质。即，预备延迟  $t_{cK}-(td1+td2)$  时间的延迟电路，配置在输入缓冲器（延迟时间  $td1$ ）和时钟驱动器（延迟时间  $td2$ ）之间，使延迟时间之和与时钟周期  $t_{cK}$  ( $=td1+t_{cK}-(td1+td2)+td2$ ) 相等。其结果是从时钟驱动器输出的内部时钟的时刻和外部时钟的时刻相等。

(3) 采用同步式延迟电路时除去时钟延迟的方法：

图 15 为表示实际采用同步式延迟电路时的时序图。图 15(a) 所示的同步延迟电路和在图 9 中说明的电路为相同的构成，图 15(b) 为表示说明其动作的时序图，在图 15(b) 中，A、B、C 分别表示输入缓冲器的输出、空转延迟电路 905 的输出、第二延迟电路 902 的输出节点的信号波形。

同步延迟电路的动作需要二周期。最初的一周期用来测定依存于时钟周期的延迟时间  $t_{cK}-(td1+td2)$ ，以及确定再现  $t_{cK}-(td1+td2)$  的延迟量的延迟电路的延迟长度。下一周期用于进行  $t_{cK}-(td1+td2)$  的延迟量的延迟。

首先，在最初的一周期中，为了测定依存于时钟周期的延迟时间  $t_{cK}-(td1+td2)$ ，采用时钟驱动器 904 的空转延迟电路 905 和延迟电路列 901。对于时钟 906 的连续二个脉冲，从第一个脉冲在输入缓冲器 903 的输出到第二个脉冲在输入缓冲器 903 的输出之前的一时钟周期  $t_{cK}$  内，运行空转延迟电路 905 和延迟电路 901。

由于空转延迟电路 905 的延迟时间为  $td1+td2$ ，因此脉冲通过延迟

电路 901 的时间为  $t_{cK} - (t_{d1} + t_{d2})$ 。

延迟电路 902 的延迟时间设定为和脉冲通过延迟电路 901 的时间  $t_{cK} - (t_{d1} + t_{d2})$  相等。

该延迟电路 902 的延迟时间的设定方法，如上所述大致可以分为四种方式来分别达成所要求的目的。

在下一周期，从输入缓冲器 903 输出的时钟，通过具有  $t_{cK} - (t_{d1} + t_{d2})$  延迟量的延迟电路 902，从时钟驱动器 903 输出时，正好生成出经过时钟周期  $t_{cK}$  的延迟量的时钟。

根据上述过程，在二时钟周期，可以提供没有时钟脉冲相位差的内部时钟 907。

在现有的同步延迟电路中，由于时钟空转的延迟量是固定的，需要预先确定固定的延迟量。为此，在微处理器或者存储器等可以预先确定时钟延迟量的器件中，从三极管到布线可以进行统一设计，因而可以比较容易地设计出空转时钟驱动器。

但是，作为 ASIC (Application Specific Integrated Circuit) 等的宏单元使用同步延迟电路时，空转延迟电路的三极管门的设计工序和支配实际的时钟延迟的布线设计工序是分别设计，对于时钟延迟量依据芯片中所使用的布线设计而不同的器件而言，时钟的空转延迟电路的设计就很困难，需要在布线配置后在进行空转延迟电路的设计，效率非常低。

因此，作为宏单元预先所设计的模样就只有延迟电路列 901、902，在草图设计时也必须要确保空转时钟驱动器 905B 的区域，是不经济的做法。

还有，即使在微处理器或者存储器等可以预先确定时钟延迟量的器件中，空转时钟驱动器的延迟量和原先的时钟驱动器的延迟量，如图 15 所示，由于延迟时间对温度和电源电压的依存关系而产生差异，使两者的特性完全相同是困难的。因此，空转时钟驱动器的延迟量和原先的时钟驱动器的延迟量之间的误差则会成为消除相位差时所产生的相位差的原因。

## 发明内容

因此，本发明正是针对上述问题而作出的，其目的是不需要空转时钟驱动器，即使是适用在 ASIC 等时钟延迟量对于每个芯片都不同的器件中，不需要在布线设计变更时设计空转时钟驱动器，提供一种提高了设计效率的同步延迟电路。

还有，本发明的又一目的，即使由于温度变化等引起驱动器的延迟时间的变化，也不存在由于空转时钟驱动器的延迟量和原先的时钟驱动器的延迟量之间的误差所产生的相位差，提供一种提高了精度和可靠性的同步延迟电路。

为了达成上述目的，由输入缓冲器接收外部时钟，并将时钟驱动器输出的内部时钟与所述外部时钟同步，所述同步延迟电路包括：

第一延迟电路列，在固定时间周期使得时钟脉冲通行；

第二延迟电路列，与所述第一延迟电路列连接，并使脉冲在所述第一延迟电路列中通行的长度成比例的长度让脉冲通行；

与所述第一延迟电路列连接的寄存延迟装置，从所述输入缓冲器和所述时钟驱动器的输出端接收所述时钟脉冲，用于存储在时钟驱动器中行进时钟脉冲的周期，所述寄存延迟装置通过把所述时钟驱动器的延迟时间 ( $t_{d2}$ ) 和所述输入缓冲器的延迟时间 ( $t_{d1}$ ) 相加获得的延迟时间延迟来自所述输入缓冲器的所述时钟，以便将延迟的时钟脉冲供给到所述第一延迟电路列；

切换电路，与输入缓冲器的输出端、时钟驱动器的输入端和第二延迟电路的输出端连接，用于从所述输入缓冲器和所述第二延迟电路列的输出信号中选择一个所述时钟脉冲，以把选择的时钟脉冲供给到所述时钟驱动器作为时钟信号，

其中，从所述寄存延迟装置输出的时钟脉冲在所述第一延迟电路列中行进在经过了从时钟周期  $t_{cK}$  中减去  $(t_{d1}+t_{d2})$  的时间  $t_{cK}-(t_{d1}+t_{d2})$  后的时刻，所述时钟脉冲被传送到所述第二延迟电路列，所述时钟在所述第二延迟电路列中行进时间  $t_{cK}-(t_{d1}+t_{d2})$  后，所述时钟从所述第二延迟电路列被输出，并通过所述切换电路输入到所述时钟驱动器，因此，输入到所述输入缓冲器的外部时钟与从所述时钟驱动器中输出的所述内

部时钟同步。

下面说明本发明的实施方案。

在优选的第一实施方案中，本发明的同步延迟电路包括让一定间隔的脉冲或者脉冲沿通行的第一延迟电路列（图1的1）、按照与脉冲或者脉冲沿在第一延迟电路列中通行的长度成比例的长度让脉冲或者脉冲沿通行的第二延迟电路列（图1的2），以及存储时钟脉冲在时钟驱动器（图1的4）中通行的时间的寄存延迟电路（图1的9），外部时钟（图1的5）经过从输入缓冲器（图1的3）到时钟驱动器（图1的4）作为内部时钟（图1的7）输出，同时按从时钟周期( $t_{cK}$ )减去时钟驱动器（图1的3）的延迟时间( $t_{d2}$ )和空转输入缓冲器（图1的6）的延迟时间( $t_{d1}$ )相加值后的时间  $t_{cK}-(t_{d1}+t_{d2})$  通过第一和第二延迟电路列（图1的1、2），并从第二延迟电路列（图1的2）输出，经过切换电路（图1的10）输入到时钟驱动器（图1的4），这样，对于任意延迟时间的时钟驱动器（图1的4）可以获得内部时钟和外部时钟之间的同步。

在优选的另一实施方案中，本发明的同步延迟电路的构成除包括时钟驱动器（图5的20）和输入缓冲器（图5的19）以外，还包括相互反方向朝向的第一、第二的二个延迟电路列（图5的11、12），时钟脉冲在一方的延迟电路列中通行，在经过了时钟驱动器（图1的20）和输入缓冲器（图1的22）的延迟时间的时刻，确定相反朝向的延迟电路列（图5的12）的输出端子，在经过了时钟周期( $t_{cK}$ )的时刻，确定延迟电路列（图5的12）的输入端子。更详细地说，包括来自输入缓冲器（图1的19）的时钟脉冲通行第一延迟电路列（图5的11）在经过了时钟驱动器（图5的20）和输入缓冲器（图5的22）的延迟时间  $t_{d1}+t_{d2}$  的时刻确定第二延迟电路列（图5的12）的输出端子的装置（图5的寄存电路列16、开关电路列17）、和来自输入缓冲器（图1的19）的时钟脉冲通行第一延迟电路列（图5的11）经过时钟周期( $t_{cK}$ )的时刻，确定来自第一延迟电路列（图5的11）的时钟脉冲转送输入到第二延迟电路列（图5的12）的输入端子的装置（图5的转送电路）。

在优选的又一实施方案中，本发明的同步延迟电路的构成除包括时钟驱动器（图6的20）和输入缓冲器（图6的19、22）以外，还包括正

方向朝向的第一、第二延迟电路列（图6的14、11），反方向朝向的第三延迟电路列（图6的12）。时钟脉冲通行正方向延迟电路列中的一个（图6的14）在经过了时钟驱动器（图6的20）和输入缓冲器（图6的22）的延迟时间的时刻，确定反方向延迟电路列（图6的12）的输出端子，时钟脉冲通行正方向延迟电路列中的一个（图6的11）在经过了时钟周期( $t_{cK}$ )的时刻，确定反方向延迟电路列（图6的12）的输入端子。更详细地说，包括来自输入缓冲器（图6的19）的时钟脉冲通行第一正方向延迟电路列（图6的14）在经过了时钟驱动器（图6的20）和输入缓冲器（图6的22）的延迟时间  $t_{d1}+t_{d2}$  的时刻来确定第三延迟电路列（图6的12）的输出端子的装置（图6的16、17）、和来自输入缓冲器（图6的19）的时钟脉冲通行第二延迟电路列（图6的11）经过时钟周期( $t_{cK}$ )的时刻确定来自第二延迟电路列（图6的11）的时钟脉冲转送输入到第三延迟电路列（图6的12）的输入端子的装置（图6的转送电路）。

在优选的再一实施方案中，本发明的同步延迟电路的构成除包括时钟驱动器（图8的20）和输入缓冲器（图8的19、22）以外，还包括相同朝向的第一、第二延迟电路列（图8的11、12）。时钟脉冲通行延迟电路列中的一个（图8的11）在经过了时钟驱动器（图8的20）和输入缓冲器（图8的22）的延迟时间的时刻，确定延迟电路列中的另一个（图8的12）的输入端子，在经过了时钟周期( $t_{cK}$ )的时刻，确定延迟电路列中的另一个（图8的12）的输出端子。更详细地说，包括来自输入缓冲器（图8的19）的时钟脉冲通行第一延迟电路列（图8的11）在经过了时钟驱动器（图8的20）和输入缓冲器（图8的22）的延迟时间  $t_{d1}+t_{d2}$  的时刻确定第二延迟电路列（图8的12）的来自输入缓冲器（图8的19）的时钟脉冲所输入的输入端子的装置（图8的16、17）、和来自输入缓冲器（图8的19）的时钟脉冲通行第一延迟电路列（图8的11）经过时钟周期( $t_{cK}$ )的时刻确定第二延迟电路列（图8的12）的输出端子的装置（图8的25、26）。

在优选的再又一实施方案中，本发明的同步延迟电路的构成除包括时钟驱动器（图7的20）和输入缓冲器（图7的19、22）以外，还包括正方向朝向的三个延迟电路列（图7的14、11、12）。时钟脉冲通行第

二延迟电路列（图 7 的 14）在经过了时钟驱动器（图 7 的 20）和输入缓冲器（图 7 的 22）的延迟时间的时刻，确定第三延迟电路列（图 7 的 12）的输入端子，在经过了时钟周期( $t_{cK}$ )的时刻，确定第三延迟电路列（图 7 的 12）的输出端子。更详细地说，包括来自输入缓冲器（图 7 的 19）的时钟脉冲通行第一延迟电路列（图 7 的 11）在经过了时钟驱动器（图 7 的 20）和输入缓冲器（图 7 的 22）的延迟时间  $td1+td2$  的时刻确定第三延迟电路列（图 7 的 12）的输入端子的装置（图 7 的 16、17）、和来自输入缓冲器（图 7 的 19）的时钟脉冲通行第二延迟电路列（图 7 的 14）经过时钟周期( $t_{cK}$ )的时刻确定第三延迟电路列（图 7 的 12）的输出端子的装置（图 7 的 25、26）。

#### 附图说明

以下对附图及其符号作简要说明。

图 1 为表示本发明实施例构成的原理图。

图 2 为表示说明本发明实施例的动作的时序图。

图 3 为表示本发明的实施例 1 的电路构成图。

图 4 为表示本发明的实施例 1 中切换电路的电路构成的一例。

图 5 为表示本发明的实施例 2 的电路构成图。

图 6 为表示本发明的实施例 3 的电路构成图。

图 7 为表示本发明的实施例 4 的电路构成图。

图 8 为表示本发明的实施例 5 的电路构成图。

图 9 为表示现有的同步延迟电路的电路构成图。

图 10 为表示现有的同步延迟电路的电路构成图。

图 11 为表示现有的同步延迟电路的电路构成图。

图 12 为表示现有技术的电路构成图。

图 13 为表示现有技术的电路构成图。

图 14 为表示为了说明不采用同步延迟电路时的图，(A)为表示电路构成图，(B)为表示时序图。

图 15 为表示为了说明采用现有的同步延迟电路时的图，(A)为表示电路构成图，(B)为表示时序图。

图 16 为表示空转延迟电路和时钟驱动器延迟特性依存于电源电压、温度的关系图。

在上述附图中，1、2、11、12、14、15、901、902—延迟电路列；3、19、22、903—输入缓冲器；4、20、904—时钟驱动器；5、18、906—外部时钟；7、17、907—内部时钟；8、908—同步延迟电路宏单元；9、13—寄存延迟电路；10、23—切换电路；21—输出时钟；905—空转延迟电路；6、15、905A—空转输入缓冲器；906B—空转时钟驱动器；16、26—寄存电路列；17、25—开关列；TG1、TG2—转换门。

### 具体实施方式

为了更详细地说明上述本发明的实施方案，下面参照附图说明本发明的实施例。

图 1 为表示本发明实施例构成的原理图。图 2 为表示说明其动作的时序图。参照图 1，本发明的实施例的构成包括测定一定时间的延迟电路列 1、再现所测定的延迟时间的延迟电路列 2、输入缓冲器 3、时钟驱动器 4、存储再现一定时间的寄存延迟电路 9、空转输入缓冲器 6。

在寄存延迟电路 9 处测定时钟驱动器 4 的延迟时间  $td_2$ ，让信号通过空转输入缓冲器 6、寄存延迟电路 9 和延迟电路列 1 来测定时钟周期  $tc_K$ 。

为此，信号通过延迟电路列 1 的期间  $t_V$  正好是从时钟周期  $tc_K$  减去在寄存延迟电路 9 处再现的空转输入缓冲器 6 的延迟时间  $td_1$  和时钟驱动器 4 的延迟时间  $td_2$  后的时间  $tc_K - (td_1 + td_2)$ 。在延迟电路列 2 处再现的延迟时间  $t_V$  也是  $tc_K - (td_1 + td_2)$ 。

其结果是，外部时钟 5 在通过输入缓冲器 3、延迟电路列 2、时钟驱动器 4 作为内部时钟 7 输出时、正好需要 1 时钟周期  $tc_K$ ，因而实质上 and 外部时钟没有相位差。

延迟电路列 1、2、寄存延迟电路 9、切换电路 10 作为同步延迟电路宏单元 8 实现，由于在寄存延迟电路 9 处可以存储再现时钟驱动器的延迟时间，所以不需要空转时钟驱动器，依据该同步延迟电路宏单元 8，可以对应任意延迟时间的时钟驱动器。

### 实施例 1

图 3 为表示本发明的一实施例的电路构成图。参照图 3，本实施例的构成除包括时钟驱动器和输入缓冲器以外，还包括正方向和反方向的一对延迟电路列、寄存延迟电路 13。正方向和反方向的一对延迟电路列由测定用的延迟电路列 11 和再现所测定的周期用的延迟电路列 12 所构成。

寄存延迟电路 13 包括测定用的延迟电路列 14、再现所测定的周期用的延迟电路列 15、时钟脉冲以通过时钟驱动器 20 所需时间通过延迟电路列 14 的时刻( $td_2$ )，确定延迟电路列 15 的输入端子的寄存电路列 16 和开关电路列 17。在延迟电路列 14 中，时钟脉冲输入，以时钟驱动器 20 的输出作为输入的寄存电路列 16 中，将时钟脉冲通过延迟电路列 14 行进了时钟驱动器 20 的延迟时间( $td_2$ )时所处位置的寄存电路（图中有阴影线的寄存电路）寄存使能，开关电路列中由寄存电路的输出仅仅将与该位置对应的开关电路（图中有阴影线的开关电路）选通（ON），输入缓冲器 19 的输出从所选的开关电路输入到延迟电路列 15 中，在延迟电路列 15 中行进  $td_2$  的时间后，从延迟电路列 15 输出，通过输入缓冲器 22（延迟时间  $td_1$ ）输入到延迟电路列 11 中。

周期测定用的延迟电路列 11 和再现所测定的周期用的延迟电路列 12 相反朝向配置的方式，时钟脉冲在延迟电路列 11 中行进，下一个时钟脉冲从输入缓冲器 19 输出时，通过传送电路（传送门）传送到延迟电路列 12 的输入端，与参照图 11 说明的上述特开平 8-237091 号公报所记载的方式对应。有关延迟电路列 11、12 以及传送电路的构成的详细内容可参见上述特开平 8-237091 号公报。

为此，外部时钟 18 通过输入缓冲器 19、寄存延迟电路 13、2 组延迟电路列、时钟驱动器 20 后，到作为内部时钟 21 输出时，正好需要 2 个时钟，和外部时钟 18 实质上没有相位差。

还有，在这种方式中，和通常的时钟没有相位差的电路由切换电路 23 切换。

图 4 为表示图 3 所示的切换电路 23 的构成的一例。参照图 4，该切换电路，包括经过复位信号 24 的反相器 INV1 反相的信号输入到数据端

子 D 上的带复位功能的 D 触发器 (D-F/FF1) 和 D-F/FF1 的输出 Q 输入到数据端子 D 上的 D-F/FF2, D-F/FF1、D-F/FF2 的时钟端子 C 上输入共同的输出时钟 21, 包括以 D-F/FF1 的输出和 D-F/FF2 的输出作为输入的 NAND (与非门), NAND 和分别以输入缓冲器 19 的输出与延迟电路列 12 的输出作为输入 CMOS (互补金属氧化物半导体) 型传送门 TG1、TG2, 在传送门 TG1 的 NMOS (N 沟道金属氧化物半导体) 三极管的门极和传送门 TG2 的 PMOS (P 沟道金属氧化物半导体) 三极管的门极上输入 NAND 的输出信号, 在传送门 TG1 的 PMOS 三极管的门极和传送门 TG2 的 NMOS 三极管的门极上输入将 NAND 的输出信号经过反相器 INV2 反相后的信号, 用于控制传送门 TG1、TG2 的导通, 由复位信号 24 经过二个时钟脉冲 (输出时钟 21 的二个时钟脉冲) 将来自输入缓冲器 19 的信号和来自延迟电路列 12 的信号进行切换。更详细地说, 复位信号 24 例如在通电时设置为有效 (高电平), 将 D-F/FF1、2 复位, 传送门 TG1 导通, 选择输入缓冲器 19 的输出, 作为时钟信号提供给时钟驱动器 20, 在输出时钟 21 输入了二个时钟脉冲以后, NAND 门的输入均为高电平, NAND 门的输出为低电平, 为此, 传送门 TG2 导通, 选择延迟电路列 12 的输出, 提供给时钟驱动器 20。

## 实施例 2

图 5 为表示本发明的实施例 2 的电路构成图。

参照图 5, 本实施例的构成除包括时钟驱动器 20 和输入缓冲器 19 以外, 还包括测定用正方向的延迟电路列 11、再现所测定的周期用反方向的延迟电路列 12、寄存延迟电路 13。

在本实施例中, 虽然没有明示寄存延迟电路, 在图 3 所示的寄存延迟电路中, 测定用的延迟电路列 14 以及再现所测定的周期用的延迟电路列 15 是和测定用的延迟电路列 11 以及再现所测定的周期用的延迟电路列 12 共用同一电路。还有, 包括时钟脉冲以通过时钟驱动器 20 和输入缓冲器 22 所需的时间通过测定用延迟电路列 11 的时刻 ( $t_{d1}+t_{d2}$ ), 确定反方向延迟电路列 12 的输出端子的开关电路列 17 和寄存电路列 16。

该方式也属于将延迟电路列 11 和再现所测定的周期用的延迟电路列 12 相反朝向配置的方式, 时钟脉冲在延迟电路列 11 中行进, 下一个时钟脉冲从输入缓冲器 19 输出时, 通过传送电路 (图 5 中有阴影线的传

送电路)传送到延迟电路列 12 的输入端,与参照图 11 说明的上述特开平 8-137091 号公报所记载的方式对应。

为此,和上述实施例 1 相同,外部时钟 18 通过输入缓冲器 19、寄存延迟电路 13、延迟电路列 11、12、时钟驱动器 20 后,到作为内部时钟 21 输出时,正好需要二个时钟,和外部时钟 18 实质上没有相位差。

### 实施例 3

图 6 为表示本发明的实施例 3 的电路构成图。

参照图 6,本实施例的构成也是除包括时钟驱动器和输入缓冲器以外,还包括属于测定用延迟电路列的正方向延迟电路列 11、属于再现所测定的周期用延迟电路列的反方向延迟电路列 12、寄存延迟电路 13。

在本实施例中,虽然没有明示寄存延迟电路,在上述实施例 1 中所说明的在图 3 所示的寄存延迟电路 13 中,再现所测定的周期用延迟电路列 15 是和再现所测定的周期用延迟电路列 12 共用同一电路。此外,还包括时钟脉冲以通过时钟驱动器 20 和输入缓冲器 22 所需的时间通过测定用延迟电路列 14 以及延迟电路列 11 的时刻( $td_2+td_1$ ),确定反方向延迟电路列 12 的输出端子的开关电路列 17 和寄存电路列 16。

该方式也属于将延迟电路列 11 和再现所测定的周期用的延迟电路列 12 相反朝向配置的方式,时钟脉冲在延迟电路列 11 中行进,下一个时钟脉冲从输入缓冲器 19 输出时,通过传送电路传送到延迟电路列 12 的输入端,与参照图 11 说明的上述特开平 8-137091 号公报所记载的方式对应。

因此,和上述实施例 1 相同,外部时钟 18 通过输入缓冲器 19、延迟电路列 11、12、时钟驱动器 20 后,到作为内部时钟 21 输出时,正好需要二个时钟,和外部时钟 18 实质上没有相位差。

### 实施例 4

图 7 为表示本发明的实施例 4 的电路构成图。

参照图 7,在本实施例中,采用了测定时钟周期  $t_{cK}$  用延迟电路列 11 和再现所测定的周期用的延迟电路列 12 为相同朝向配置的方式。延迟电路列 11 和再现所测定的周期用的延迟电路列 12 为相同朝向配置的方式是一种,时钟脉冲在延迟电路列 11 中行进,当下一个时钟脉冲从输入

缓冲器 13 输出时,选择延迟电路列 12 的输出端的方式,与图 13 所示上述文献[2] (1996 Symp. On VLSI Circ. pp.192~193) 所记载的方式对应。

在本实施例中,虽然也没有明示寄存延迟电路,在上述实施例 1 中所说明的在图 3 所示的寄存延迟电路 13 中,再现所测定的周期用延迟电路列 15 是和再现所测定的周期用延迟电路列 12 共用同一电路。此外,还包括时钟脉冲以通过时钟驱动器 20 和输入缓冲器 22 所需的时间通过测定用延迟电路列 14 以及延迟电路列 11 的时刻,确定正方向延迟电路列 12 的输入端子的开关电路列 17 和寄存电路列 16。又,还包括时钟脉冲以时钟周期  $t_{cK}$  通过测定用延迟电路列 11 的时刻,确定正方向延迟电路列 12 的输出端子的开关电路列 25 和寄存电路列 26。

#### 实施例 5

图 8 为表示本发明的实施例 5 的电路构成图。

参照图 8,在本实施例中,采用了测定时钟周期  $t_{cK}$  用延迟电路列 11 和再现所测定的周期用的延迟电路列 12 为相同朝向配置的方式。延迟电路列 11 和再现所测定的周期用的延迟电路列 12 为相同朝向配置的方式是一种,时钟脉冲在延迟电路列 11 中行进,当下一个时钟脉冲从输入缓冲器 13 输出时,选择延迟电路列 12 的输出端的方式,与图 13 所示文献[2] (1996 Symp. On VLSI Circ. pp.192~193) 所记载的方式对应。

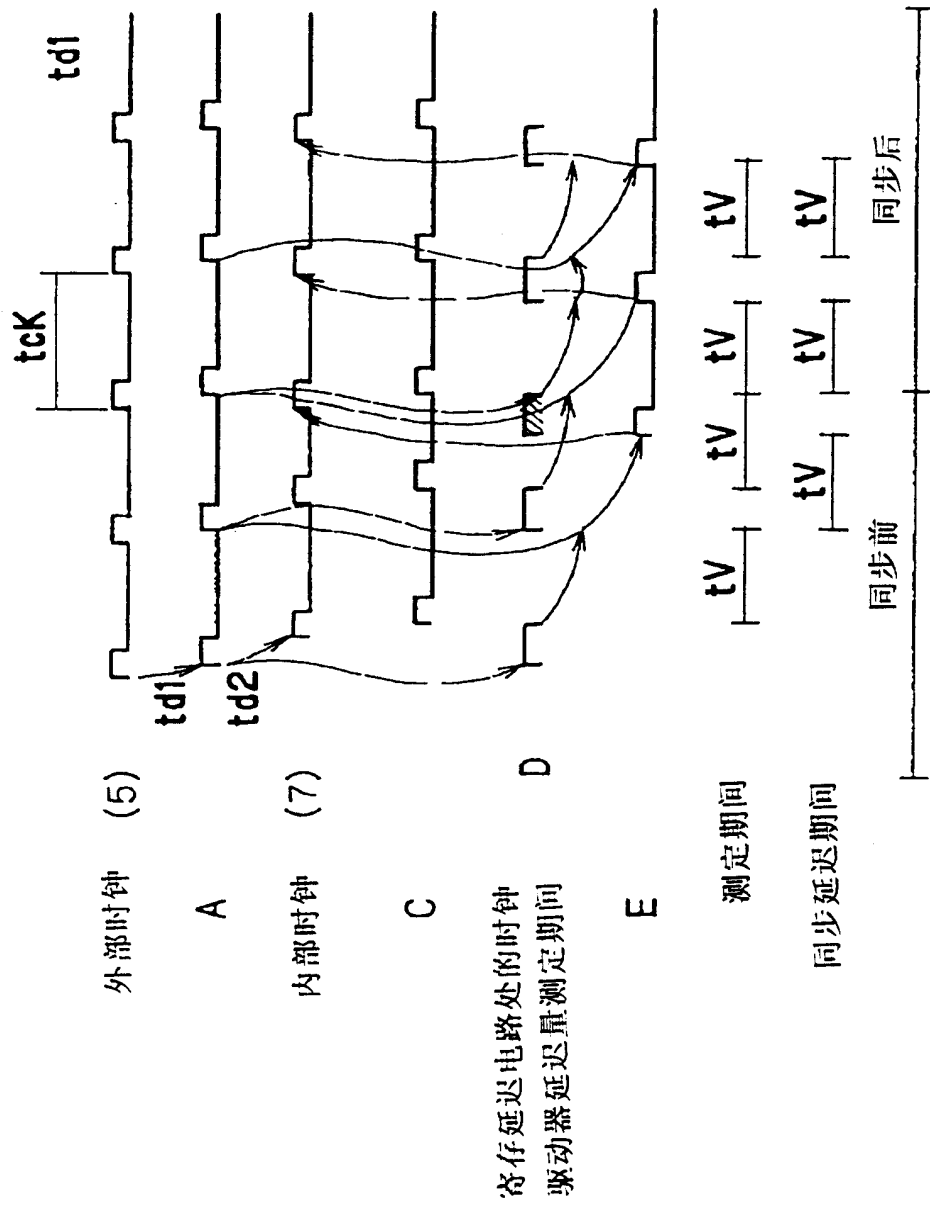
还有,参照图 8,在本实施例中,虽然没有明示寄存延迟电路,在上述实施例 1 中所说明的在图 3 所示的寄存延迟电路 13 中,测定用延迟电路列 14 以及再现所测定的周期用延迟电路列 15 是和测定用延迟电路列 11 以及再现所测定的周期用延迟电路列 12 共用同一电路,还包括时钟脉冲以通过时钟驱动器 20 和输入缓冲器 22 所需的时间通过测定用延迟电路列 11 的时刻 ( $t_{d2}+t_{d1}$ ),确定正方向延迟电路列 12 的输入端子的开关电路列 17 和寄存电路列 16。这有,还包括时钟脉冲以时钟周期  $t_{cK}$  通过测定用延迟电路列 11 的时刻,确定正方向延迟电路列 12 的输出端子的开关电路列 25 和寄存电路列 26。

如上所述,根据本发明,作为时钟脉冲或者时钟脉冲沿的行进时间测定时钟周期,用寄存电路存储时钟驱动器的延迟时间,在测定时钟周

期时，包含时钟驱动器的延迟量进行测定，从时钟周期除去时钟驱动器的延迟量后进行再现，通过这样的构成，就不需要时钟驱动器的空转延迟电路，即使是适用于如 ASIC 等那样的时钟延迟量对于每一芯片均不同的器件中，也不需要每一次布线设计变更时都进行空转时钟驱动器的设计，这样，可以获得提高作业效率和有效利用芯片面积的效果。

还有，根据本发明，由于直接测定实际的时钟驱动器的延迟量，在使用中即使发生因器件的温度变化引起驱动器延迟时间的变化，也不会因为空转时钟驱动器和原时钟驱动器的延迟量之间的差引起相位差，可以获得显著提高精度、可靠性的效果。





驱动器使用时序

图 2

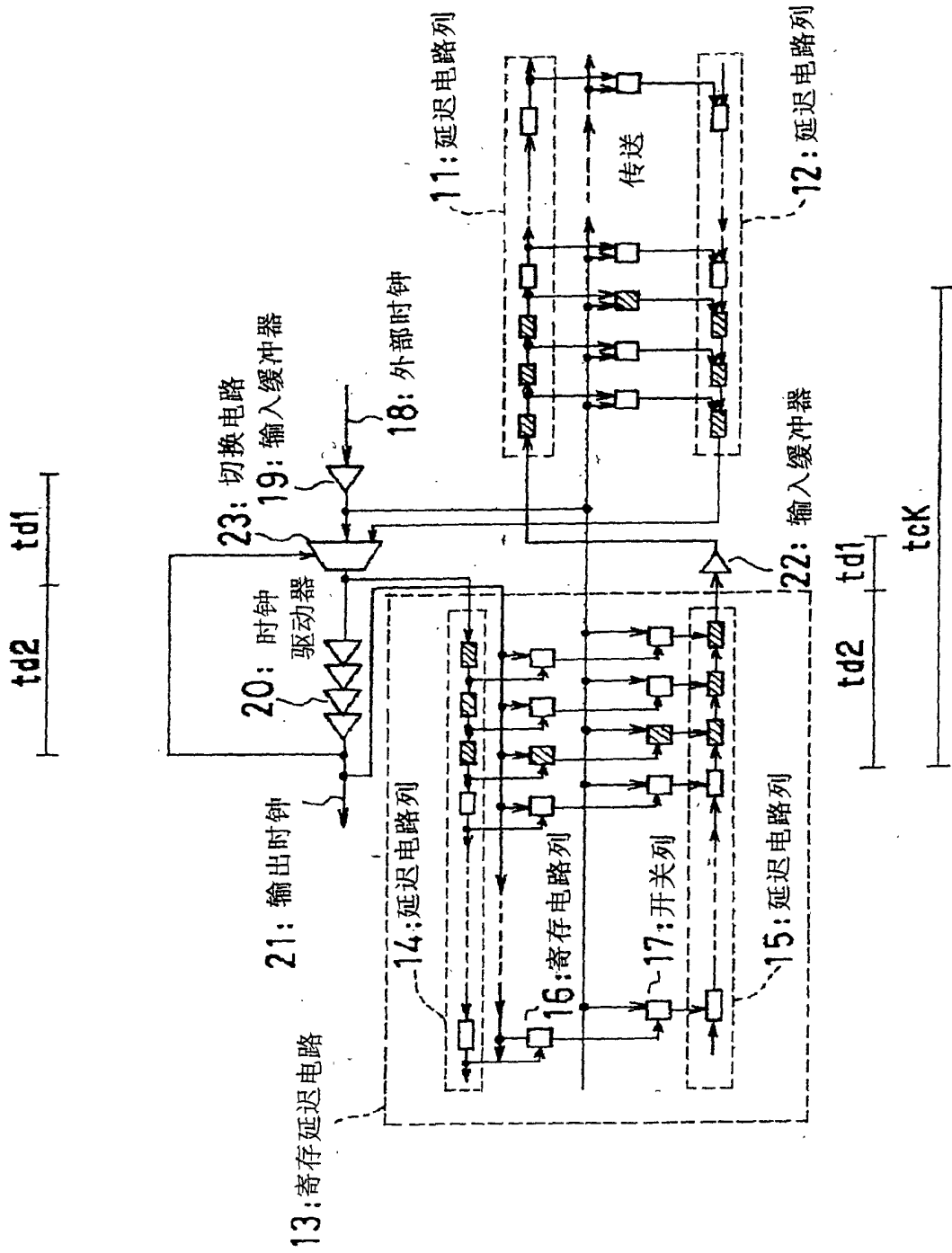


图 3

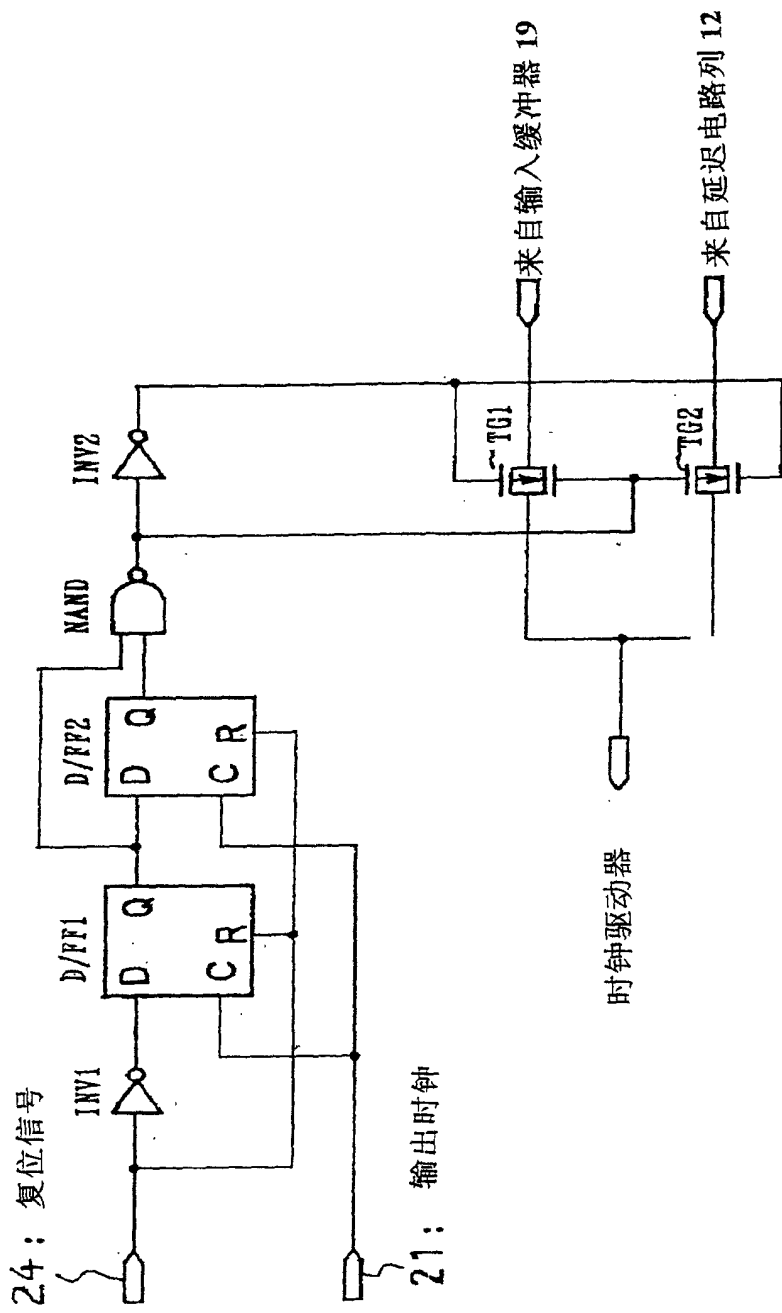


图 4

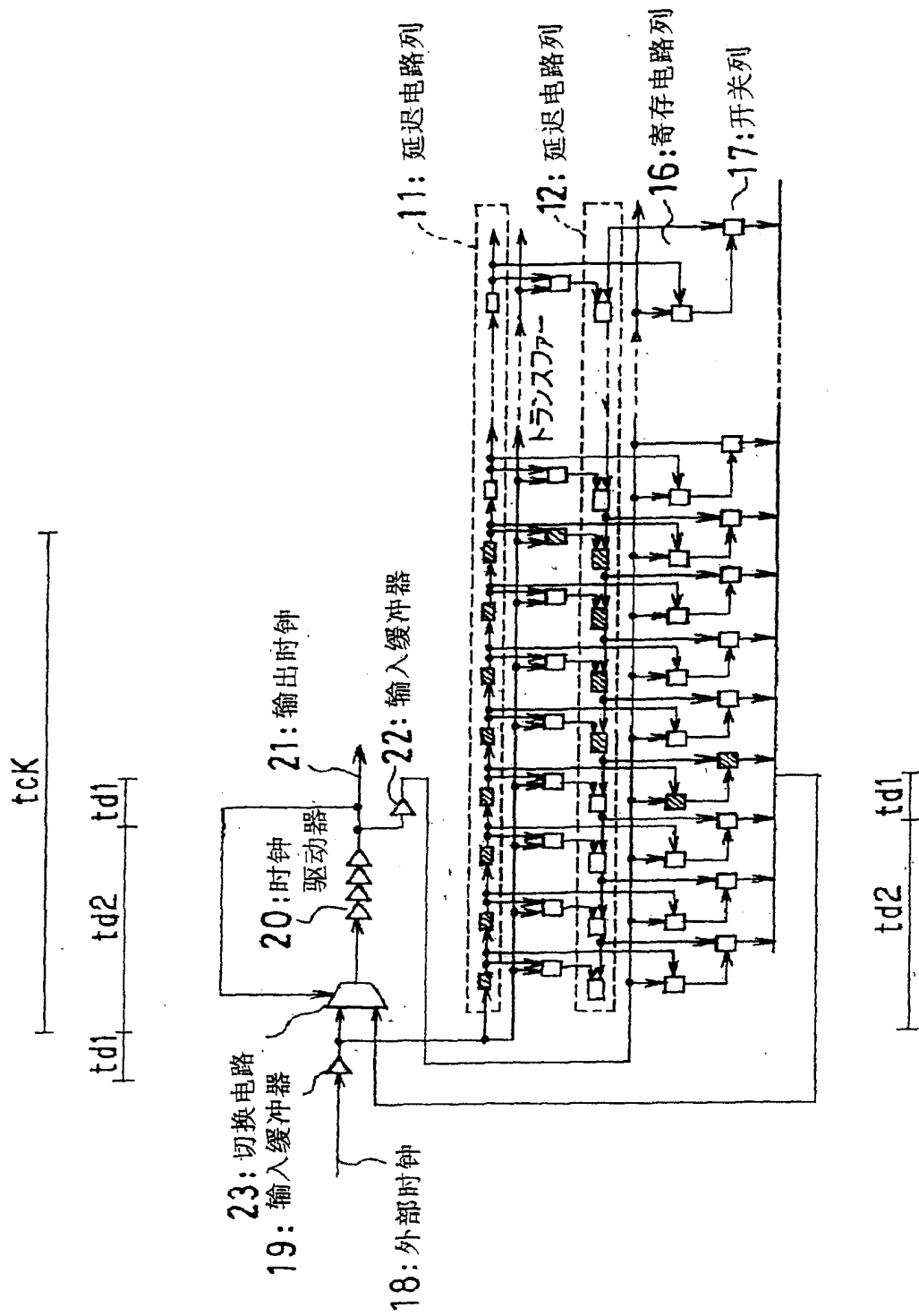


图 5

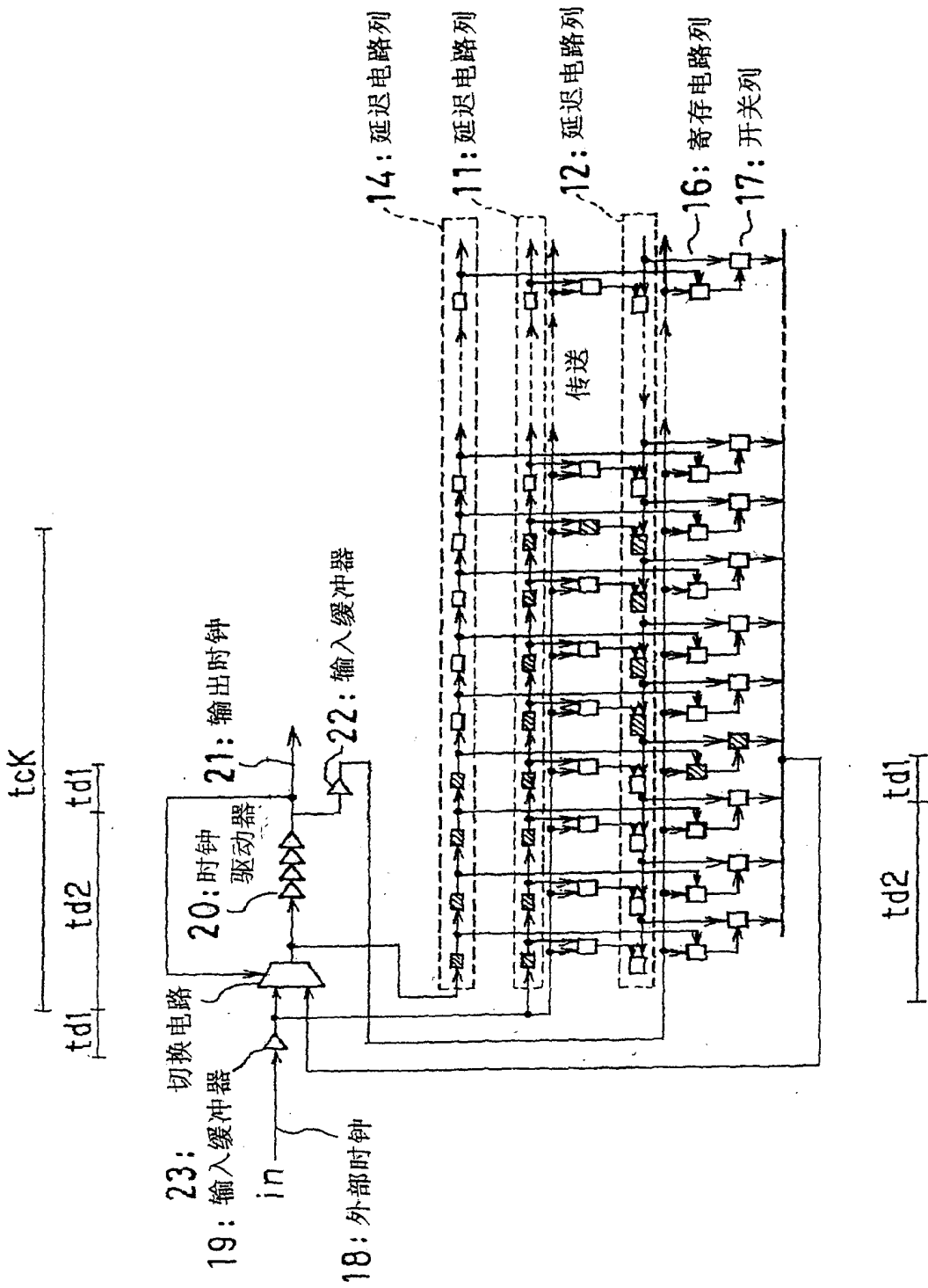


图 6

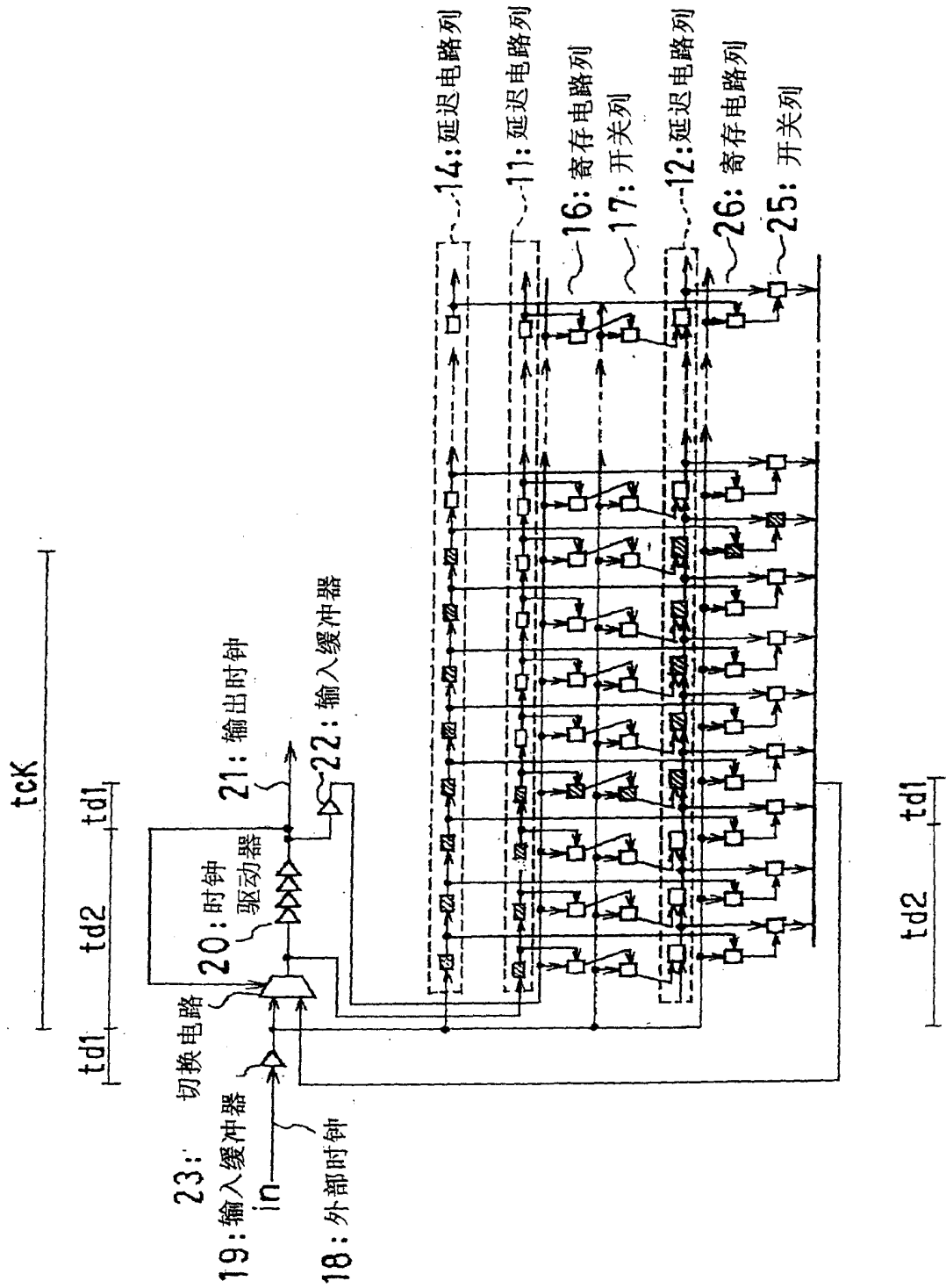


图 7

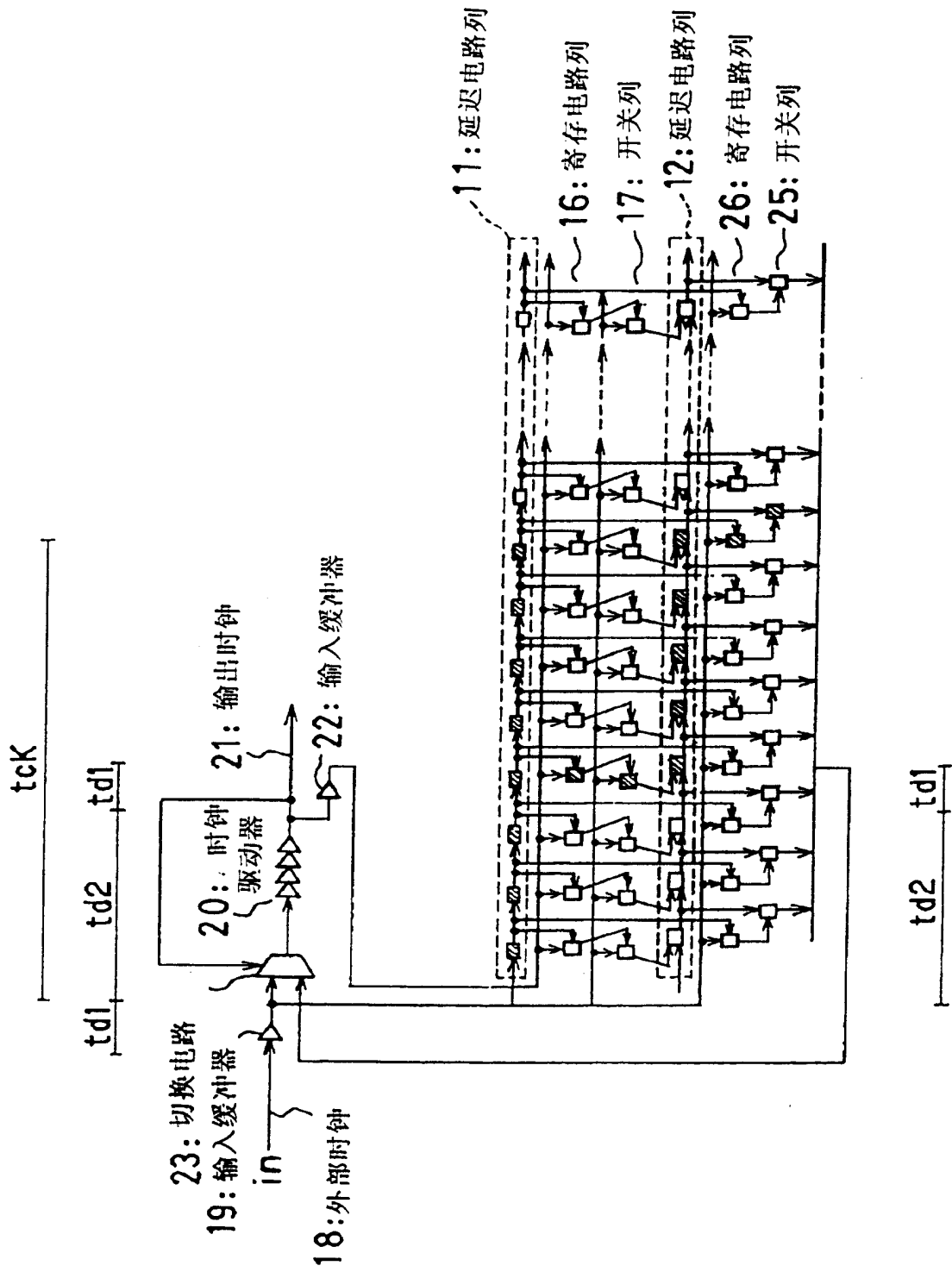


图 8

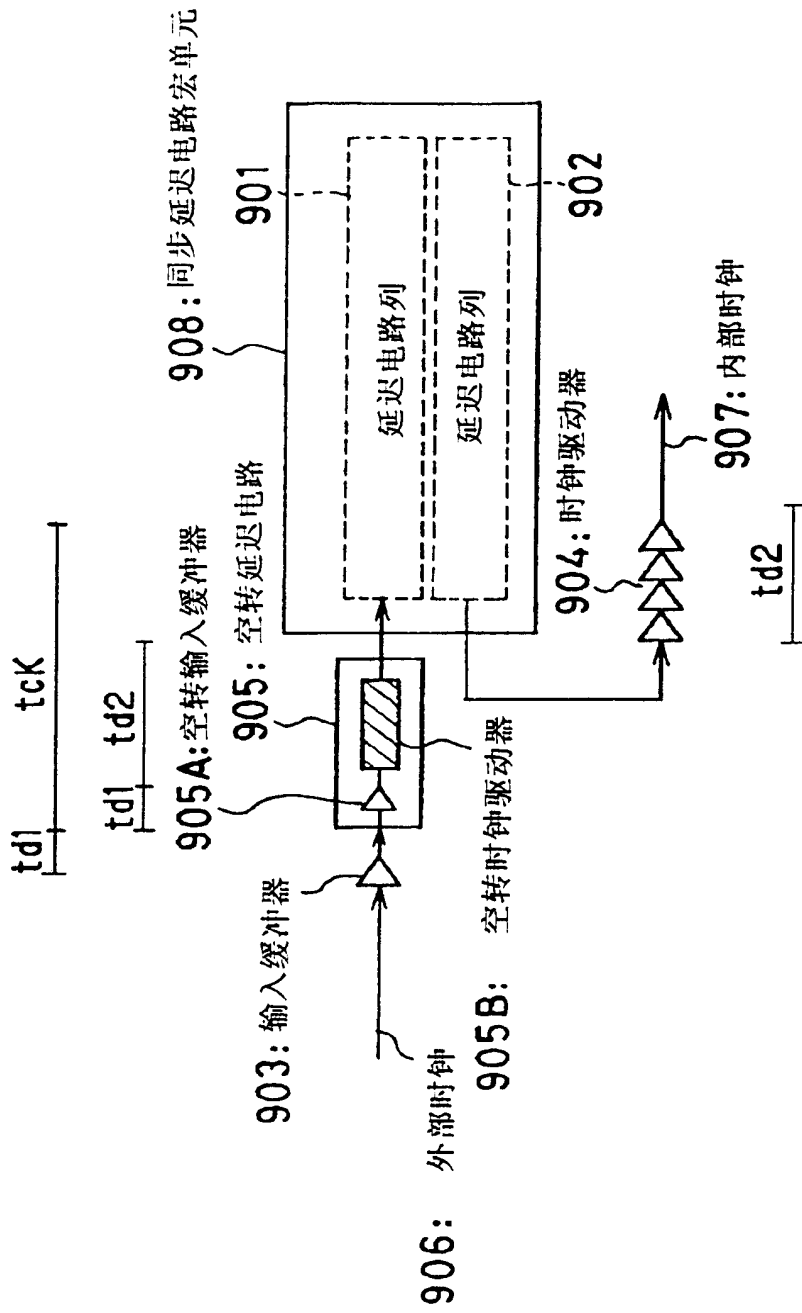


图 9

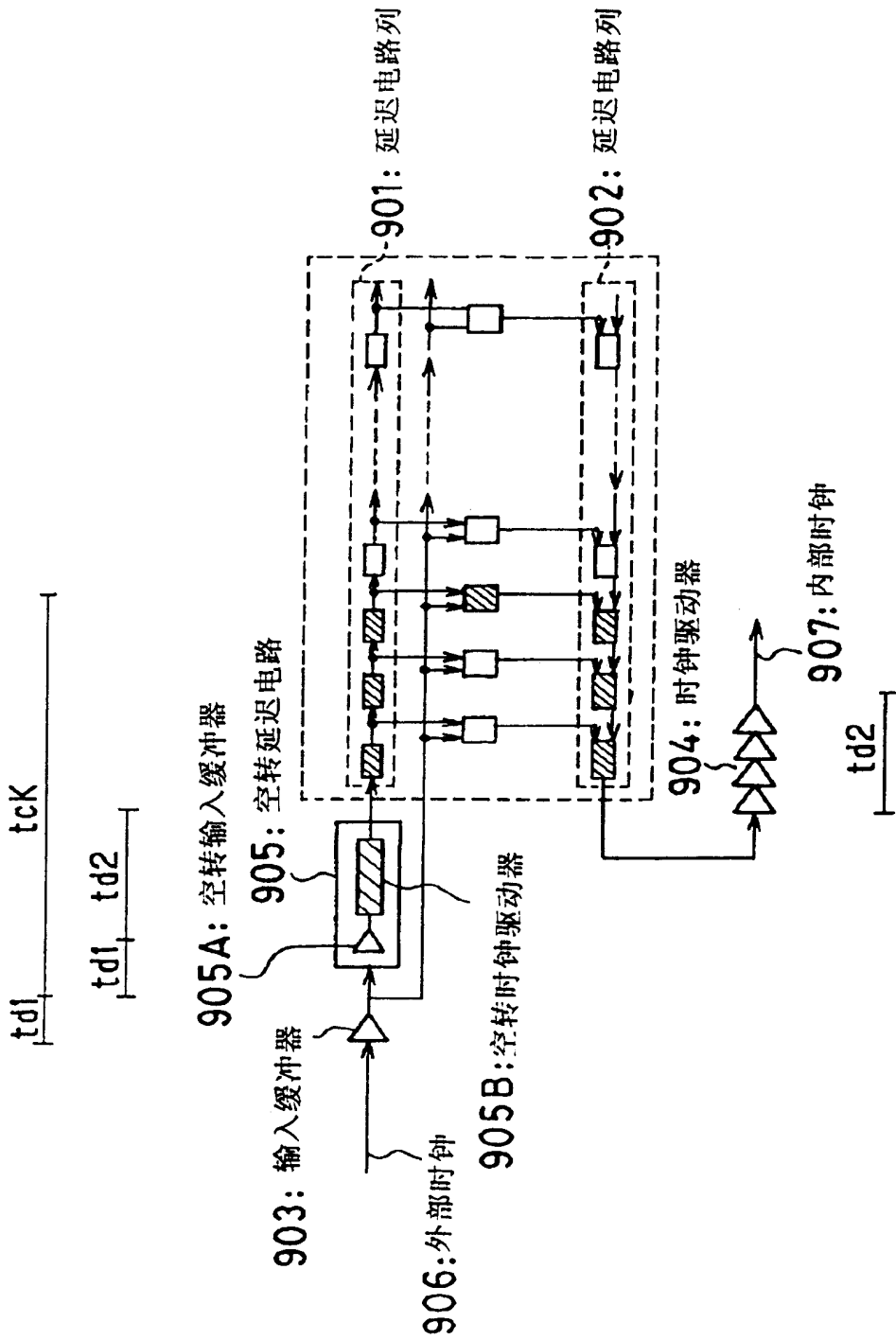


图 10

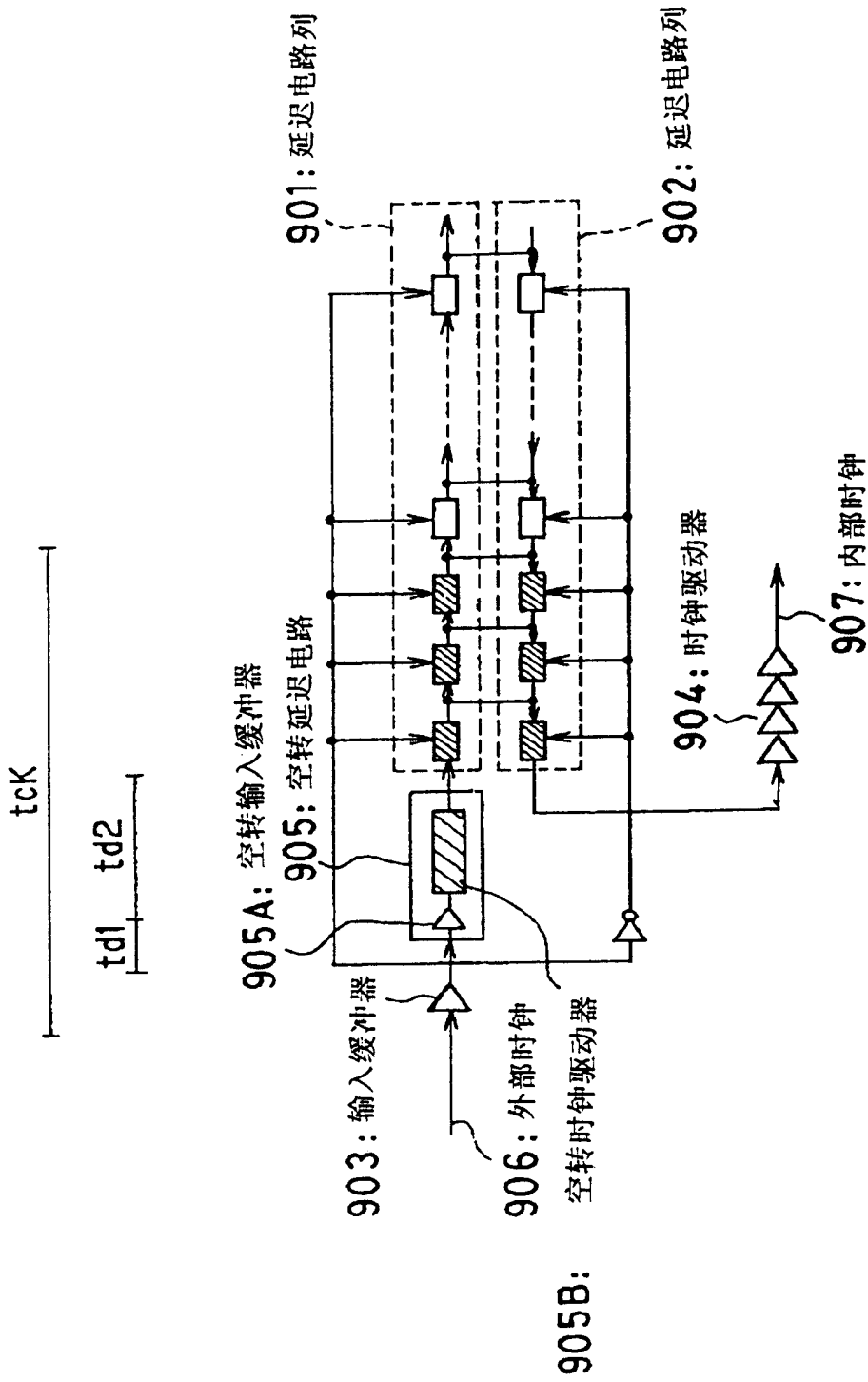


图 11

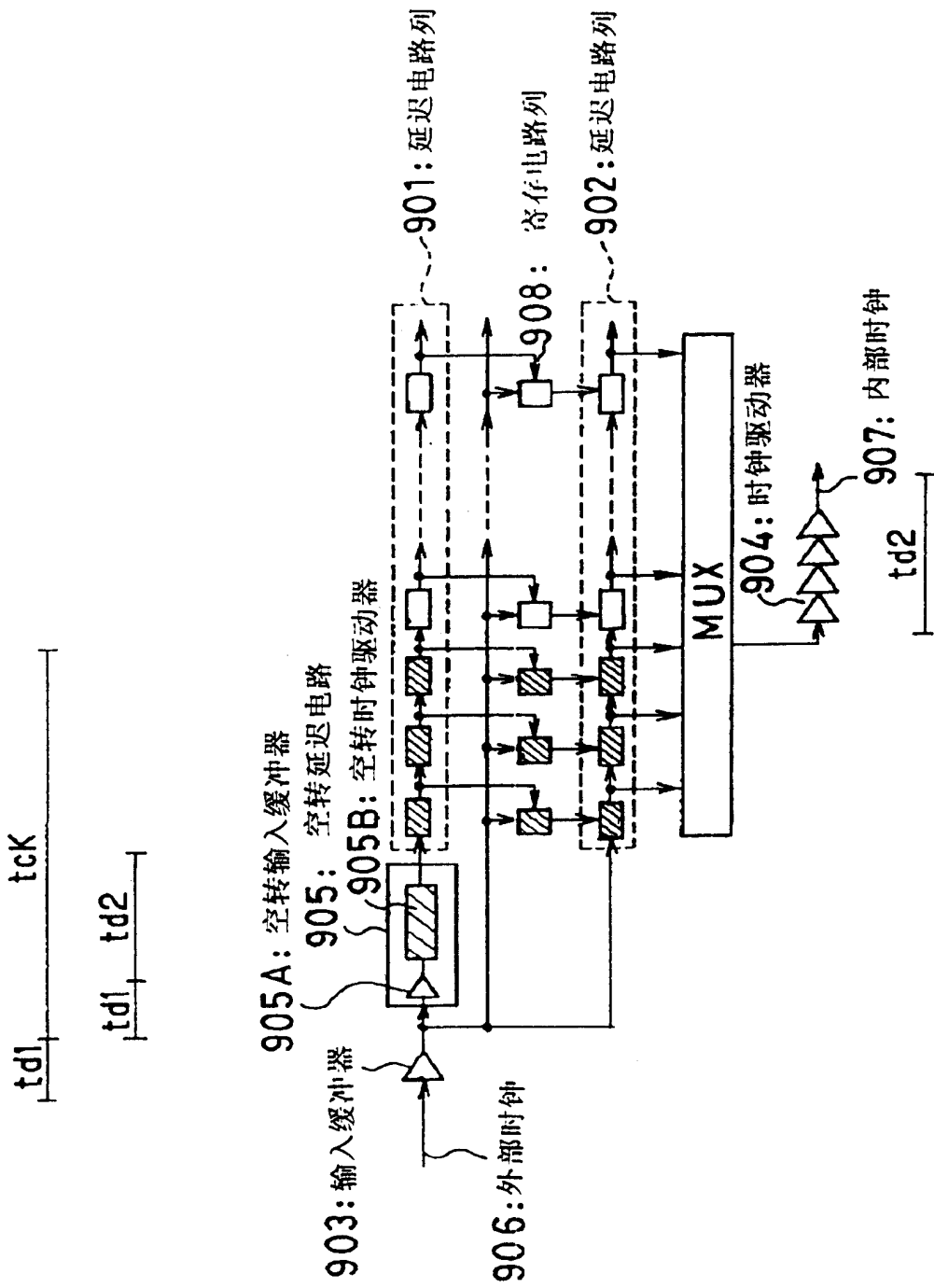


图 12

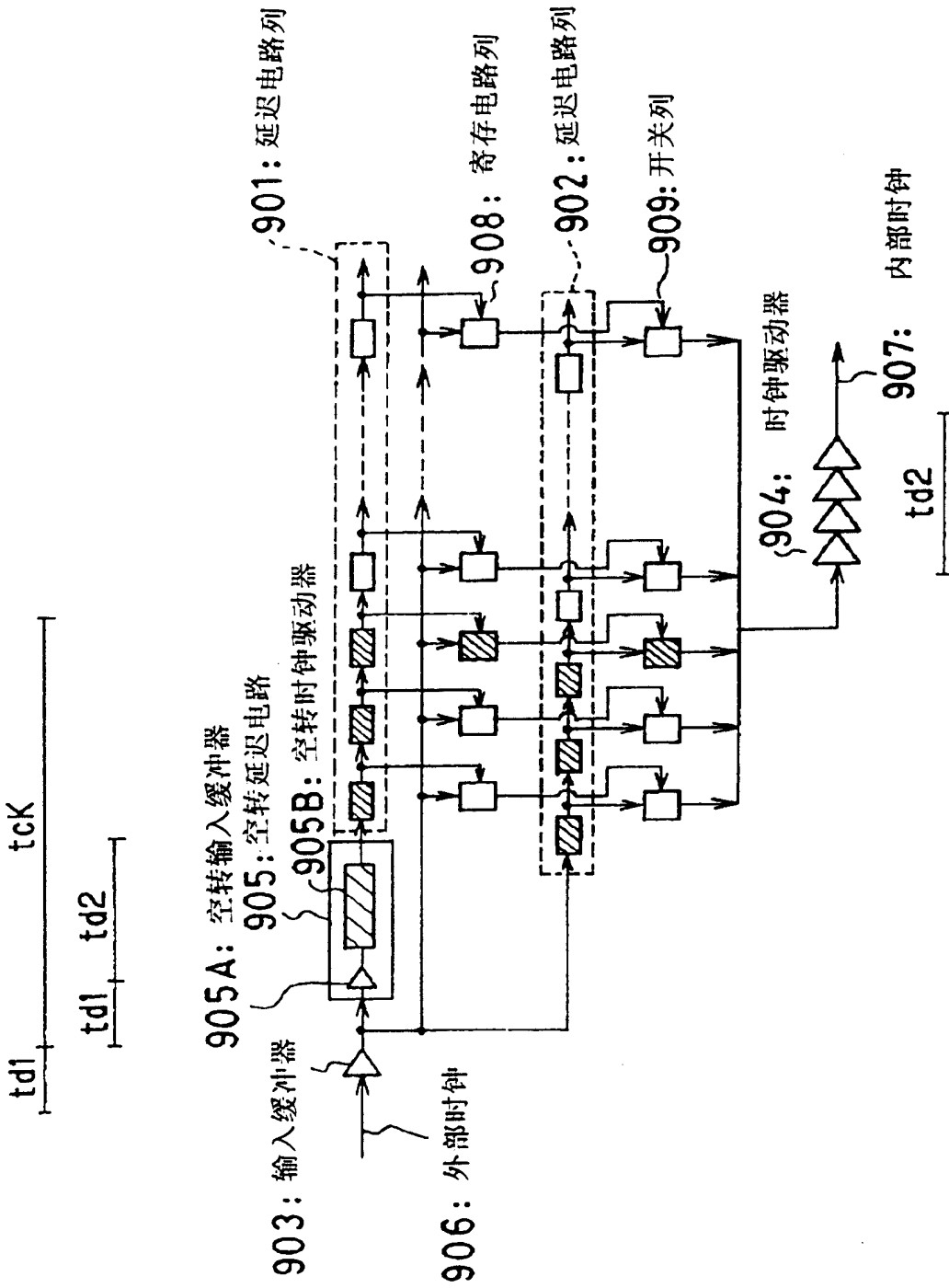


图 13

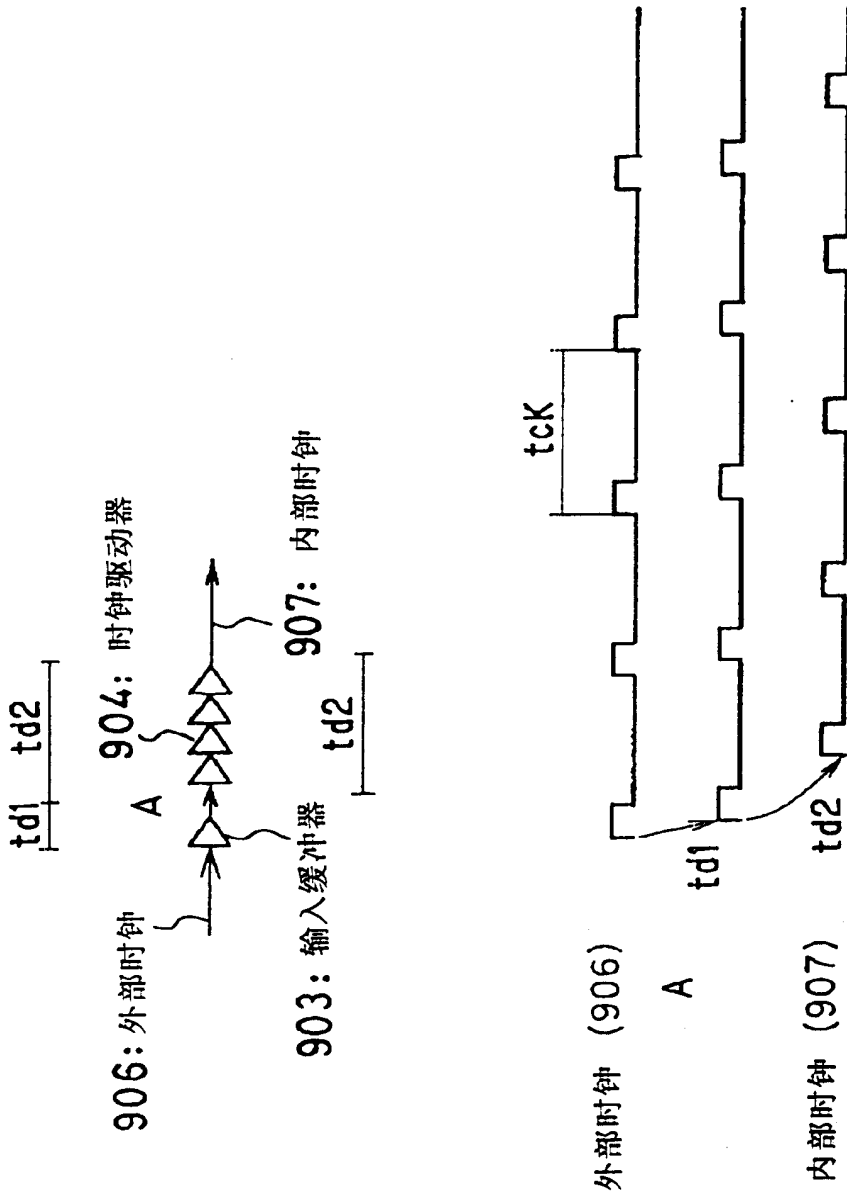


图 14

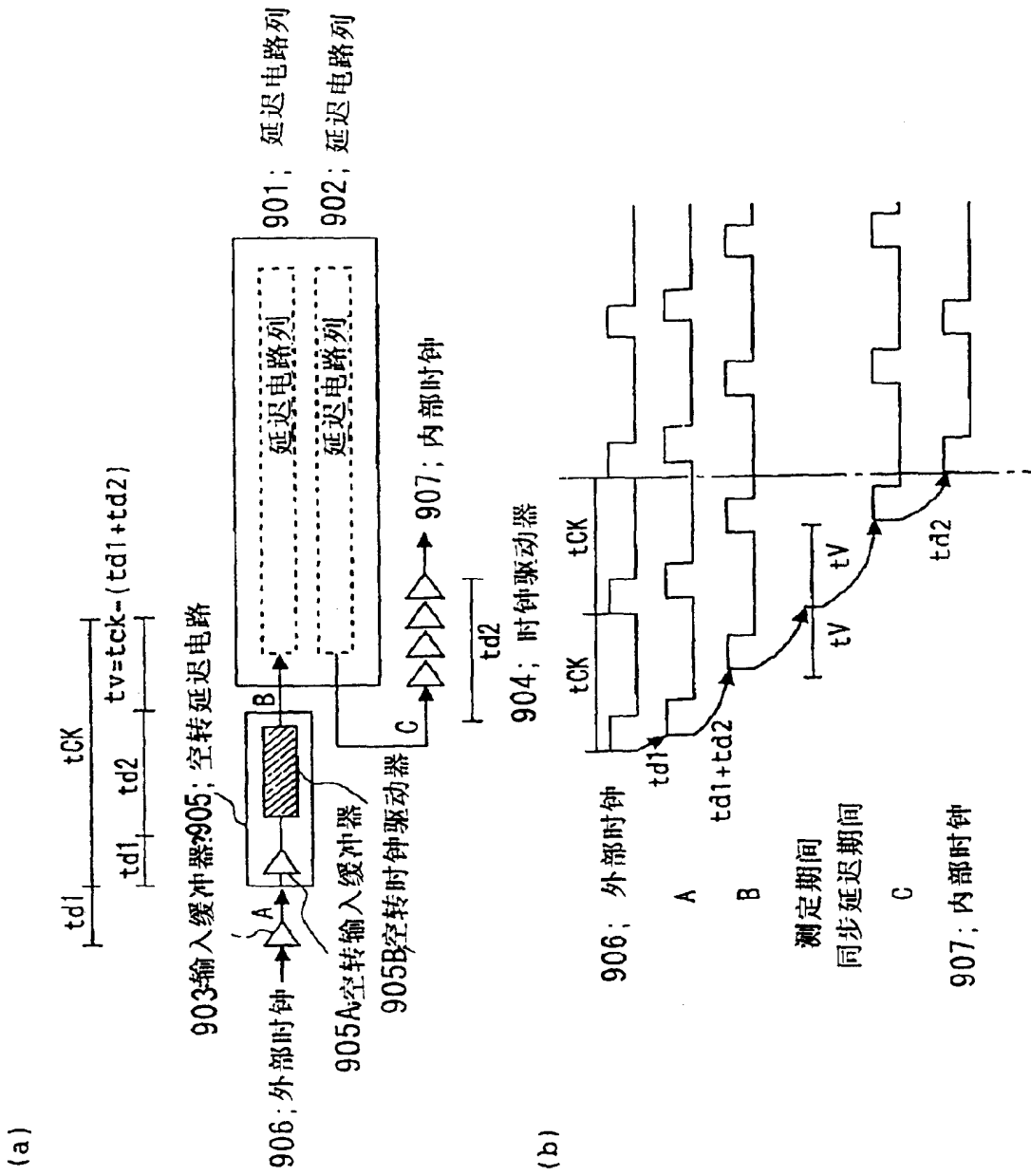
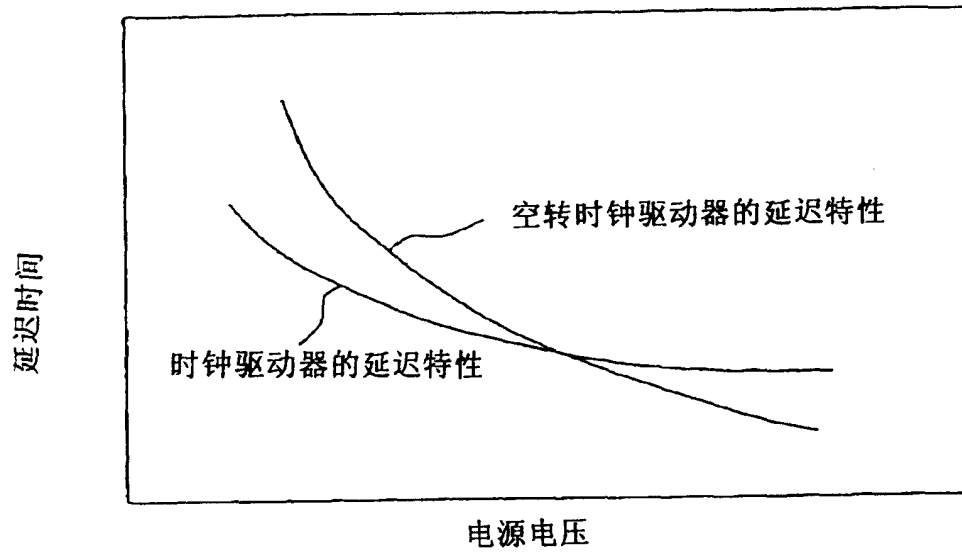


图 15

(A)



(B)

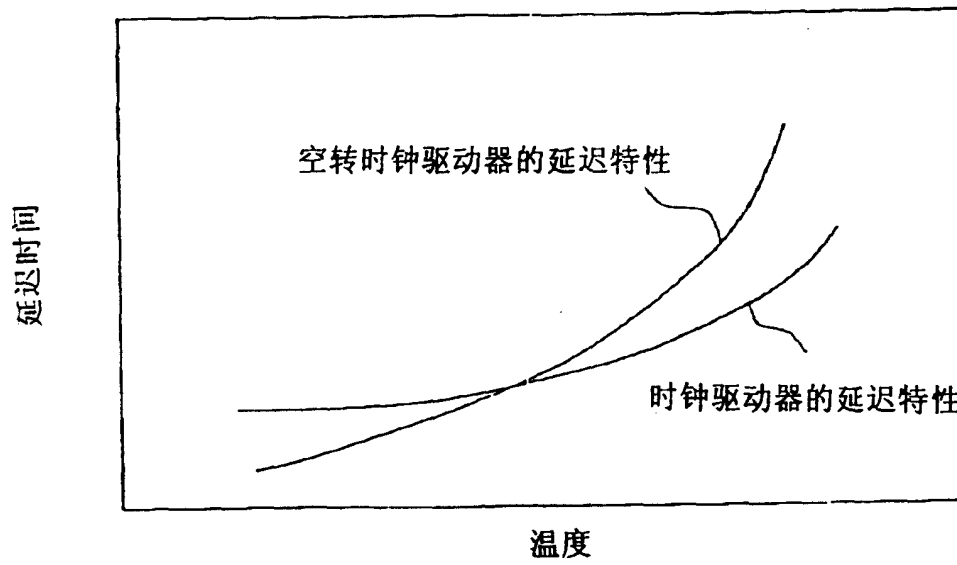


图 16