



República Federativa do Brasil  
Ministério da Economia  
Instituto Nacional da Propriedade Industrial

**(11) PI 0813278-0 B1**



**(22) Data do Depósito: 12/06/2008**

**(45) Data de Concessão: 02/06/2020**

**(54) Título:** COMBINAÇÃO DE TAXA COM MÚLTIPLOS TAMANHOS DE BLOCO DE CÓDIGOS

**(51) Int.Cl.:** H04L 1/00; H03M 13/29; H03M 13/00; H04B 7/0413.

**(52) CPC:** H04L 1/0003; H04L 1/0013; H04L 1/0041; H04L 1/0005; H04L 1/0066; (...).

**(30) Prioridade Unionista:** 11/06/2008 US 12/137,431; 12/06/2007 US 60/943,545; 15/08/2007 US 60/956,101; 18/06/2007 US 60/944,579.

**(73) Titular(es):** QUALCOMM INCORPORATED.

**(72) Inventor(es):** DURGA PRASAD MALLADI.

**(86) Pedido PCT:** PCT US2008066784 de 12/06/2008

**(87) Publicação PCT:** WO 2008/154646 de 18/12/2008

**(85) Data do Início da Fase Nacional:** 10/12/2009

**(57) Resumo:** "COMBINAÇÃO DE TAXA COM MÚLTIPLOS TAMANHOS DE BLOCO DE CÓDIGO" Bits incluídos em cada bloco de código de um bloco de transporte podem ser armazenados em um armazenador circular associado e transmitidos através de um canal. Cada armazenador circular pode variar de tamanho em proporção a um tamanho do bloco de código associado. Portanto, visto que em determinados ambientes operacionais os blocos de código para um bloco de transporte podem variar de tamanho, armazenadores circulares podem variar de tamanho também. De acordo, quando nem todos os dados de um bloco de transporte e/ou um conjunto de armazenadores circulares podem ser transmitidos através do canal, cada armazenador circular do conjunto pode transmitir uma parte de bits proporcional a um tamanho do armazenador respectivo (ou o bloco de código ou bloco de codificado associado). Adicionalmente, o número que é circular código de bits transmitidos a partir de cada armazenador circular pode ser restringido por um orçamento agregado para todos os orçamentos circulares e pode ser adicionalmente restringido de forma a ser um múltiplo inteiro de uma ordem de modulação para o bloco de transporte.

"COMBINAÇÃO DE TAXA COM MÚLTIPLOS TAMANHOS DE BLOCO DE  
CÓDIGOS"

CAMPO DA INVENÇÃO

[001] A descrição a seguir se refere de forma geral às comunicações sem fio, e mais particularmente à utilização de uma combinação de taxa com base em armazenador circular para a transferência de dados em um sistema de comunicação sem fio.

DESCRIÇÃO DA TÉCNICA ANTERIOR

[002] Os sistemas de comunicação sem fio são amplamente desenvolvidos para fornecer vários tipos de comunicação; por exemplo, voz e/ou dados podem ser fornecidos através de tais sistemas de comunicação sem fio. Um sistema de comunicação sem fio típico ou rede pode fornecer acesso a múltiplos usuários a um ou mais recursos compartilhados (por exemplo, largura de banda, potência de transmissão, ...). Por exemplo, um sistema pode utilizar uma variedade de múltiplas técnicas de acesso tal como Multiplexação por Divisão de Frequência (FDM), Multiplexação por Divisão de Tempo (TDM), Multiplexação por Divisão de Código (CDM), Multiplexação por Divisão de Frequência Ortogonal (OFDM), e outros.

[003] Geralmente, os sistemas de comunicação de acesso múltiplo podem suportar simultaneamente a comunicação para múltiplos terminais de acesso. Cada terminal de acesso pode se comunicar com uma ou mais estações base através de transmissões nos links de avanço e reverso. O link de avanço (ou downlink) se refere ao link de comunicações das estações base para os terminais de aceso, e o link reverso (ou uplink) se refere ao link de

comunicação dos terminais de acesso para as estações base. Esse link de comunicação pode ser estabelecido através de um sistema de entrada única e saída única, múltiplas entradas e saída única ou múltiplas entradas e múltiplas saídas (MIMO).

[004] Os sistemas de comunicação sem fio frequentemente empregam uma ou mais estações base que fornecem uma área de cobertura. Uma estação base típica pode transmitir múltiplas sequências de dados para serviços de difusão, multidifusão e/ou unidifusão, onde uma sequência de dados pode ser uma sequência de dados que pode ser independente do interesse de recepção para um terminal de acesso. Um terminal de acesso dentro da área de cobertura de tal estação base pode ser empregado para receber uma, mais de uma ou todas as sequências de dados portadas pela sequência composta. Da mesma forma, um terminal de acesso pode transmitir dados para a estação base ou outro terminal de acesso.

[005] Recentemente, o código turbo, que é um código de correção de erro de alto desempenho, foi desenvolvido para melhorar a transferência de dados através de links de comunicação de largura de banda limitada na presença de ruído de corrupção de dados. O código turbo pode ser utilizado por qualquer aparelho de comunicação sem fio (por exemplo, estação base, terminal de acesso, ...) para codificação de dados a serem transmitidos por esse aparelho de comunicação sem fio respectivo. Um codificador de código turbo pode integrar bits de paridade com bits sistemáticos (por exemplo, dados de carga útil,...), o que aumenta o número geral de bits a serem transmitidos pelo

aparelho de comunicação sem fio (por exemplo, se X bits forem registrados no codificador de código turbo, então aproximadamente 3X bits podem ser enviados a partir do codificador de código turbo).

[006] O número geral de bits codificados enviados a partir do codificador de código turbo a serem transportados através de um canal, no entanto, pode diferir do número de bits que o aparelho de comunicação sem fio é capaz de enviar no canal (por exemplo, o número de bits que o aparelho de comunicação sem fio é capaz de enviar pode ser uma função de uma designação, uma propriedade ou uma característica do aparelho de comunicação sem fio e/ou um ambiente de comunicação sem fio em geral,...). Por exemplo, o aparelho de comunicação sem fio pode ser incapaz de transportar todos os bits codificados visto que o número de bits codificados pode exceder o número de bits que o aparelho de comunicação sem fio é capaz de enviar através do canal. De acordo com outra ilustração, o número de bits codificados pode ser inferior ao número de bits que o aparelho de comunicação sem fio é capaz de enviar no canal. Dessa forma, a combinação de taxa pode ser realizada para alterar o número de bits codificados a serem enviados através do canal para combinar o número de bits que o aparelho de comunicação sem fio é capaz de enviar através do canal; mais particularmente, a combinação de taxa pode perfurar os bits (por exemplo, eliminar os bits) para reduzir a taxa (por exemplo, quando o número de bits codificados é maior do que o número de bits que podem ser enviados através do canal) ou repetir bits para aumentar a taxa (por exemplo, quando o número de bits codificados é

inferior ao número de bits que podem ser enviados através do canal). Por meio de exemplo, quando o número de bits codificados é aproximadamente de 3X bits (por exemplo, com base em X bits sendo registrados no codificador de código turbo) e os aproximadamente 3X bits exceder o número de bits que podem ser enviados através do canal, então menos de 3X bits podem ser transmitidos a partir do aparelho de comunicação sem fio mediante a realização da combinação de taxa. As técnicas convencionais de combinação de taxa (por exemplo, tal como a combinação de taxa R99, R5, R6, ...), no entanto, pode ser complicada e basicamente destinada à multiplexação de canal de transporte. Por exemplo, essas técnicas de combinação de taxa comuns podem envolver vários estágios complicados de perfuração ou repetição e algoritmos de coleta de bit, que podem ser adicionalmente complicados pelo fato de em determinados ambientes operacionais um único bloco de transporte pode ser segmentado em blocos de códigos de diferentes tamanhos.

#### RESUMO DA INVENÇÃO

[007] A seguir é apresentado um sumário simplificado de uma ou mais modalidades a fim de fornecer uma compreensão básica de tais modalidades. Esse sumário não é uma visão geral extensiva de todas as modalidades contempladas, e não pretende identificar os elementos chave ou críticos de todas as modalidades nem delinear o escopo de quaisquer ou todas as modalidades. Sua única finalidade é apresentar alguns conceitos de uma ou mais modalidades de uma forma simplificada como uma introdução à descrição mais detalhada que será apresentada posteriormente.

[008] De acordo com uma ou mais modalidades e descrição correspondente das mesmas, vários aspectos são descritos com relação à facilitação de combinação de taxa com base em armazenador circular com blocos de códigos de diferentes tamanhos para um bloco de transporte. Os bits incluídos em cada bloco de códigos de um bloco de transporte podem ser armazenados em um armazenador circular associado e transmitidos através de um canal. Cada armazenador circular pode variar de tamanho em proporção a um tamanho do bloco de códigos associado. Portanto, visto que em determinados ambientes operacionais os blocos de códigos para um bloco de transporte podem variar de tamanho, armazenadores circulares podem variar de tamanho também. De acordo, quando nem todos os dados de um bloco de transporte e/ou um arranjo de armazenadores circulares podem ser transmitidos através do canal, cada armazenador circular do arranjo pode transmitir uma parte dos bits que é proporcional a um tamanho do armazenador circular respectivo (ou o bloco de códigos associado ou bloco de códigos codificado). Adicionalmente, o número de bits transmitido a partir de cada armazenador circular pode ser restrito por um orçamento agregado para todos os armazenadores circulares e pode ser adicionalmente restringido ao múltiplo inteiro de uma ordem de modulação para o bloco de transporte.

[009] De acordo com os aspectos relacionados, um método que facilita a combinação de taxa em um ambiente de comunicação sem fio é descrito aqui. O método pode incluir o preenchimento de cada armazenador circular em um arranjo de armazenadores circulares com bits de um bloco de

códigos associado a partir de um conjunto de blocos de códigos constituindo um bloco de transporte. Adicionalmente, o método pode compreender a obtenção de um orçamento de transmissão definindo um número agregado de bits a serem transmitidos a partir de todos os armazenadores circulares no arranjo. Ademais, o método pode incluir a computação de um orçamento de armazenador respectivo definindo um número de bits para transmitir a partir de um armazenador circular associado para cada armazenador circular no arranjo, o orçamento de armazenador respectivo compensando uma fração de orçamento de transmissão e sendo proporcional a um tamanho de armazenador circular associado. Adicionalmente, o método pode compreender adicionalmente a restrição do orçamento de armazenador respectivo a um múltiplo inteiro de um número de bits descrito por uma ordem de modulação para o bloco de transporte.

[0010] Outro aspecto se refere a um aparelho de comunicação sem fio. O aparelho de comunicações sem fio pode incluir uma memória que retém instruções relacionadas com o armazenamento de bits de um bloco de códigos para um armazenador circular associado para cada bloco de códigos em um conjunto de blocos de códigos compondo um bloco de transporte, acessando um orçamento de transmissão que define um número agregado de bits a serem transmitidos a partir de todos os armazenadores circulares, e determinando um orçamento de armazenador respectivo descrevendo um número de bits a serem transmitidos a partir do armazenador circular associado, o orçamento de armazenador respectivo sendo responsável por uma fração do orçamento de

transmissão e sendo uma função de um tamanho do armazenador circular associado. Adicionalmente, o aparelho de comunicações sem fio pode incluir um processador, acoplado à memória, configurado para executar as instruções retidas na memória.

[0011] Outro aspecto se refere a um aparelho de comunicações sem fio que permite o emprego de combinação de taxa em um ambiente de comunicação sem fio. O aparelho de comunicações sem fio pode incluir meios para preencher um armazenador circular com dados a partir de um bloco de códigos associado de um bloco de transporte. Adicionalmente, o aparelho de comunicações sem fio pode incluir meios de definição de uma quantidade agregada de dados a serem transmitidos para o bloco de transporte. Ademais, o aparelho de comunicações sem fio pode compreender meios para calcular uma quantidade de dados a serem transmitidos a partir do armazenador circular de acordo com um tamanho do armazenador circular com relação a outros armazenadores circulares.

[0012] Outro aspecto adicional se refere a um meio legível por máquina possuindo armazenado no mesmo instruções executáveis por máquina para associação de cada bloco de códigos de um bloco de transporte com um armazenador circular em um arranjo de armazenadores circulares; o preenchimento de um armazenador circular em um arranjo de armazenadores circulares com bits de um bloco de códigos associado; a determinação de um orçamento de transmissão definindo um número agregado de bits a serem transmitidos a partir de todos os armazenadores circulares no arranjo; e a computação de um orçamento de armazenador

definindo um número de bits a serem transmitidos a partir do armazenador circular de forma recursiva para cada armazenador circular no arranjo, o orçamento de armazenador sendo responsável por um percentual do orçamento de transmissão e sendo proporcional a um tamanho do armazenador circular.

[0013] De acordo com outro aspecto, um aparelho em um sistema de comunicação sem fio pode incluir um processador, no qual o processador pode ser configurado para armazenar informação incluída em um bloco de códigos para um armazenador circular associado para cada bloco de códigos de um bloco de transporte. Adicionalmente, o processador pode ser adaptado para configurar um orçamento de transmissão que define um número agregado de bits a serem transmitidos a partir de todos os blocos de códigos. Adicionalmente, o processador pode ser configurado para determinar um orçamento de bloco que define um número de bits para transmitir a partir do bloco de códigos, o orçamento de bloco sendo responsável por uma parte do orçamento de transmissão e sendo uma função de um tamanho de bloco de códigos com relação a outros blocos de códigos no bloco de transporte.

[0014] Para realizar as finalidades acima bem como outras, a uma ou mais modalidades compreendem as características totalmente descritas posteriormente e particularmente destacadas nas reivindicações. A descrição a seguir e os desenhos em anexo apresentam em detalhes determinados aspectos ilustrativos de uma ou mais modalidades. Esses aspectos são indicativos, no entanto, de apenas poucas dentre as várias formas nas quais os

princípios das várias modalidades podem ser empregados e as modalidades descritas devem incluir todos os ditos aspectos e suas equivalências.

BREVE DESCRIÇÃO DAS FIGURAS

[0015] A figura 1 é uma ilustração de um sistema de comunicação sem fio de acordo com vários aspectos apresentados aqui;

[0016] A figura 2 é uma ilustração de um sistema ilustrativo que realiza a combinação de taxa utilizando os algoritmos com base em armazenador circular em um ambiente de comunicação sem fio;

[0017] A figura 3 é uma ilustração de um exemplo esquemático para empregar um algoritmo de combinação de taxa com base em armazenador circular;

[0018] A figura 4 é uma ilustração de uma metodologia ilustrativa que facilita a combinação de taxa em um ambiente de comunicação sem fio;

[0019] A figura 5 é uma ilustração de uma metodologia ilustrativa que facilita o tratamento preferencial de bits sistemáticos com relação à combinação de taxa com base em armazenador circular em um ambiente de comunicação sem fio;

[0020] A figura 6 é uma ilustração de uma metodologia ilustrativa que facilita o emprego de combinação de taxa utilizando um armazenador circular em um ambiente de comunicação sem fio;

[0021] A figura 7 é uma ilustração de uma metodologia ilustrativa que facilita o emprego de combinação de taxa em um ambiente de comunicação sem fio

com múltiplos tamanhos de bloco de códigos para um bloco de transporte;

[0022] A figura 8 é uma ilustração de um terminal de acesso ilustrativo que facilita a realização da combinação de taxa com base em armazenador circular em um sistema de comunicação sem fio;

[0023] A figura 9 é uma ilustração de um sistema ilustrativo que facilita a realização da combinação de taxa com base em armazenador circular em um ambiente de comunicação sem fio;

[0024] A figura 10 é uma ilustração de um ambiente de rede sem fio ilustrativo que pode ser empregado em conjunto com os vários sistemas e métodos descritos aqui;

[0025] A figura 11 é uma ilustração de um sistema ilustrativo que permite o emprego de combinação de taxa em um ambiente de comunicação sem fio.

#### DESCRIÇÃO DETALHADA DA INVENÇÃO

[0026] Várias modalidades são agora descritas com referência aos desenhos, onde referências numéricas similares são utilizadas para fazer referência a elementos similares. Na descrição a seguir, para fins de explicação, inúmeros detalhes específicos são apresentados a fim de fornecer uma compreensão profunda de uma ou mais modalidades. Pode ser evidente, no entanto, que tais modalidades podem ser praticadas sem esses detalhes específicos. Em outros casos, estruturas e dispositivos bem conhecidos são ilustrados na forma de diagrama em bloco a fim de facilitar a descrição de uma ou mais modalidades.

[0027] Como utilizado nesse pedido, os termos "componente", "módulo", "sistema" e similares são destinados a fazer referência a uma entidade relacionada com computador, seja hardware, firmware, uma combinação de hardware e software, ou software em execução. Por exemplo, um componente pode ser, mas não está limitado a ser, um processo rodando em um processador, um processador, um objeto, um objeto executável, uma sequência de execução, um programa e/ou um computador. Por meio de ilustração, ambos um aplicativo rodando em um dispositivo de computação e o dispositivo de computação podem ser um componente. Um ou mais componentes podem residir dentro de um processador e/ou sequência de execução e um componente pode ser localizado em um computador e/ou distribuído entre dois ou mais computadores. Adicionalmente, esses componentes podem ser executados a partir de várias mídias legíveis por computador possuindo várias estruturas de dados armazenadas nas mesmas. Os componentes podem se comunicar por meio de processos locais e/ou remotos tal como de acordo com um sinal possuindo um ou mais pacotes de dados (por exemplo, dados de um componente interagindo com outro componente em um sistema local, sistema distribuído, e/ou através de uma rede tal como a Internet com outros sistemas por meio de sinal).

[0028] Adicionalmente, várias modalidades são descritas aqui com relação a um terminal de acesso. Um terminal de acesso também pode ser chamado de sistema, unidade de assinante, estação de assinante, estação móvel, móvel, estação remota, terminal remoto, dispositivo móvel, terminal de usuário, terminal, dispositivo de comunicação

sem fio, agente de usuário, dispositivo de usuário, ou equipamento de usuário (UE). Um terminal de acesso pode ser um telefone celular, um telefone sem fio, um telefone de Protocolo de Iniciação de Sessão (SIP), uma estação de circuito local sem fio (WLL), um assistente digital pessoal (PDA), um dispositivo portátil possuindo capacidade de conexão sem fio, dispositivo de computação, ou outro dispositivo de processamento conectado a um modem sem fio. Ademais, várias modalidades são descritas aqui com relação a uma estação base. Uma estação base pode ser utilizada para comunicação com os terminais de acesso e também pode ser referida como um ponto de acesso, um Nó B, um eNodeB, ou alguma outra terminologia.

[0029] Ademais, vários aspectos ou características descritos aqui podem ser implementados como um método, aparelho ou artigo de fabricação utilizando técnicas de programação e/ou engenharia padrão. O termo "artigo de fabricação" como utilizado aqui deve englobar um programa de computador acessível a partir de qualquer dispositivo legível por computador, portador ou mídia. Por exemplo, mídia legível por computador pode incluir, mas não está limitada a dispositivos de armazenamento magnético (por exemplo, disco rígido, disco flexível, tiras magnéticas, etc.), discos óticos (por exemplo, disco compacto (CD), disco versátil digital (DVD), etc.), cartões inteligentes, e dispositivos de memória flash (por exemplo, EPROM, cartão, stick, key drive, etc.). Adicionalmente, várias mídias de armazenamento descritas aqui podem representar um ou mais dispositivos e/ou outras mídias legíveis por máquina para o armazenamento de informação. O

termo "meio legível por máquina" pode incluir, sem ser limitado a canais sem fio e várias outras mídias capazes de armazenamento, contenção e/ou porte de instruções e/ou dados.

[0030] Com referência agora à figura 1, um sistema de comunicação sem fio 100 é ilustrado de acordo com várias modalidades apresentadas aqui. O sistema 100 compreende uma estação base 102 que pode incluir múltiplos grupos de antenas. Por exemplo, um grupo de antena pode incluir antenas 104 e 106, outro grupo pode compreender as antenas 108 e 110, e um grupo adicional pode incluir as antenas 112 e 114. Duas antenas são ilustradas para cada grupo de antenas; no entanto, mais ou menos antenas podem ser utilizadas para cada grupo. A estação base 102 pode incluir adicionalmente uma corrente transmissora e uma corrente receptora, cada uma das quais pode, por sua vez, compreender uma pluralidade de componentes associados com a transmissão e recepção de sinal (por exemplo, processadores, moduladores, multiplexadores, demoduladores, desmultiplexadores, antenas, etc.) como será apreciado pelos versados na técnica.

[0031] A estação base 102 pode se comunicar com um ou mais terminais de acesso tal como o terminal de acesso 116 e o terminal de acesso 122; no entanto, deve-se apreciar que a estação base 102 pode se comunicar com substancialmente qualquer um dentre o número de terminais de acesso similares aos terminais de acesso 116 e 122. Os terminais de acesso 116 e 122 podem ser, por exemplo, telefones celulares, telefones inteligentes, laptops, dispositivos de comunicação portáteis, dispositivos de

computação portáteis, rádios via satélite, sistemas de posicionamento global, PDAs e/ou qualquer outro dispositivo adequado para comunicação através do sistema de comunicação sem fio 100. Como apresentado, o terminal de acesso 116 está em comunicação com as antenas 112 e 114, onde as antenas 112 e 114 transmitem informação para o terminal de acesso 116 através de um link de avanço 118 e recebem informação do terminal de acesso 116 através de um link reverso 120. Ademais, o terminal de acesso 122 está em comunicação com as antenas 104 e 106, onde as antenas 104 e 106 transmitem informação para o terminal de acesso 122 através de um link de avanço 124 e recebem informação do terminal de acesso 122 através de um link reverso 125. Em um sistema FDD, o link de avanço 118 pode utilizar uma banda de frequência diferente da utilizada pelo link reverso 120, e o link de avanço 124 pode empregar uma banda de frequência diferente da empregada pelo link reverso 126, por exemplo. Adicionalmente, em um sistema TDD, o link de avanço 118 e o link reverso 120 pode utilizar uma banda de frequência comum e um link de avanço 124 e link reverso 126 podem utilizar uma banda de frequência comum.

[0032] Cada grupo de antenas e/ou a área na qual são designados para se comunicar pode ser referido como um setor da estação base 102. Por exemplo, os grupos de antenas podem ser projetados para se comunicar com os terminais de acesso em um setor das áreas cobertas pela estação base 102. Em comunicação através dos links de avanço 118 e 124, as antenas transmissoras da estação base 102 podem utilizar a formação de feixe para aperfeiçoar a razão de sinal para ruído dos links de avanço 118 e 124 para

os terminais de acesso 116 e 122. Além disso, enquanto a estação base 102 utiliza a formação de feixe para transmitir para os terminais de acesso 116 e 122 espalhados aleatoriamente através de uma cobertura associada, os terminais de acesso nas células vizinhas podem ser submetidos a menos interferência em comparação com uma estação base transmitindo através de uma única antena para todos os seus terminais de acesso.

[0033] A estação base 102, o terminal de acesso 116 e/ou o terminal de acesso 122 podem ser um aparelho de comunicação sem fio transmissor e/ou um aparelho de comunicação sem fio receptor em um determinado momento. Quando do envio de dados, o aparelho de comunicação sem fio transmissor pode codificar dados para a transferência. Mais particularmente, o aparelho de comunicação sem fio transmissor pode ter (por exemplo, gerar, obter, reter na memória, ...) um determinado número de bits de informação a ser enviado através de um canal para o aparelho de comunicação sem fio receptor. Tais bits de informação podem ser incluídos em um bloco de dados de transporte (ou uma pluralidade de blocos de transporte) que pode ser segmentado para resultar em uma pluralidade de blocos de códigos. Adicionalmente, cada um dentre os blocos de códigos pode ser codificado pelo aparelho de comunicação sem fio transmissor utilizando um codificador de código turbo (não ilustrado). O codificador de código turbo pode enviar um bloco codificado para cada um dos blocos de códigos registrados no mesmo. Os blocos codificados enviados pelo codificador de código turbo podem incluir,

cada um, três elementos: bits sistemáticos, bits de paridade 1, bits de paridade 2.

[0034] O aparelho de comunicação sem fio transmissor pode empregar um algoritmo de combinação de taxa com base em armazenador circular que permite a simplificação em comparação com as técnicas convencionais (por exemplo, mesmo na presença de múltiplos códigos de bloco e blocos de transporte). Mais particularmente, a combinação de taxa com base em armazenador circular pode ser realizada pelo aparelho de comunicação sem fio transmissor coletando bits sistemáticos de todos os blocos codificados que resultaram de um bloco de transporte. Adicionalmente, os bits sistemáticos coletados podem ser intercalados juntos para resultar em um primeiro conjunto de bits para envio através de um canal. Ademais, os bits de paridade 1 e os bits de paridade 2 de todos os blocos codificados que resultaram do bloco de transporte podem ser coletados. Depois de serem coletados, os bits de paridade 1 podem ser intercalados juntos. Além disso, depois de serem coletados, os bits de paridade 2 podem ser intercalados juntos. Depois disso, os bits de paridade 1 intercalados e os bits de paridade 2 intercalados podem ser entrelaçados juntos de forma alternada resultando em um segundo conjunto de bits para envio através do canal.

[0035] Pela separação dos bits sistemáticos dos bits de paridade 1 e 2, a combinação de taxa com base em armazenador circular permite a transferência de bits sistemáticos antes da transmissão dos bits de paridade. Dessa forma, sob condições de taxa de código altas onde um grande número de bits sistemáticos são transmitidos em um

determinado período de tempo, a combinação de taxa com base em armazenador circular pode resultar em um desempenho aperfeiçoado em comparação com as técnicas convencionais (por exemplo, combinação de taxa R99, combinação de taxa R5, combinação de taxa R6,...), enquanto o desempenho pode ser similar para as técnicas de combinação de taxa com base em armazenador circular e combinação de taxa convencional sob condições de taxa de código baixas. Mais particularmente, sob condições de taxa de código altas, o aparelho de comunicação sem fio transmissor pode ser incapaz de transmitir todos os bits de blocos codificados. Dessa forma, a perfuração (por exemplo, eliminação) dos bits pode ser realizada para fins de combinação de taxa para reduzir o número de bits de comunicação. Em associação com a perfuração de bits, o aparelho de comunicação sem fio transmissor preferivelmente seleciona bits sistemáticos para transmissão; dessa forma, se possível, todos os bits sistemáticos dos blocos codificados são transferidos através do canal, e se os bits adicionais puderem ser transmitidos, então um subconjunto de bits de paridade 1 e paridade 2 são transmitidos através do canal. Adicionalmente, quando uma taxa de código baixa é utilizada, todos os bits sistemáticos e todos os bits de paridade 1 e paridade 2 dos blocos codificados podem ser transferidos através do canal.

[0036] Agora voltando-se à figura 2, é ilustrado um sistema 200 que realiza a combinação de taxa utilizando um algoritmo com base em armazenador circular em um ambiente de comunicação sem fio. O sistema 200 inclui um aparelho de comunicação sem fio 202 que é ilustrado como

estando transmitindo dados através de um canal. Apesar de ser apresentado como transmitindo dados, o aparelho de comunicação sem fio 202 também pode receber dados através do canal (por exemplo, aparelho de comunicação sem fio 202 pode transmitir e receber simultaneamente dados, o aparelho de comunicação sem fio 202 pode transmitir e receber dados em momentos diferentes, uma combinação dos mesmos,...). O aparelho de comunicação sem fio 202, por exemplo, pode ser uma estação base (por exemplo, a estação base 102 da figura 1, ...), um terminal de acesso (por exemplo, um terminal de acesso 116 da figura 1, o terminal de acesso 122 da figura 1, ...), ou similar.

[0037] O aparelho de comunicação sem fio 202 pode incluir um codificador de código turbo 204 (por exemplo, codificador, ...) que codifica os dados a serem transferidos do aparelho de comunicação sem fio 202. O codificador de código turbo 204 utiliza o código de correção de erro de alto desempenho para otimizar a transferência de informação através de um link de conexão de largura de banda limitada na presença de ruído de corrupção de dados. A entrada para o codificador de código turbo 204 pode ser um ou mais blocos de códigos. Por exemplo, um bloco de transporte pode ser segmentado em M blocos de códigos (por exemplo, bloco de códigos 0, bloco de códigos 1,..., bloco de códigos M-1), onde M pode ser substancialmente qualquer inteiro, e esses M blocos de códigos podem ser utilizados como entrada para o codificador de código turbo 204. O codificador de código turbo 204 pode enviar M blocos codificados (por exemplo, o bloco codificado 0, o bloco codificado 1, ..., o bloco

codificado M-1) com base em M blocos de códigos registrados. Adicionalmente, cada um dos M blocos codificados enviados pelo codificador de código turbo 204 pode corresponder a um bloco respectivo registrado dentre os M blocos de códigos (por exemplo, o bloco codificado 0 pode ser gerado com base no bloco de códigos 0, bloco codificado 1 pode ser resultante com base no bloco de códigos 1, ..., o bloco codificado M-1 pode ser gerado com base no bloco de códigos M-1).

[0038] Os M blocos codificados enviados pelo codificador de código turbo 204 podem incluir, cada um, três elementos: bits sistemáticos, bits de paridade 1, e bits de paridade 2. A seguir é fornecido um exemplo pertencente a um dos M blocos codificados, e deve ser apreciado que outros blocos codificados podem ser substancialmente similares. Os bits sistemáticos do bloco codificado podem incluir dados de carga útil. Os bits de paridade 1 do bloco codificado podem compreender bits de paridade para os dados de carga útil; esses bits de paridade podem ser gerados pelo codificador de código turbo 204 empregando um código de convolução sistemático recursivo (código RSC). Adicionalmente, os bits de paridade 2 do bloco codificado podem incluir bits de paridade para uma permuta conhecida dos dados de carga útil; esses bits de paridade podendo ser resultantes do codificador de código turbo 204 utilizando um código RSC.

[0039] O código turbo utilizado pelo codificador de código turbo 204 pode ser uma função de codificação de turbo 1/3. Dessa forma, uma entrada dos X bits (por exemplo, X bits incluídos nos M blocos de

códigos) para o codificador de código turbo 204 pode resultar em aproximadamente 3X bits como uma saída (por exemplo, aproximadamente 3C bits nos M blocos codificados, 3X+12 bits, ...). No entanto, o aparelho de comunicação sem fio 202 pode ser incapaz de enviar esses 3X bits através do canal. Dessa forma, o aparelho de comunicação sem fio 202 pode empregar a combinação de taxa para converter desses 3X bits em um número menor de bits para a transferência através do canal.

[0040] É contemplado que o codificador de código turbo 204 pode obter qualquer número de blocos de códigos como entrada. Por exemplo, um número maior de blocos de códigos pode resultar em uma sequência maior de bits sistemáticos, uma sequência maior de bits de paridade 1, e uma sequência maior de bits de paridade 2. Independentemente do tamanho de cada uma dessas sequências enviadas a partir do codificador de código turbo 204, o aparelho de comunicação sem fio 202 pode processar essa saída de acordo com o seguinte.

[0041] O aparelho de comunicação sem fio 202 pode incluir adicionalmente um separador de tipo de bit 206 que divide os bits enviados pelo codificador de código turbo 204 em coleções diferentes. O separador de tipo de bit 206 pode reconhecer um tipo de cada um dos bits enviados pelo codificador de código turbo 204; dessa forma, o separador de tipo de bit 206 pode determinar se um bit é um bit sistemático, um bit de paridade 1, ou um bit de paridade 2. Por exemplo, o separador de tipo de bit 206 pode utilizar um conhecimento a priori da operação do codificador de código turbo 204 para decifrar um tipo de

cada um dos bits; seguindo esse exemplo, o codificador de código turbo 204 pode enviar os bits sistemáticos, os bits de paridade 1 e os bits de paridade 2 em uma ordem predeterminada que pode ser conhecida pelo separador de tipo de bit 206. Dessa forma, o separador de tipo de bit 206 pode alavancar tal conhecida para identificar os bits sistemáticos, os bits de paridade 1 e os bits de paridade 2. Depois da identificação do tipo de bit, o separador de tipo de bit 206 pode coletar os bits sistemáticos em um primeiro grupo, os bits de paridade 1 em um segundo grupo e bits de paridade 2 em um terceiro grupo.

[0042] Ademais, o aparelho de comunicação sem fio 202 pode incluir um intercalador 208 que intercala os bits para transmissão. O intercalador 208 pode dispor de forma aleatória os bits que são intercalados juntos; dessa forma, Y bits registrados no intercalador 208 em uma primeira sequência podem ser enviados pelo intercalador 208 como uma segunda sequência randomizada dos Y bits, onde Y pode ser qualquer inteiro. Por exemplo, a intercalação pode proteger uma transmissão contra erros de rajada. Por meio de ilustração o intercalador 208 pode ser um Intercalador Polinomial de Permuta Quadrática (QPP); no entanto, a matéria reivindicada não está limitada. Os bits sistemáticos coletados no primeiro grupo pelo separador de tipo de bit 206 podem ser intercalados juntos pelo intercalador 208 para dispor tais bits de forma não contígua. Os bits sistemáticos intercalados na sequência randomizada podem ser denotados como um primeiro conjunto de bits para transmissão através de um canal. O intercalador 208 pode intercalar também os bits de paridade

1 montados no segundo grupo pelo separador de tipo de bit 206. Adicionalmente, o intercalador 208 pode intercalar juntos os bits de paridade 2 coletados no terceiro grupo pelo separador de tipo de bit 206. Apesar de um intercalador 208 ser apresentado, é contemplado que o aparelho de comunicação sem fio 202 pode incluir mais de um intercalador, cada um dos quais pode ser substancialmente similar ao intercalador 208 (por exemplo, um intercalador pode intercalar os bits sistemáticos enquanto um segundo intercalador pode intercalar os bits de paridade 1 e os bits de paridade 2, um primeiro intercalador pode intercalar bits sistemáticos, um segundo intercalador pode intercalar os bits de paridade 1 e um terceiro intercalador pode intercalar os bits de paridade 2,...).

[0043] O aparelho de comunicação sem fio 202 pode incluir também um entrelaçador 210 que entrelaça os bits de paridade 1 intercalados com os bits de paridade 2 intercalados. O entrelaçador 210 pode criar um segundo conjunto de bits para transmissão através do canal a partir dos bits de paridade 1 intercalados e dos bits de paridade 2 intercalados. O entrelaçador 210 organiza os bits de paridade 1 intercalados e os bits de paridade 2 intercalados de acordo com uma ordem específica; isso é, o entrelaçador 210 pode alternar entre os bits de paridade 1 intercalados e os bits de paridade 2 intercalados. Dessa forma, a saída (por exemplo, o segundo conjunto de bits para a transmissão através do canal) do entrelaçador 210 pode ser uma sequência que alterna entre um bit de paridade 1 intercalado e um bit de paridade 2 intercalado (por exemplo, cada outro bit é um bit de paridade 1, cada outro

bit é um bit de paridade 2,...). A utilização do entrelaçador 210 faz com que os bits de paridade enviados pelo codificador de código turbo 204 sejam tratados diferentemente em comparação com os bits sistemáticos enviados pelo codificador de código turbo 204.

[0044] O aparelho de comunicação sem fio 202 pode incluir adicionalmente um mapeador 212 e um transmissor 214. O mapeador 212 pode inserir ou preencher o primeiro conjunto de bits para transmissão que resulta do intercalador 208 e o segundo conjunto de bits para transmissão enviados pelo entrelaçador 210 em um armazenador circular. Por exemplo, o armazenador circular pode ser um armazenador de tamanho fixo, e o tamanho fixo pode ser diretamente relacionado com um tamanho de um bloco de códigos associado. Dessa forma, o mapeador 212 pode primeiro enrolar os bits do primeiro conjunto (por exemplo, bits sistemáticos intercalados) em torno do armazenador circular. Depois disso, o mapeador 212 pode enrolar os bits do segundo conjunto (por exemplo, bits de paridade 1 intercalados e bits de paridade 2 intercalados entrelaçados de forma alternada) em torno do armazenador circular. Apesar de o uso de um armazenador circular ser descrito, deve-se apreciar que o mapeador 212 pode empregar qualquer mapeamento de bits no primeiro conjunto e no segundo conjunto. Adicionalmente, o transmissor 214 pode, depois disso, transferir bits no armazenador circular através do canal. O transmissor 214 pode, por exemplo, transmitir os bits no armazenador circular (ou em qualquer outro mapeamento utilizado pelo mapeador 212) para um aparelho de comunicação sem fio diferente (não ilustrado).

[0045] Como mencionado, em determinada situação, especialmente sob condições de taxa de código altas, o aparelho de comunicação sem fio 202 pode ser incapaz de transmitir todos os bits dos blocos codificados para um determinado bloco de transporte. De forma apreciável, sob tais circunstâncias, alguns bits de cada bloco codificado (por exemplo, o bloco codificado 0, o bloco codificado 1, ...o bloco codificado M-1) de um bloco de transporte, que pode ser armazenado em um armazenador circular associado (por exemplo, o armazenador circular 0, o armazenador circular 1...o armazenador circular M-1) não será transmitido pelo transmissor 214. Nos casos onde todos os blocos de códigos de um bloco de transporte são idênticos em tamanho, então um número de bits que o transmissor 214 transmite a partir de cada armazenador circular pode (não precisa) ser idêntico também. No entanto, em alguns ambientes operacionais, um determinado bloco de transporte pode incluir blocos de códigos de tamanhos diferentes. De forma apreciável, a operação em tais ambientes pode levar a armazenadores circulares de diferentes tamanhos além de uma oportunidade de transmitir um número diferente de bits de um armazenador circular com relação a outro armazenador circular.

[0046] De acordo, o aparelho de comunicação sem fio 202 pode incluir adicionalmente um elemento de realização de orçamento de transporte 216 e um elemento de realização de orçamento de armazenador 218 a fim de, entre outras coisas, facilitar a combinação de taxa nos ambientes de comunicação sem fio com múltiplos tamanhos de bloco. O elemento de realização de orçamento de transporte 216 pode

obter um orçamento de transmissão definindo um número agregado de bits a serem transmitidos a partir de todos os armazenadores circulares, onde cada armazenador circular em um arranjo de armazenadores circulares pode ser mapeado para e incluir dados de um bloco codificado associado e/ou bloco de códigos d bloco de transporte. De forma apreciável, o orçamento de transmissão pode ser predefinido ou predeterminado como base nos critérios conhecidos ou especificados de antemão, ou pode ser determinado com base na descoberta ou detecção das condições existentes.

[0047] O elemento de realização de orçamento de armazenador 218 pode computar um orçamento de armazenador respectivo para cada armazenador circular no arranjo, onde um orçamento de armazenador pode definir um número de bits a partir do orçamento de transmissão total que um armazenador circular associado pode transmitir. Tipicamente, o orçamento de armazenador para um armazenador circular é proporcional ao tamanho do armazenador circular. Dessa forma, o orçamento de armazenador pode, portanto, ser baseado, além de proporcional a um tamanho de um bloco de códigos associado de um bloco de transporte determinado. De acordo com isso, o elemento de realização de orçamento de armazenador 218 pode aplicar um ou mais conjuntos de expressões recursivas a fim de computar cada orçamento de armazenador respectivo, dos quais três exemplos são fornecidos abaixo.

[0048] Antes de continuar com a discussão, deve-se compreender que as expressões, fórmulas, equações e assim por diante fornecidas aqui são exemplos destinados a fornecer uma ilustração concreta para fins de compreensão.

Portanto, qualquer exemplo desses fornecido aqui não deve necessariamente limitar as reivindicações em anexo. Adicionalmente, deve-se destacar também que as expressões ilustrativas incluídas podem utilizar a anotação a seguir:

$N_{d,i}$  = número de tons de dados para o bloco de transporte  $i$

$M_i$  = ordem de modulação para o bloco de transporte  $i$

$C_{i,j}$  = tamanho do bloco de códigos  $j$  para o bloco de transporte  $i$

$N_{i,j}$  = número de blocos de códigos de tamanho  $C_{i,j}$

$N_{tb}$  = número de blocos de transporte

$N_{cb,i}$  = número de blocos de códigos de diferentes tamanhos para o bloco de transporte  $i$

$N_{t,i}$  = número total de blocos de códigos para o bloco de transporte  $i$

$$= \sum_{j=0}^{N_{cb,i}-1} N_{i,j}$$

#### Exemplo 1

[0049] O exemplo 1 considera os casos nos quais um número diferente de bits pode ser transmitido (por exemplo, pelo transmissor 214) a partir de cada armazenador circular. O número de bits, denotado por  $K$ , transmitido a partir de um armazenador circular associado com o bloco de transporte  $i$  pode ser em uma modalidade computado de forma recursiva utilizando as equações a seguir:

$$K_{i,-1} = 0$$

$$K_{i,m} = \left[ \frac{C_{i,m}}{\sum_{j=m}^{N_{i,j}-1} C_{i,j}} \cdot \left( N_{d,i} - \frac{1}{M_i} \sum_{j=0}^{m-1} K_{i,j} \right) \right] \cdot M_i \quad \forall 0 \leq m \leq N_{i,j} - 1$$

[0050] Em uma modalidade, a fórmula recursiva pode ser aplicada aos armazenadores circulares em ordem decrescente de prioridade. Dessa forma, o elemento de realização de orçamento de armazenador pode indexar cada armazenador circular de acordo com essa ordem de prioridade. Deve-se compreender que a ordem de prioridade pode ser arbitrária ou baseada em um formato de desenho particular. Por exemplo, considera-se um exemplo com  $N_A$  blocos de códigos de tamanho  $C_a$  indexado  $\{X_0, X_1, \dots, X_{N_A-1}\}$  e  $N_B$  blocos de códigos de tamanho  $C_b$  indexados  $\{Y_0, Y_1, \dots, Y_{N_B-1}\}$ . A ordem de prioridade pode ser arbitrária, tal como  $\{X_0, Y_0, X_1, Y_1, \dots, X_{N_B-1}, Y_{N_B-1}, \dots, X_{N_A-2}, X_{N_A-1}\}$  ou  $\{X_0, X_1, \dots, X_{N_A-1}, Y_0, Y_1, \dots, Y_{N_B-1}\}$ , ou seguir um esquema predeterminado.

### Exemplo 2

[0051] O exemplo 2 considera os casos nos quais um número substancialmente idêntico de bits pode ser transmitido (por exemplo, pelo transmissor 214) a partir de cada armazenador circular substancialmente do mesmo tamanho. Esse exemplo manuseia o último tamanho de armazenador circular de uma forma diferente das outras. O número de bits transmitidos a partir dos armazenadores circulares que corresponde aos blocos de códigos de tamanho  $C_{i,m}$  para o bloco de transporte  $i$  pode ser, em uma modalidade, computado de forma recursiva utilizando as equações a seguir:

$$K_{i,-1} = 0$$

$$K_{i,m} = \left[ \frac{C_{i,m}}{\sum_{j=m}^{N_{cb,i}-1} N_{i,j} \cdot C_{i,j}} \cdot \left( N_{d,i} - \frac{1}{M_i} \sum_{j=0}^{m-1} K_{i,j} \right) \right] \cdot N_{i,m} \cdot M_i \quad \forall 0 \leq m \leq N_{cb,i} - 2$$

[0052] Para o último tamanho de armazenador circular, pode haver dois orçamentos de armazenador computados, cada um com um tamanho diferente:

$$K_{i,m}^{(1)} = \left[ \frac{1}{N_{i,m}} \cdot \left( N_{d,i} - \frac{1}{M_i} \sum_{j=0}^{m-1} K_{i,j} \right) \right] \cdot M_i \quad \forall m = N_{cb,i} - 1$$

$$K_{i,m}^{(2)} = \left[ \frac{1}{N_{i,m}} \cdot \left( N_{d,j} - \frac{1}{M_j} \sum_{j=0}^{m-1} K_{i,j} \right) \right] \cdot M_j \quad \forall m = N_{cb,i} - 1$$

[0053] Dessa forma, em uma modalidade, a fórmula recursiva pode ser aplicada a todos os armazenadores circulares de um determinado tamanho de acordo com a ordem decrescente de prioridade. Deve-se apreciar que a fórmula pode ser aplicada simultaneamente a todos os armazenadores circulares do mesmo tamanho.

### Exemplo 3

[0054] O exemplo 3 considera uma abordagem híbrida dos exemplos 1 e 2, capitalizando no fato de em determinados ambientes operacionais, apesar de os blocos de códigos para um bloco de transporte poderem diferir de tamanho, cada bloco de transporte incluirá não mais do que dois tamanhos de bloco de códigos diferentes. Portanto, em uma modalidade, desde que existam no máximo dois tamanhos de bloco, as equações simplificadas a seguir podem ser utilizadas, onde:

$N_{i,0}$  é o número de blocos de códigos de tamanho  $C_{i,0}$ ;

$N_{i,1}$  é o número de blocos de códigos de tamanho  $C_{i,1}$ .

[0055] O número de símbolos de modulação disponíveis para transmissão a partir de todos os armazenadores circulares associados com os blocos de códigos de tamanho  $C_{i,0}$  e  $C_{i,1}$  podem ser computados utilizando-se um primeiro esquema tal como:

$$L_{i,0} = \left[ \frac{N_{i,0} \cdot C_{i,0}}{(N_{i,0} \cdot C_{i,0}) + (N_{i,1} \cdot C_{i,1})} \cdot N_{d,i} \right]$$

$$L_{i,1} = \left[ \frac{N_{i,0} \cdot C_{i,0}}{(N_{i,0} \cdot C_{i,0}) + (N_{i,1} \cdot C_{i,1})} \cdot N_{d,i} \right] = N_{d,i} - L_{i,0}$$

[0056] Para cada arranjo de armazenadores circulares e/ou blocos de códigos, o número exato de símbolos de modulação transmitidos a partir do número disponível pode ser computado de acordo com um segundo esquema, por exemplo:

$$S_{i,j}^{(m)} = \left[ \frac{L_{i,j}}{N_{i,j}} \right] \quad \forall 0 \leq m \leq N_{i,j} - 2$$

$$S_{i,j}^{(m)} = L_{i,j} - \sum_{m=0}^{N_{i,j}-2} S_{i,j}^{(m)} \quad \forall m = N_{i,j} - 1$$

[0057] O acima exposto implica efetivamente que o número de símbolos de modulação transmitido a partir de todos os armazenadores circulares de um determinado tamanho seja igual, exceto, talvez, pelo último armazenador circular desse tamanho. Dessa forma, um número total de símbolos de modulação alocados por bloco de transporte (por exemplo, o orçamento de transmissão obtido ou determinado pelo elemento de realização de orçamento de transporte 216)

pode ser dividido proporcionalmente de acordo com o número de armazenadores circulares de cada tamanho (por exemplo, taxa de código similar através de todos os blocos de códigos).

[0058] Em uma modalidade, o orçamento de armazenador para um determinado armazenador circular pode ser restringido a um múltiplo inteiro de um número de bits descrito por uma ordem de modulação (por exemplo,  $M_i$ ) para o bloco de transporte  $i$ . De acordo com isso, e potencialmente acoplado com uma transmissão serial de dados, esses aspectos podem facilitar a implementação de uma arquitetura de decodificador seqüenciada sem qualquer símbolo de modulação abrangendo mais do que um bloco de códigos.

[0059] A combinação de taxa com base em armazenador circular descrita aqui pode envolver a utilização de um intercalador durante a inserção de bit por Solicitação de Repetição Automática Híbrida (HARQ) no armazenador (por exemplo, para um Acesso por Rádio Terrestre Universal Evoluído (E-UTRA)). Em contraste, as técnicas de combinação de taxa convencionais frequentemente utilizam um intercalador de canal adicional, que pode aumentar a complexidade associada com tais técnicas.

[0060] O exemplo a seguir é fornecido para fins de ilustração, e deve-se apreciar que a matéria reivindicada não está limitada ao mesmo. De acordo com esse exemplo, o aparelho de comunicação sem fio 202 pode registrar 1000 bits (por exemplo, a partir dos blocos de códigos 0 a  $M-1$ ...) no codificador de código turbo 204. O codificador de código turbo 204 pode processar os 1000 bits

e enviar aproximadamente 3000 bits. Os 3000 bits podem incluir 1000 bits sistemáticos, 1000 bits de paridade 1 e 1000 bits de paridade 2. O separador de tipo de bit 206 pode identificar um tipo de cada um dos 3000 bits e o grupo de 1000 bits sistemáticos, os 1000 bits de paridade 1 e os 1000 bits de paridade 2 em coleções separadas. Ademais, o intercalador 208 pode intercalar de forma aleatória os 1000 bits sistemáticos juntos para resultar em um primeiro conjunto de bits para transmissão. Adicionalmente, o intercalador 208 pode intercalar de forma aleatória os 1000 bits de paridade 1 juntos. Adicionalmente, o intercalador 208 pode intercalar de forma aleatória os 1000 bits de paridade 2 juntos. Depois disso, o entrelaçador 210 pode combinar os 1000 bits de paridade 1 intercalados de forma aleatória e os 1000 bits de paridade 2 intercalados de forma aleatória de forma alternada (por exemplo, bit de paridade 1, bit de paridade 2, bit de paridade 1, bit de paridade 2,...) para gerar um segundo conjunto de bits para transmissão, onde o segundo conjunto de bits inclui 2000 bits. Ademais, mapeador 212 pode inserir bits em um armazenador circular.

[0061] De acordo com um exemplo, 2000 bits podem ser transmitidos pelo aparelho de comunicação sem fio 202 (por exemplo, 2000 bits podem ser inseridos no armazenador circular). Dessa forma, o mapeador 212 pode inserir os 1000 bits sistemáticos intercalados a partir do primeiro conjunto no armazenador circular (por exemplo, mapeador 212 pode iniciar em um local particular do armazenador circular e adicionar no sentido horário (ou anti-horário) a sequência dos 1000 bits sistemáticos

intercalados, ...). Adicionalmente, o mapeador 212 pode inserir os primeiros 1000 bits a partir dos 2000 bits incluídos no segundo conjunto no armazenador circular (por exemplo, o mapeador 212 pode continuar a adicionar a sequência de 1000 bits de paridade ao armazenador circular de forma similar a partir de uma extremidade da sequência de bits sistemáticos intercalados,...); dessa forma, os restantes 1000 bits não precisam ser inseridos no armazenador circular pelo mapeador 212 (por exemplo, visto que o armazenador circular pode estar cheio). Adicionalmente, o transmissor 214 pode enviar os 2000 bits incluídos no armazenador circular através do canal. Pela utilização do sistema 200, os 1000 bits sistemáticos podem todos ser transferidos pelo transmissor 214 visto que os bits sistemáticos podem ser preferencialmente tratados em comparação com os bits de paridade (por exemplo, bits sistemáticos podem ser considerados mais importantes do que os bits de paridade). Ademais 500 bits de paridade 1 e 500 bits de paridade 2 podem ser transferidos com os recursos restantes (por exemplo, ponderação igual pode ser fornecida para ambos os bits de paridade 1 e bits de paridade 2, ...). Apesar de o acima exposto descrever a utilização de ponderação igual para os bits de paridade 1 e os bits de paridade 2, deve-se apreciar que qualquer ponderação desigual entre os bits de paridade 1 e os bits de paridade 2 pode ser empregada.

[0062] De acordo com um exemplo, considera-se um bloco de transporte segmentado em 2 blocos de códigos (por exemplo,  $M = 2$ ). Adicionalmente, considera-se que um orçamento de transporte seja definido como 200 bits. Isso

implica que apenas 200 bits do bloco de transporte podem ser transmitidos através do canal a partir de 2 armazenadores circulares associados. Se todos os blocos de códigos para o bloco de transporte tiverem o mesmo tamanho, então, por exemplo, os primeiros 100 bits de cada um dos 2 armazenadores circulares podem ser transmitidos. No entanto, se os blocos de códigos diferirem de tamanho, digamos, o primeiro bloco de códigos for o dobro do segundo bloco de códigos, então o primeiro armazenador circular pode ter o dobro do tamanho do segundo armazenador circular e, adicionalmente, o orçamento de armazenador para o primeiro armazenador circular pode ser o dobro do orçamento de armazenador do segundo armazenador circular. Dessa forma, o orçamento de armazenador pode ser proporcional ao tamanho de um armazenador circular (e/ou um tamanho do bloco de códigos associado ou bloco codificado). Dessa forma, o orçamento de armazenador para o primeiro armazenador circular pode ser determinado como 133, e o orçamento de armazenador para o segundo armazenador circular pode ser determinado como 67, visto que  $133 + 67 = 200$  e 133 é aproximadamente o dobro de 67.

[0063] Deve-se apreciar adicionalmente que os orçamentos de armazenador podem ser adicionalmente baseados na ordem de modulação ( $M_i$ ) para o bloco de transporte associado. Em particular, os orçamentos de armazenador podem ser restritos a serem um múltiplo inteiro da ordem de modulação. Geralmente, a ordem de modulação será configurada com base em determinadas características operacionais, tal como QPSK, (por exemplo,  $M_i=2$ ), 16-QAM (por exemplo,  $M_i=4$ ), 64-QAM (por exemplo,  $M_i=6$ ), e assim

por diante. Independentemente da ordem de modulação em particular, o orçamento de armazenador pode ser um múltiplo inteiro da ordem de modulação. Portanto, a partir do exemplo acima, considerando-se que a ordem de modulação seja igual a 4, então, ao invés de se configurar os orçamentos de armazenador para os dois armazenadores circulares para 133 e 67, respectivamente, esses orçamentos de armazenador podem ser configurados para, por exemplo, 132 e 68, visto que esses dois últimos valores são múltiplos inteiros de 4 e os valores reais são ainda proporcionais aos respectivos tamanhos de armazenador.

[0064] Ademais, o sistema 200 suporta o envio de múltiplos blocos de transporte. De acordo, se múltiplos blocos de transporte estiverem presentes, a combinação de taxa pode ser feita de acordo com o bloco de transporte.

[0065] Com referência à figura 3, é ilustrado um exemplo esquemático 300 para o emprego de um algoritmo de combinação de taxa com base em armazenador circular. Em 302, um bloco de transporte pode ser registrado. O bloco de transporte pode ser segmentado em M blocos de códigos (por exemplo, bloco de códigos 0 304, bloco de códigos 1 306, ..., bloco de códigos M-1 308), onde M pode ser qualquer inteiro. Os M blocos de códigos podem ser registrados no codificador turbo 310 para resultar em M blocos codificados (por exemplo, bloco codificado 0 312, bloco codificado 1 314, ..., bloco codificado M-1 316). Cada um dos blocos codificados 312-316 pode ser gerado como uma função de um bloco respectivo dentre os blocos de códigos 304-308. Cada um dos blocos codificados 312-316 resultante do codificador turbo 310 pode incluir bits sistemáticos, bits de paridade

1, e bits de paridade 2. De acordo, o bloco codificado 0 312 pode incluir bits sistemáticos 0 318, bits de paridade 1 320 e bits de paridade 2 322, o bloco codificado 1 314 pode incluir os bits sistemáticos 324, os bits de paridade 1 326 e os bits de paridade 2 328, ..., e o bloco codificado M-1 316 pode incluir os bits sistemáticos M-1 330, os bits de paridade 1 M-1 332 e os bits de paridade 2 M-1 334.

[0066] Depois disso, cada tipo de bit pode ser identificado e agrupado. Dessa forma, os bits sistemáticos 0 318, os bits sistemáticos 1 324, ..., os bits sistemáticos M-1 330 podem ser reconhecidos como bits sistemáticos e montados em um primeiro grupo. Os bits de paridade 1 0 320, os bits de paridade 1 1 326, ..., os bits de paridade 1 M-1 332 podem ser identificados como os bits de paridade 1 e coletados em um segundo grupo. Ademais, os bits de paridade 2 0 322, os bits de paridade 2 1 328, ..., e os bits de paridade 2 M-1 334 podem ser reconhecidos como bits de paridade 2 e montados em um terceiro grupo.

[0067] Os bits sistemáticos 318, 324 e 330 podem ser registrados em um intercalador 336 para randomizar uma sequência do mesmo. Adicionalmente, os bits de paridade 1 320, 326 e 332 podem ser registrados em um intercalador 338 para randomizar uma sequência do mesmo. Ademais, os bits de paridade 3 322, 328, e 334 podem ser registrados em um intercalador 340 para randomizar uma sequência do mesmo. Como ilustrado, intercaladores separados 336, 338 e 340 podem ser utilizados para bits sistemáticos 318, 324 e 330, os bits de paridade 1 320, 326 e 332 e os bits de paridade 2 322, 328 e 334. De acordo com outra ilustração (não ilustrada), um intercalador comum

pode ser empregado para bits sistemáticos 318, 324 e 330, bits de paridade 1 320, 326 e 332 e bits de paridade 2 322, 328, e 334. De acordo com um exemplo adicional, o intercalador 336 pode intercalar os bits sistemáticos 318, 324 e 330, enquanto um intercalador diferente (não ilustrado) pode intercalar os bits de paridade 1 320, 326 e 332 juntos e pode intercalar os bits de paridade 2 332, 328 e 334 juntos (por exemplo, a intercalação dos bits de paridade 1 e os bits de paridade 2 pode ser separada uma da outra).

[0068] A saída do intercalador 336 pode ser a sequência randomizada dos bits sistemáticos 342. Ademais, a saída dos intercaladores 338 e 340 podem ser entrelaçadas juntas de forma alternada para resultar em uma sequência de bits de paridade 1 e paridade 2 344. A sequência de bits sistemáticos 342 e a sequência de bits de paridade 1 e 2 344 podem, depois disso, ser inseridas em um armazenador circular 346. Por exemplo, a sequência de bits sistemáticos 342 pode ser primeiramente inserida no armazenador circular 346, e a sequência de bits de paridade 1 e 2 344 pode, depois disso, ser inserida no armazenador circular 346 utilizando qualquer espaço restante. Dessa forma, o enchimento do armazenador circular 0 346 pode começar em um local particular com a sequência dos bits sistemáticos 342 e prosseguir no sentido horário (ou anti-horário) para preencher uma primeira seção 348 do armazenador circular 346. Se a sequência de bits sistemáticos 342 for capaz de ser inserida completamente no armazenador circular 346, então a sequência de bits de paridade 1 e 2 344 pode começar a ser inserida nas seções restantes 350 e 352 do

armazenador circular 346. Apesar de ilustrado como sendo separadas uma da outra, é contemplado que as seções 350 e 352 podem ser substancialmente similares uma à outra e/ou podem ser combinadas em uma seção comum (não ilustrada) do armazenador circular 346. A sequência dos bits de paridade 1 e 2 344 podem continuar a ser inseridas em torno do armazenador circular 346 até que o final de tal sequência 344 seja alcançado ou o armazenador 346 não tenha mais espaço disponível restante.

[0069] De forma apreciável, o procedimento acima ou um procedimento similar pode ser empregado para preencher cada armazenador circular, um para cada bloco de códigos no bloco de transporte 302. Dessa forma, ao passo que o armazenador circular 0 346 corresponde aos dados do bloco de códigos 9 304 e/ou o bloco codificado 0 312, o armazenador circular M-1 358 pode corresponder ao bloco de códigos M-1 308 e/ou ao bloco codificado M-1 316 e inclui partes constituintes similares e informação preenchida de forma similar à descrita com relação ao armazenador circular 0 346.

[0070] Quando os dados são transmitidos a partir dos armazenadores circulares através do canal, cada armazenador circular transmite bits de um ponto de partida. Aqui, esse ponto de partida é denotado pela referência numérica 354 para o armazenador circular 0 346 e pela referência numérica 360 para o armazenador circular M-1 358, que pode ser determinado com base na versão de redundância (RV) que é utilizada. De forma ideal, todos os bits incluídos em todos os armazenadores circulares serão transmitidos através do canal, no entanto, quando apenas

uma parte dos dados do bloco de transporte 302 pode ser transmitida através do canal, o ponto final pode ser computado para cada armazenador circular com base no ponto de partida do armazenador circular particular e um orçamento de armazenador que define um número de bits que o armazenador em particular pode transmitir. Os pontos finais são apresentados como pontos finais 356 para o armazenador circular 0 346 e o ponto final 362 para o armazenador circular M-1 358.

[0071] Devido à segmentação do bloco de códigos, onde os blocos de códigos do bloco de transporte 302 podem ter tamanhos diferentes, os pontos finais para diferentes armazenadores circulares podem diferir também. Em particular, em uma modalidade, o ponto final de um armazenador circular pode ser determinado pelo desvio do ponto de partida com o orçamento de armazenador, onde o orçamento de armazenador pode ser proporcional a um tamanho de um bloco de códigos associado. Dessa forma, por exemplo, se o bloco de códigos 0 304 tiver um tamanho diferente do bloco de códigos M-1 308, então o armazenador circular 0 346 pode ter um tamanho diferente do armazenador circular M-1 358, e os orçamentos de armazenador respectivos (e, portanto, os pontos finais) também podem diferir. Tipicamente, os orçamentos de armazenado respectivos diferirão em proporção ao tamanho do armazenador circular associado (ou bloco de códigos/bloco codificado).

[0072] Com referência às figuras de 4 a 7, as metodologias referentes à realização da combinação de taxa com base no armazenador circular em um ambiente de comunicação sem fio são ilustradas. Enquanto, para fins de

simplicidade de explicação, as metodologias são ilustradas e descritas como uma série de atos, deve-se compreender e apreciar que as metodologias não estão limitadas pelas ordens dos atos visto que alguns atos podem, de acordo com uma ou mais modalidades, ocorrer em diferentes ordens e/ou simultaneamente com outros atos a partir do que foi ilustrado e descrito aqui. Por exemplo, os versados na técnica compreenderão e apreciarão que uma metodologia pode ser alternativamente representada como uma série de estados ou eventos inter-relacionados, tal como em um diagrama de estado. Ademais, nem todos os atos ilustrados podem ser necessários para se implementar uma metodologia de acordo com uma ou mais modalidades.

[0073] Com referência à figura 4, é ilustrada uma metodologia 400 que facilita a combinação de taxa em um ambiente de comunicação sem fio. Em 402, os bits sistemáticos, os bits de paridade 1, e os bits de paridade 2 de um codificador (por exemplo, codificador turbo, ...) podem ser separados em grupos distintos. Por exemplo, um bloco de transporte pode ser dividido em uma pluralidade de blocos de códigos. Um código turbo pode ser aplicado a cada um dentre a pluralidade de blocos de códigos para resultar em uma pluralidade de blocos codificados. Os blocos codificados enviados pelo código turbo podem incluir, cada um, bits sistemáticos, bits de paridade 1, e bits de paridade 2. Ademais, cada um desses tipos de bit pode ser reconhecido para permitir que os bits sejam separados em grupos distintos. Em 404, os bits sistemáticos, os bits de paridade 1 e os bits de paridade 2 podem ser intercalados dentro de grupos distintos respectivos. Os bits

sistemáticos podem ser intercalados juntos para randomizar uma ordenação dos bits sistemáticos, os bits de paridade 1 podem ser intercalados juntos para randomizar uma ordenação dos bits de paridade 1, e os bits de paridade 2 podem ser intercalados juntos para randomizar uma ordenação dos bits de paridade 2; dessa forma, três ordenações randomizadas podem resultar (por exemplo, cada uma para os bits sistemáticos, os bits de paridade 1 e os bits de paridade 2). Em 406, os bits de paridade 1 intercalados podem ser entrelaçados com os bits de paridade 2 intercalados. Por exemplo, a ordenação randomizada dos bits de paridade 1 e a ordenação randomizada dos bits de paridade 2 podem ser combinadas de forma alternada onde cada bit na saída intercalada alterna entre sendo um bit de paridade 1 ou um bit de paridade 2. De acordo com outra ilustração, qualquer padrão predefinido diferente pode ser utilizado para combinar a ordenação randomizada dos bits de paridade 1 com a ordenação randomizada dos bits de paridade 2. Em 408, os bits sistemáticos intercalados podem ser inseridos em um armazenador circular seguido pelos bits de paridade 1 e os bits de paridade 2 entrelaçados e intercalados. Dessa forma, os bits sistemáticos intercalados podem ser preferivelmente selecionados para inclusão no armazenador circular. Ademais, depois de todos os bits sistemáticos terem sido inseridos no armazenador circular, os bits de paridade 1 e os bits de paridade 2 entrelaçados podem ser incorporados no armazenador circular utilizando quaisquer recursos disponíveis. Em 410, os bits inseridos no armazenador circular podem ser transmitidos. Dessa forma, por exemplo, se todos os bits sistemáticos e uma parte dos

bits de paridade 1 e 2 encaixarem no armazenador circular, esses bits incorporados podem ser transferidos através de um canal enquanto o restante dos bits de paridade 1 e 2 podem ser impedidos de serem enviados; no entanto, se todos os bits sistemáticos além de todos os bits de paridade 1 e 2 encaixarem no armazenador circular, então todos os bits podem ser enviados através do canal.

[0074] Voltando-se para a figura 5, é ilustrada uma metodologia 500 que facilita o tratamento preferencial de bits sistemáticos com relação à combinação de taxa com base em armazenador circular em um ambiente de comunicação sem fio. Em 502, os bits sistemáticos de pelo menos um bloco codificado enviados por um codificador (por exemplo, um codificador turbo, ...) podem ser identificados. Por exemplo, os bits sistemáticos podem ser reconhecidos utilizando-se um conhecimento a priori de um formato para os blocos codificados resultantes do codificador. Em 504, os bits sistemáticos identificados podem ser coletados. Em 506, os bits sistemáticos coletados podem ser intercalados juntos para gerar uma sequência randomizada de bits sistemáticos. Em 508, a sequência randomizada de bits sistemáticos pode ser transmitida antes da transmissão de bits de paridade incluídos em pelo menos um bloco codificado enviado pelo codificador. Por exemplo, os bits de paridade podem incluir os bits de paridade 1 e os bits de paridade 2. A sequência randomizada dos bits sistemáticos, por exemplo, pode ser inserida em um armazenador circular antes da inclusão dos bits de paridade.

[0075] Agora com referência à figura 6, é ilustrada uma metodologia 600 que facilita o emprego de uma combinação de taxa utilizando um armazenador circular em um ambiente de comunicação sem fio. Em 602, os bits de paridade 1 e os bits de paridade 2 podem ser identificados a partir de pelo menos um bloco codificado enviado por um codificador (por exemplo, um codificador turbo, ...). Os bits de paridade 1 e os bits de paridade 2, por exemplo, podem ser reconhecidos utilizando um conhecimento anterior de um formato para os blocos codificados gerados a partir do codificador. Em 604, os bits de paridade 1 identificados podem ser montados em uma primeira coleção e os bits de paridade 2 identificados podem ser montados em uma segunda coleção. Em 606, os bits de paridade 1 coletados podem ser intercalados juntos para gerar uma sequência randomizada de bits de paridade 1. Em 608, os bits de paridade 2 coletados podem ser intercalados juntos para gerar uma sequência randomizada de bits de paridade 2. Em 610, a sequência randomizada de bits de paridade 1 e a sequência randomizada de bits de paridade 2 podem ser entrelaçadas de forma alternada para resultar em uma sequência entrelaçada de bits de paridade 1 e bits de paridade 2. De acordo com outra ilustração, qualquer padrão predefinido diferente pode ser utilizado para combinar a sequência randomizada dos bits de paridade 1 com a sequência randomizada dos bits de paridade 2. Em 612, pelo menos uma parte da sequência entrelaçada dos bits de paridade 1 e 2 pode ser transmitida utilizando recursos disponíveis subsequentes para transferir de toda uma sequência dos bits sistemáticos

incluídos em pelo menos um bloco codificado enviado pelo codificador.

[0076] Será apreciado que, de acordo com um ou mais aspectos descritos aqui, inferências podem ser feitas no sentido de se empregar a combinação de taxa com base em armazenador circular. Como utilizado aqui, o termo "inferir" ou "inferência" se refere geralmente ao processo de racionalização sobre ou inferência de estados do sistema, ambiente e/ou usuário a partir de um conjunto de observações como capturados através de eventos e/ou dados. A inferência pode ser empregada para identificar um contexto ou ação específico, ou pode gerar uma distribuição de probabilidades através dos estados, por exemplo. A inferência pode ser probabilística - isso é, a computação de uma distribuição de probabilidade através dos estados de interesse com base em uma consideração de dados e eventos. A inferência também pode se referir a técnicas empregadas para a composição de eventos de nível mais alto a partir de um conjunto de eventos e/ou dados. Tal inferência resulta na construção de novos eventos ou ações a partir de um conjunto de dados de eventos observados e/ou eventos armazenados, caso ou não os eventos estejam correlacionados em proximidade temporal, e se os eventos e dados são provenientes de uma ou várias fontes de evento e dados.

[0077] De acordo com um exemplo, um dos métodos apresentados acima pode incluir a realização de inferências pertencentes à decifração de um tipo de bit (por exemplo, sistemáticos, de paridade 1, de paridade 2), Por meio de ilustração adicional, uma inferência pode ser feita relacionada com a determinação de como se combinar

(por exemplo, entrelaçar) os bits de paridade 1 e os bits de paridade 2; como tal, ponderações diferentes para cada um dos tipos de bit de paridade podem ser designados com base em tal inferência, por exemplo. Será apreciado que os exemplos a seguir são ilustrativos por natureza e não devem limitar o número de inferências que podem ser realizadas ou a forma na qual tais inferências são realizadas em conjunto com várias modalidades e/ou métodos descritos aqui.

[0078] Agora voltando-se à figura 7, é ilustrada uma metodologia 700 para facilitar a combinação de taxa de um ambiente de comunicação sem fio com múltiplos tamanhos de bloco de códigos para um bloco de transporte. Em 702, cada armazenador circular em um arranjo de armazenadores circulares pode ser preenchido com bits de um bloco de códigos associado a partir de um conjunto de blocos de códigos constituindo um bloco de transporte. Dessa forma, um determinado bloco de transporte pode ser segmentado em M blocos de códigos, onde M pode ser substancialmente qualquer inteiro. Para cada um desses blocos de códigos, um bloco de códigos codificado associado pode existir para armazenar os dados codificados a partir do bloco de códigos, assim como um armazenador circular associado para o armazenamento de dados a partir do bloco de códigos codificado.

[0079] Em 704, um orçamento de transmissão definindo um número agregado de bits a serem transmitidos a partir de todos os armazenadores circulares no arranjo pode ser obtido. De forma apreciável, visto que o arranjo de armazenadores circulares inclui um armazenador circular para cada bloco de códigos no bloco de transporte, o

orçamento de transporte descreve efetivamente o número de bits que pode ser transmitido a partir de um bloco de transporte em particular.

[0080] A seguir na descrição, em 706, um orçamento de armazenador respectivo definindo um número de bits a serem transmitidos a partir de um armazenador circular associado para cada armazenador circular no arranjo pode ser computado, onde o orçamento de armazenador respectivo é responsável por uma fração do orçamento de transmissão e é proporcional a um tamanho do armazenador circular associado. De forma apreciável, a soma de todos os orçamentos de armazenador para um bloco de transporte pode ser substancialmente igual ao armazenador de transporte, apesar de cada orçamento de armazenador respectivo poder diferir de tamanho (por exemplo, o número de bits a ser transmitido) X outros com base no tamanho relativo.

[0081] Em 708, o orçamento de armazenador respectivo pode ser restrito a ser um múltiplo inteiro de um número de bits descrito por uma ordem de modulação para o bloco de transporte. De outra forma, o número de bits descrito pelo orçamento de armazenador pode ser o múltiplo da ordem de modulação. Tipicamente, a ordem de modulação será de 2, 4, 6 ou similar, de forma que (apesar de não ser exigido e outros exemplos poderem existir), o orçamento de armazenador definirá um valor que é um múltiplo inteiro de 2, 4, 6 ou qualquer ordem de modulação é empregada para o bloco de transporte.

[0082] A figura 8 é uma ilustração de um terminal de acesso 800 que facilita a realização da combinação de taxa com base em armazenador circular em um

sistema de comunicação sem fio. O terminal de acesso 800 compreende um receptor 802 que recebe um sinal, por exemplo, de uma antena receptora (não ilustrada), e realiza ações típicas no mesmo (por exemplo, filtra, amplifica, converte descendentemente, etc.) o sinal recebido e digitaliza o sinal condicionado para obter amostras. O receptor 802 pode ser, por exemplo, um receptor MMSE, e pode compreender um demodulador 804 que pode demodular os símbolos recebidos e fornecer os mesmos para um processador 806 para estimativa de canal. O processador 806 pode ser um processador dedicado à análise de informação recebida pelo receptor 802 e/ou geração de informação para a transmissão por um transmissor 816, um processador de controla um ou mais componentes do terminal de acesso 800 e/ou um processador que analisa a informação recebida pelo receptor 802, gera informação para transmissão pelo transmissor 816 e controla um ou mais componentes do terminal de acesso 800.

[0083] O terminal de acesso 800 pode compreender adicionalmente a memória 808 que é acoplada de forma operacional ao processador 806 e que pode armazenar dados a serem transmitidos, dados recebidos, e qualquer outra informação adequada relacionada com a realização de várias ações e funções apresentadas aqui. A memória 808 pode armazenar adicionalmente protocolos e/ou algoritmos associados com a combinação de taxa com base em armazenador circular.

[0084] Será apreciado que o armazenador de dados (por exemplo, memória 808) descrito aqui pode ser uma memória volátil ou memória não volátil, ou pode incluir

ambas a memória volátil e não volátil. Por meio de ilustração, e não de limitação, a memória não volátil pode incluir a memória de leitura apenas (ROM), ROM programável (PROM), ROM eletricamente programável (EPROM), PROM eletricamente eliminável (EEPROM), ou memória flash. A memória volátil pode incluir memória de acesso randômico (RAM), que age como memória de armazenamento temporário externa. Por meio de ilustração e não de limitação, RAM está disponível em muitas formas tal como RAM sincronizada (SRAM), RAM dinâmica (DRAM), DRAM sincronizada (SDRAM), SDRAM de taxa de dados dupla (DDR SDRAM), SDRAM melhorada (SDRAM), DRAM Synchlink (SLDRAM), e RAM Rambus direta (DRRAM). A memória 808 dos presentes sistemas e métodos devem compreender, sem serem limitadas a esses e outros tipos adequados de memória.

[0085] O receptor 802 é adicionalmente operacionalmente acoplado para transportar o elemento de realização de orçamento de transporte 810 e/ou o elemento de realização de orçamento de armazenamento 812, que pode ser substancialmente similar ao elemento de realização de orçamento de transporte 216 da figura 2 e ao elemento de realização de orçamento de armazenador 218 da figura 2. Ademais, apesar de não ilustrado, é contemplado que o terminal de acesso 800 pode incluir um codificador de código turbo substancialmente similar ao codificador de código turbo 204 da figura 2, um separador de tipo de bit substancialmente similar ao separador de tipo de bit 206 da figura 2, um intercalador substancialmente similar ao intercalador 208 da figura 2, um entrelaçador substancialmente similar ao entrelaçador 210 da figura 2,

e/ou um mapeador substancialmente similar ao mapeador 212 da figura 2. O elemento de realização de orçamento de transporte 810 determina, infere, detecta, recebe ou de outra forma obtém um orçamento de transporte que pode descrever um número de bits para transmitir para um determinado bloco de transporte. Dessa forma, armazenadores circulares, um para cada bloco de códigos do bloco de transporte devem se conformar coletivamente ao orçamento de transporte com relação ao número total ou agregado de bits transmitidos.

[0086] No entanto, visto que os códigos de bloco podem ter tamanhos diferentes, cada armazenador circular pode diferir de tamanho também e pode adicionalmente ser responsável por uma proporção diferente do orçamento de transporte total. De acordo, o elemento de realização de orçamento de armazenador 812 pode computar um orçamento de armazenador que pode descrever um número de bits do orçamento de transporte total que pode ser alocado para um armazenador circular em particular. O elemento de realização de orçamento de armazenador 812 pode calcular um orçamento de armazenador para cada armazenador circular, onde cada orçamento de armazenador pode ser proporcional a um tamanho do armazenador circular associado (ou bloco de códigos associado ou bloco codificado associado).

[0087] O terminal de acesso 800 compreende adicionalmente um modulador 814 e um transmissor 816 que transmite o sinal para, por exemplo, uma estação base, outro terminal de acesso, etc. Apesar de apresentado como sendo separado do processador 806, deve-se apreciar que o elemento de realização de orçamento de transporte 810, o

elemento de realização de orçamento de armazenador 812 e/ou o modulador 814 podem ser parte do processador 806 ou de um número de processadores (não ilustrados).

[0088] A figura 9 é uma ilustração de um sistema 900 que facilita a realização de combinação de taxa com base em armazenador circular em um ambiente de comunicação sem fio com múltiplos tamanhos de código de bloco. O sistema 900 compreende uma estação base 902 (por exemplo, ponto de acesso, ...) com um receptor 910 que recebe sinais de um ou mais terminais de acesso 904 através de uma pluralidade de antenas receptoras 906 e um transmissor 924 que transmite para um ou mais terminais de acesos 904 através de uma antena transmissora 908. O receptor 910 pode receber informação das antenas receptoras 906 e é operacionalmente associado com um demodulador 912 que demodula a informação recebida. Os símbolos demodulados são analisados por um processador 914 que pode ser similar ao processador descrito acima com relação à figura 8, e que é acoplado a uma memória 916 que armazena dados a serem transmitidos para ou recebidos dos terminais de acesso 904 (ou uma estação base diferente (não ilustrada)) e/ou qualquer outra informação adequada relacionada com a realização de várias ações e funções apresentadas aqui. O processador 914 é adicionalmente acoplado a um elemento de realização de orçamento de armazenador 918 que pode computar um número de bits para transmitir a partir de um armazenador circular, onde o número é proporcional a um tamanho do armazenador ou um código de bloco associado. Por exemplo, o orçamento de armazenador pode ser maior para armazenadores circulares associados com blocos de códigos

maiores do que para armazenadores circulares associados com blocos de códigos menores de um bloco de transporte determinado.

[0089] O elemento de realização de orçamento de armazenador 918 pode ser operacionalmente acoplado a um elemento de realização de orçamento de transporte 920 que pode determinar ou receber um número agregado de bits que pode ser transmitido para um bloco de transporte. Por exemplo, o elemento de realização de orçamento de transporte 920 pode obter a alocação de transmissão de agregado para um bloco de transporte, do qual uma parte pode ser alocada para cada armazenador circular. Ademais, apesar de não ser ilustrado, é contemplado que a estação base 902 pode incluir um codificador de código turbo substancialmente similar ao codificador de código turbo 204 da figura 2, um separador de tipo de bit substancialmente similar ao separador de tipo de bit 206 da figura 2, um intercalador substancialmente similar ao intercalador 208 da figura 2, um entrelaçador substancialmente similar ao entrelaçador 210 da figura 2, e/ou um mapeador substancialmente similar ao mapeador 212 da figura 2. O elemento de realização de orçamento de armazenador 918 e o elemento de realização de orçamento de transporte 920 (e/ou um mapeador (não ilustrado)) podem fornecer dados a serem transmitidos para um modulador 922. Por exemplo, os dados a serem transmitidos podem ser bits enrolados em torno de um armazenador circular que são alocados de acordo com o elemento de realização de orçamento de armazenador 918 e elemento de realização de orçamento de transporte 920. O modulador 922 pode multiplexar o quadro para transmissão

por um transmissor 924 através da antena 908 para os terminais de acesso 904. Apesar de ser apresentado como sendo separado do processador 914, deve-se apreciar que o intercalador 918, o entrelaçador 920 e/ou o modulador 922 podem ser parte do processador 914 ou um número de processadores (não ilustrados).

[0090] A figura 10 ilustra um sistema de comunicação sem fio ilustrativo 1000. O sistema de comunicação sem fio 1000 apresenta uma estação base 1010 e um terminal de acesso 1050 para fins de brevidade. No entanto, deve-se apreciar que o sistema 1000 pode incluir mais de uma estação base e/ou mais de um terminal de acesso, onde estações base e/ou terminais de acesso adicionais podem ser substancialmente similares ou diferentes da estação base 1010 e do terminal de acesso 1050 ilustrativos descritos abaixo. Adicionalmente, deve-se apreciar que a estação base 1010 e/ou o terminal de acesso 1050 podem empregar os sistemas (figuras 1 e 2, 8 e 9 e 11) e/ou métodos (figuras de 4 a 7) descritos aqui para facilitar a comunicação sem fio entre os mesmos.

[0091] Na estação base 1010, os dados de tráfego para várias sequências de dados são fornecidos a partir de uma fonte de dados 1012 para um processador de dados TX 1014. De acordo com um exemplo, cada sequência de dados pode ser transmitida através de uma antena respectiva. O processador de dados TX 1014 formata, codifica e intercala a sequência de dados de tráfego com base em um esquema de codificação em particular selecionado para essa sequência de dados para fornecer dados codificados.

[0092] Os dados codificados para cada sequência de dados podem ser multiplexados com dados piloto utilizando técnicas OFDM. Adicionalmente ou alternativamente, os símbolos piloto podem ser FDM, TDM ou CDM. Os dados piloto são tipicamente um padrão de dados conhecido que é processado de forma conhecida e podem ser utilizados no terminal de acesso 1050 para estimar a resposta de canal. Os dados codificados e piloto multiplexados para cada sequência de dados podem ser modulados (por exemplo, mapeados em símbolo) com base em um esquema de modulação particular (por exemplo, BPSK, QPSK, M-PSK, M-QAM, etc.) selecionado para essa sequência de dados para fornecer símbolos e modulação. A taxa de dados, codificação e modulação para cada sequência de dados pode ser determinada pelas instruções realizadas ou fornecidas pelo processador 1030.

[0093] Os símbolos de modulação para as sequências de dados podem ser fornecidos para um processador MIMO TX 1020, que pode processar adicionalmente os símbolos de modulação (por exemplo, para OFDM). O processador MIMO TX 1020 então fornece  $N_T$  sequências de símbolo de modulação para  $N_T$  transmissores (TMTR) 1022a a 1022t. Em várias modalidades, o processador MIMO TX 1020 aplica as ponderações de formação de feixe aos símbolos das sequências de dados e à antena a partir da qual o símbolo está sendo transmitido.

[0094] Cada transmissor 1022 recebe e processa uma sequência de símbolo respectiva para fornecer um ou mais sinais analógicos, e condiciona adicionalmente (por exemplo, amplifica, filtra e converte ascendentemente) os

sinais analógicos para fornecer um sinal modulado adequado para transmissão através do canal MIMO. Adicionalmente,  $N_T$  sinais modulados dos transmissores 1022a a 1022t são transmitidos a partir de  $N_T$  antenas 1024a a 1024t, respectivamente.

[0095] No terminal de acesso 1050, os sinais modulados transmitidos são recebidos por  $N_R$  antenas 1052a a 1052r e o sinal recebido de cada antena 1052 é fornecido para um receptor respectivo (RCVR) 1054a a 1054r. Cada receptor 1054 condiciona (por exemplo, filtra, amplifica e converte descendentemente) um sinal respectivo, digitaliza o sinal condicionado para fornecer amostras, e adicionalmente processa as amostras para fornecer uma sequência de símbolo "recebida" correspondente.

[0096] Um processador de dados RX 1060 pode receber e processar as  $N_R$  sequências de símbolo recebidas dos  $N_R$  receptores 1054 com base em uma técnica de processamento de receptor particular para fornecer  $N_T$  sequências de símbolo "detectadas". O processador de dados RX 1060 pode demodular, desintercalar, e decodificar cada sequência de símbolo detectada para recuperar os dados de tráfego para a sequência de dados. O processamento realizado pelo processador de dados RX 1060 é complementar ao realizado pelo processador MIMO TX 1020 e o processador de dados TX 1014 na estação base 1010.

[0097] Um processador 1070 pode determinar periodicamente qual tecnologia disponível utilizar como discutido acima. Adicionalmente, o processador 1070 pode formular uma mensagem de link reverso compreendendo uma

parte de índice de matriz e uma parte de valor de classificação

[0098] A mensagem de link reverso pode compreender vários tipos de informação referente ao link de comunicação e/ou à sequência de dados recebida. A mensagem de link reverso pode ser processada por um processador de dados TX 1038, que também recebe dados de tráfego para várias sequências de dados a partir de uma fonte de dados 1036, modulados por um modulador 1080, condicionados pelos transmissores 1054a a 1054r, e transmitidos de volta para a estação base 1010.

[0099] Na estação base 1010, os sinais modulados do terminal de acesso 1050 são recebidos pelas antenas 1024, condicionados pelos receptores 1022, demodulados por um demodulador 1040, e processados por um processador de dados RX 1042 para extrair a mensagem de link reverso transmitida pelo terminal de acesso 1050. Adicionalmente, o processador 1030 pode processar a mensagem extraída para determinar qual matriz de pré-codificação utilizar para determinar as ponderações de formação de feixe.

[00100] Os processadores 1030 e 1070 podem direcionar (por exemplo, controlar, coordenar, gerenciar, etc.) a operação na estação base 1010 e no terminal de acesso 1050, respectivamente. Os processadores respectivos 1030 e 1070 podem ser associados com a memória 1032 e 1072 que armazena os códigos de programa e dados. Os processadores 1030 e 1070 também podem realizar as computações para derivar as estimativas de frequência e resposta a impulso para uplink e downlink, respectivamente.

[00101] Em um aspecto, os canais lógicos são classificados em Canais de Controle e Canais de Tráfego. Os Canais de Controle Lógicos podem incluir um Canal de Controle de Difusão (BCCH), que é um canal DL para difusão da informação de controle de sistema. Adicionalmente, os Canais de Controle Lógicos podem incluir um Canal de Controle de Paging (PCCH), que é um canal DL que transfere informação de paging. Ademais, os Canais de Controle Lógicos podem compreender um Canal de Controle de Multidifusão (MCCH), que é um canal DL de ponto para múltiplos pontos utilizado para a transmissão de informação de programação e controle do Serviço de Difusão e Multidifusão de Multimídia (MBMS) para um ou vários MTCHs. Geralmente, depois do estabelecimento de uma conexão de Controle de Recurso de Rádio (RRC), esse canal só é utilizado pelos UEs que recebem MBMS (por exemplo, antigo MCCH+MSCH). Adicionalmente, os Canais de Controle Lógicos podem incluir um Canal de Controle Dedicado (DCCH), que é um canal bidirecional ponto a ponto que transmite informação de controle dedicada e pode ser utilizado pelos UEs possuindo uma conexão RRC. Em um aspecto, os Canais de Tráfego Lógicos podem compreender um Canal de Tráfego Dedicado (DTCH), que é um canal bidirecional de ponto a ponto dedicado a um UE para a transferência de informação de usuário. Além disso, os Canais de Tráfego Lógicos podem incluir um MTCH para canal DL de ponto para múltiplos pontos para a transmissão de dados de tráfego.

[00102] Em um aspecto, os Canais de Transporte são classificados em DL e UL. Os Canais de Transporte DL compreendem um Canal de Difusão (BCH), um Canal de Dados

Compartilhados de Downlink (DL-SDCH) e um Canal de Paging (PCH). O PCH pode suportar a economia de potência UE (por exemplo, ciclo de Recepção Descontínuo (DRX) pode ser indicado pela rede para o UE, ...) sendo difundido através de toda uma célula e sendo mapeado para os recursos de Camada Física (PHY) que podem ser utilizados para os canais de controle/tráfego. Os Canais de Transporte UL podem compreender um Canal de Acesso Aleatório (RACH), um Canal de Solicitação (REQCH), um Canal de Dados Compartilhados em Uplink (UL-SDCH) e uma pluralidade de canais PHY.

[00103] Os canais PHY podem incluir um conjunto de canais DL e canais UL. Por exemplo, os canais PHY DL podem incluir: Canal Piloto Comum (CPICH); Canal de Sincronização (SCH); Canal de Controle Comum (CCCH); Canal de Controle DL Compartilhado (SDCCH); Canal de Controle de Multidifusão (MCCH); Canal de Designação UL Compartilhado (SUACH); Canal de Aviso de Recebimento (ACKCH); Canal de Dados Compartilhados Físico DL (DL-PSDCH); Canal de Controle de Potência UL (UPCCH); Canal Indicador de Paging (PICH); e/ou Canal Indicador de Carga (LICH). Por meio de ilustração adicional, os Canais PHY UL podem incluir: Canal de Acesso Aleatório Físico (PRACH); Canal Indicador de Qualidade de Canal (CQICH); Canal de Aviso de Recebimento (ACKCH); Canal Indicador de Subconjunto de Antena (ASICH); Canal de Solicitação Compartilhado (SREQCH); Canal de Dados Compartilhados Físico UL (UL-PSDCH); e/ou Canal Piloto de Banda Larga (BPICH).

[00104] Deve-se compreender que as modalidades descritas aqui podem ser implementadas em hardware, software, firmware, middleware, microcódigo ou qualquer

combinação dos mesmos. Para uma implementação em hardware, as unidades de processamento podem ser implementadas dentro de um ou mais dentre os circuitos integrados específicos de aplicativo (ASICs), processadores de sinal digital (DSPs), dispositivos de processamento de sinal digital (DSPDs), dispositivos lógicos programáveis (PLDs), conjuntos de porta programáveis em campo (FPGAs), processadores, controladores, microcontroladores, microprocessadores, outras unidades eletrônicas projetadas para realizar as funções descritas aqui, ou uma combinação dos mesmos.

[00105] Quando as modalidades são implementadas em software, firmware, middleware ou microcódigo, código de programa ou segmentos de código, as mesmas podem ser armazenadas em um meio legível por máquina, tal como um componente de armazenamento. Um segmento de código pode representar um procedimento, uma função, um subprograma, um programa, uma rotina, uma sub-rotina, um módulo, um pacote de software, uma classe ou qualquer combinação de instruções, dados, estruturas ou declarações de programa. Um segmento de código pode ser acoplado a outro segmento de código ou um circuito de hardware pela passagem e/ou recebimento de informação, dados, argumentos, parâmetros, ou conteúdo de memória. A informação, argumentos, parâmetros, dados, etc. podem ser passados, enviados ou transmitidos utilizando-se qualquer meio adequado incluindo compartilhamento de memória, passagem de mensagem, passagem de token, transmissão de rede, etc.

[00106] Para uma implementação de software, as técnicas descritas aqui podem ser implementadas com módulos (por exemplo, procedimentos, funções e assim por diante)

que realizam as funções descritas aqui. Os códigos de software podem ser armazenados em unidades de memória e executados pelos processadores. A unidade de memória pode ser implementada dentro do processador ou fora do processador, caso no qual pode ser acoplada de forma comunicativa com o processador através de vários meios como é sabido na técnica.

[00107] Com referência à figura 1, é ilustrado um sistema 1100 que permite o emprego de combinação de taxa em um ambiente de comunicação sem fio. Por exemplo, o sistema 1100 pode residir pelo menos parcialmente dentro de uma estação base. De acordo com outra ilustração, o sistema 1100 pode residir pelo menos parcialmente dentro de um terminal de acesso. Deve-se apreciar que o sistema 1100 é representado como incluindo blocos funcionais, que podem ser blocos funcionais que representam as funções implementadas por um processador, software, ou combinação dos mesmos (por exemplo, firmware). O sistema 1100 inclui um agrupamento lógico 1102 dos componentes elétricos que podem agir em conjunto. Por exemplo, o agrupamento lógico 1102 pode incluir um componente elétrico para o armazenamento de bits de um bloco de códigos para um armazenador circular associado para cada bloco de códigos em um conjunto de blocos de códigos compondo um bloco de transporte 1104. Adicionalmente, o agrupamento lógico 1102 pode compreender um componente lógico para acessar um orçamento de transmissão definindo um número agregado de bits a serem transmitidos a partir de todos os armazenadores circulares 1106. Ademais, o agrupamento lógico 1102 pode incluir um componente elétrico para

determinar um orçamento de armazenador respectivo descrevendo um número de bits a serem transmitidos a partir do armazenador circular associado 1108. O agrupamento lógico 1102 pode incluir também um componente elétrico para garantir que o orçamento de armazenador respectivo seja um múltiplo inteiro de um número de símbolos de modulação a serem transmitidos a partir do armazenador circular associado 1110. Por exemplo, o número de bits transmitido a partir de cada armazenador circular (por exemplo, em ambientes operacionais que podem ter tamanhos de bloco diferentes para um bloco de transporte) pode ser de acordo com o orçamento de transporte overarching, ainda assim diferir entre os armazenadores circulares individuais em proporção a um tamanho do armazenador respectivo. Ademais, os orçamentos de armazenador individuais podem ser adicionalmente restringidos à transmissão de um número de bits que seja um múltiplo inteiro de uma ordem de modulação para o bloco de transporte. Adicionalmente, o sistema 1100 pode incluir uma memória 1112 que retém as instruções para execução de funções associadas com os componentes elétricos 1104, 1106, 1108, e 1110. Enquanto ilustrados como sendo externos à memória 1112, deve-se compreender que um ou mais dos componentes elétricos 1104, 1106, 1108, 1110 pode existir dentro da memória 1112.

[00108] O que foi descrito acima inclui exemplos de uma ou mais modalidades. É, obviamente, impossível se descrever cada possível combinação de componentes ou metodologias para fins de descrição das modalidades mencionadas acima, mas os versados na técnica podem reconhecer que muitas combinações adicionais e

permutas de várias modalidades são possíveis. De acordo, as modalidades descritas devem englobar todas as ditas alterações, modificações e variações que se encontram dentro do espírito e escopo das reivindicações em anexo. Adicionalmente, até o onde o termo "inclui" é utilizado na descrição detalhada ou nas reivindicações, tal termo deve ser inclusivo de forma similar ao termo "compreendendo" como "compreendendo" é interpretado quando empregado como uma palavra de transição em uma reivindicação.

REIVINDICAÇÕES

1. Método para realizar combinação de taxa em um ambiente de comunicação sem fio, compreendendo:

preencher (702) cada armazenador circular em um arranjo de armazenadores circulares com bits de um bloco de códigos associado a partir de um conjunto de blocos de código constituindo um bloco de transporte;

o método caracterizado pelo fato de que compreende adicionalmente:

obter (704) um orçamento de transmissão definindo um número agregado de bits a serem transmitidos a partir de todos os armazenadores circulares no arranjo; e

computar (706) um respectivo orçamento de armazenador definindo um número de bits a ser transmitido a partir de um armazenador circular associado para cada armazenador circular no arranjo, o orçamento de armazenador respectivo sendo responsável por uma fração do orçamento de transmissão e sendo proporcional ao tamanho do armazenador circular associado.

2. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que compreende adicionalmente restringir (708) o respectivo orçamento de armazenador a um múltiplo inteiro de um número de bits descrito por uma ordem de modulação para o bloco de transporte.

3. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que compreende adicionalmente indexar cada armazenador circular de acordo com uma ordem decrescente de prioridade.

4. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que computar um orçamento de

armazenador respectivo compreende aplicar uma primeira expressão recursiva quando orçamentos de armazenador respectivos para armazenadores circulares de tamanho idêntico podem variar.

5. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que computar um orçamento de armazenador respectivo compreende aplicar uma segunda expressão recursiva quando orçamentos de armazenador respectivos para armazenadores circulares de tamanho idêntico não variam.

6. Método, de acordo com a reivindicação 5, caracterizado pelo fato de que compreende adicionalmente aplicar a segunda expressão recursiva de acordo com uma ordem de prioridade com base no tamanho de armazenador circular.

7. Método, de acordo com a reivindicação 5, caracterizado pelo fato de que compreende adicionalmente aplicar a segunda expressão recursiva simultaneamente para armazenadores circulares de tamanho idêntico.

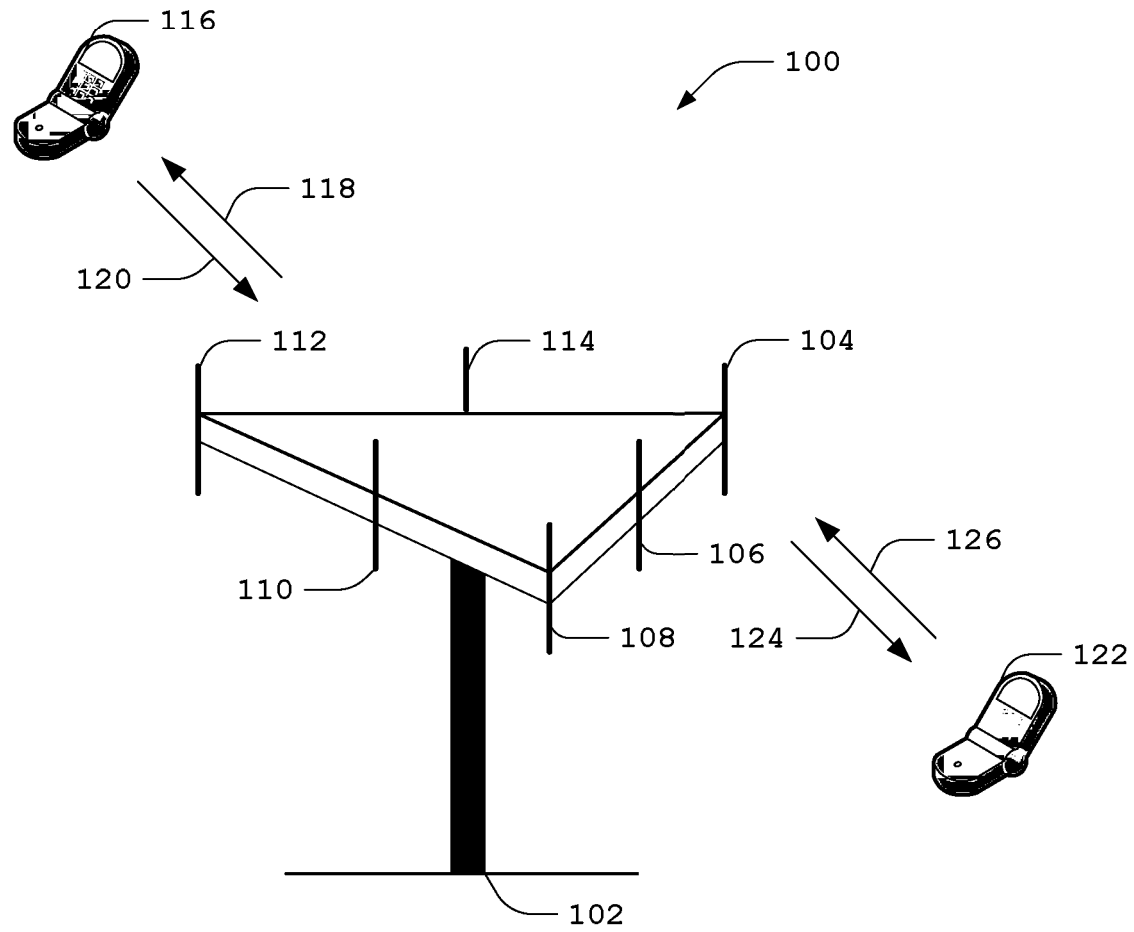
8. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que computar um orçamento de armazenador respectivo compreende aplicar uma expressão recursiva híbrida quando apenas um orçamento de armazenador respectivo fora de todos os orçamentos de armazenador para armazenadores circulares de tamanhos idênticos pode variar.

9. Método, de acordo com a reivindicação 1, caracterizado pelo fato de que compreende adicionalmente codificar e intercalar os bits no bloco de códigos associado e adicionalmente entrelaçar uma parte dos bits

codificados e intercalados antes do preenchimento de cada armazenador circular.

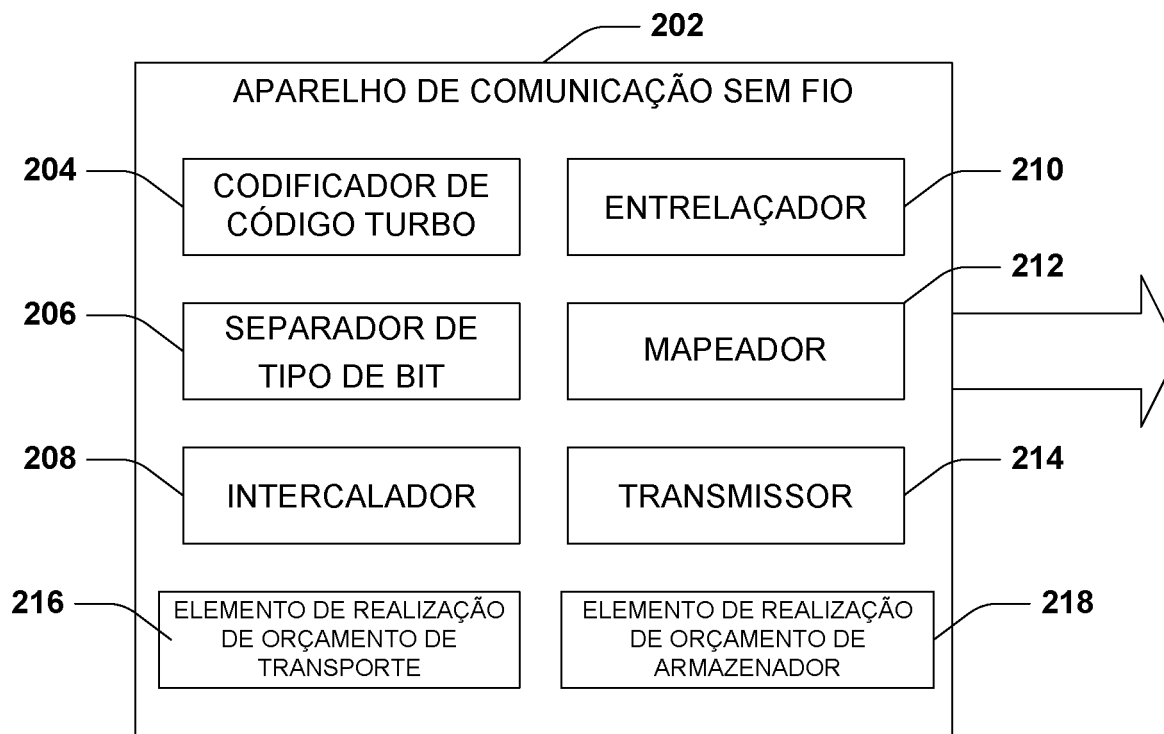
10. Memória legível por computador caracterizada pelo fato de que contém gravado na mesma o método definido em qualquer uma das reivindicações 1 a 9.

11. Aparelho configurado para realizar combinação de taxa em um ambiente de comunicações sem fio caracterizado pelo fato de que compreende meios para realizar o método definido em qualquer uma das reivindicações de 1 a 9.



**FIG. 1**

200



**FIG. 2**

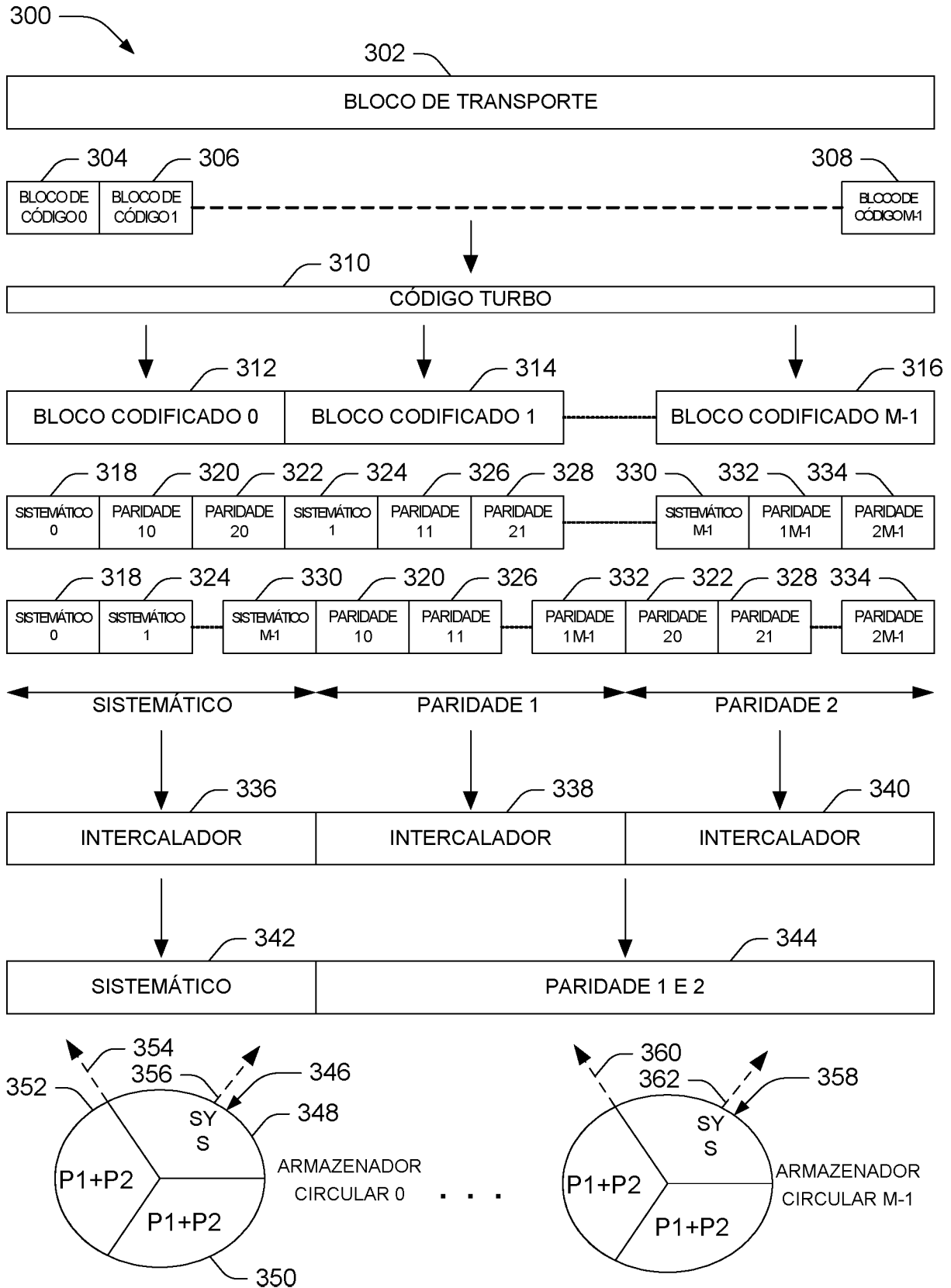
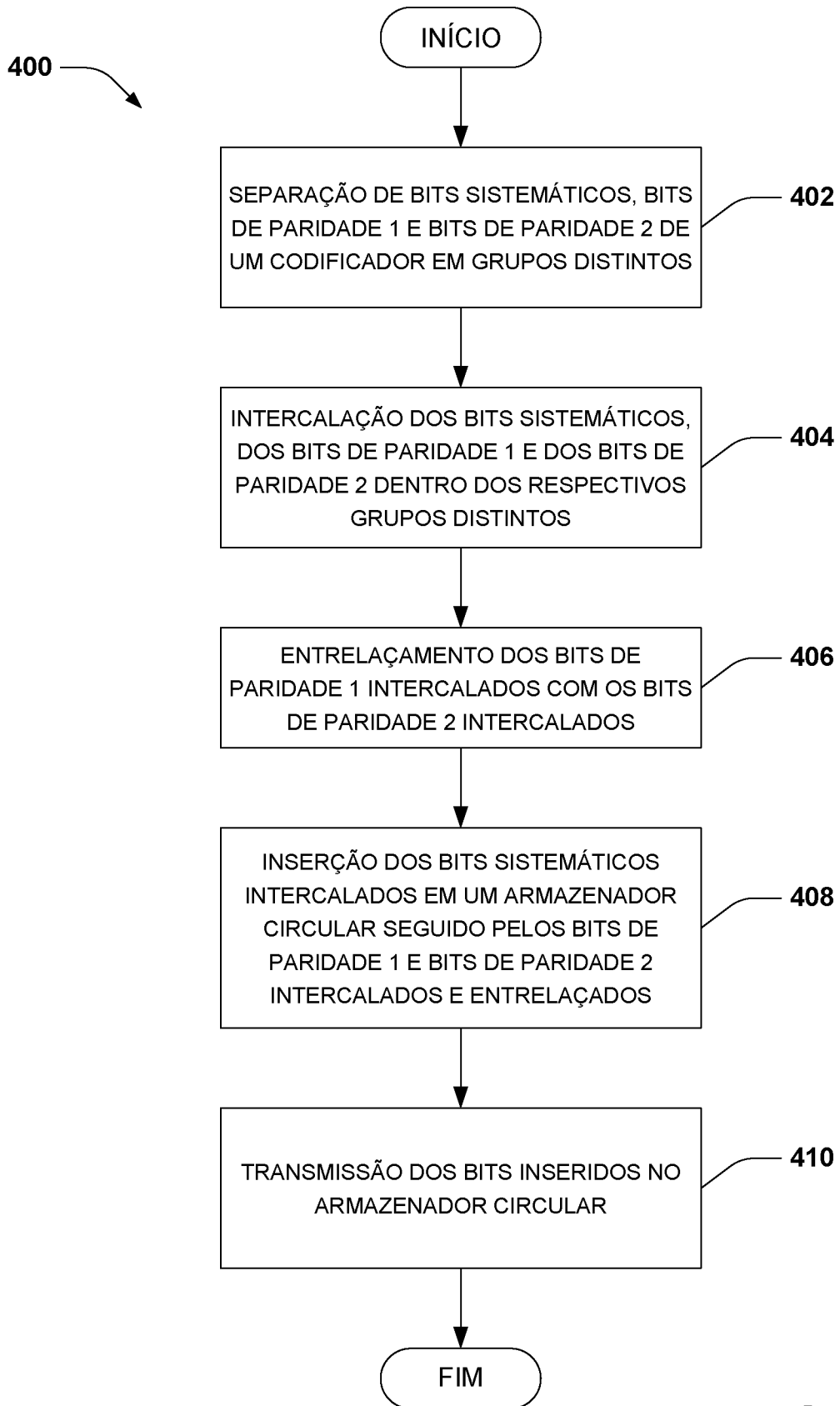


FIG. 3

**FIG. 4**

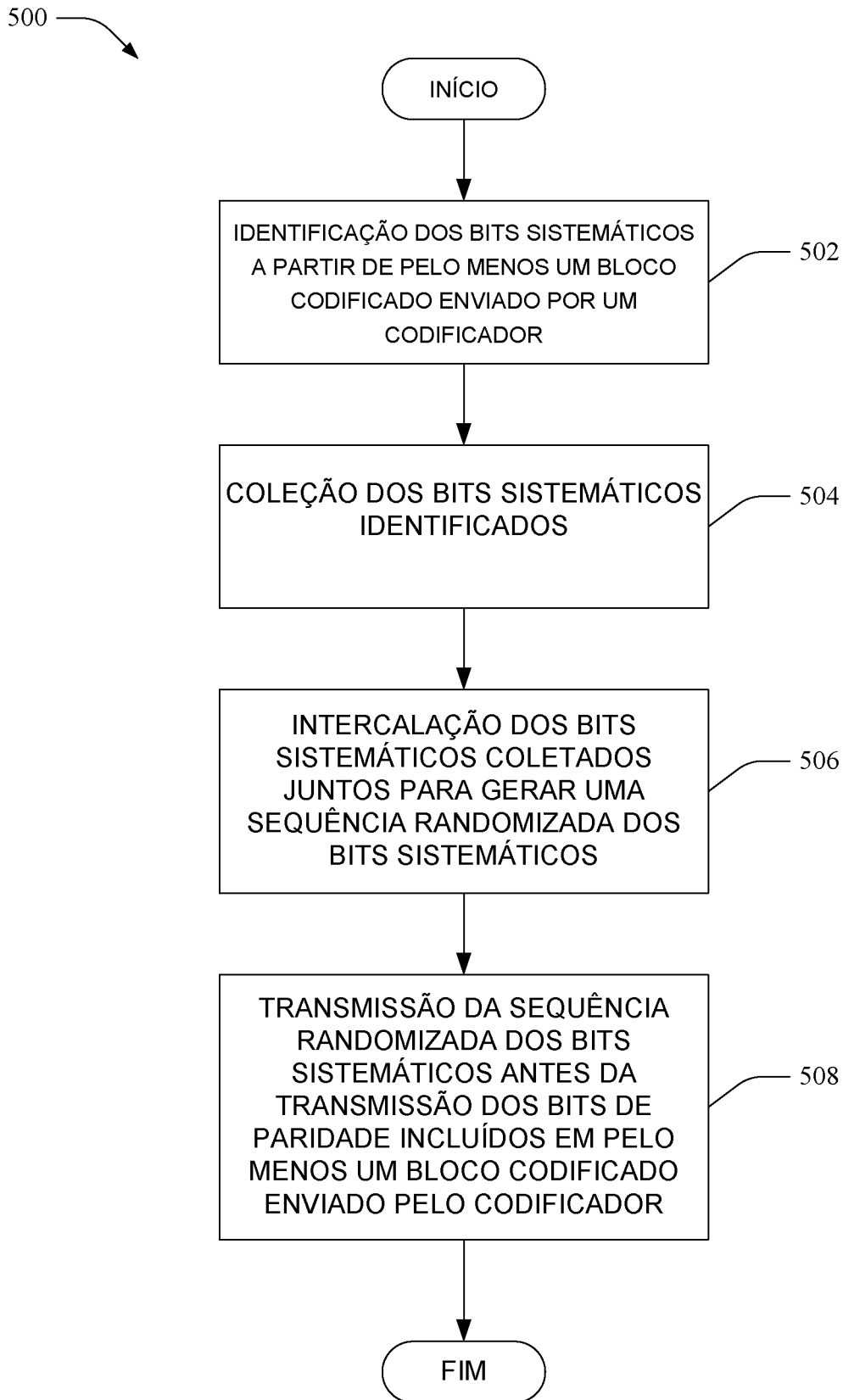
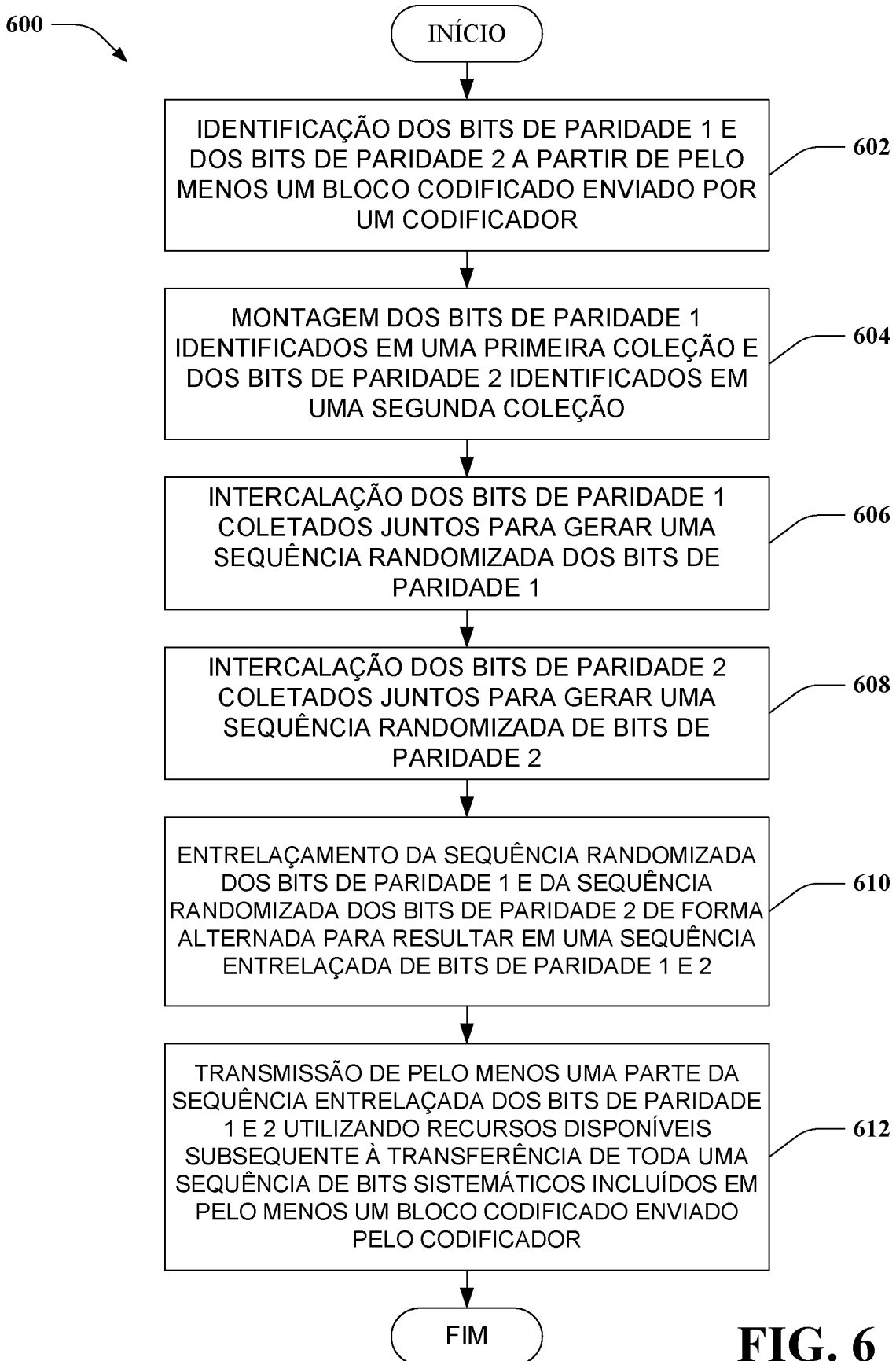
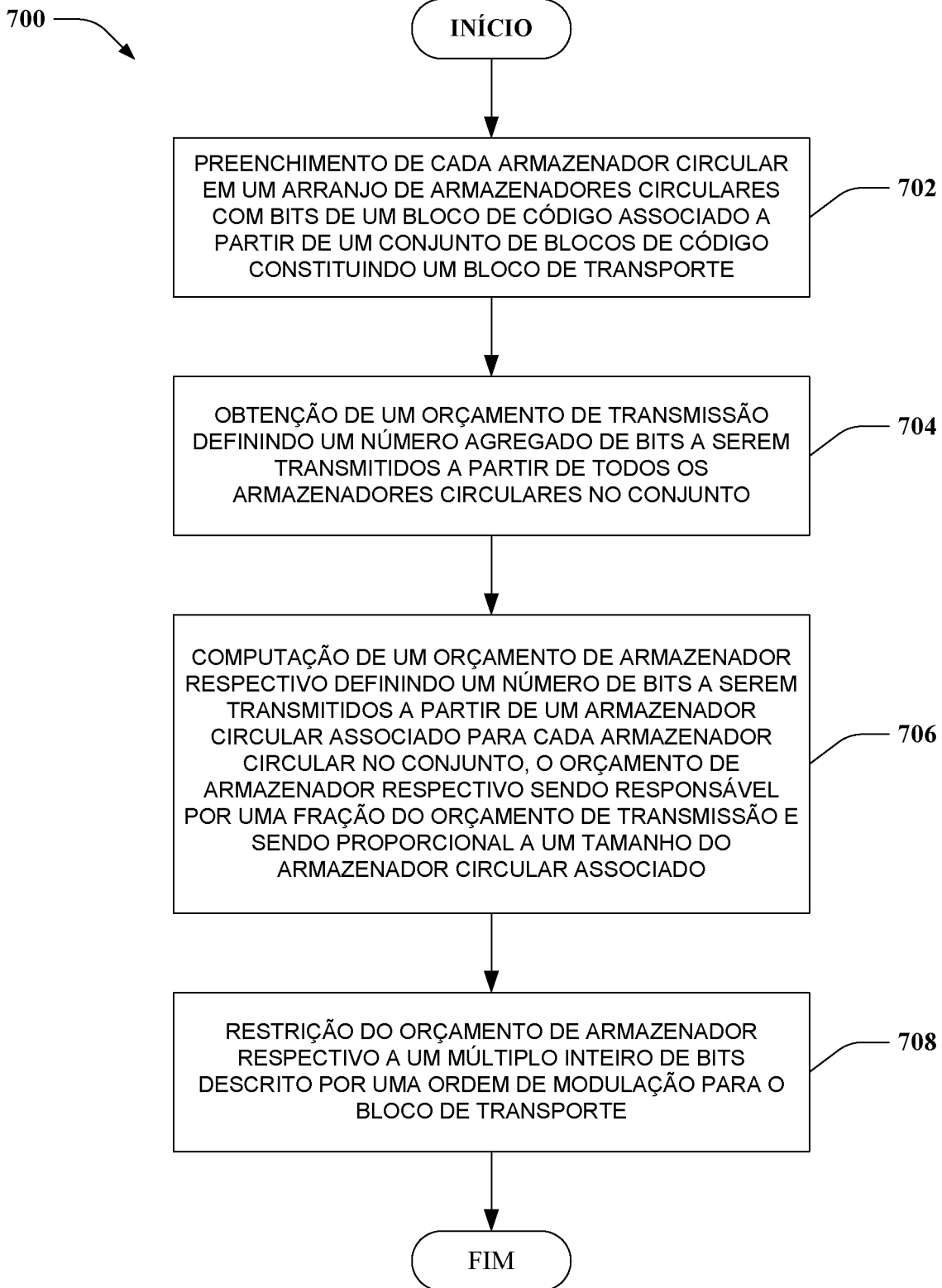


FIG. 5



**FIG. 7**

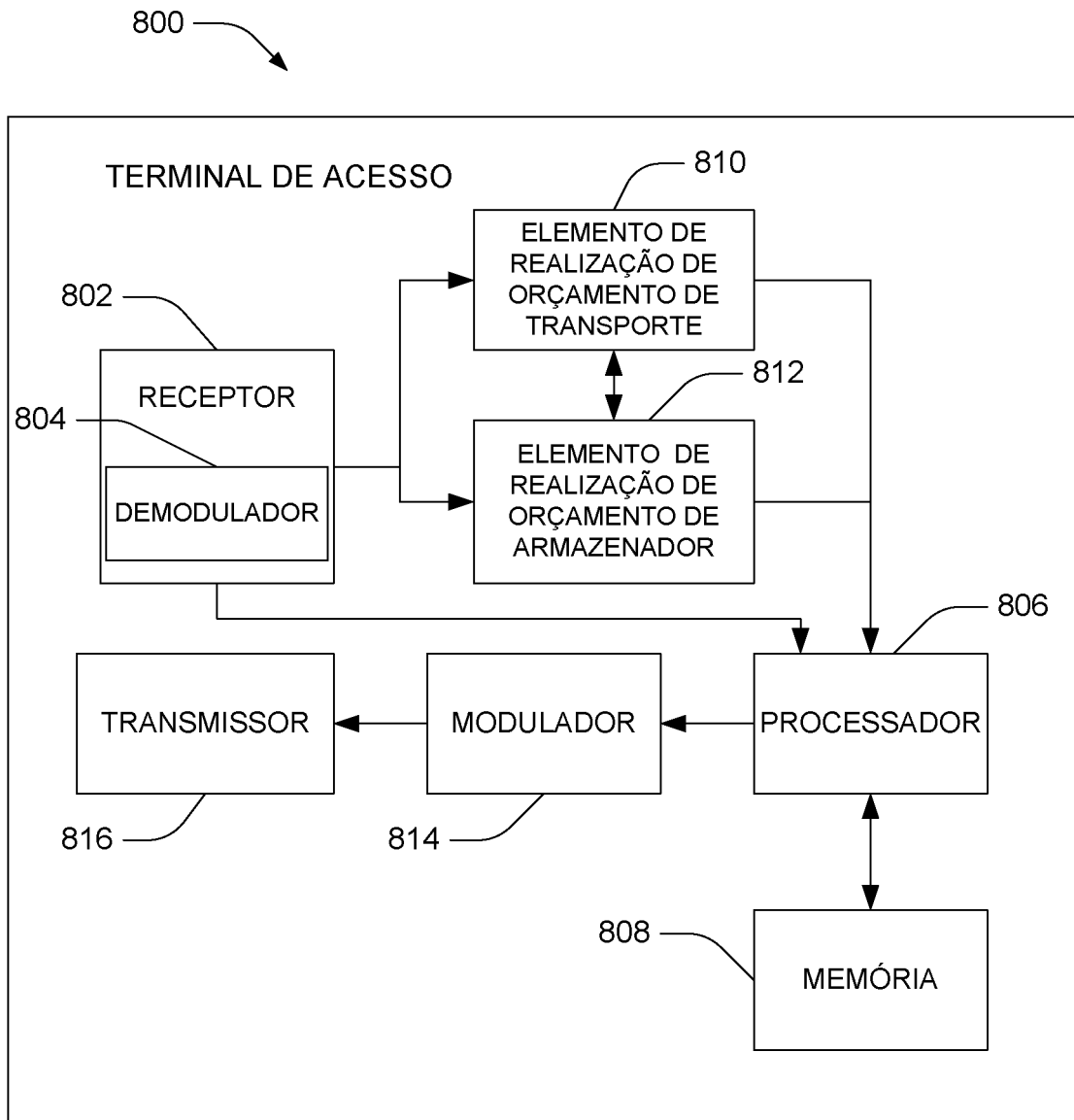


FIG. 8

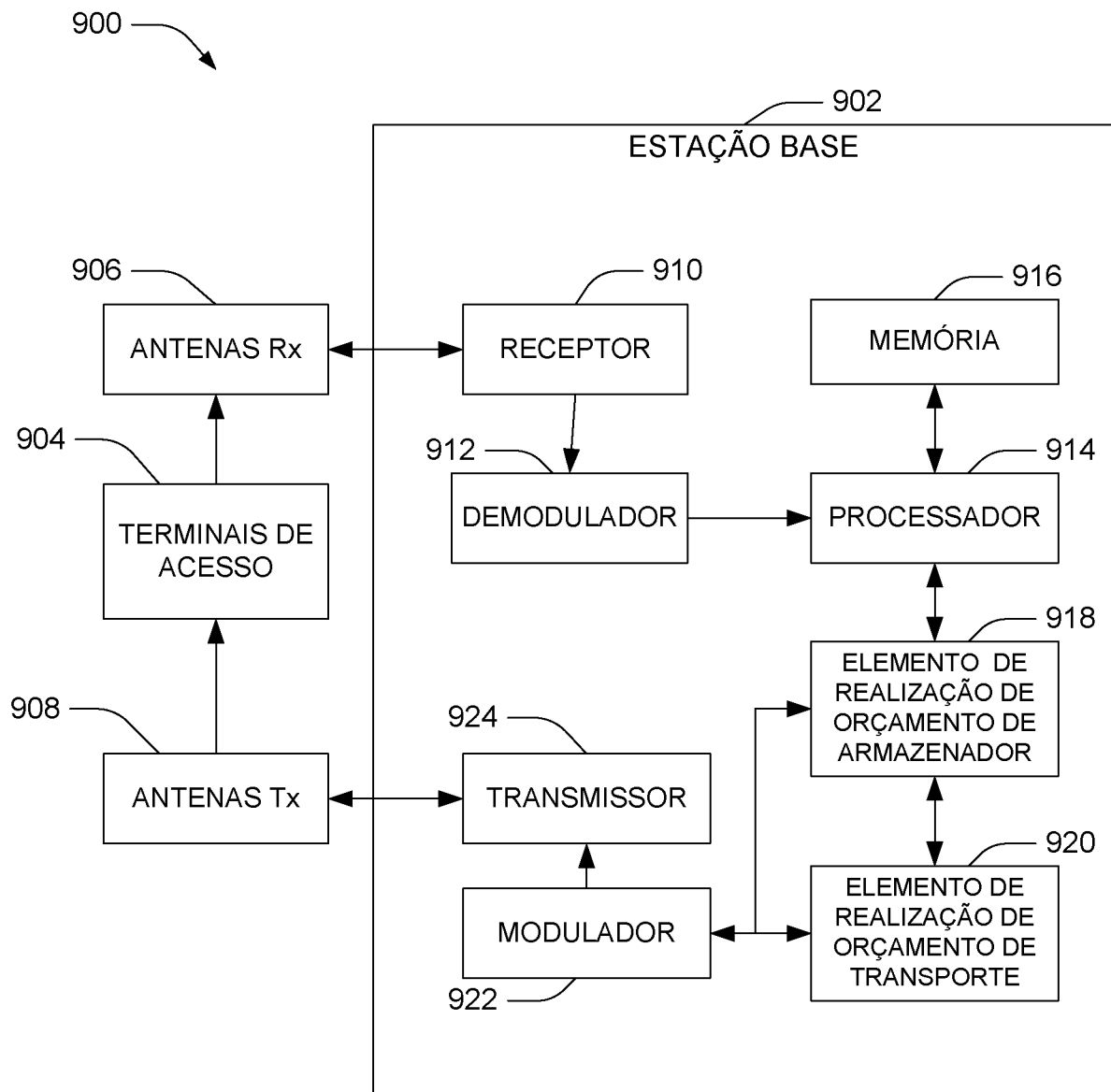


FIG. 9

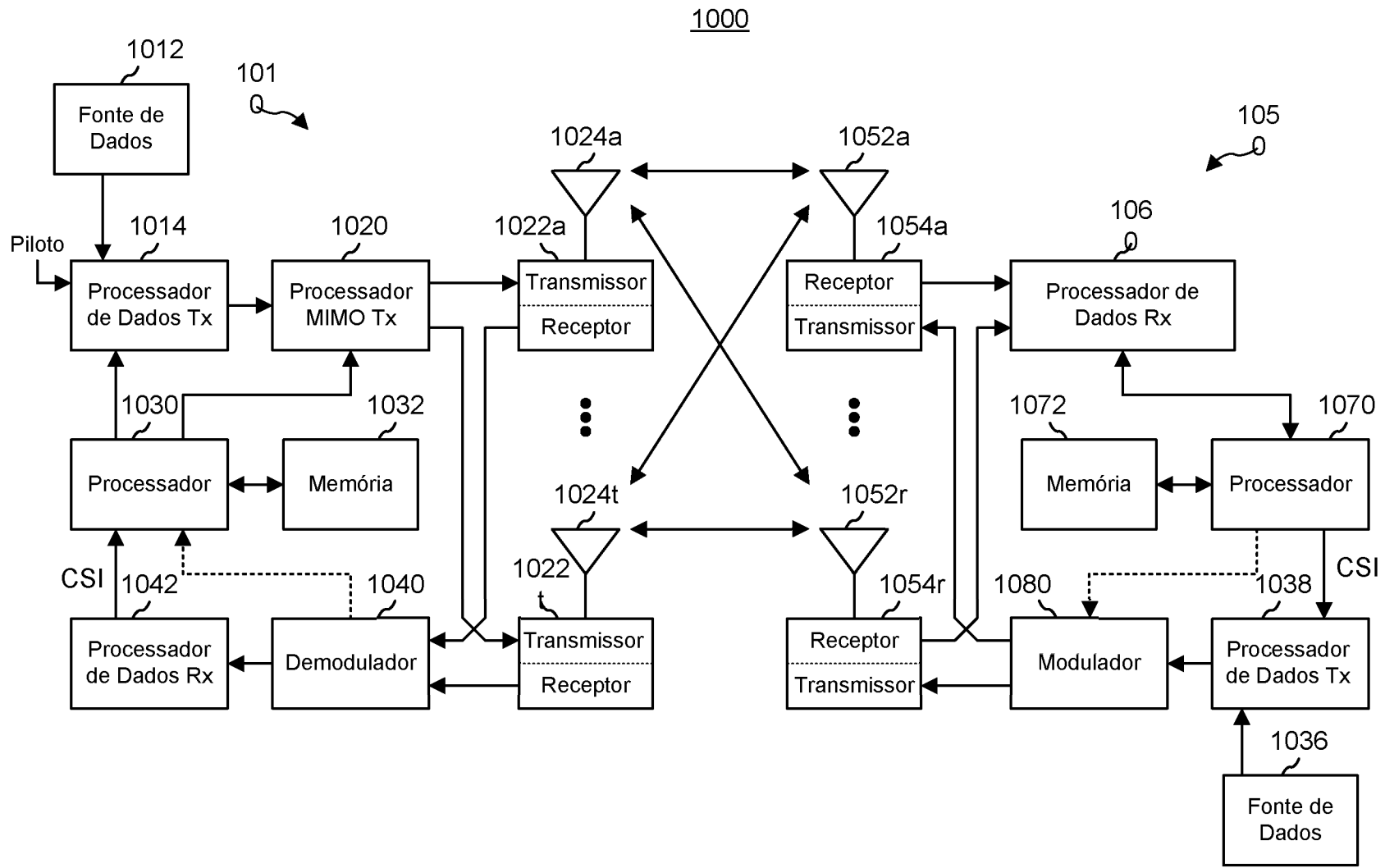


FIG. 10

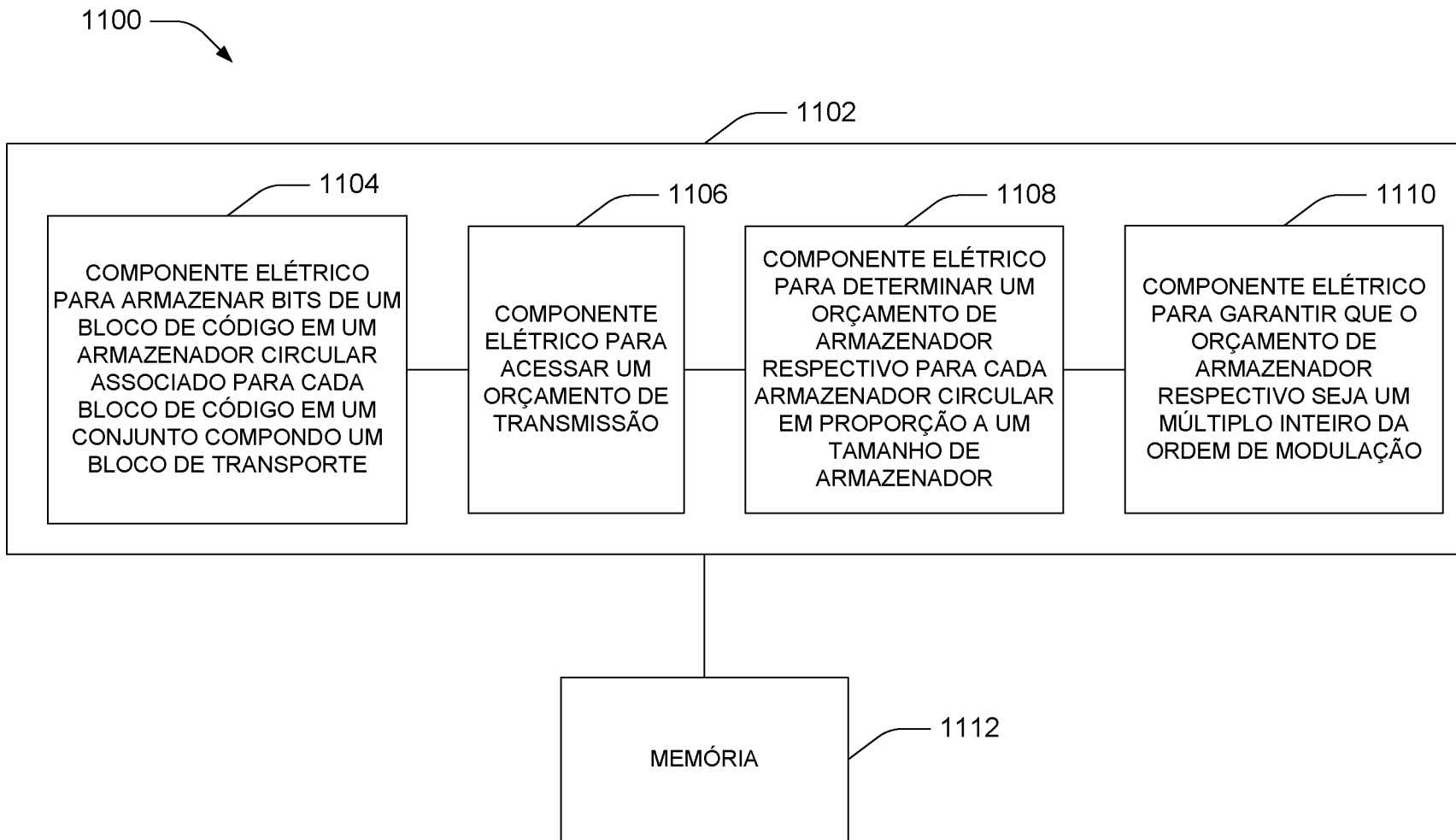


FIG. 11