

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 9 月 28 日 (28.09.2017)



(10) 国际公布号
WO 2017/161626 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) H01L 29/08 (2006.01)
H01L 27/12 (2006.01) H01L 29/786 (2006.01)
H01L 29/423 (2006.01)
- (21) 国际申请号: PCT/CN2016/080190
- (22) 国际申请日: 2016 年 4 月 26 日 (26.04.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610169584.4 2016 年 3 月 23 日 (23.03.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 迟世鹏 (CHI, Shipeng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广

东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: MANUFACTURING METHOD FOR TFT SUBSTRATE AND MANUFACTURED TFT SUBSTRATE

(54) 发明名称: TFT 基板的制作方法及其制得的 TFT 基板

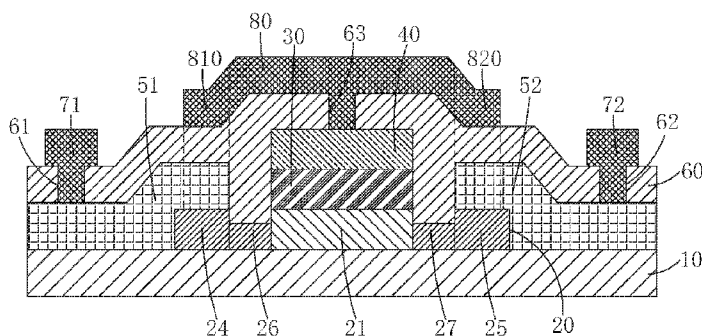


图10

(57) Abstract: Provided is a manufacturing method for a TFT (thin film transistor) substrate, and a manufactured TFT substrate. The manufacturing method for the TFT substrate comprises arranging a first and a second lightly doped compensation area on a TFT to reduce the off-state current of the TFT; simultaneously using a first gate electrode and a second gate electrode to collectively form a double gate electrode structure, reducing the impact of the first and the second lightly doped compensation areas on the on-state current of the TFT; the first gate electrode and the second gate electrode are connected, are controlled by the same gate electrode voltage, and do not require an additional voltage signal; manufacturing is simple, production costs are low, and the manufactured TFT substrate has good electrical performance. The manufactured TFT substrate uses the lightly doped compensation structure to reduce the off-state current of the TFT, and uses the double gate electrode structure to reduce the impact of the lightly doped compensation areas on the on-state of the TFT; the structure is simple and electrical performance is excellent.

(57) 摘要:

[见续页]



WO 2017/161626 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

提供了一种 TFT（薄膜晶体管）基板的制作方法及其制得的 TFT 基板。TFT 基板的制作方法，通过在 TFT 中设置第一、第二轻掺杂补偿区，可降低 TFT 的关态电流；同时采用第一栅极与第二栅极组成双栅极结构，减小第一、第二轻掺杂补偿区对 TFT 开态电流的影响，第一栅极与第二栅极相连，由同一个栅极电压控制，不需要额外的电压信号；工艺简单，生产成本低，制得的 TFT 基板具有较好的电学性能。制得的 TFT 基板，采用轻掺杂补偿结构来降低 TFT 的关态电流，采用双栅极结构来降低轻掺杂补偿结构对 TFT 开态电流的影响，结构简单，且电学性能优异。

TFT 基板的制作方法及其制得的 TFT 基板

技术领域

5 本发明涉及显示技术领域，尤其涉及一种 TFT 基板的制作方法及其制得的 TFT 基板。

背景技术

10 OLED 是一种极具发展前景的平板显示技术，它具有十分优异的显示性能，特别是自发光、结构简单、超轻薄、响应速度快、宽视角、低功耗及可实现柔性显示等特性，被誉为“梦幻显示器”，再加上其生产设备投资远小于 TFT-LCD，得到了各大显示器厂家的青睐，已成为显示技术领域中第三代显示器件的主力军。目前 OLED 已处于大规模量产的前夜，随着研究的进一步深入，新技术的不断涌现，OLED 显示器件必将有一个突破性的发展。

15 OLED 按照驱动方式可以分为无源矩阵型 OLED (Passive Matrix OLED, PMOLED) 和有源矩阵型 OLED (Active Matrix OLED, AMOLED) 两大类，即直接寻址和薄膜晶体管矩阵寻址两类。其中，AMOLED 具有呈阵列式排布的像素，属于主动显示类型，发光效能高，通常用作高清晰度的大尺寸显示装置。

20 目前，AMOLED 正在逐步走向成熟，在 AMOLED 中，需要以电流作为驱动，低温多晶硅 (Low Temperature Poly-Silicon, LTPS) 具有较大的迁移率，以其为有源层制作的薄膜晶体管 (Thin Film Transistor, TFT) 可以满足 AMOLED 的电流驱动模式。低温多晶硅薄膜晶体管 (LTPS TFT) 具有较高的迁移率，可以得到比较高的开态电流，但是由于 LTPS 中晶粒存在造成的缺陷，会导致 LTPS TFT 在关态时会出现较高的关态电流。为了减小 LTPS TFT 的关态电流，可以采用轻掺杂补偿 (Lightly Doped Offset) 结构。轻掺杂补偿结构目前已被研究的较多，但是轻掺杂补偿结构形成高阻区会降低 LTPS TFT 的开态电流，为了获得较高的开态电流，可以对轻掺杂补偿结构进行改进。

30 在具有轻掺杂补偿结构的 LTPS TFT 中，轻掺杂补偿区不存在载流子积累，具有较高的电阻，当 TFT 处于关态时，可以有效的降低关态电流，但在 TFT 开态时，轻掺杂补偿区的存在同样会降低开态电流，影响 LTPS TFT 的开关特性。

发明内容

本发明的目的在于提供一种 TFT 基板的制作方法，通过在 TFT 中设置第一、第二轻掺杂补偿区，降低 TFT 的关态电流，同时采用第一栅极与第二栅极组成双栅极结构，减小第一、第二轻掺杂补偿区对 TFT 开态电流的影响，制程简单，生产成本低，制得的 TFT 基板具有较好的电学性能。

本发明的目的还在于提供一种 TFT 基板，采用轻掺杂补偿结构来降低 TFT 的关态电流，采用双栅极结构来降低轻掺杂补偿结构对 TFT 开态电流的影响，结构简单，且电学性能优异。

为实现上述目的，本发明提供一种 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上形成有源层，对所述有源层进行离子注入，并在所述有源层上定义出沟道区；

步骤 2、在所述有源层、及基板上沉积绝缘层与第一金属层，采用一道光罩对所述第一金属层和绝缘层进行图形化处理，得到与所述有源层的沟道区的宽度相等并且在宽度方向上两端对齐的第一栅极与栅极绝缘层；

以所述第一栅极和栅极绝缘层为阻挡层，对所述有源层进行离子注入，得到分别位于沟道区两侧的第一离子重掺杂区与第二离子重掺杂区；

步骤 3、在所述第一栅极、有源层、及基板上沉积第二金属层，采用一道光罩对所述第一金属层进行图形化处理，得到位于所述有源层的两侧且分别与所述有源层的第一离子重掺杂区与第二离子重掺杂区相接触的源极与漏极；

将所述第一离子重掺杂区上与源极相接触的部分定义为源极接触区；

将所述第二离子重掺杂区上与漏极相接触的部分定义为漏极接触区；

以所述源极、漏极、及第一栅极为阻挡层，对所述第一离子重掺杂区上位于所述源极与第一栅极之间的部分、以及所述第二离子重掺杂区上位于第一栅极与漏极之间的部分进行蚀刻，去除上层离子浓度较高的部分，保留下层离子浓度较低的部分，从而得到位于所述源极接触区与沟道区之间的第一轻掺杂补偿区、以及位于所述沟道区与漏极接触区之间的第二轻掺杂补偿区；

步骤 4、在所述源极、漏极、有源层、及第一栅极上沉积钝化保护层，采用一道光罩对所述钝化保护层进行图形化处理，对应于所述源极、漏极、及第一栅极的上方分别形成第一通孔、第二通孔、及第三通孔；

步骤 5、在所述钝化保护层上沉积导电层，采用一道光罩对所述导电层

进行图形化处理，得到第一接触电极、第二接触电极、及第二栅极，所述第一、第二接触电极分别经由第一、第二通孔与源极、漏极相连，所述第二栅极经由第三通孔与第一栅极相连；

5 所述第二栅极的宽度大于所述第一栅极的宽度，且所述第二栅极的两侧分别覆盖位于所述第一栅极两侧的第一轻掺杂补偿区与第二轻掺杂补偿区。

10 所述步骤 1 中，在所述基板上形成有源层的具体实施方式为：在基板上沉积非晶硅薄膜，采用固相结晶方法将所述非晶硅薄膜转化为低温多晶硅薄膜后，采用一道光罩对所述低温多晶硅薄膜进行图形化处理，得到有源层。

15 所述沟道区为 N 型离子轻掺杂区，所述源极接触区、漏极接触区为 P 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 P 型离子轻掺杂区；或者，所述沟道区为 P 型离子轻掺杂区，所述源极接触区、漏极接触区为 N 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 N 型离子轻掺杂区。

所述第二栅极的左侧与源极的右侧之间形成第一重叠区，所述第二栅极的右侧与漏极的左侧之间形成第二重叠区。

所述第一、第二接触电极、及第二栅极的材料均为透明导电金属氧化物。

20 本发明还提供一种 TFT 基板，包括基板、设于所述基板上的有源层、设于所述有源层及基板上的源极与漏极、设于所述有源层上的栅极绝缘层、设于所述栅极绝缘层上的第一栅极、设于所述源极、漏极、有源层、及第一栅极上的钝化保护层、以及设于所述钝化保护层上的第一接触电极、第二接触电极、及第二栅极；

25 所述有源层包括位于中间的沟道区、位于两端的源极接触区与漏极接触区、位于所述源极接触区与沟道区之间的第一轻掺杂补偿区、以及位于所述沟道区与漏极接触区之间的第二轻掺杂补偿区；

所述第一栅极、及栅极绝缘层与所述有源层的沟道区的宽度相等并且在宽度方向上两端对齐；

30 所述钝化保护层上设有分别对应于所述源极、漏极、及第一栅极上方的第一通孔、第二通孔、及第三通孔；所述第一、第二接触电极分别经由第一、第二通孔与源极、漏极相连，所述第二栅极经由第三通孔与第一栅极相连；

所述第二栅极的宽度大于所述第一栅极的宽度，且所述第二栅极的两

侧分别覆盖位于所述第一栅极两侧的第一轻掺杂补偿区与第二轻掺杂补偿区。

所述第一轻掺杂补偿区与第二轻掺杂补偿区的上表面低于所述沟道区、源极接触区、及漏极接触区的上表面。

5 所述沟道区为 N 型离子轻掺杂区，所述源极接触区、漏极接触区为 P 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 P 型离子轻掺杂区；或者，所述沟道区为 P 型离子轻掺杂区，所述源极接触区、漏极接触区为 N 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 N 型离子轻掺杂区。

10 所述第二栅极的左侧与源极的右侧之间形成第一重叠区，所述第二栅极的右侧与漏极的左侧之间形成第二重叠区。

所述第一、第二接触电极、及第二栅极的材料均为透明导电金属氧化物。

15 本发明还提供一种 TFT 基板，包括基板、设于所述基板上的有源层、设于所述有源层及基板上的源极与漏极、设于所述有源层上的栅极绝缘层、设于所述栅极绝缘层上的第一栅极、设于所述源极、漏极、有源层、及第一栅极上的钝化保护层、以及设于所述钝化保护层上的第一接触电极、第二接触电极、及第二栅极；

20 所述有源层包括位于中间的沟道区、位于两端的源极接触区与漏极接触区、位于所述源极接触区与沟道区之间的第一轻掺杂补偿区、以及位于所述沟道区与漏极接触区之间的第二轻掺杂补偿区；

所述第一栅极、及栅极绝缘层与所述有源层的沟道区的宽度相等并且在宽度方向上两端对齐；

25 所述钝化保护层上设有分别对应于所述源极、漏极、及第一栅极上方的第一通孔、第二通孔、及第三通孔；所述第一、第二接触电极分别经由第一、第二通孔与源极、漏极相连，所述第二栅极经由第三通孔与第一栅极相连；

30 所述第二栅极的宽度大于所述第一栅极的宽度，且所述第二栅极的两侧分别覆盖位于所述第一栅极两侧的第一轻掺杂补偿区与第二轻掺杂补偿区；

其中，所述第一轻掺杂补偿区与第二轻掺杂补偿区的上表面低于所述沟道区、源极接触区、及漏极接触区的上表面；

其中，所述沟道区为 N 型离子轻掺杂区，所述源极接触区、漏极接触区为 P 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 P

型离子轻掺杂区；或者，所述沟道区为 P 型离子轻掺杂区，所述源极接触区、漏极接触区为 N 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 N 型离子轻掺杂区。

5 本发明的有益效果：本发明提供的一种 TFT 基板的制作方法，通过在 TFT 中设置第一、第二轻掺杂补偿区，可降低 TFT 的关态电流；同时采用第一栅极与第二栅极组成双栅极结构，减小第一、第二轻掺杂补偿区对 TFT 开态电流的影响，所述第一栅极与第二栅极相连，由同一个栅极电压控制，不需要额外的电压信号；制程简单，生产成本低，制得的 TFT 基板具有较好的电学性能。本发明制得的 TFT 基板，采用轻掺杂补偿结构来降低 TFT 10 的关态电流，采用双栅极结构来降低轻掺杂补偿结构对 TFT 开态电流的影响，结构简单，且电学性能优异。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

15

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

- 20 图 1 为本发明的 TFT 基板的制作方法的流程图；
图 2 为本发明的 TFT 基板的制作方法的步骤 1 的示意图；
图 3-5 为本发明的 TFT 基板的制作方法的步骤 2 的示意图；
图 6-7 为本发明的 TFT 基板的制作方法的步骤 3 的示意图；
图 8 为本发明的 TFT 基板的制作方法的步骤 4 的示意图；
25 图 9-10 为本发明的 TFT 基板的制作方法的步骤 5 的示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

30 请参阅图 1，本发明提供一种 TFT 基板的制作方法，包括如下步骤：

步骤 1、如图 2 所示，提供一基板 10，在所述基板 10 上形成有源层 20，对所述有源层 20 进行离子注入，并在所述有源层 20 上定义出沟道区 21。

具体的，所述基板 10 为玻璃基板。

具体的，所述步骤 1 中，在所述基板 10 上形成有源层 20 的具体实施

方式为：在基板 10 上沉积非晶硅（Amorphous Silicon, a-Si）薄膜，采用固相结晶（SPC, Solid-Phase-Crystallization）方法将所述非晶硅薄膜转化为低温多晶硅（Low Temperature Poly Silicon）薄膜后，采用一道光罩对所述低温多晶硅薄膜进行图形化处理，得到有源层 20。

5 具体的，所述步骤 1 中，通过对所述有源层 20 进行 N 型（或 P 型）离子注入，可以调节沟道区 21 的阈值电压，提升 TFT 的电学性能。

步骤 2、如图 3-5 所示，在所述有源层 20、及基板 10 上依次沉积绝缘层 32 与第一金属层 31，采用一道光罩对所述第一金属层 31 和绝缘层 32 进行图形化处理，得到与所述有源层 20 的沟道区 21 的宽度相等并且在宽度
10 方向上两端对齐的第一栅极 40 与栅极绝缘层 30；

以所述第一栅极 40 和栅极绝缘层 30 为阻挡层，对所述有源层 20 进行离子注入，得到分别位于沟道区 21 两侧的第一离子重掺杂区 22 与第二离子重掺杂区 23。

具体的，所述栅极绝缘层 30 可以为氧化硅（ SiO_x ）层、氮化硅（ SiN_x ）
15 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

具体的，所述第一栅极 40 的材料可以是铝（Al）、钼（Mo）、铜（Cu）、银（Ag）中的一种或多种的堆栈组合。

步骤 3、如图 6-7 所示，在所述第一栅极 40、有源层 20、及基板 10 上沉积第二金属层 41，采用一道光罩对所述第一金属层 41 进行图形化处理，
20 得到位于所述有源层 20 的两侧且分别与所述有源层 20 的第一离子重掺杂区 22 与第二离子重掺杂区 23 相接触的源极 51 与漏极 52；

将所述第一离子重掺杂区 22 上与源极 51 相接触的部分定义为源极接触区 24；将所述第二离子重掺杂区 23 上与漏极 52 相接触的部分定义为漏极接触区 25。

25 以所述源极 51、漏极 52、及第一栅极 40 为阻挡层，对所述第一离子重掺杂区 22 上位于所述源极 51 与第一栅极 40 之间的部分、以及所述第二离子重掺杂区 23 上位于第一栅极 40 与漏极 52 之间的部分进行蚀刻，去除上层离子浓度较高的部分，保留下层离子浓度较低的部分，从而得到位于所述源极接触区 24 与沟道区 21 之间的第一轻掺杂补偿区（Lightly Doped
30 Offset）26、以及位于所述沟道区 21 与漏极接触区 25 之间的第二轻掺杂补偿区 27。

具体的，所述源极 51 与漏极 52 的材料可以是铝（Al）、钼（Mo）、铜（Cu）、银（Ag）中的一种或多种的堆栈组合。

具体的，所述沟道区 21 为 N 型离子轻掺杂区，所述源极接触区 24、

漏极接触区 25 为 P 型离子重掺杂区, 所述第一轻掺杂补偿区 26、第二轻掺杂补偿区 27 为 P 型离子轻掺杂区; 或者, 所述沟道区 21 为 P 型离子轻掺杂区, 所述源极接触区 24、漏极接触区 25 为 N 型离子重掺杂区, 所述第一轻掺杂补偿区 26、第二轻掺杂补偿区 27 为 N 型离子轻掺杂区。优选的, 所述 N 型离子为磷离子或砷离子; 所述 P 型离子为硼离子或镓离子。

步骤 4、如图 8 所示, 在所述源极 51、漏极 52、有源层 20、及第一栅极 40 上沉积钝化保护层 60, 采用一道光罩对所述钝化保护层 60 进行图形化处理, 对应于所述源极 51、漏极 52、及第一栅极 40 的上方分别形成第一通孔 61、第二通孔 62、及第三通孔 63。

具体的, 所述钝化保护层 60 可以为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

步骤 5、如图 9-10 所示, 在所述钝化保护层 60 上沉积导电层 90, 采用一道光罩对所述导电层 90 进行图形化处理, 得到第一接触电极 71、第二接触电极 72、及第二栅极 80, 所述第一、第二接触电极 71、72 分别经由第一、第二通孔 61、62 与源极 51、漏极 52 相连, 所述第二栅极 80 经由第三通孔 63 与第一栅极 40 相连;

所述第二栅极 80 的宽度大于所述第一栅极 40 的宽度, 且所述第二栅极 80 的两侧分别覆盖位于所述第一栅极 40 两侧的第一轻掺杂补偿区 26 与第二轻掺杂补偿区 27。

本发明采用第一、第二轻掺杂补偿区 26、27 作为高阻区, 可降低 TFT 的关态电流; 第二栅极 80 覆盖第一、第二轻掺杂补偿区 26、27, 在 TFT 开态时, 第二栅极 80 可以使第一、第二轻掺杂补偿区 26、27 产生载流子积累形成沟道, 降低第一、第二轻掺杂补偿区 26、27 的电阻, 提高 TFT 的开态电流; 在 TFT 关态时, 第二栅极 80 对第一、第二轻掺杂补偿区 26、27 无影响, 第一、第二轻掺杂补偿区 26、27 保持高阻状态, 能够降低 TFT 的关态电流。

优选的, 所述第二栅极 80 的左侧与源极 51 的右侧之间形成第一重叠区 (overlap) 810, 所述第二栅极 80 的右侧与漏极 52 的左侧之间形成第二重叠区 820。通过设置该第一重叠区 810 与第二重叠区 820, 可进一步提高 TFT 的开态电流。

具体的, 所述第一、第二接触电极 71、72、及第二栅极 80 的材料均为透明导电金属氧化物, 优选为 ITO (氧化铟锡)。

具体的, 所述第一、第二接触电极 71、72 的用途之一为作为引线将所述源极 51、及漏极 52 接至数据线, 用途之二为作为测试位点, 来测试所述

源极 51、及漏极 52 处的电压信号。

上述 TFT 基板的制作方法，通过在 TFT 中设置第一、第二轻掺杂补偿区 26、27，可降低 TFT 的关态电流；同时采用第一栅极 40 与第二栅极 80 组成双栅极结构，减小第一、第二轻掺杂补偿区 26、27 对 TFT 开态电流的影响，所述第一栅极 40 与第二栅极 80 相连，由同一个栅极电压控制，不需要额外的电压信号；制程简单，生产成本低，制得的 TFT 基板具有较好的电学性能。

请参阅图 10，本发明还提供一种 TFT 基板，包括基板 10、设于所述基板 10 上的有源层 20、设于所述有源层 20 及基板 10 上的源极 51 与漏极 52、
10 设于所述有源层 20 上的栅极绝缘层 30、设于所述栅极绝缘层 30 上的第一栅极 40、设于所述源极 51、漏极 52、有源层 20、及第一栅极 40 上的钝化保护层 60、以及设于所述钝化保护层 60 上的第一接触电极 71、第二接触电极 72、及第二栅极 80；

所述有源层 20 包括位于中间的沟道区 21、位于两端的源极接触区 24
15 与漏极接触区 25、位于所述源极接触区 24 与沟道区 21 之间的第一轻掺杂补偿区 26、以及位于所述沟道区 21 与漏极接触区 25 之间的第二轻掺杂补偿区 27；

所述第一栅极 40、及栅极绝缘层 30 与所述有源层 20 的沟道区 21 的宽度相等并且在宽度方向上两端对齐；

20 所述钝化保护层 60 上设有分别对应于所述源极 51、漏极 52、及第一栅极 40 上方的第一通孔 61、第二通孔 62、及第三通孔 63；所述第一、第二接触电极 71、72 分别经由第一、第二通孔 61、62 与源极 51、漏极 52 相连，所述第二栅极 80 经由第三通孔 63 与第一栅极 40 相连；

所述第二栅极 80 的宽度大于所述第一栅极 40 的宽度，且所述第二栅极 80 的两侧分别覆盖位于所述第一栅极 40 两侧的第一轻掺杂补偿区 26 与第二轻掺杂补偿区 27。

具体的，所述第一轻掺杂补偿区 26 与第二轻掺杂补偿区 27 的上表面低于所述沟道区 21、源极接触区 24、及漏极接触区 25 的上表面。

具体的，所述沟道区 21 为 N 型离子轻掺杂区，所述源极接触区 24、
30 漏极接触区 25 为 P 型离子重掺杂区，所述第一轻掺杂补偿区 26、第二轻掺杂补偿区 27 为 P 型离子轻掺杂区；或者，所述沟道区 21 为 P 型离子轻掺杂区，所述源极接触区 24、漏极接触区 25 为 N 型离子重掺杂区，所述第一轻掺杂补偿区 26、第二轻掺杂补偿区 27 为 N 型离子轻掺杂区。优选的，所述 N 型离子为磷离子或砷离子；所述 P 型离子为硼离子或镓离子。

优选的, 所述第二栅极 80 的左侧与源极 51 的右侧之间形成第一重叠区 810, 所述第二栅极 80 的右侧与漏极 52 的左侧之间形成第二重叠区 820。通过设置该第一重叠区 810 与第二重叠区 820, 有利于提高 TFT 的开态电流。

5 具体的, 所述第一、第二接触电极 71、72、及第二栅极 80 的材料均为透明导电金属氧化物, 优选为 ITO (氧化铟锡)。

具体的, 所述第一、第二接触电极 71、72 的用途之一为作为引线将所述源极 51、及漏极 52 接至数据线, 用途之二为作为测试位点, 来测试所述源极 51、及漏极 52 处的电压信号。

10 具体的, 所述基板 10 为玻璃基板。

具体的, 所述有源层 20 的材料为低温多晶硅。

具体的, 所述第一栅极 40、源极 51、及漏极 52 的材料可以是铝 (Al)、钼 (Mo)、铜 (Cu)、银 (Ag) 中的一种或多种的堆栈组合。

15 具体的, 所述栅极绝缘层 30 与钝化保护层 60 可以为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

上述 TFT 基板, 采用第一栅极 40 与第二栅极 80 组成双栅极结构, 所述第一栅极 40 与第二栅极 80 互连, 由同一个栅极电压控制, 不需要额外的电压信号, 第一栅极 40 与源极 51 和漏极 52 之间的第一、第二轻掺杂补偿区 26、27 作为高阻区, 可降低 TFT 的关态电流; 第二栅极 80 覆盖第一、第二轻掺杂补偿区 26、27, 在 TFT 开态时, 第二栅极 80 可以使第一、第二轻掺杂补偿区 26、27 产生载流子积累形成沟道, 降低第一、第二轻掺杂补偿区 26、27 的电阻, 提高 TFT 的开态电流; 在 TFT 关态时, 第二栅极 80 对第一、第二轻掺杂补偿区 26、27 无影响, 第一、第二轻掺杂补偿区 26、27 保持高阻状态, 能够降低 TFT 的关态电流。

25 综上所述, 本发明提供的一种 TFT 基板的制作方法, 通过在 TFT 中设置第一、第二轻掺杂补偿区, 可降低 TFT 的关态电流; 同时采用第一栅极与第二栅极组成双栅极结构, 减小第一、第二轻掺杂补偿区对 TFT 开态电流的影响, 所述第一栅极与第二栅极相连, 由同一个栅极电压控制, 不需要额外的电压信号; 制程简单, 生产成本低, 制得的 TFT 基板具有较好的电学性能。本发明制得的 TFT 基板, 采用轻掺杂补偿结构来降低 TFT 的关态电流, 采用双栅极结构来降低轻掺杂补偿结构对 TFT 开态电流的影响, 结构简单, 且电学性能优异。

30 以上所述, 对于本领域的普通技术人员来说, 可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形, 而所有这些改变和变形

都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 TFT 基板的制作方法，包括如下步骤：

5 步骤 1、提供一基板，在所述基板上形成有源层，对所述有源层进行离子注入，并在所述有源层上定义出沟道区；

步骤 2、在所述有源层、及基板上依次沉积绝缘层与第一金属层，采用一道光罩对所述第一金属层和绝缘层进行图形化处理，得到与所述有源层的沟道区的宽度相等并且在宽度方向上两端对齐的第一栅极与栅极绝缘层；

10 以所述第一栅极和栅极绝缘层为阻挡层，对所述有源层进行离子注入，得到分别位于沟道区两侧的第一离子重掺杂区与第二离子重掺杂区；

步骤 3、在所述第一栅极、有源层、及基板上沉积第二金属层，采用一道光罩对所述第一金属层进行图形化处理，得到位于所述有源层的两侧且分别与所述有源层的第一离子重掺杂区与第二离子重掺杂区相接触的源极与漏极；

15 将所述第一离子重掺杂区上与源极相接触的部分定义为源极接触区；将所述第二离子重掺杂区上与漏极相接触的部分定义为漏极接触区；

20 以所述源极、漏极、及第一栅极为阻挡层，对所述第一离子重掺杂区上位于所述源极与第一栅极之间的部分、以及所述第二离子重掺杂区上位于第一栅极与漏极之间的部分进行蚀刻，去除上层离子浓度较高的部分，保留下层离子浓度较低的部分，从而得到位于所述源极接触区与沟道区之间的第一轻掺杂补偿区、以及位于所述沟道区与漏极接触区之间的第二轻掺杂补偿区；

25 步骤 4、在所述源极、漏极、有源层、及第一栅极上沉积钝化保护层，采用一道光罩对所述钝化保护层进行图形化处理，对应于所述源极、漏极、及第一栅极的上方分别形成第一通孔、第二通孔、及第三通孔；

30 步骤 5、在所述钝化保护层上沉积导电层，采用一道光罩对所述导电层进行图形化处理，得到第一接触电极、第二接触电极、及第二栅极，所述第一、第二接触电极分别经由第一、第二通孔与源极、漏极相连，所述第二栅极经由第三通孔与第一栅极相连；

所述第二栅极的宽度大于所述第一栅极的宽度，且所述第二栅极的两侧分别覆盖位于所述第一栅极两侧的第一轻掺杂补偿区与第二轻掺杂补偿区。

2、如权利要求1所述的TFT基板的制作方法，其中，所述步骤1中，在所述基板上形成有源层的具体实施方式为：在基板上沉积非晶硅薄膜，采用固相结晶方法将所述非晶硅薄膜转化为低温多晶硅薄膜后，采用一道光罩对所述低温多晶硅薄膜进行图形化处理，得到有源层。

5 3、如权利要求1所述的TFT基板的制作方法，其中，所述沟道区为N型离子轻掺杂区，所述源极接触区、漏极接触区为P型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为P型离子轻掺杂区；或者，所述沟道区为P型离子轻掺杂区，所述源极接触区、漏极接触区为N型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为N型离子轻掺杂区。

10 4、如权利要求1所述的TFT基板的制作方法，其中，所述第二栅极的左侧与源极的右侧之间形成第一重叠区，所述第二栅极的右侧与漏极的左侧之间形成第二重叠区。

15 5、如权利要求1所述的TFT基板的制作方法，其中，所述第一、第二接触电极、及第二栅极的材料均为透明导电金属氧化物。

20 6、一种TFT基板，包括基板、设于所述基板上的有源层、设于所述有源层及基板上的源极与漏极、设于所述有源层上的栅极绝缘层、设于所述栅极绝缘层上的第一栅极、设于所述源极、漏极、有源层、及第一栅极上的钝化保护层、以及设于所述钝化保护层上的第一接触电极、第二接触电极、及第二栅极；

所述有源层包括位于中间的沟道区、位于两端的源极接触区与漏极接触区、位于所述源极接触区与沟道区之间的第一轻掺杂补偿区、以及位于所述沟道区与漏极接触区之间的第二轻掺杂补偿区；

25 所述第一栅极、及栅极绝缘层与所述有源层的沟道区的宽度相等并且在宽度方向上两端对齐；

所述钝化保护层上设有分别对应于所述源极、漏极、及第一栅极上方的第一通孔、第二通孔、及第三通孔；所述第一、第二接触电极分别经由第一、第二通孔与源极、漏极相连，所述第二栅极经由第三通孔与第一栅极相连；

30 所述第二栅极的宽度大于所述第一栅极的宽度，且所述第二栅极的两侧分别覆盖位于所述第一栅极两侧的第一轻掺杂补偿区与第二轻掺杂补偿区。

7、如权利要求6所述的TFT基板，其中，所述第一轻掺杂补偿区与第二轻掺杂补偿区的上表面低于所述沟道区、源极接触区、及漏极接触区的

上表面。

8、如权利要求 6 所述的 TFT 基板，其中，所述沟道区为 N 型离子轻掺杂区，所述源极接触区、漏极接触区为 P 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 P 型离子轻掺杂区；或者，所述沟道区
5 为 P 型离子轻掺杂区，所述源极接触区、漏极接触区为 N 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 N 型离子轻掺杂区。

9、如权利要求 6 所述的 TFT 基板，其中，所述第二栅极的左侧与源极的右侧之间形成第一重叠区，所述第二栅极的右侧与漏极的左侧之间形成第二重叠区。

10 10、如权利要求 6 所述的 TFT 基板，其中，所述第一、第二接触电极、及第二栅极的材料均为透明导电金属氧化物。

11、一种 TFT 基板，包括基板、设于所述基板上的有源层、设于所述有源层及基板上的源极与漏极、设于所述有源层上的栅极绝缘层、设于所述栅极绝缘层上的第一栅极、设于所述源极、漏极、有源层、及第一栅极
15 上的钝化保护层、以及设于所述钝化保护层上的第一接触电极、第二接触电极、及第二栅极；

所述有源层包括位于中间的沟道区、位于两端的源极接触区与漏极接触区、位于所述源极接触区与沟道区之间的第一轻掺杂补偿区、以及位于所述沟道区与漏极接触区之间的第二轻掺杂补偿区；

20 所述第一栅极、及栅极绝缘层与所述有源层的沟道区的宽度相等并且在宽度方向上两端对齐；

所述钝化保护层上设有分别对应于所述源极、漏极、及第一栅极上方的第一通孔、第二通孔、及第三通孔；所述第一、第二接触电极分别经由第一、第二通孔与源极、漏极相连，所述第二栅极经由第三通孔与第一栅极
25 相连；

所述第二栅极的宽度大于所述第一栅极的宽度，且所述第二栅极的两侧分别覆盖位于所述第一栅极两侧的第一轻掺杂补偿区与第二轻掺杂补偿区；

30 其中，所述第一轻掺杂补偿区与第二轻掺杂补偿区的上表面低于所述沟道区、源极接触区、及漏极接触区的上表面；

其中，所述沟道区为 N 型离子轻掺杂区，所述源极接触区、漏极接触区为 P 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺杂补偿区为 P 型离子轻掺杂区；或者，所述沟道区为 P 型离子轻掺杂区，所述源极接触区、漏极接触区为 N 型离子重掺杂区，所述第一轻掺杂补偿区、第二轻掺

杂补偿区为 N 型离子轻掺杂区。

12、如权利要求 11 所述的 TFT 基板，其中，所述第二栅极的左侧与源极的右侧之间形成第一重叠区，所述第二栅极的右侧与漏极的左侧之间形成第二重叠区。

- 5 13、如权利要求 11 所述的 TFT 基板，其中，所述第一、第二接触电极、及第二栅极的材料均为透明导电金属氧化物。

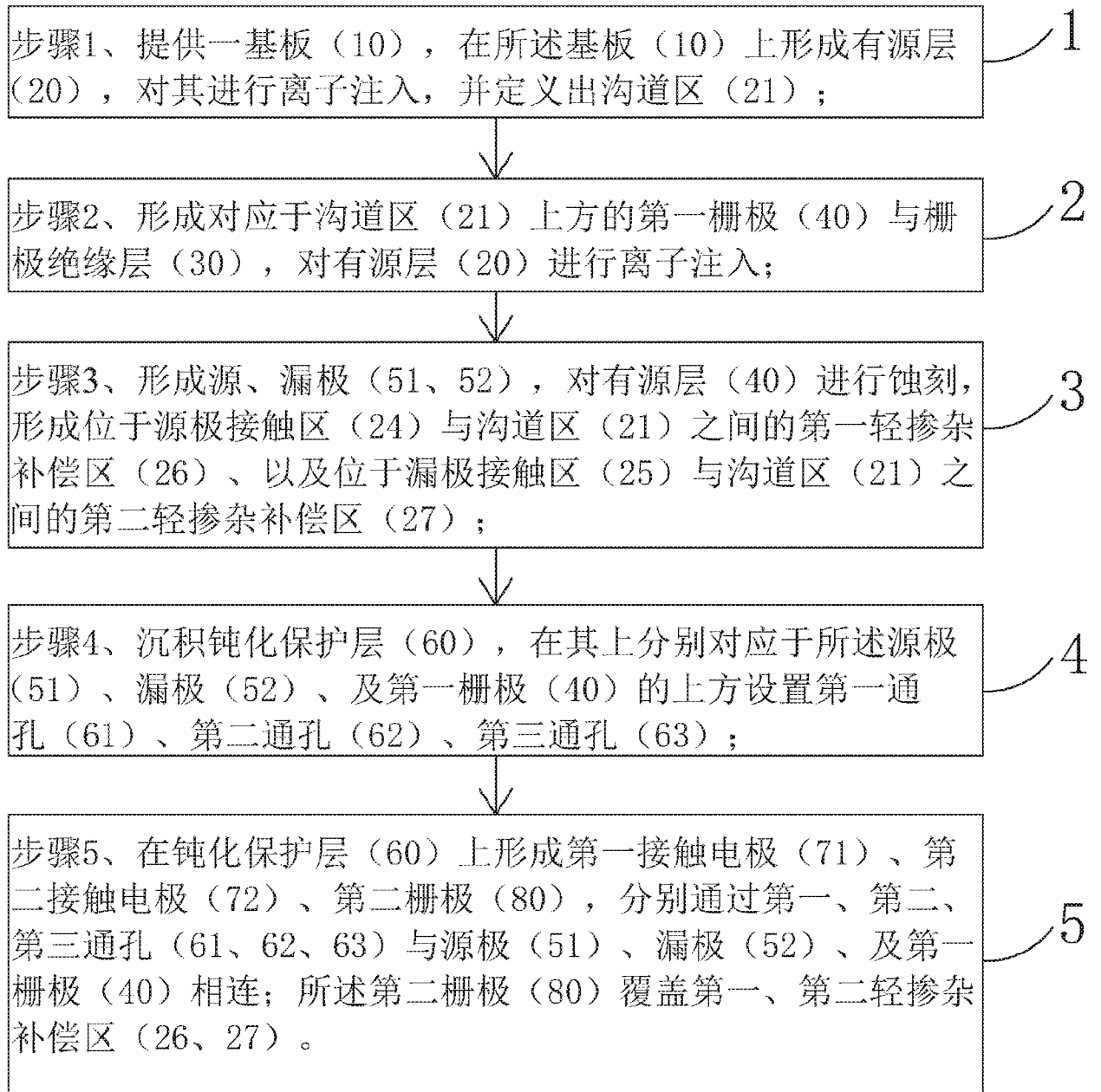


图1

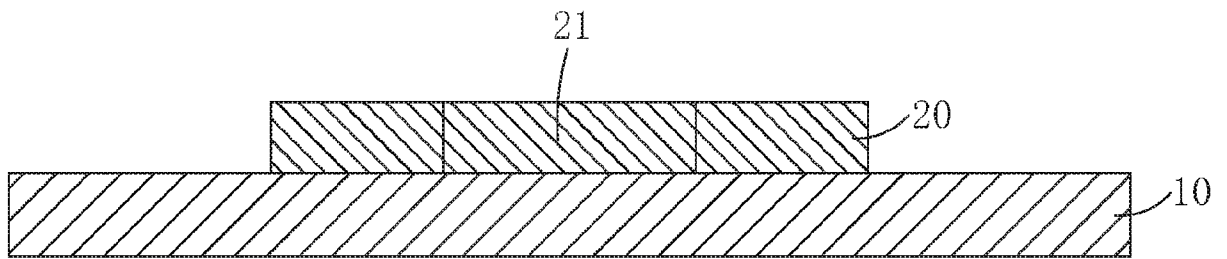


图2

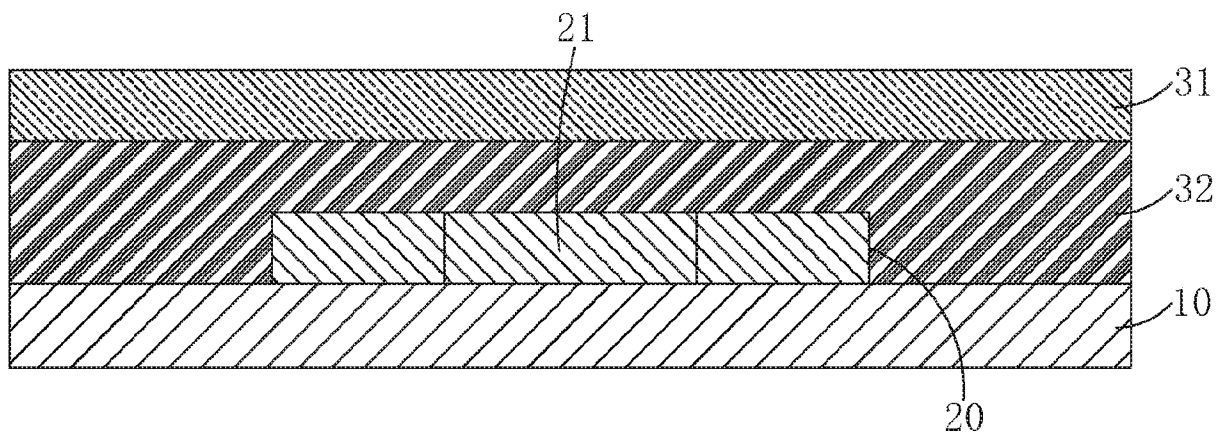


图3

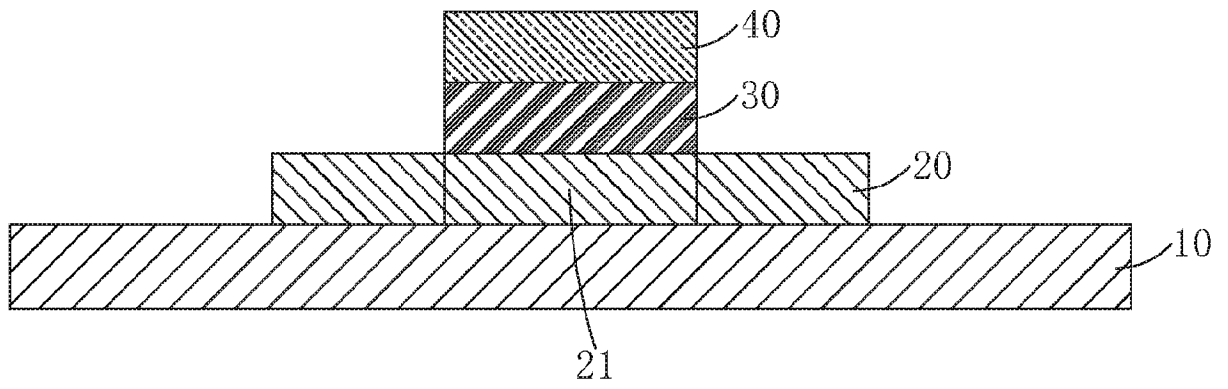


图4

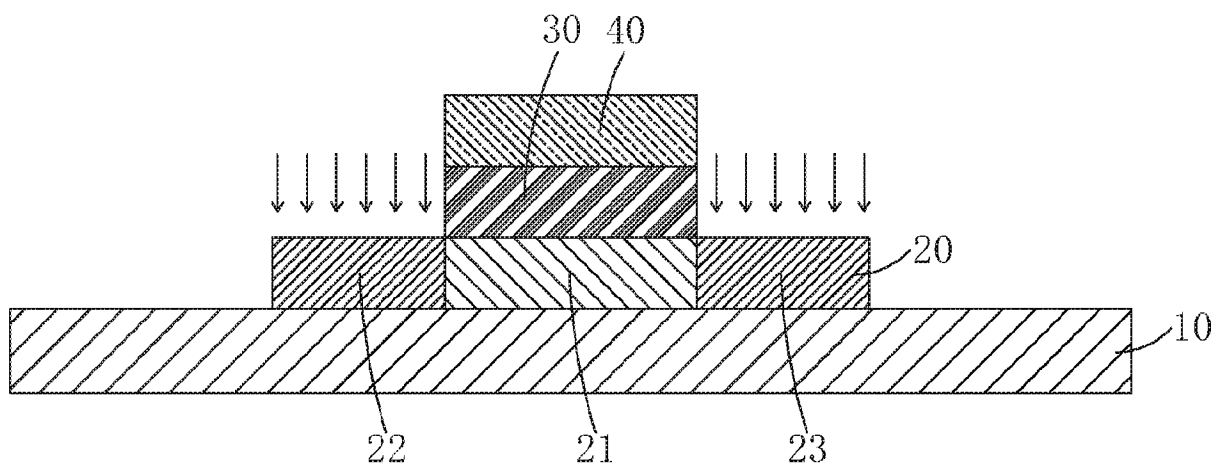


图5

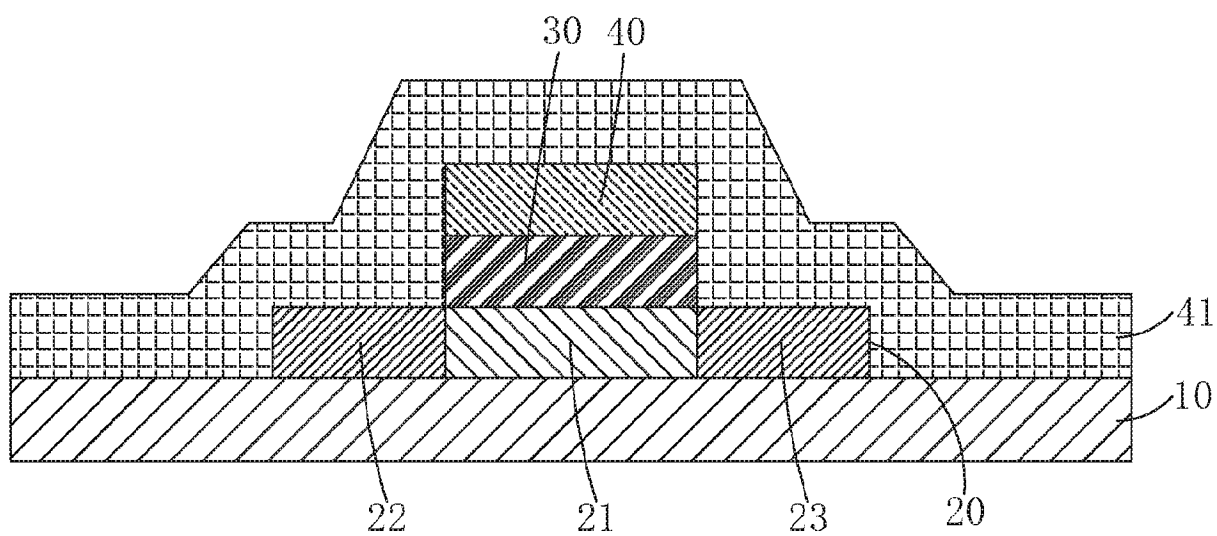


图6

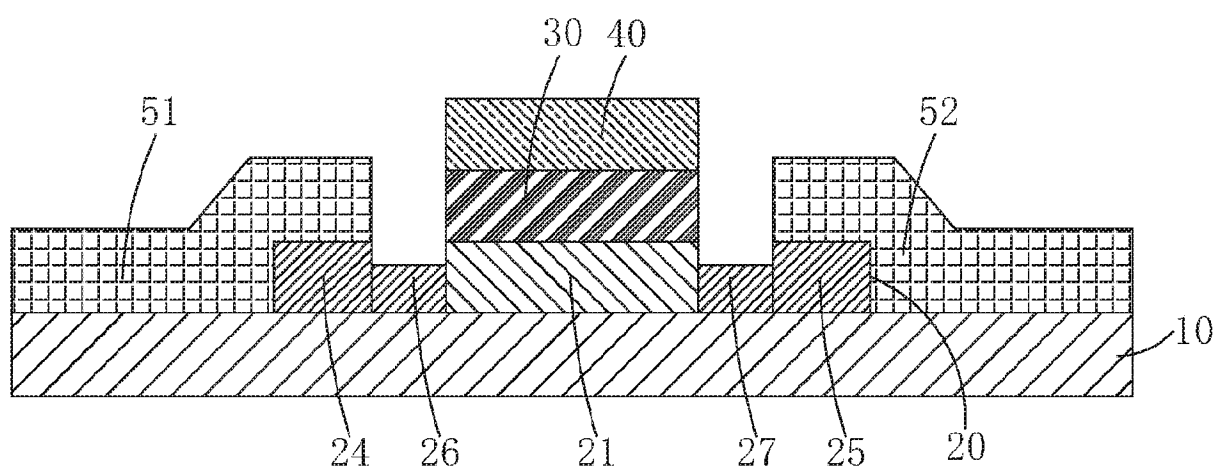


图7

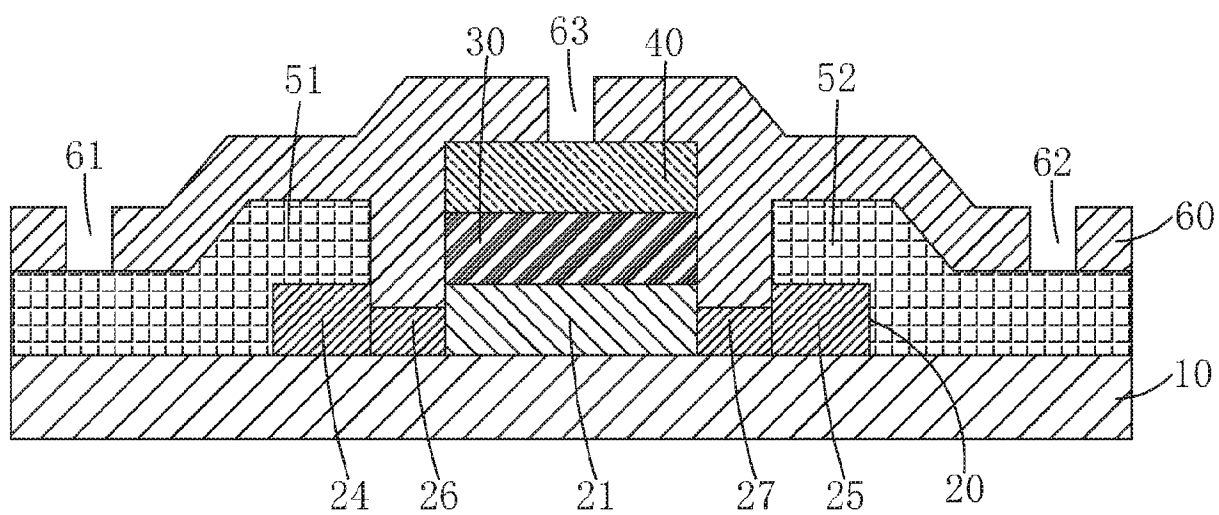


图8

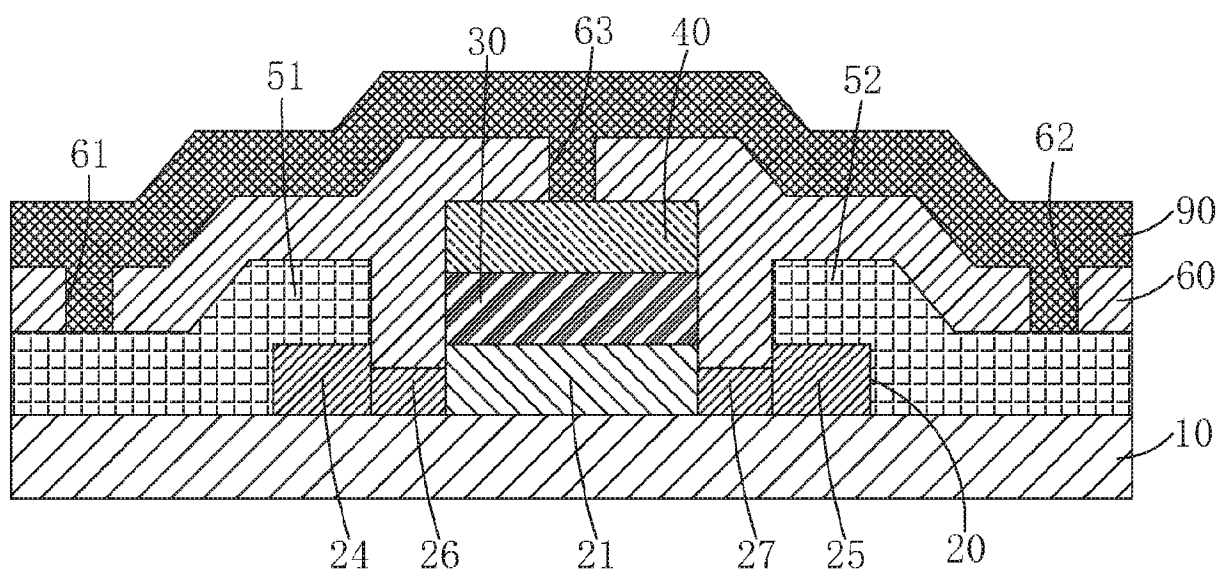


图9

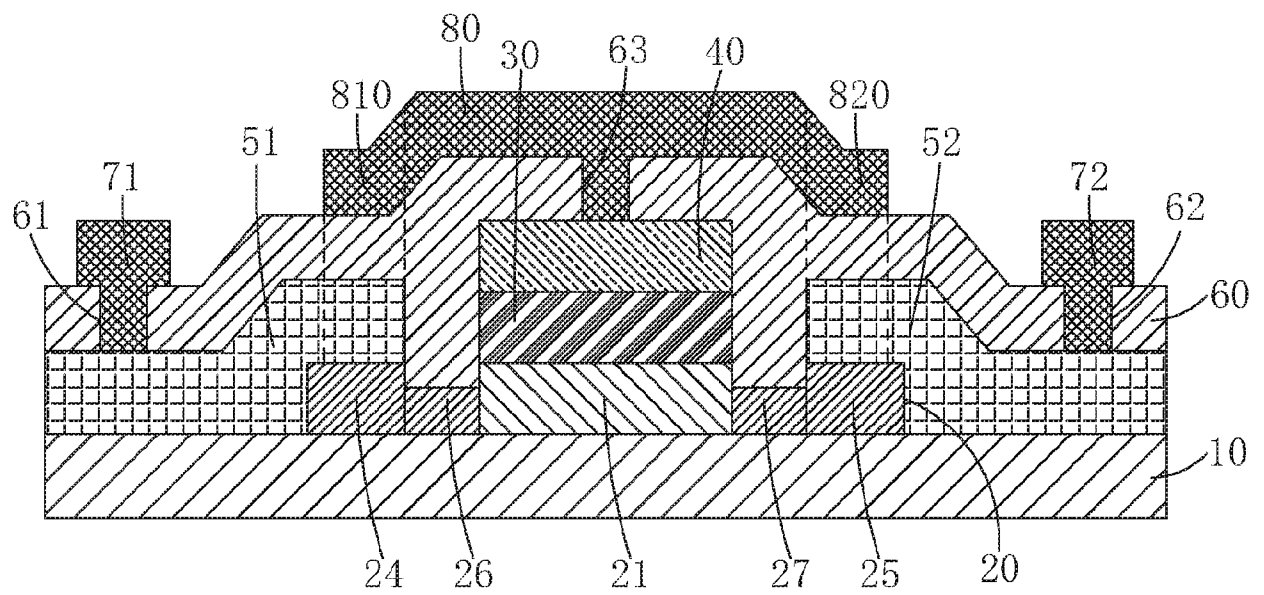


图10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/080190

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i; H01L 29/423 (2006.01) i; H01L 29/08 (2006.01) i; H01L 29/786 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX; DWPI: lightly doped, upper surface, insulating layer, removal, passivation layer, upper, LDD, thin film transistor, low, heavily doped, high, second gate, big, first grid, concentration, dielectric layer, area, light doping compensation, board, TFT, film, transistor, offset, thin, lightly, doped, etched, first, second, surface, insulated, layer, gate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104681628 A (BOE TECHNOLOGY GROUP CO., LTD.), 03 June 2015 (03.06.2015), description, paragraphs 39-94, and figures 2-9	6, 8-10
A	CN 105161496 A (BOE TECHNOLOGY GROUP CO., LTD.), 16 December 2015 (16.12.2015), the whole document	1-13
A	CN 104241390 A (EVERDISPLAY OPTRONICS (SHANGHAI) LIMITED), 24 December 2014 (24.12.2014), the whole document	1-13
A	US 2007051956 A1 (SHIH et al.), 08 March 2007 (08.03.2007), the whole document	1-13
A	JP 2004303791 A (TOPPOLY OPTOELECTRONICS CORP.), 28 October 2004 (28.10.2004), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 19 December 2016 (19.12.2016)	Date of mailing of the international search report 28 December 2016 (28.12.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHANG, Hong Telephone No.: (86-10) 62089915

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/080190

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104681628 A	03 June 2015	WO 2016145967 A1	22 September 2016
CN 105161496 A	16 December 2015	None	
CN 104241390 A	24 December 2014	US 2014374714 A1	25 December 2014
		KR 20140148349 A	31 December 2014
		JP 5806761 B2	10 November 2015
		JP 2015005753 A	08 January 2015
		KR 101600475 B1	07 March 2016
		TW I518845 B	21 January 2016
		US 9159773 B2	13 October 2015
		TW 201501244 A	01 January 2015
US 2007051956 A1	08 March 2007	None	
JP 2004303791 A	28 October 2004	JP 4510396 B2	21 July 2010
		TW I220072 B	01 August 2004
		US 2004185607 A1	23 September 2004
		US 7098492 B2	29 August 2006
		TW 200417035 A	01 September 2004

国际检索报告

国际申请号

PCT/CN2016/080190

A. 主题的分类

H01L 21/77 (2006.01)i; H01L 27/12 (2006.01)i; H01L 29/423 (2006.01)i; H01L 29/08 (2006.01)i; H01L 29/786 (2006.01)i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNTXT; DWPI: 轻掺杂, 上表面, 绝缘层, 掺杂, 去除, 钝化层, 上, LDD, 薄膜晶体管, 低, 第一, 重掺杂, 高, 第二, 刻蚀, 第二栅, 大, 第一栅, 浓度, 介电层, 区, 表面, 蚀刻, 轻掺杂补偿, 板, TFT, film, transistor, offset, thin, lightly, doped, etched, first, second, surface, insulated, layer, gate

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104681628 A (京东方科技集团股份有限公司) 2015年 6月 3日 (2015 - 06 - 03) 说明书第39段-第94段, 说明书附图2-9	6, 8-10
A	CN 105161496 A (京东方科技集团股份有限公司) 2015年 12月 16日 (2015 - 12 - 16) 全文	1-13
A	CN 104241390 A (上海和辉光电有限公司) 2014年 12月 24日 (2014 - 12 - 24) 全文	1-13
A	US 2007051956 A1 (SHIH等) 2007年 3月 8日 (2007 - 03 - 08) 全文	1-13
A	JP 2004303791 A (统宝光电股份有限公司) 2004年 10月 28日 (2004 - 10 - 28) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 12月 19日

国际检索报告邮寄日期

2016年 12月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

张弘

传真号 (86-10) 62019451

电话号码 (86-10) 62089915

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/080190

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104681628	A	2015年 6月 3日	WO	2016145967	A1	2016年 9月 22日
CN	105161496	A	2015年 12月 16日	无			
CN	104241390	A	2014年 12月 24日	US	2014374714	A1	2014年 12月 25日
				KR	20140148349	A	2014年 12月 31日
				JP	5806761	B2	2015年 11月 10日
				JP	2015005753	A	2015年 1月 8日
				KR	101600475	B1	2016年 3月 7日
				TW	I518845	B	2016年 1月 21日
				US	9159773	B2	2015年 10月 13日
				TW	201501244	A	2015年 1月 1日
US	2007051956	A1	2007年 3月 8日	无			
JP	2004303791	A	2004年 10月 28日	JP	4510396	B2	2010年 7月 21日
				TW	I220072	B	2004年 8月 1日
				US	2004185607	A1	2004年 9月 23日
				US	7098492	B2	2006年 8月 29日
				TW	200417035	A	2004年 9月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)