

公告本

申請日期	87 年 4 月 30 日
案 號	87106686
類 別	H01L 23/12

A4
C4
419797

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體元件搭載用基板及其製造方法以及半導體裝置
	英 文	
二、發明 創作人	姓 名	(1) 福富直樹 (2) 若島喜昭 (3) 木田明成
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國茨城縣結城市結城八四六三-五
	住、居所	(2) 日本國神奈川縣川崎市麻生區細山一-三-一 (3) 日本國栃木縣下都賀郡野木町友沼五三二四-一二
三、申請人	姓 名 (名稱)	(1) 日立化成工業股份有限公司 日立化成工業株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都新宿區西新宿二丁目一番一號
	代 表 人 姓 名	(1) 內崎功

裝

訂

線

419797

申請日期	87 年 4 月 30 日
案 號	87106686
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 直之進
	國 籍	(4) 日本 (4) 日本國茨城縣結城市結城七一八八-三二
	住、居所	
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

419797

(由本局填寫)

承辦人代碼：

大類：

IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號：

日本	1998 年 2 月 6 日	10-25896
日本	1997 年 4 月 30 日	9-112753

，☐有 ☐無主張優先權☒有主張優先權☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

(技術領域)

本發明有關於搭載半導體元件之半導體元件用基板以及其製造方法，以及實裝半導體元件之具備半導體元件搭載用基板之半導體裝置。

(發明之背景)

最近之半導體裝置係由於積體度之增大，高頻化，以此希望為多梢且小型之封裝。因此使用以往之引線架之周邊端子乃端子數之一增加就會使封裝大型化，對大型化之對策雖可採端子節距之縮小，惟0.4mm以下就有困難之狀況。

對於端子數之增加之對應策而有將端子配置成面狀之面陣列型之封裝，此面陣列(Area Array)封裝時，即須要由晶片端子將配線引至外部端子電極用之配線基板。如果將外部端子電極設於配線基板下面，即晶片之搭載面將分為設於配線之上面或設於配線之下面之兩種情形。如果在配線基板上上面搭載晶片時，即必要設有連給配線基板上上面與下面之層間連結。如果在配線基板下面搭載晶片時即不需要此種連接。惟將晶片搭載於配線基板下面時，為了吸收晶片之厚度以及密封所必要之厚度需要有凹部。

此凹部稱謂空腔(Cavity)，當空腔存在於下面時稱謂下空腔(Cavity-down)構造，為了製作此構造通常採取對基板之削面加工，或控空基板後接著底板來製作。此構造時，由於配線面為同一平面上，因此欲改變晶片連接部

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

與外部電極之高度時，需要多層構造之配線，依此方法即可形成滿足晶片收容部與晶片連接部與外部電極部之立體位置關係之配線構造。

面陣列型半導體封裝之一種有，在其連接端子上使用焊錫球之 B G A (Ball Grid Array)。此 B G A 乃與以往之使用引線架之半導體裝置相比較時，其價格昂貴而被要求設法減低其價格，價格高之理由為，其半導體元件搭載用基板之構造或製程係與引線架方式複雜乃其主要原因，因此開發出構造及製程之單純之半導體元件搭載用基板之要求很殷切。

使用於面陣列型半導體封裝之配線基板乃通常稱之謂「插入式選擇指」(interposer)，插入式選擇指大別為膜片形狀及硬板形狀。配線層數即一層或二層或三層以上，一般而言配線層數少者之製造成本低。

最能期望低成本者乃一層之配線構造，配線之存在於插入式選擇指之至少兩面時，可以將半導體晶片搭載部及外部端子分為表、背面，惟一層之配線構造之插入式選擇指時由於半導體晶片搭載部與外部端子將成為同一面，因此此種一層之配線構造時，須在配線面側設置為收容半導體晶片用之至少晶片之厚度程度之凹部，因此其製造法乃成為研究之課題。

稱謂 T A B (Tape Automated Bonding) 或 T C P (Tape Carrier Package) 之插入式選擇指及封裝技術時，即挖空插入式選擇指之中央部而設置半導體晶片。又硬板形

五、發明說明(3)

狀時也是挖空插入式選擇指之中央部而製作半導體晶片收容部而接著金屬板為其底板，或將插入式選擇指之中央部予以削面加工來形成凹部。此種方法時配線在平面部沒有存在於凹部。

(發明之概要)

本發明乃考慮上述之點所開發，其目的乃提供一種可能小型化，高可靠性，低廉，使其設計及製造方法之標準化容易化之搭載半導體元件之半導體元件搭載用基板及其製造方法，以及在半導體元件搭載用基板實裝半導體元件之半導體裝置。

為了達成上述目的，本發明乃在於具備凹部之半導體元件搭載用基板，或在該凹部搭載半導體元件之後，藉由密封樹脂而予以密封之半導體裝置中，其特徵為：

上述半導體元件搭載用基板乃備有沿著該基板表面及上述凹部之基板壁面所配置之配線，上述配線乃由：連接於設置於上述凹部所開口側之該基板表面之外部連接端子之外部連接端子部，及與上述搭載之半導體元件連接之內連接端子部，及上述外部連接端子部與上述內連接端子部間之配線部，而構成，上述配線係埋入於上述基板表面及上述凹部之基板壁面，上述內連接端子部乃據位於上述凹部內之位置者。

例如上述凹部之基板壁面係具備有延伸於該凹部之底面方向之預先規定之傾斜角度範圍內之坡度。

(請先閱讀背面之注意事項再填寫本頁)

訂

備

五、發明說明(4)

而上述凹部基板壁面之傾斜角度為 $5 \sim 40$ 度之範圍內。更合宜為 $10 \sim 40$ 度之範圍。又上述凹部之基板壁面之傾斜構造之高度 G 與其水平距離之比 L/G 為 $1.5 < L/G < 10$ 之範圍內。更合宜為 $2 < L/G < 10$ ，最合宜為 $3 < L/G < 10$ 之範圍內。

上述凹部乃例如藉由凸形之沖壓成形所構成。又上述凹部乃複數級階地形成之構成亦可。

又上述凹部上，設置將該凹部再施予削面加工所形成之為收容半導體元件用之半導體元件收容部之構成亦可以。

此時上述經削面加工而成之半導體元件收容部之深度乃，較欲搭載之半導體元件之厚度大者為宜。

又上述之半導體元件搭載用基板及半導體裝置中。

該基板表面部之上述外部連接端子部與上述凹部內之上述內連接端子部之級階高度差為 0.05 mm 以上為宜。

該搭載於上述凹部之半導體元件之端子與上述內連接端子部乃以引線連接地予以連接。

或將半導體元件之端子以背面饋送方式地直接連接於上述內連接端子部為宜。

又上述配線係設置於上述凹部之除了角部之壁面領域。

又上述凹部乃形成於該基板之主平面之略中心位置，於上述凹部內，對於該半導體元件搭載用基板之厚度

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

方向之略中央地搭載半導體元件者。

在上述凹部內，對於該基板之厚度方向由中央以該基板之厚度之30%偏倚以內地搭載半導體元件之構成亦可。

又將上述凹部乃於底面領域備有可以收容之複數之元件之寬度，同時形成有對上述複數之元件之配線，而在該凹部搭載複數之半導體元件及受動元件而構成亦可。

又上述配線乃利用全部由金屬所構成之可能抽拉加工之配線構成體所形成者，

上述可能抽拉加工之配線構成體系至少含有備有構成上述配線之第1之金屬層，及擔任該載置層之機能之第2之金屬層之多層構造者為宜。

又上述凹部之深度乃較所搭載之半導體元件之厚度小

而將上述凹部之底面，對於該半導體元件搭載用基板之厚度方向，由中央實施該搭載之該半導體元件之厚度之0.5乃至2.5倍之範圍內之深度地施予削面加工亦可以。

上述凹部之深度乃較欲搭載之半導體元件之厚度為小，且對該凹部施予削面加工，該至少露出之削面加工之底面為由不織布所成之預含浸樹脂之疊層予以硬化而成之樹脂層之構成亦可。

此時在形成上述凹部之樹脂層之背面接著厚度0.035mm以上之金屬板，令上述凹部之深度小於欲

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

搭載之半導體元件之厚度，且對於該凹部之底面施予削面加工使上述金屬板露出。或在形成上述凹部之樹脂層之背面接著厚度0.2mm以上之金屬板，使上述凹部之深度小於所搭載之半導體之元件之厚度為小，且上述金屬板之削面深度能達0.05mm以上地對於該凹部之底面實施削面加工。

又樹脂層之削面乃在到達於上述金屬板之前使之終了亦可。

再者，為了達成上述目的之本發明乃

在半導體元件搭載用基板之製造方法中，將且有，至少含有第1之金屬層及擔任該載置層之機能之第2金屬層之多層構造。將全部由金屬所構成之可能抽拉加工之配線構成體，壓接於樹脂基板予以接著，同時在該樹脂基板上，形成備有預先規定之傾斜角度範圍內之坡度之壁面之凹部，而藉留存上述第1之金屬層去除其他之金屬層，以資沿著該基板表面到上述凹部之基板壁面地配置形成，

由：連接於設置於上述凹部所開口側之該基板表面之外部連接端子之外部連接端子部，及與上述搭載之半導體元件連接之內部連接端子部，及上述外部連接端子部與上述內連接部端子間之配線部而構成，埋入於上述基板表面及上述凹部之基板壁面之配線，為其特徵。

本案例中上述可能抽拉加工之配線構成體之破斷延伸率為2%以上為宜。

又上述構成可能抽拉加工之配線構成體之上述載置層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

之厚度乃在於 $0.010\text{ mm} \sim 0.050\text{ mm}$ 之範圍為宜。

又上述凹部之基板壁面之傾斜角範圍為 5 度以上 40 度以下，

而上述凹部之深度乃其所收容之半導體元件之至少 30% 以上為宜。

又形成上述凹部之後，在上述凹部之底面施予削面加工，在上述削面加工之後，去除上述其他之金屬層之構成亦可以。在有其他之金屬層之狀態下，施予削面加工時即可以精度良好的實施削面加工。

又為了達成上述目的，本發明乃於備有搭載半導體元件用之凹部及配線之半導體元件搭載用基板之製造方法中，使上述凹部之深度小於所搭載之半導體元件之厚度，且在該凹部之底面施予削面加工者，在上述削面加工時，切斷對於上述搭載之半導體元件之配線之一部份，而使該配線之端部到著於以削面加工所形成之凹部之邊緣部為其特徵由而凹部之邊緣部之加工精度會提高。

依本發明時可形成可以收容半導體元件之凹部，同時可形成對應於半導體元件之連接之微細配線，合乎於面陣列型半導體封裝，利用此技術之半導體封裝件乃適合於 C S P (Chip Scale Package)，F B G A (Fine Pitch Ball Grid Array)，B G A (Ball Grid Array)，L G A (Land Grid Array) 等。

五、發明說明(8)

(實施發明之最良形態)

參照圖1~圖4說明適用本發明之半導體裝置之實施形態。又本發明並不侷限於下述之形態。

依本發明之半導體裝置乃如各圖所示，具備有，半導體元件(半導體晶片)1，及備有用於搭載半導體晶片1用之凹部或貫穿孔部之絕緣基板7，及電氣的連接於，形成於絕緣基板7之表面之半導體晶片，同時在實裝時實施與外部之連接之外部電極5，以及密封了收容半導體晶片1之凹部或貫穿孔部之密封樹脂4。

本實施形態之半導體裝置上，再設有電氣的連接半導體晶片1及外部電極5之配線2。此配線2乃由：連接有為與半導體晶片1連接用之引線3之內連接端子部，及連接於外部電極5之外部端子連接部，及由該內連接端子部與外部連接端子部之間之配線部所構成，上述內連接端子部與上述外部連接端子部之間設有級階高低差。

本例中，連接引線3與外部電極5之間之配線2乃採用從配置外部電極5之基板表層部到上述凹部壁面或底面之表層部地連續的埋入之方式。又半導體晶片1，引線3，引線3與配線2之連接部(內連接端子部)，及配線2之主要部份或全部之部份均據位於上述凹部內，而由密封樹脂4而予以密封。

又圖1~圖4中，標號6乃設於絕緣基板7之表面之表面層，標號8係設於絕緣基板7之背面側之金屬板。

上述半導體裝置及半導體元件搭載用基板乃具有至少

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

包含有第 1 之金屬層，及做為該載置層之機能之第 2 金屬層之多層構造。將全部由金屬所構成之可能抽拉加工之配線構成體接著於樹脂基板，同時在該樹脂基板上形成，備有預先規定之傾斜角度範圍內之坡度之壁面之上述凹部，留存上述之第 1 金屬層而去除其他之金屬層，由而沿著該基板表面至上述凹部之基板壁面地配置形成，埋入於上述基板表面及上述凹部之基板壁面之，由：連接於設置於上述凹部所開口側之該基板表面之外部連接端子之外部連接端子部，及與上述搭載之半導體元件連接之內連接端子部，以及上述外部連接端子部與上述內連接端子部之間之配線部所構成之配線，而製造。

將上述可能抽拉加工之配線構成體壓接，接著於樹脂基板，留存第 1 之金屬層而去除其他金屬層時，第 1 之金屬層之配線之不接觸於其他之金屬層之 3 面乃被埋入於樹脂基板，接觸於配線之其他之金屬層之 1 面乃以樹脂基板之同一面地會露出，本發明中，配線之埋入乃代表下述之意義。

上述可能抽拉加工之配線構成體中，該第 1 之金屬層之配線之接觸於其他之金屬層之配線面 (a) 之寬度乃與配線面 (a) 之相反面之配線面 (b) 之寬度相比較時會變大。本發明中寬度大之配線 (a) 之面露出，以此面可供端子之用，因此可以使每單位面積之配線密度增大，可能達高密度化。

關於可能抽拉加工之配線構成體乃以，至少包含做為

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10)

配線之機能之第1金屬層及做為其載置層之機能之第2金屬層之多層構造之方式，或由：一片之金屬箔之一面介著規定之抗蝕劑花樣施予半蝕刻而形成配線而做為配線之機能之第1金屬層，以及做為其載置層之機能之第2金屬層所成之構造亦可以。

將上述可能抽拉加工之配線構成體壓接於樹脂基板而予以接著，留存第1之金屬層而去除其他之金屬層時留存其他之金屬層之一部份，例如內連接端子部，外部連接端子部之處所等情形亦可以。

上述凹部乃以對應於它之凸形之壓製成形者，將它本身或該凹部再加以削面加工以資形成供半導體晶片1之收容部之半導體元件收容部。又凹部即以設置複數之級階方式亦可。

又對上述凹部或將該凹部予以削面加工而形成之半導體元件收容部之深度乃使之大於所搭載之半導體晶片1之厚度為宜。

又對於上述凹部施予削面加工時，即施予該削面加工之後才去除其他之金屬層（載置層）之構成亦可以。

又本實施形態中，設置配線2之傾斜部之傾斜角度乃定於在下面詳述之該裝置用基板之製造方法之對應於製造條件地予以設置之預先規定之角度範圍內。

更具體的說，上述凹部壁面之傾斜角度定為5~40度以下，又更合宜為5~25度，又最合宜為5~18度，此傾斜角度乃不但是對應於使用於壓製加工之沖壓模加

五、發明說明(11)

工之模突起部之形狀，也對應於形成於配線2所使用之可能抽拉加工之配線構成體（轉印用金屬箔）之物性及凹部壓製成型之製造條件等所決定。傾斜角度乃代表最大傾斜角度。

又使用傾斜部之高度G及水平距離L來表示時（參照圖1）即，關於本實施形態之半導體裝置之傾斜部份即 $1.5 < L / G < 10$ 。

更合宜為 $2 < L / G < 10$ ，最合宜為 $3 < L / G < 10$ 。

又上述級階之深度乃以應收容之半導體晶片1之厚度之30%為宜。

半導體晶片1之厚度一般係0.2乃至0.5mm所以級階深度至少須要0.06乃至0.15mm。

級階之深度乃由電極5之高度也不同，如圖1～圖4所示以焊錫球做為外部電極5時，由焊錫球之大小而餘裕度將不同，例如焊錫球之直徑為0.7mm程度時，實施低的引線連接，將密封樹脂4之高度抑制於0.2mm程度即可充分保持封裝與母基板之間隔。惟焊錫球之直徑為0.4mm以下時，即不設凹部而保持封裝（殼體）與母基板之間隔會很困難。

又不使用焊錫球之LGA（Land Grid Array）時須在凹部內設置引線連接部。

在半導體晶片1之絕緣基板7上，如設正方形長方形之級階高度差時，其角隅部最容易破斷。又雖不至於破斷

（請先閱讀背面之注意事項再填寫本頁）

不

訂

五、發明說明(12)

也受很大的變形，因此在於角隅部設配線時會引起長期時可靠性會有問題之可能，所以在該處不設配線為宜，如果需在角隅部設配線，角隅部上設 R 即可以。

又在絕緣基板 7 之凹部，對於該基板之厚度方向能位於中央部地搭載半導體晶片 1。因此可以當在發生溫度循環時之該半導體裝置之變形抑制於最小。

另一方面將半導體元件由中央部偏倚地搭載時，乃與基板之剛性與密封樹脂之硬化收縮量有關係，在基板厚度之 30% 之偏倚之情形下，仍然可確保可靠性。

又半導體晶片 1 之收容部乃，在藉壓製加工之凹部形成再加上例如圖 1 或圖 4 所示，對於凹部內再施予削面加工而可製作種種規格之半導體元件搭載用基板，削面加工乃在印刷配線基板上一般性的實施者，因此藉端銑刀而機械的實施，加工尺寸即 X Y Z 方向均能精密地控制。

本實施形態時，削面加工深度需要維持於收容晶片之厚度之 0.5 倍至 2.5 倍之範圍內。這是受引線接觸之容易性之關係。在於高度低之低環引線連接時，晶片側連接位置與基板側連接位置之高度乃變化少者為宜。

削面加工面之狀態會影響至半導體晶片 1 之接著及密封樹脂 4 之接觸。以布狀之連續玻璃纖維來形成搭載半導體晶片 1 用之絕緣基板 7 時，在削面加工面而玻璃纖維及樹脂有剝離之情形，在此情形時，對於削面加工面之密封樹脂或模連接樹脂之濡順性不佳，接著力弱。不織布時即其玻璃纖維乃短纖維，其削面加工面平滑，所以對於削面

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明(13)

加工面之密封樹脂或模連接樹脂之濡順性良好，接著力強。

關於製造方法之詳狀將於下面再說明。

再者，亦可以在絕緣基板 7 之中心部形成收容半導體元件不充分厚度之凹部及配線，再對於該凹部施予削面加工於削面加工時切斷配線 2 之一部份，使配線 2 之端部能到達於藉由削面加工所形成之凹部之構成亦可。

又如圖 3 所示，在絕緣基板 7 之中心部形成可收容複數之元件之凹部及配線 2，在該凹部搭載複數之半導體元件或受動元件等之構成亦可以。配線 2 乃使用於凹部內之半導體晶片間之配線及凹部與凹部外之配線。

再者，如在凹部之壓製形成時，將金屬板設置於背面側時即同時成一體地形成具有散熱層等之機能之可能之金屬部。

又如圖 4 所示，在安裝於絕緣基板 7 之背面之金屬板 8 實施削面加工，在削面加工之凹部之底面露出金屬層之構成亦可以。在爲了露出金屬層之削面加工上採用端銑刀時須對金屬面銑進，所以須要加厚金屬板 8，使用薄的金屬層時，實質上採用端銑刀加工時板厚精度之補正很困難，惟單獨使用或併用雷射加工，電漿加工，樹脂蝕刻加工而可製作。又對於須削面加工之部份予以挖空加工，接著別的基板或金屬板來形成亦可以。

下面參照圖 5 ~ 圖 8 說明本實施形態之半導體裝置之製造方法。

五、發明說明(14)

說明第1之例

依本例之製造方法中，首先為形成包含配線2之配線用之轉印用金屬箔而使用例如圖5或圖6所示，在厚度 $35\mu\text{m}$ 之銅箔（載置層）10上，以電鍍形成 $0.5\mu\text{m}$ 之鎳層11，又再形成 $5\mu\text{m}$ 之銅箔12之三層構造箔。此銅箔乃日本電解（株）所製。

又本發明中轉印用金屬箔乃只要全部以金屬所構成不含一些樹脂等即可上述構造以外者亦無妨。即轉印用金屬箔至少具有載置層（本例中銅箔10），及配線層（本例中銅層12）即足，載置層與配線層為由同種之金屬所構成時，即於層間設置由不同種之金屬所成之遮屏層（本例中鎳合金11），又載置層乃在後過種中以蝕刻來去除。載置層亦可留存一部份應用做端子之用。

又轉印用金屬箔乃須具有於製程溫度領域（壓製溫度 $150^{\circ}\text{C}\sim 250^{\circ}\text{C}$ ）中，2%以上之破斷延伸率（破斷延伸率乃100%以下為宜）。

轉印用金屬箔乃規定其載置層之厚度以 $0.010\text{mm}\sim 0.050\text{mm}$ 之範圍。如果比它薄，即處理上困難。比它厚即很難順從於壓製模之形狀。載置層乃在轉印過程之壓製之直前，將沒有形成配線之面施予前面蝕刻，使之做成較薄者。

本例中，將供配線構件之厚度 $5\mu\text{m}$ 之銅層12，藉由通常之光致抗蝕劑法形成抗蝕劑圖樣，而施予蝕刻，蝕

（請先閱讀背面之注意事項再填寫本頁）

表

訂

五、發明說明(15)

刻液需具有可蝕刻銅，不蝕刻鎳之選擇性，在印刷基板業適用之鹼性蝕刻液即很合宜，厚度 $35\mu\text{m}$ 之載置層10以抗蝕劑來防止其受蝕刻。

以圖7所示之構成，溫度 180°C 壓力 $2.5\text{kg}/\text{cm}^2$ ，二小時加熱加壓備有圖樣之銅箔10~12。圖7中，在沖壓上模13與沖壓下模17之間，由上依序配置了複數之鋁箔18，三層構造之具有圖樣之銅箔（銅箔10，鎳合金11，銅配線12），複數之玻璃布含浸疊層體14，不織布含浸疊層體15，玻璃布含浸疊層體14，以及用做金屬板之銅箔16之構成。

沖壓上模13之突起部13a乃其斷面呈台形形狀，其高度 0.15mm ，其側面坡度角度為 45° 。在模與銅箔16之間夾三張厚度 $25\mu\text{m}$ 之鋁箔18做為緩衝層，而施予壓製加工，含浸疊層體乃使用玻璃布等含浸了耐熱環氧樹脂之日立化成工業（株）製者。

本例中厚度 0.1mm 之玻璃布含浸疊層體14一共用八張，又使用玻璃纖維之厚度 0.2mm 之不織布含浸疊層體15一張，此不織布含浸疊層體係插入於玻璃布含浸疊層體之6張與7張之間，以此條件所製作之玻璃環境基板乃供切取多數個單元之用，多數地形成有同一配線及凹部，將它以前述之鹼性蝕刻劑而全面地蝕刻去除載置銅箔10，接著以鎳選擇蝕刻液而蝕刻去除鎳層11。

由以上之條件而在於，於厚度 1.0mm 之板上備有 0.15mm 之凹部，在包含凹部之表面層連續地形成配

（請先閱讀背面之注意事項再填寫本頁）

表

訂

五、發明說明(16)

線，對此基板再以端銑刀裝置而，從凹部而調整深度起見，再銑製到 0.55 mm 深度，加工成可裝置半導體晶片。以通常之方法設置焊錫抗蝕劑層，在端子部電鍍鎳 $15\text{ }\mu\text{ m}$ ，金 $0.5\text{ }\mu\text{ m}$ 厚度。

於是在該凹部接著厚度 0.28 mm 之半導體晶片1，以引線連接來連接。以液狀樹脂4來密封半導體晶片1與引線連接部（引線3及配線2之內連接端子部），裝置焊錫球5之後切斷分離成個片形成半導體裝置。

以上述之製造方法可獲得例如圖1所示之構造，依本構造時可製造近乎晶片尺寸之比較小之封裝件，可製作品片尺寸之封裝件（CSP）。

說明第2之例

在本例之製造方法中，亦準備，厚度 $35\text{ }\mu\text{ m}$ 之銅箔（載置箔）上，以電鍍形成 $0.5\text{ }\mu\text{ m}$ 之鎳層，又形成 $5\text{ }\mu\text{ m}$ 之銅層之三層構造箔，此銅層乃日本電解（株）製。

對於上述厚度 $5\text{ }\mu\text{ m}$ 之銅層，藉由通常之光致抗蝕劑法形成抗蝕劑圖樣而施予蝕刻，蝕刻劑液乃須具有對鎳不蝕刻對銅蝕刻之選擇性，在印刷基板業常用之鹼性蝕刻劑乃很適宜，厚度 $35\text{ }\mu\text{ m}$ 之載置箔以抗蝕劑來保護使之不會被蝕刻。

以圖8所示之構成，將由銅箔10，鎳合金11及銅層12所構成之具有圖樣之銅箔，以溫度 180°C ，壓力 25 kg/cm^2 加熱加壓2小時。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(17)

圖 8 表示，在沖壓上模 13 與沖壓下模 17 之間配置了鋁箔 18，三層構造之具有圖樣之銅箔（銅箔 10，鎳合金 11，銅層 12），玻璃布含浸疊層體 14，具有多數之挖空部之含浸疊層體 19，複數之玻璃布含浸疊層體 14，以及做為金屬板之銅箔 16 上構成。

沖壓上模 13 之突起部之高度為 0.5 mm，該側面之坡度之傾斜角度乃以 30 度來製作，模與銅箔之間夾入厚度 25 μ m 之鋁箔一張做為緩衝層而予以壓製。

含浸疊層體乃使用在玻璃布含浸了耐熱環氧樹脂之日立化成工業（株）製者。

製作挖空相當於上述壓製上模 13 之突起部之部份之含浸疊層體，而將相當於突起部之高度之份用做層構成，本例之突起部高度 0.5 mm 時，使用厚度 0.1 mm 之挖空之含浸疊層體五張，沒有挖空之含浸疊層體五張。

以上述之條件所製作之玻璃環氧基板乃供採取多個單元之用，多數地形成同一配線及凹部，將它以前述之鹼性蝕刻劑而對搭載銅箔 10 施予蝕刻全面的予以去除。接著以鎳選擇蝕刻液而蝕刻去除鎳層 11。

由上述形成厚度 1 mm 之板備有深度 0.5 mm 之凹部，而可在包含凹部之表面層連續的形成配線。以通常之方法設置焊錫抗蝕劑層，而在端子部電鍍了鎳 5 μ m，金 0.5 μ m。

將半導體晶片 1 接著於該凹部，而以引線連接來連接，以液狀樹脂 4 來密封晶片及引線連接部，裝置焊錫球 5

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(18)

之後切斷基板，使之成為個片之半導體裝置。

依本例之製造方法即可獲得例如圖2或圖3所示，在基板之背面再安裝了金屬板之構造，依本例之構造即由於傾斜部之傾斜角度小，因此傾斜部變長，而封裝尺寸會變大，惟不需要削面過程由而可能低成本化，又如圖3所示，具有收容之複數之晶片，該晶片間之配線也同時可能形成之效果。

說明第3之例

在本例之製造方法中，準備在厚度 $35\mu\text{m}$ 之銅箔（載置箔）上以電鍍形成 $0.5\mu\text{m}$ 之鎳層，又形成 $5\mu\text{m}$ 之銅層之三層構造箔，此銅箔乃日本電解（株）製者。

對於上述厚度 $5\mu\text{m}$ 之銅層，藉由通常之光致抗蝕劑法形成抗蝕劑圖樣而施予蝕刻，蝕刻劑液乃須具有對鎳不蝕刻對銅蝕刻之選擇性蝕刻，在印刷基板業常用之鹼性蝕刻劑乃很適宜，厚度 $35\mu\text{m}$ 之載置箔即以抗蝕劑來保護使之不會被蝕刻。

以圖9所示之構成，將此具有圖樣之銅箔，在溫度 180°C ，壓力 $25\text{kg}/\text{cm}^2$ 加熱加壓二小時。

圖9所示，在於沖壓上模13與沖壓下模17之間，由上方依序配置鋁箔18，三層構造之具有圖樣之銅箔（銅箔10，鎳合金11，銅層12），複數之玻璃布含浸疊積體14，19及做為金屬板之銅板16之構成。

模之突起部之高度為 0.20mm ，側面之坡度之傾

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

東

五、發明說明(19)

斜角度即以30度來製作，在模與銅箔之間夾入厚度252之鋁箔18一張做為緩衝層而施予壓製加工。

含浸疊層體即在玻璃布中含浸耐熱環氧樹脂之日立化成工業(株)製者，使用厚度0.1mm之含浸疊層體六張，在第二張及第三張之含浸疊層體19挖空加工相當於模突起部。又在基板之背面側配置了厚度0.40mm之施予接著粗糙化處理之銅板而施予壓製加工，壓製加工後之總厚度即1.0mm。

依上述條件所製作之玻璃環氧基板乃做成可切成多數個單元，多數地形成同一配線及凹部，將它以前述之鹼性蝕刻劑來蝕刻載置銅箔而全面地予以去除。接著以鎳選擇蝕刻液來蝕刻鎳層而去除鎳層。

依上述而得於形成在厚度1.0mm之板上，具有深度0.20mm之凹部，而含有凹部之表面層連續的形成配線。又以端銑刀裝置將此基板銑製到0.65mm深度，加工成可以裝置半導體晶片狀，以通常之方法設置焊錫抗蝕劑層，而在端子部電鍍鎳5μm，金0.5μm之厚度。

在該凹部接著半導體晶片而以引線連接來做連接，以液狀樹脂4來密封晶片及引線連接部，裝置焊錫球5之後，切斷分離成個片做成半導體裝置。

依本例之製造方法即可獲得例如圖4所示之構造，依本構造時，即以一括壓製加工而可能做散熱板之組合，可以提供可達成低成本，高可靠性，低廉，很容易使設計及

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(20)

製造方法之標準化之搭載半導體元件之半導體元件搭載用基板及其製造方法，以及在半導體元件搭載用基板上實裝了半導體元件之半導體裝置。

下面參照圖10～圖16說明依本發明之半導體裝置，基板及製造方法之其他實施形態。

本實施形態之半導體裝置即在配線基板之一部份設置凹部，而在此凹部裝置半導體晶片而成之半導體裝置，在配線基板之包含凹部之配線基板表層部埋入有連續之配線導體。

更具體的說明之，即，在具有高度不同之二個以上之表層部之配線基板中，例如如圖10所示，在第1之表層設置，與外部連接端子5連接之外部連接端子部，在第2之表層部設置與半導體晶片1連接之內連接端子部，第1之表層部與第2表層部間有0.05mm以上之級階高度差，在第1之表層部及第2之表層部及其中間部之表層埋入了連續之配線導體而形成配線2之配線基板。

此配線基板乃由在銅等之金屬箔設置配線導體，而在該金屬箔接著樹脂層之時同時地形成凹部之製造法而可實現。

又實現它之方法有，疊合設有配線導體之金屬箔及含浸樹脂之複數之玻璃布而予以壓縮，形成凹部之配線基板之製造方法中，預先去除對應於凹部之玻璃布之一部份之後予以壓縮而可製造。

又本實施形態之其他之態樣乃，在備有凹部之配線基

(請先閱讀背面之注意事項再填寫本頁)

不

訂

五、發明說明(21)

板中，如圖 1 1 所示，在引線連接部及晶片接著部之二級階地形成凹部之配線基板及其製造方法，在此形成二級階之凹部之方法中第 1 級階乃使用備有凸部之沖壓模而壓縮含浸（樹脂）疊層體而形成凹部，而第二級階即以削面加工而可形成。

在一張之配線基板設置多數之凹部，而在各凹部裝置晶片，以密封樹脂，裝置焊錫球後，施予切斷分離由而可以製造半導體裝置。

圖 1 0 ~ 1 3 即本實施形態之典型的半導體裝置之剖面圖。

標號 1 為半導體晶片，2 為配線，3 為引線，4 為密封用樹脂，5 為外部端子電極，6 為表面絕緣層，7 為絕緣基板，8 為金屬板，9 為絕緣板。

如圖 1 1 所示，凹部之一部份乃貫穿孔亦可以，此半導體裝置乃如圖 1 2，1 3 所示，背面即得於金屬板 8，絕緣板 9 來支撐。

以圖 1 4 說明依本實施形態之半導體裝置之製造方法之一例。

準備在厚度 $35 \mu\text{m}$ 之銅箔（搭載箔日本電解（株）製）1 0 上，以電鍍形成 $0.5 \mu\text{m}$ 之鎳層 1 1，又形成 $5 \mu\text{m}$ 之三層構造箔。以通常之光致抗蝕劑法形成抗蝕劑圖樣施予蝕刻形成配線導體 1 2。

蝕刻液乃須要具有不能蝕刻鎳而可蝕刻銅之選擇性，在印刷基板業界廣用之鹼性蝕刻液即很合宜，厚度 35

（請先閱讀背面之注意事項再填寫本頁）

表

訂

五、發明說明(22)

μm 之載置箔即以抗蝕劑保護使之不會被蝕刻。

以圖 1 4 所示之構成，對於此具有圖樣（配線導體 1 2）之銅箔在溫度 $180^{\circ}C$ 壓力 $25 kg/cm^2$ 加熱加壓二小時。

模 1 3 之突起部為 $0.15 mm$ ，突起部之坡度即以 90 度來製作。

在模 1 3，1 7 與銅箔 1 0，1.6 之間插入厚度 $50 \mu m$ 之鐵氟龍片（杜邦製）（不圖示）而加以壓製。含浸疊層體（不挖空）1 4 即使用對玻璃布含浸耐熱環氧樹脂之日立化成（株）製。

以此條件所製作之玻璃環氧基板乃採用可切取多數個單元之方式，多數地形成有同一配線及凹部，以上述之鹼性蝕刻液而對載置箔施以蝕刻全面地予以去除。

接著以鎳選擇蝕刻液而對鎳層施予蝕刻去除。

以上述之條件在厚度 $1 mm$ 之基板備有 $0.15 mm$ 之凹部，而在包含凹部之表面層連續地形成配線。對於此基板又以銑刀裝置而銑製 $0.5 mm$ 之深度，加工成可裝置半導體晶片 1 狀後，切斷成個片，將半導體晶片接著於凹部，以引線連接方式連接，以液狀樹脂密封半導體晶片 1 及引線連接部製成半導體裝置。

參照圖 1 5 說明依本實施形態之製造方法之其他例。

將如上述圖 1 4 之例同樣之具有圖樣之銅箔 1 0，使用圖 1 5 所示之構造，以溫度 $180^{\circ}C$ ，壓力 $25 kg/cm^2$ 加熱加壓二小時。本例中模 1 3 之突起部為 0.5

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(23)

m m，突起部之坡度為45度來製作。

在模13，17與銅箔10，16之間插入厚度50 μ m之鐵氟龍片（杜邦製）做為緩衝層而施予壓製。

含浸（樹脂）疊層體14即使用在玻璃布含浸耐熱環氧樹脂之日立化成（株）製。製作了挖空相當於模突起部之部份之含浸疊層體15，而將相當於突起部之高度份做為層構成。

如本例，突起部高度0.5 m m時即使用厚度0.1 m m之挖空含浸疊層體15五張，及沒有挖空之含浸疊層體14五張。

依此條件所製作之玻璃環氧樹脂基板係供切取多數個單元者，形成有多數之同一配線及凹部。將它以前述之鹼性蝕刻液全面地去除載置銅箔，接著以鎳選擇蝕刻液而蝕刻去除鎳層。

以上述條件在厚度1 m m之基板工具有0.5 m m深之凹部之包含該凹部之表面層連續的形成配線，於凹部接著半導體晶片1，以引線連接方式連接，以液狀樹脂密封半導體晶片1及引線連接部，裝置焊錫球5之後，切斷基板做成個片之半導體裝置。

參照圖16說明依本實施形態之製造方法之其他例子。

將上述圖14之例之同樣之具有圖樣之銅箔10，以圖16所示之構成，以溫度180℃，壓力25 kg / cm^2 加熱加壓二小時。

（請先閱讀背面之注意事項再填寫本頁）

表

訂

五、發明說明(24)

模 13 之突起部為 0.5 mm，突起部之坡度為 45 度來製作。

模 13，17 與銅箔 10，16 之間插入厚度 50 μ m 之鐵氟龍片（杜邦製）（不圖示）而施予壓製，含浸疊層體乃使用，在玻璃布含浸耐熱環氧樹脂之日立化成（株）製。

對於厚度 0.5 mm 之玻璃環氧基板 18 挖空相當於模突起部之部份。此時將厚度 0.1 mm 之不挖空之含浸疊層體 14 置於一張玻璃環氧基板 18 與具有圖樣之銅箔 10 之間，在玻璃環氧基板 18 之下部即使用三張含浸疊層體 14。

依此種條件所製作之玻璃環氧基板係採用可切成多數之個片單元，多數的形成同一配線及凹部。將它以上述之鹼性蝕刻液而對載置銅箔施予蝕刻而全面地予以去除。接著以鎳選擇蝕刻液來去除鎳層。

以上述之條件，在厚度 1 mm 之板，備有 0.5 mm 之深度，包含凹部之表面層連續地形成了配線，在其凹部接著半導體晶片 1，以引線連接方式連接，以液狀樹脂來密封半導體晶片 1 及引線連接部，裝置焊錫球之後，切斷基板製作為個片之半導體裝置。

依以上之本實施形態時，即得以簡單的構造且以簡單的製程，以低成本即可製造半導體裝置。

下面參照圖 17～圖 20 說明依本發明之半導體裝置，基板及製造方法之其他之實施形態。

（請先閱讀背面之注意事項再填寫本頁）

表

訂

五、發明說明(25)

依本實施形態之半導體裝置乃，如圖 17 所示，具備有：半導體晶片 1，及具備用於搭載半導體晶片 1 用之半導體元件收容部之絕緣基板 7，及電氣的連接於形成於絕緣基板 7 之表面之半導體晶片 1，同時實裝時與外部連接之外部電極 5，以密封收容半導體晶片 1 之半導體收容部之密封樹脂 4，再具備在於半導體晶片 1 連接用之引線 3 與外部電極 5 之間，設置級階高度差。用於連接該級階高度差間之沿著傾斜部所配置之配線 2。又圖 7 之標號 6 乃表示形成於絕緣基板 7 之表面之表面絕緣層。

本實施形態之半導體裝置乃例如以下述之圖 20 之製造方法所製造之具有凹部之半導體元件搭載用基板上，再對於該凹面之底面施予削面加工來形成用於搭載半導體晶片 1 之半導體元件收容部。

又基板之凹部之壁面傾斜角度即使之較 45 度緩和之角度。此傾斜角度乃由用於沖壓成型之模之突起部之傾斜角度，用於轉印之銅箔（載置層）10 之剛性，沖壓壓力之平衡等所決定者。

本實施形態之半導體裝置並不侷限於圖 17 之例，例如如圖 18 所示，不在凹部壁面而是在於凹部之底面設置配線 2 同時在其下方夾著絕緣層而設置了接地層 1801 之多層構造亦可以，又具備連接接地層 1801 與外部電極 5 之層間連接部 1802 之構成亦可以。

本實施形態中之接地層 1801 之形成方法及層間連接之方法並不特別限定，例如將做為接地層 1801 之銅

（請先閱讀背面之注意事項再填寫本頁）

不

訂

頁

五、發明說明(26)

箔或銅圖樣，與形成之配線基板對向，而在其間夾入含浸樹脂疊層體等之絕緣接著片，再疊層含浸樹脂疊層體施予壓製形成多層構造之基板。

參照圖 19，圖 20 說明依本實施形態之半導體元件搭載用基板之製造方法之例子。

本實施形態之製造方法中與上述二個實施形態之製造方法其基本的構成乃同樣。下面即主要對於不同部份加以說明，對於同樣部份即省略其說明。

又在本例之製造方法中乃與上述實施形態一樣，該形成配線 2 用之轉印用金屬箔而使用由厚度 $25\ \mu\text{m}$ 之銅箔（載置層）10，及成為配線層之銅層 12，以及載置層 10 與銅層 12 之間之遮屏層 11 所構成之三層構造箔，又在圖中將 11，12 之二層合併表示。

本例中即如圖 19 所示將此具有圖樣之銅箔 10 ~ 12，以溫度 190°C 之熱盤 1901 及頂板 1902 而挾持，以壓力 $30\ \text{kg}/\text{cm}^2$ 加熱加壓，在此例中沖壓上模 13 與沖壓下模之間，由圖之上方依序配置了一張鋁箔 18，三層構造之具有圖樣之銅箔 10 ~ 12，複數張之含浸樹脂疊層體 1905，1906 以及厚度 $35\ \mu\text{m}$ 之銅箔 16。

沖壓上模 13 之突起部之剖面乃呈台形形狀，其側面之坡度角度係 30° 。含浸樹脂疊層體 1906 之對應於沖壓上模 13 之部份乃被開窗，配置於由上面之第 2 序張。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(27)

又本實施形態之製造方法並不侷限於圖19之例子，例如如圖20之構成亦可以。

即以溫度190℃之熱盤1901及頂板1902來挾持具有圖樣之銅箔10~12，以壓力20kg/cm²來加熱加壓。本例中即在突起部側面之坡度角度為45度之沖壓上模13與沖壓下模17之間，由上面依序配置三張包括鋁箔18，厚度35μm之銅箔10之三層構造箔10~12，一張之開窗之含浸樹脂疊層體1906，複數張之含浸樹脂疊層體1905以及厚度5μm之銅箔16。

依上述圖20之製造方法時可製造如圖17所示之備有緩和之傾斜角度之壁面之凹部之半導體裝置。

本發明之半導體元件搭載用基板乃，於具備有圖21(a)，圖22(b)所示之凹部之半導體元件搭載用基板中，備有沿著該基板表面及上述凹部之基板壁面所配置之配線，上述配線乃由：連接於配置於上述凹部所開口側之該基板表面之外部連接端子之外部連接端子部，及與上述搭載之半導體元件連接之內連接端子部，及上述外部連接端子部與上述內連接端子部間之配線部而構成，上述配線乃埋入於上述基板表面及上述凹部之基板壁面，上述內連接端子部乃據位於上述凹部內之位置者。

在圖21(a)，圖22(a)中，標號7為絕緣基板，2為埋入於基板表面及上述凹部之基板壁面所形成之配線。在圖21(a)之半導體元件搭載用基板上在凹部

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(28)

之中央部形成有貫穿孔。

在圖21(b)揭示使用此基板之半導體裝置，在圖21(b)中，標號1即接著於基板之狀態地搭載之半導體元件，4係密封樹脂，5係外部連接端子。在基板凹部形成有配線之內連接端子部，以樹脂來密封，此基板即以前述之方法而可製造。

圖22(a)之半導體元件搭載用基板上凹部乃形成於兩端之構造，以可切成多數個個體之單元來製造基板，由凹部來切斷來製造出個體單元，在圖22(b)揭示使用此基板之半導體裝置，圖22(b)中，標號1乃以接著於基板之狀態而搭載之半導體元件，4係密封樹脂，5係外部連接端子在基板兩端之凹部形成有配線之內連接端子部，而以樹脂密封。

依本發明半導體元件搭載用基板得於可切成多數個體單元地，即以一括壓製製作多數個也。

圖23表示製造可切成多數個個體單元之半導體元件搭載用基板之過程之壓製構成之剖面圖。標號13乃形成多數之凹模13a之沖壓上模，17乃沖壓下模，10乃形成多數組之配線之銅箔，14乃含浸樹脂疊層體。

以圖23之壓製構成而在上模・下模之間加熱加壓即由縱橫均等配置之多數之凸模13a而可一括形成多數之凹部，同時配線12乃由基板表面之外部連接端子部而介經凹部之壁面而連續地埋入形成於凹部內之內連接端子部。此時基板表面之外部連接端子部乃，由於有形成相鄰接

(請先閱讀背面之注意事項再填寫本頁)

表

訂

頁

五、發明說明(29)

之凹部所以均等地受張力。而將壓製前之平面之位置保持於高精度(尺寸之高安定性)。

即由本發明之半導體元件搭載基板之可切成多數個個體單元之設計而不會發生外部連接端子部之位置之偏倚地可實施凹部形成，又爲了最外側之基板，在上模13之緣外周設置暫設凸模13b(暫置突起部)而不但可防止最外側基板之外部連接端子部之位置之偏倚，也可防止含浸樹脂疊層體之樹脂之流出。又切成多數之個體單元係以7×7以上爲宜。

如上所述本發明乃由：包括準備備有縱橫均等配置之多數之突起部之沖壓上模，與上述突起部對準(定位)位置之規定之配線，及由載置金屬箔所成之配線構體，含浸樹脂疊層體，沖壓下模之壓製構成之製程，而以沖壓上模沖壓下模之間實施壓製加工，由而在被壓製之含浸樹脂疊層體而成之基板上一括形成多數之凹部，同時將上述規定之配線埋入於上述基板表面及上述之凹部之基板壁面之製程，去除上述載置金屬箔之製程，搭載半導體元件之製程，以樹脂密封凹部之製程，形成外部連接端子之製程，以及將它切斷分離爲個體單元之製程而可製造半導體裝置也。

圖式之簡單說明

第1圖係表示本發明之半導體封裝之剖面構成之一例之剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(30)

第2圖係表示本發明之半導體封裝之剖面構成之他例之剖面圖。

第3圖係表示搭載複數之半導體元件之本發明之半導體封裝之剖面構造例之剖面圖。

第4圖係表示使之具備高散熱機能之本發明之半導體封裝之剖面構造例之剖面圖。

第5圖係表示全部由金屬所成之抽拉可能之配線構成體之剖面構造例之剖面圖。

第6圖係表示全部由金屬所成之抽拉可能之配線構成體之其他剖面構造例之剖面圖。

第7圖係表示壓製成型時之材料構成，將不織布含浸樹脂疊層體用於構成中之例子之說明圖。

第8圖係表示壓製成型時之材料構成，使用將含浸樹脂疊層體挖空之構成時之構成之說明圖。

第9圖係表示爲了高散熱構造用之壓製成型時之材料構成，將金屬板使用於背面之例子。

第10圖係表示本發明之半導體裝置之他例之剖面圖。

第11圖係表示本發明之半導體裝置之他例之剖面圖。

第12圖係表示本發明之半導體裝置之他例之剖面圖。

第13圖係表示本發明之半導體裝置之他例之剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(31)

第14圖係表示本發明之半導體裝置之製造法(壓製成型)之他例之剖面圖。

第15圖係表示本發明之半導體裝置之製造法(壓製成型)之他例之剖面圖。

第16圖係表示本發明之半導體裝置之製造法(壓製成型)之他例之剖面圖。

第17圖係表示本發明之半導體裝置之他例之剖面圖。

第18圖係表示本發明之半導體裝置之他例之剖面圖。

第19圖係表示本發明之半導體裝置之製造法(壓製成型)之他例之剖面圖。

第20圖係表示本發明之半導體裝置之製造法(壓製成型)之他例之剖面圖。

第21(a)圖係表示本發明之半導體元件搭載用基板之他例之剖面圖。

第21(b)圖係表示本發明之半導體裝置之他例之剖面圖。

第22(a)圖係表示本發明之半導體元件搭載用基板之他例之剖面圖。

第22(b)圖係表示本發明之半導體裝置之他例之剖面圖。

第23圖係表示本發明之半導體裝置之製造法(壓製成型)之剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

不

訂

四、中文發明摘要(發明之名稱：

半導體元件搭載用基板及其製造方法
以及半導體裝置

揭示一種可靠性高，可能小型化，可降低製造成本之具備可搭載半導體元件用之凹部之半導體裝置。

將由做為配線構件之銅配線(12)，鎳合金等之遮屏層(11)，做為載置層之銅箔(10)所構成之拉抽加工可能之配線體接著於樹脂基板(14，15)之同時，藉由沖壓模(13)之突起部(13a)而施予壓製加工，以資形成埋入於基板表面之配線(2)同時在於與構成配線(2)之兩端部之半導體元件(1)連接之內連接端子部與連接於外部連接端子(5)之外部連接端子部之間，設置級皆高度差，以資在該基板之中心部形成可以收容半導體元件(1)之凹部。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱：

六、申請專利範圍

1. 一種半導體裝置，主要係在半導體元件搭載用基板上形成凹部，而在該凹部搭載半導體元件之後，以密封用樹脂而予以密封之半導體裝置中，其特徵為

上述半導體元件搭載用基板乃備有沿著該基板面及上述凹部之基板壁面所配置之配線，

上述配線乃由：連接於設置於上述凹部所開口側之該基板表面之外部連接端子之外部連接端子部，及與上述搭載之半導體元件連接之內連接端子部，及上述外部連接端子部與上述內連接端子部之間之配線部，而構成，

上述配線係埋入於上述基板表面及上述凹部之基板壁面，

上述內連接端子部乃據位於上述凹部內之位置者。

2. 如申請專利範圍第1項所述之半導體裝置，其中上述凹部之基板壁面係備有延伸於該凹部之底面方向之預先規定之傾斜角度範圍內之坡度者。

3. 如申請專利範圍第2項所述之半導體裝置，其中上述凹部之基板壁面之傾斜角度在 $5 \sim 40$ 度之範圍者。

4. 如申請專利範圍第2項所述之半導體裝置，其中上述凹部之基板壁面之傾斜構造之高度 G 與其水平距離之比 L/G 乃在 $1.5 < L/G < 10$ 之範圍內者。

5. 如申請專利範圍第1項所述之半導體裝置，其中上述凹部係由凸型之沖壓成形所構成者。

6. 如申請專利範圍第1項所述之半導體裝置，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

上述凹部乃被複數階級狀地形成者。

7. 如申請專利範圍第5項所述之半導體裝置，其中在上述凹部上設有將該凹部再予以剖面加工所形成之收容半導體元件用之半導體元件收容部者。

8. 如申請專利範圍第7項所述之半導體裝置，其中上述剖面加工而成之半導體元件收容部之深度乃大於欲搭載之半導體元件之厚度者。

9. 如申請專利範圍第1項所述之半導體裝置，其中據位於該基板表面位置之上述外部連接端子部與上述凹部內之上述內連接端子部之級階差為0.5 mm以上。

10. 如申請專利範圍第1項所述之半導體裝置，其中

將搭載於上述凹部之半導體元件之端子與上述內連接端子部乃以引線連接地予以連接者。

11. 如申請專利範圍第1項所述之半導體裝置，其中

將半導體元件之端子以背面饋送方式地直接連接於上述內連接端子部者。

12. 如申請專利範圍第1項所述之半導體裝置，其中

上述配線係設置於上述凹部之除了角部之壁面領域者。

13. 如申請專利範圍第1項所述之半導體裝置，其中

六、申請專利範圍

上述凹部乃形成於該基板之主平面之略中心位置，

於上述凹部內，對於該半導體元件搭載用基板之厚度方向之略中央地搭載半導體元件者。

14. 如申請專利範圍第1項所述之半導體裝置，其中

在上述凹部內，對於該基板之厚度方向由中央以該基板之厚度30%偏倚以內地搭載半導體元件者。

15. 如申請專利範圍第1項所述之半導體裝置，其中

上述凹部乃於其底面領域備有可以收容之複數之元件之寬度，同時形成有對上述複數之元件之配線，而在該凹部搭載複數之半導體元件及受動元件者。

16. 如申請專利範圍第1項所述之半導體裝置，其中

上述配線乃利用全部由金屬所構成之可能抽拉加工之配線構成體所形成者，

上述可能抽拉加工之配線構成體係至少含有備有構成上述配線之第1之金屬層，及擔任該載置層之機能之第2之金屬層之多層構造者。

17. 一種半導體元件搭載用基板，主要乃具備有用於搭載半導體元件之凹部之半導體元件搭載用基板中，其特徵為：

備有沿著該基板表面及上述凹部之基板壁面所配置之配線，

六、申請專利範圍

上述配線乃由：連接於設置於上述凹部所開口側之該基板表面之外部連接端子之外部連接端子部，及與上述搭載之半導體元件連接之內連接端子部，及上述外部連接端子部與上述內連接端子部間之配線部，而構成

上述配線係埋入於上述基板表面及上述凹部之基板壁面，

上述內連接端子部乃據位於上述凹部內之位置者。

18．如申請專利範圍第17項所述之半導體元件搭載用基板，其中

上述凹部之深度乃較所搭載之半導體元件之厚度小，而將上述凹部之底面，對於該半導體元件搭載用基板之厚度方向，由中央實施該搭載之該半導體元件之厚度之0.5乃至2.5倍之範圍內之深度地施予削面加工者。

19．如申請專利範圍第17項所述之半導體元件搭載用基板，其中

上述凹部之深度乃較欲搭載之半導體元件之厚度為小，且對該凹部施予削面加工者，

該至少露出之削面加工之底面為由不織布所成之預含浸樹脂之疊層體予以硬化而成之樹脂層者。

20．如申請專利範圍第17項所述之半導體元件搭載用基板，其中

上述凹部乃對於被形成之樹脂層之背面接著金屬板而構成者。

21．一種半導體元件搭載用基板之製造方法，

六、申請專利範圍

將且有，至少含有第 1 之金屬層及擔任該載置層之機能之第 2 金屬層之多層構造之全部由金屬所構成之可能抽拉加工之配線構成體，壓接於樹脂基板予以接著，同時在該樹脂基板上，形成備有預先規定之傾斜角度範圍內之坡度之壁面之凹部，而藉留存上述第 1 之金屬層去除其他之金屬層，以資沿著該基板表面到上述凹部之基板壁面地配置形成，

由：連接於設置於上述凹部所開口側之該基板表面之外部連接端子之外部連接端子部，及與上述搭載之半導體元件連接之內部連接端子部，及上述外部連接端子部與上述內連接部端子間之配線部而構成，埋入於上述基板表面及上述凹部之基板壁面之配線，為其特徵。

2 2 . 如申請專利範圍第 2 1 項所述之半導體搭載用基板之製造方法，其中

上述可能抽拉加工之配線構成體之破斷延伸率為 2 % 以上。

2 3 . 如申請專利範圍第 2 1 項所述之半導體搭載用基板之製造方法，其中

上述構成可能抽拉加工之配線構成體之上述載置層之厚度乃在於 0 . 0 1 0 m m ~ 0 . 0 5 0 m m 之範圍。

2 4 . 如申請專利範圍第 2 1 項所述之半導體搭載用基板之製造方法，其中

上述凹部之基板壁面之傾斜角範圍為 5 度以上 4 0 度以下，

六、申請專利範圍

上述凹部之深度乃其所收容之半導體元件之至少 30 % 以上。

25 . 一種半導體元件搭載用基板之製造方法，

主要係，具備有用於搭載半導體元件用之凹部及配線之半導體元件搭載用基板之製造方法，其特徵為：

令上述凹部之深度小於所搭載之半導體元件之厚度，且在該底面施予削面加工，

而在於上述削面加工時，切斷上述對搭載之半導體元件之配線之一部份，使該配線之端部到達由削面加工所形成之凹部之端緣部者。

26 . 如申請專利範圍第 21 項所述之半導體元件搭載用基板之製造方法，

其中形成上述凹部之後，對於該凹部之底面施予削面加工，在上述削面加工之後，實施上述其他金屬層之去除者。

27 . 如申請專利範圍第 17 項所述之半導體元件搭載用基板，其中上述凹部之基板壁面係具備有延伸於該凹部之底面方向之預先規定之傾斜角度範圍內之坡度者。

28 . 如申請專利範圍第 27 項所述之半導體元件搭載用基板，其中

上述凹部基板壁面之傾斜角度為 5 ~ 40 度之範圍內。

29 . 如申請專利範圍第 27 項所述之半導體元件搭載用基板，其中

六、申請專利範圍

上述凹部之基板壁面之傾斜構造之高度 G 與其水平距離之比 L / G 為 $1.5 < L / G < 10$ 之範圍內。

30. 如申請專利範圍第 17 項所述之半導體元件搭載用基板，其中

上述凹部乃藉由凸形之沖壓成形所構成。

31. 如申請專利範圍第 17 項所述之半導體元件搭載用基板，其中

上述凹部乃複數級階地形成。

32. 如申請專利範圍第 30 項所述之半導體元件搭載用基板，其中

上述凹部上，設有將該凹部再施予削面加工所形成之為收容半導體元件用之半導體元件收容部者。

33. 如申請專利範圍第 32 項所述之半導體元件搭載用基板，其中

上述經削面加工而成之半導體元件收容部之深度乃，較欲搭載之半導體元件之厚度大者。

34. 如申請專利範圍第 17 項所述之半導體元件搭載用基板，其中

該基板表面部之上述外部連接端子部與上述凹部內之上述內連接端子部之級階高度差為 0.05 mm 以上。

35. 一種半導體裝置之製造法，具備：

準備；具有縱、橫均等地配置之多數之突起部之沖壓用上模，與上述突起部定位，由規定之配線及置搭金屬箔所成之配線構成體，包含預浸疊積、沖壓下模之沖壓構成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

之製程，

在沖壓上模與沖壓下模之間實施沖製，對於經壓製而成之預浸疊積體之基板上，一括形成多數之凹部，同時將上述規定之配線埋入於上述基板表面及上述凹部之基板壁面之製程，

去除上述載置金屬箔之製程

搭載半導體元件之製程，

實施凹部之樹脂基板之製程，

形成外部連接端子之製程，

切斷分離成為個片之製程者。

36. 如申請專利範圍第35項所述之半導體裝置之製造法，其中

在沖壓上模之周緣形成暫置突起部者。

37. 一種半導體元件搭載用基板，主要乃具備有凹部之半導體元件搭載用基板中，其特徵為，

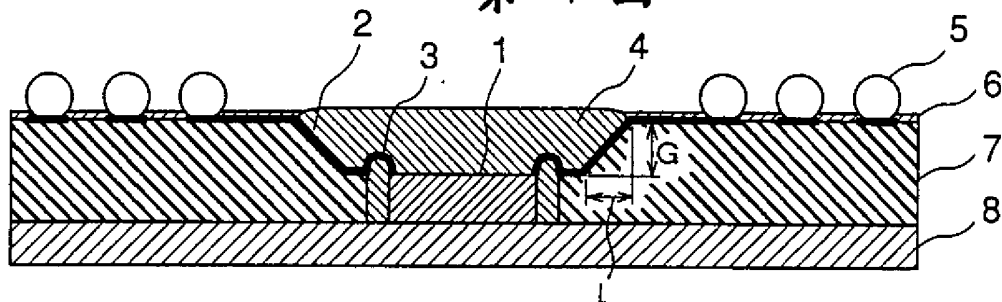
備有，沿著該基板表面及上述凹部之基板壁面所配置之配線，

上述配線乃由：連接於設於上述凹部所開口側之該基板表面之外部連接端子之外部連接端子部，及與上述搭載之半導體元件連接之內連接端子部以及上述外部連接端子部與上述內連接端子間之配線所而構成，

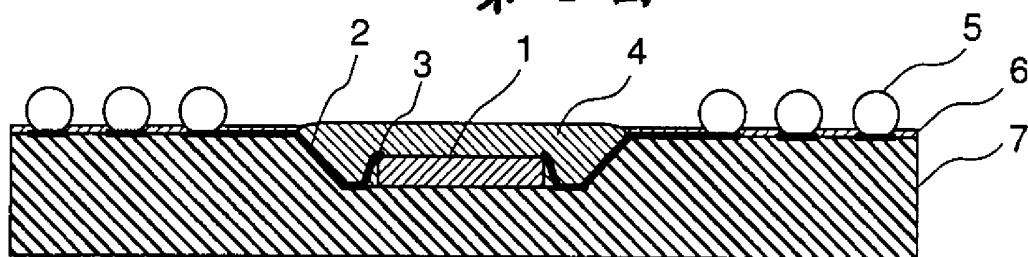
上述配線乃埋入於上述基板表面及上述凹部之基板壁面，

上述內連接端子部內據位於上述凹部內者。

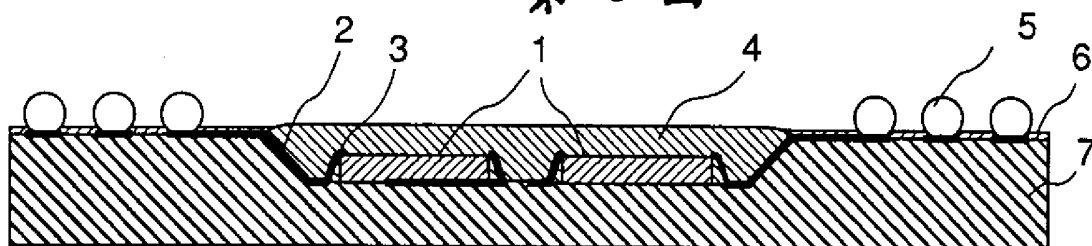
第 1 圖



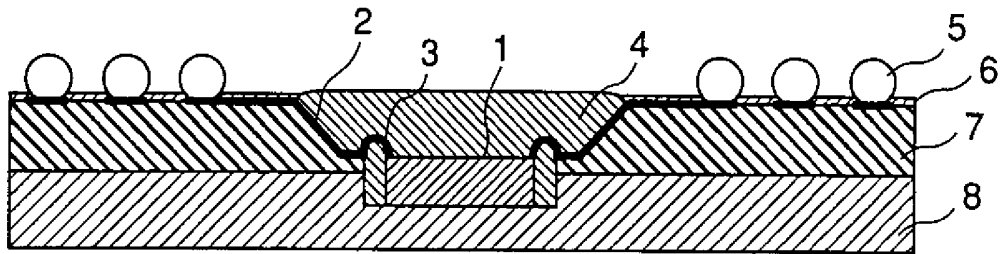
第 2 圖



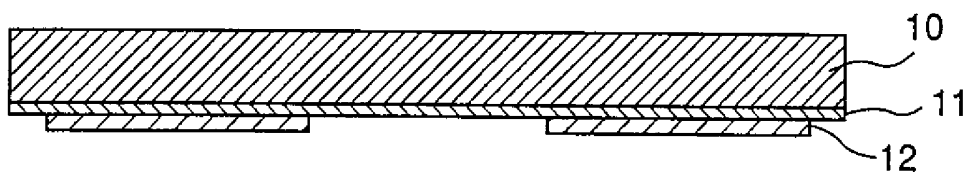
第 3 圖



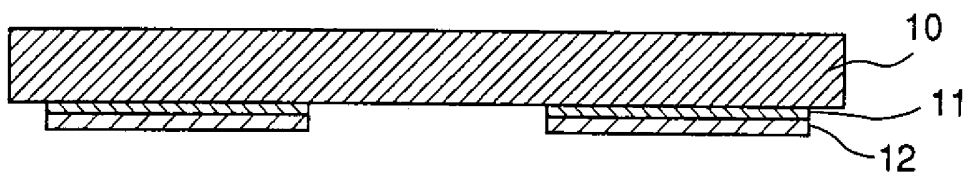
第 4 圖



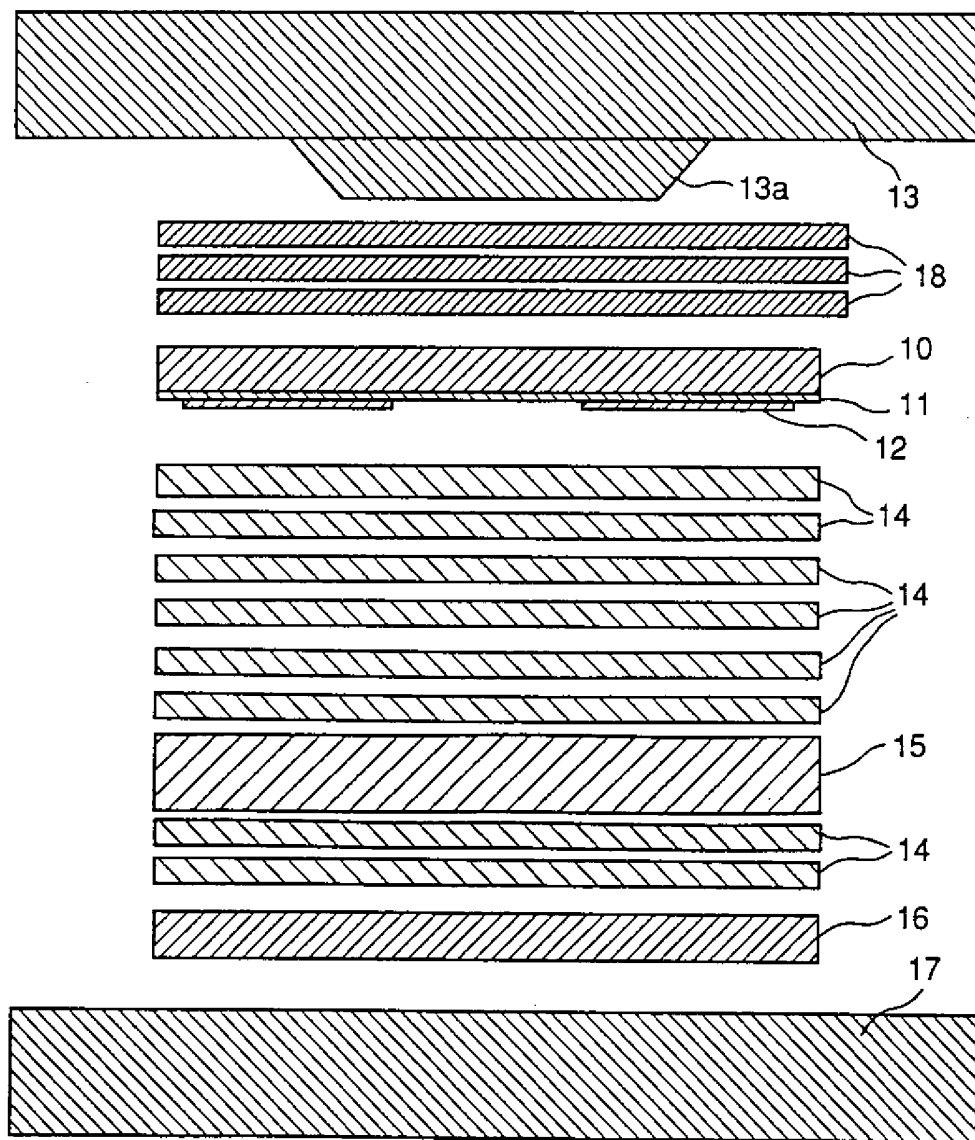
第 5 圖



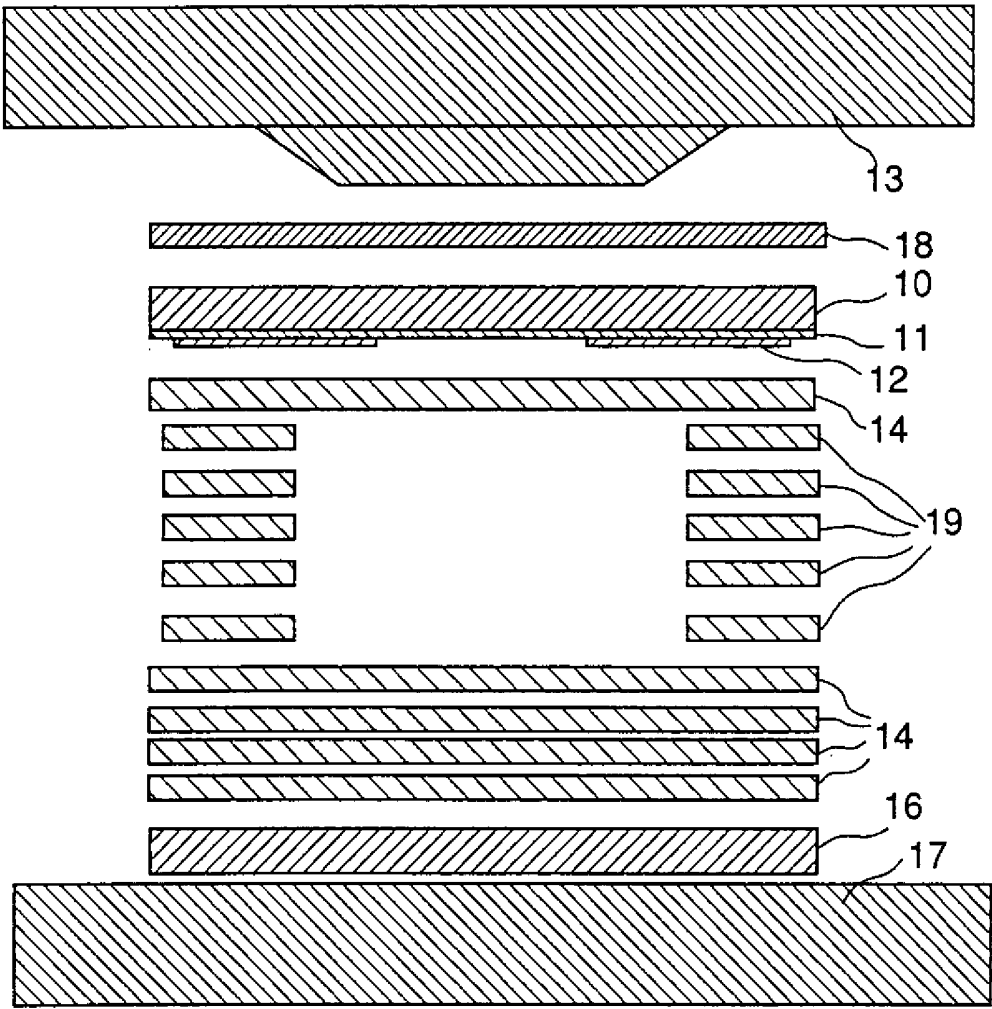
第 6 圖



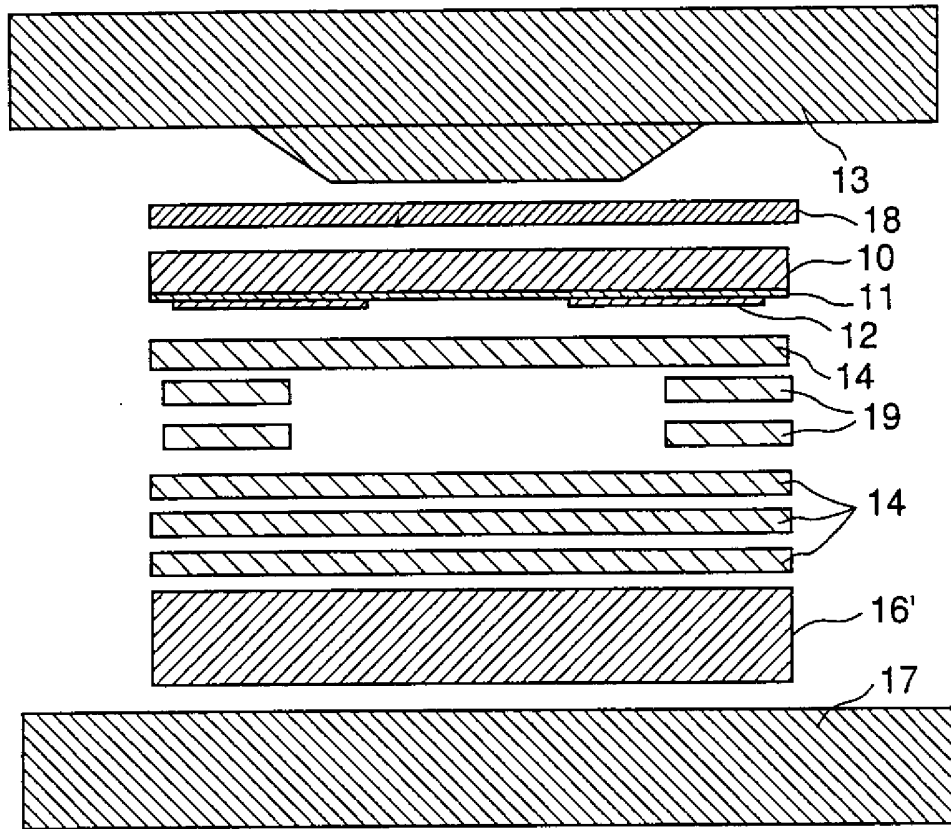
第 7 圖



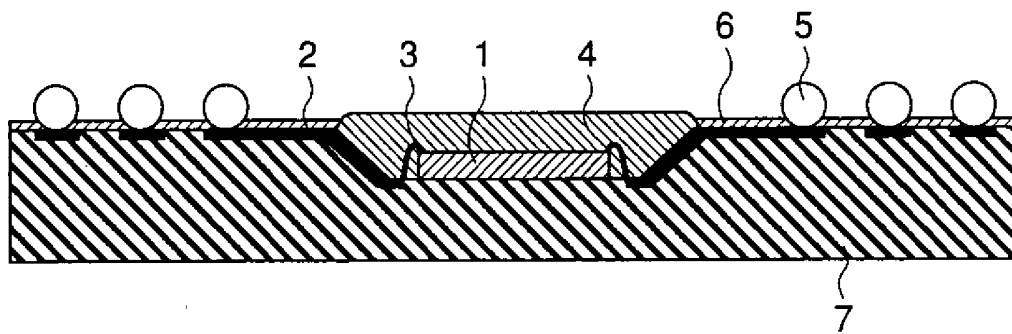
第 8 圖



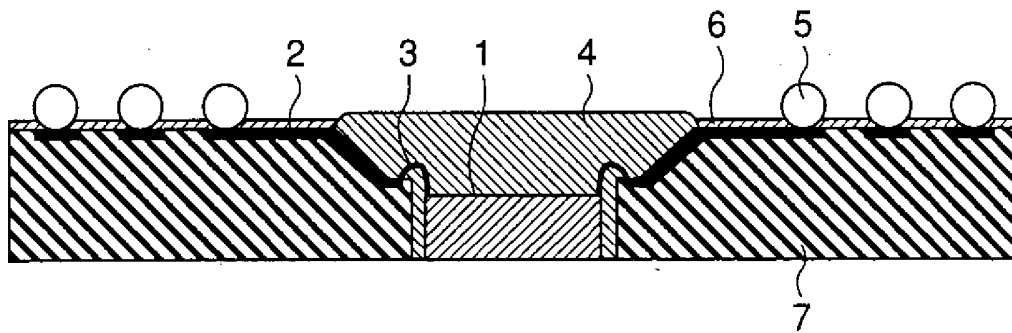
第 9 圖



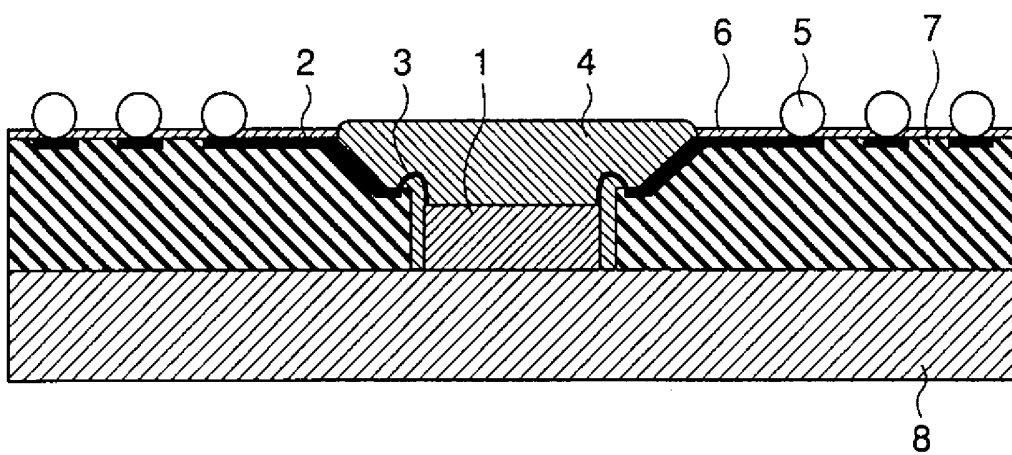
第 10 圖



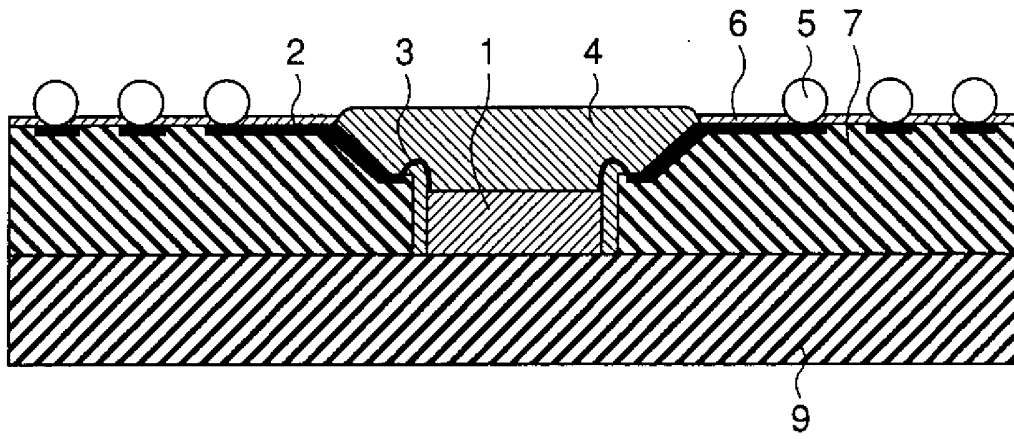
第 11 圖



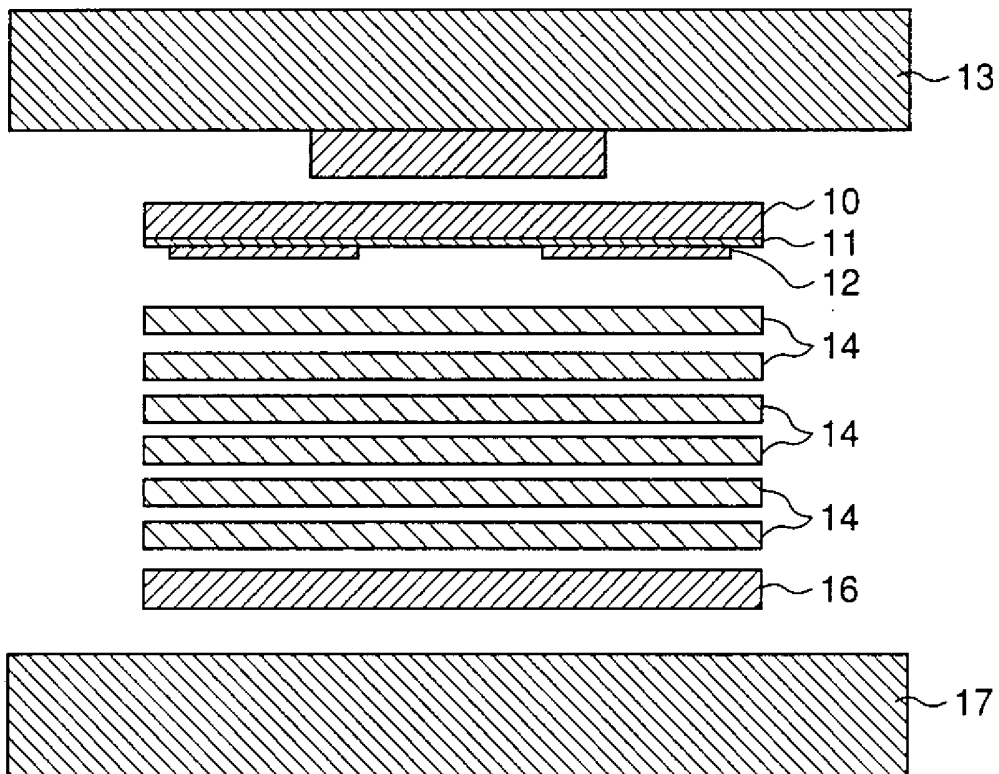
第 12 圖



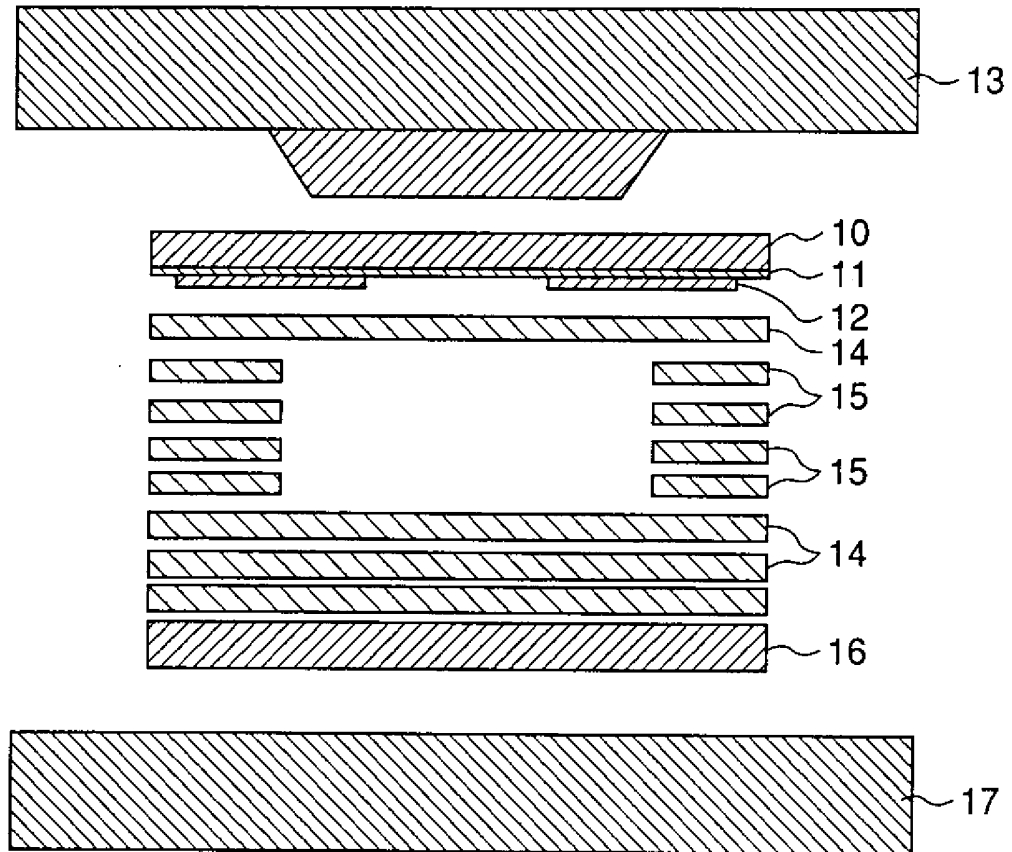
第 13 圖



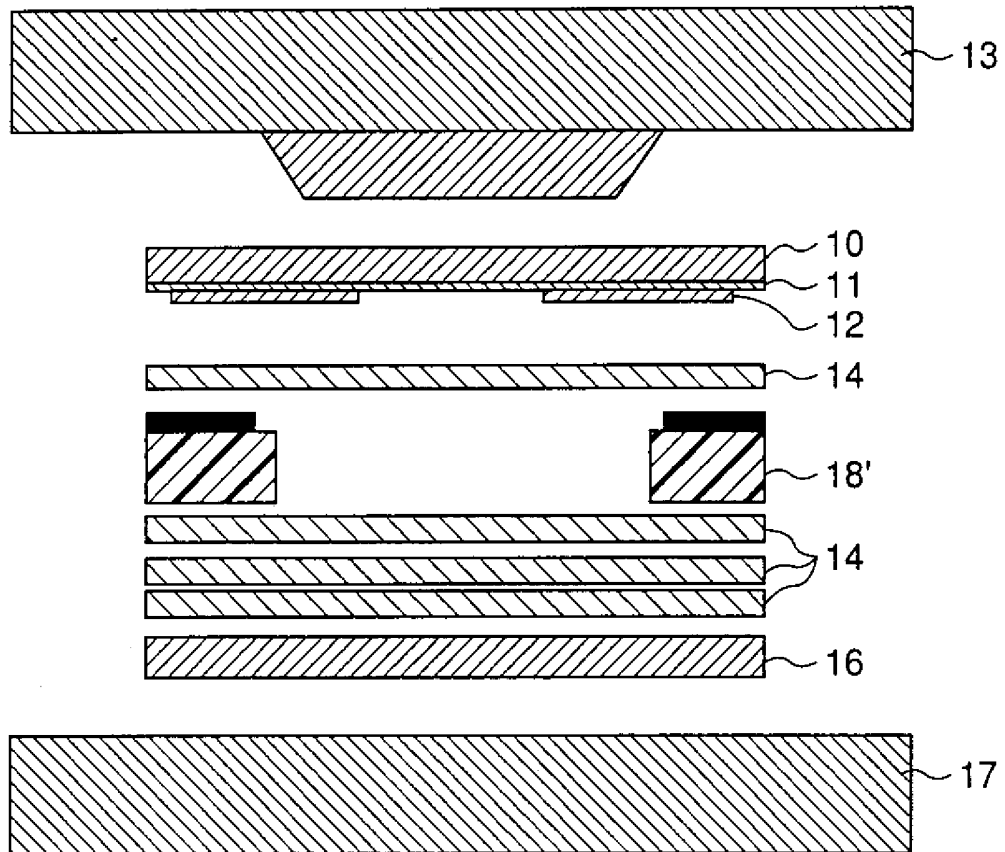
第 14 圖



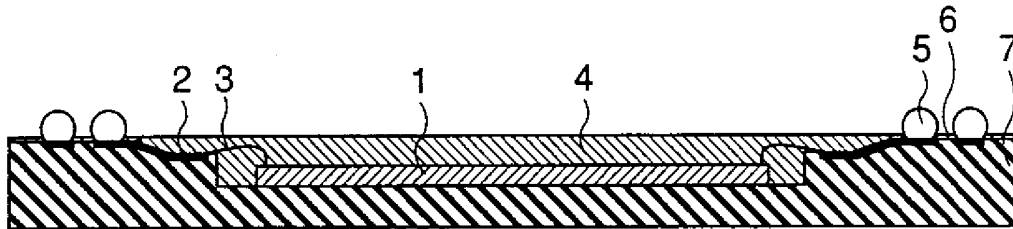
第 15 圖



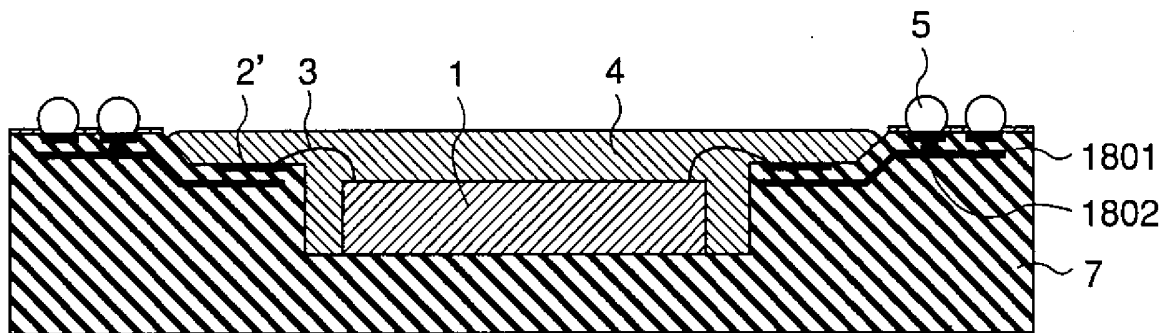
第 16 圖



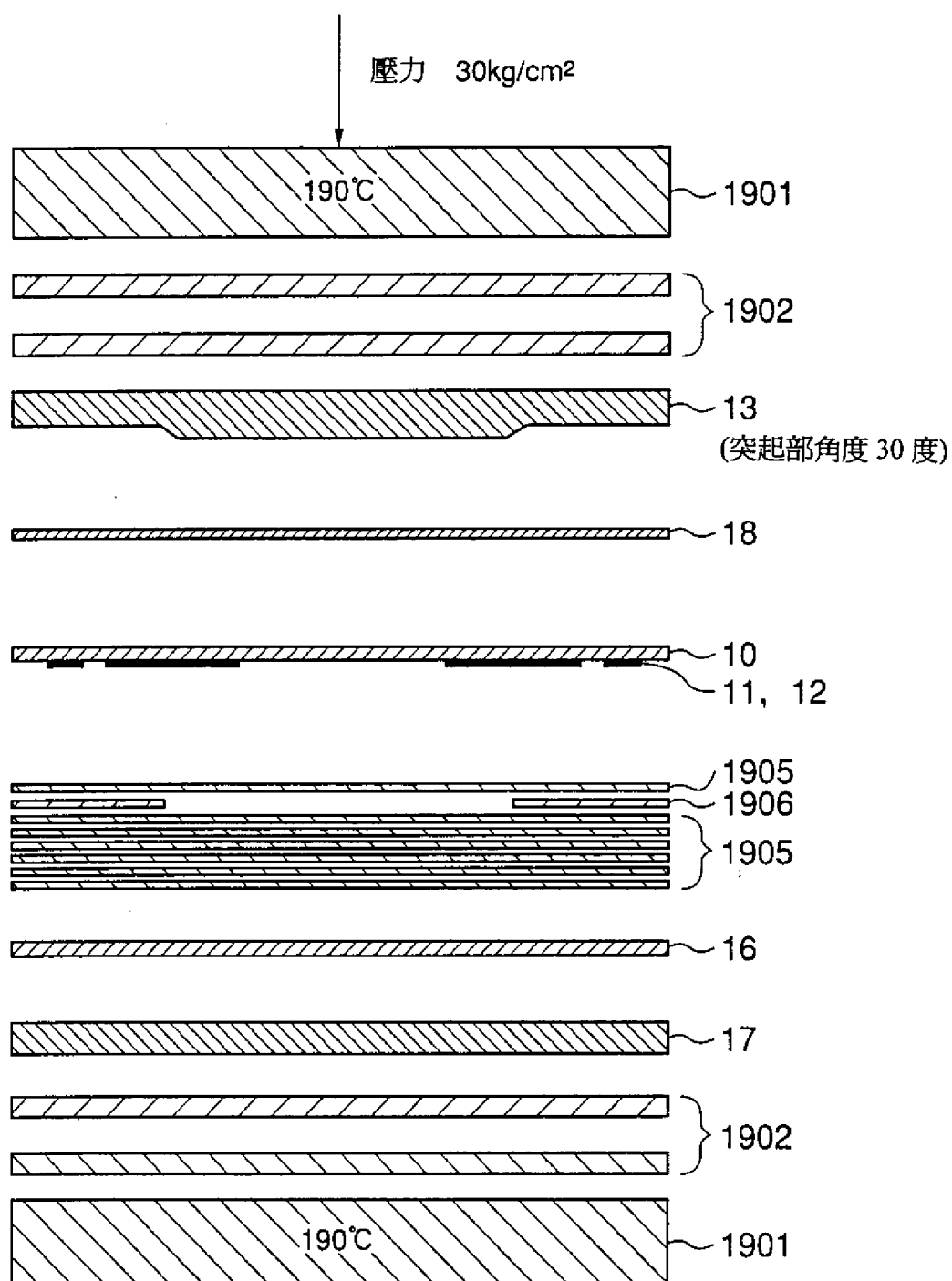
第 17 圖



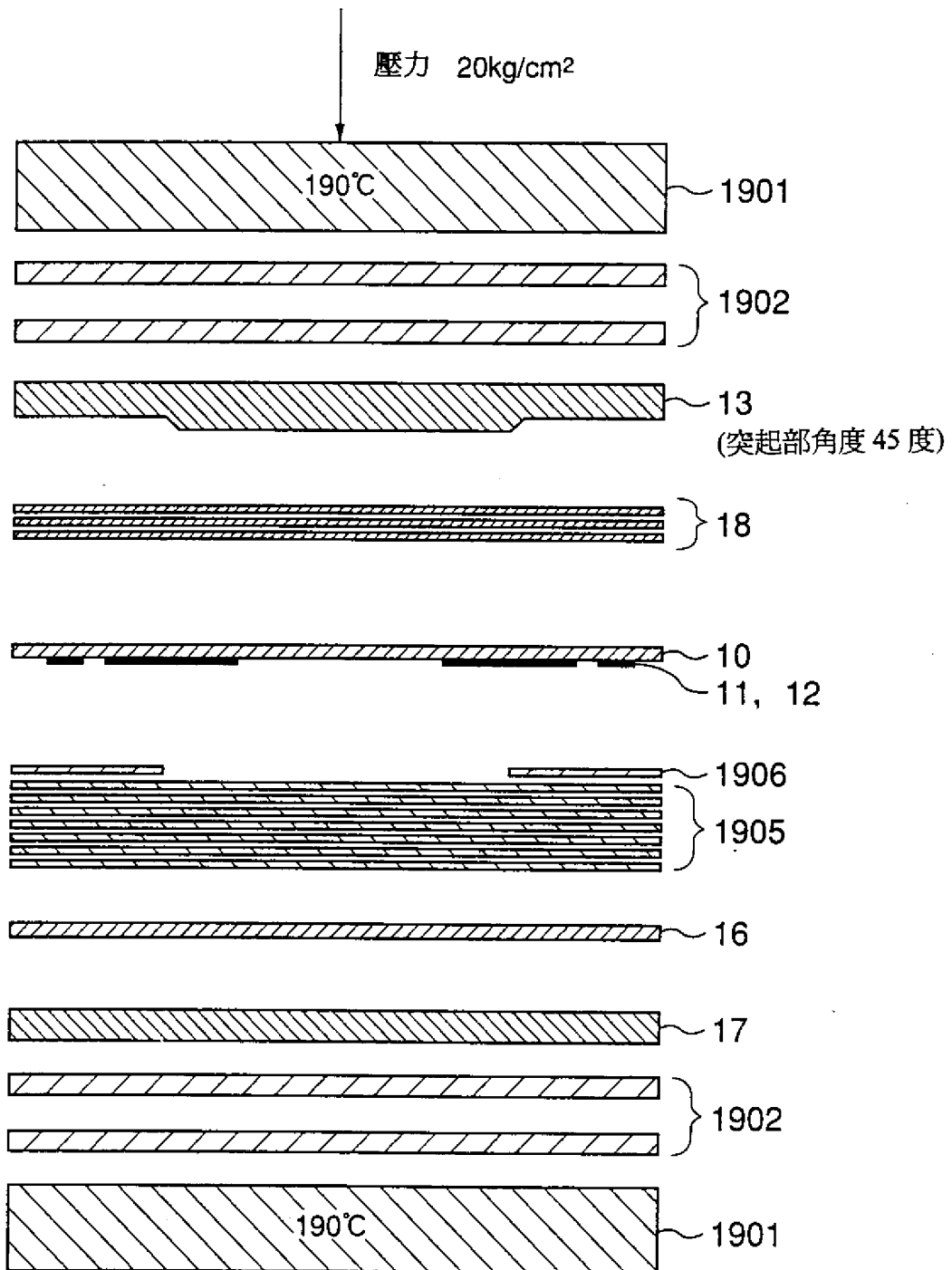
第 18 圖



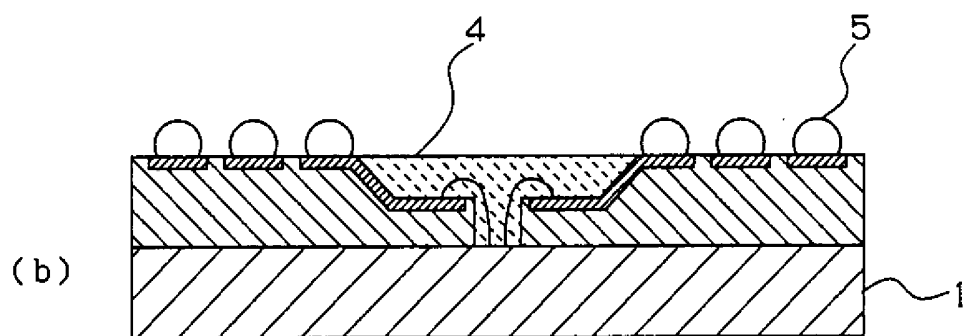
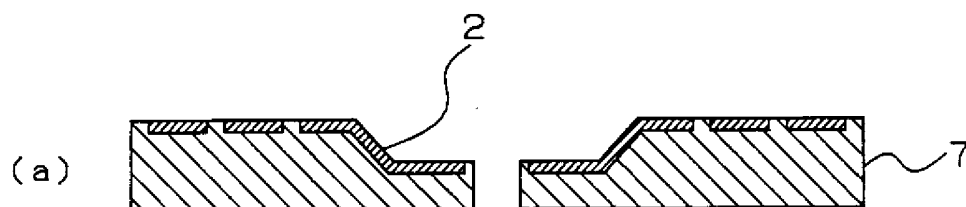
第 19 圖



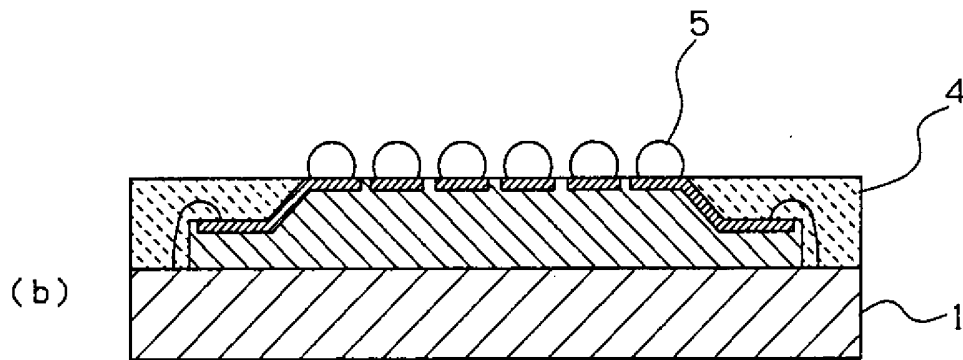
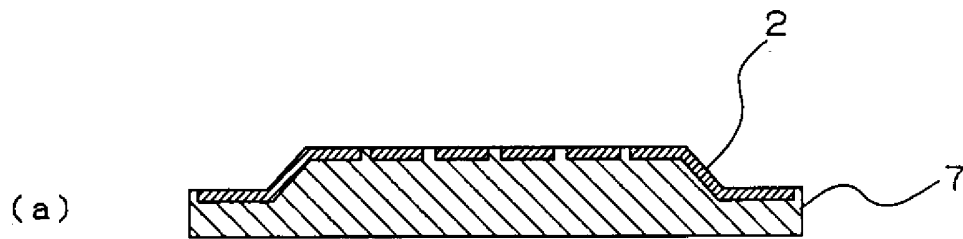
第 20 圖



第 21 圖



第 22 圖



第 23 圖

